

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2021年10月7日(07.10.2021)



(10) 国際公開番号

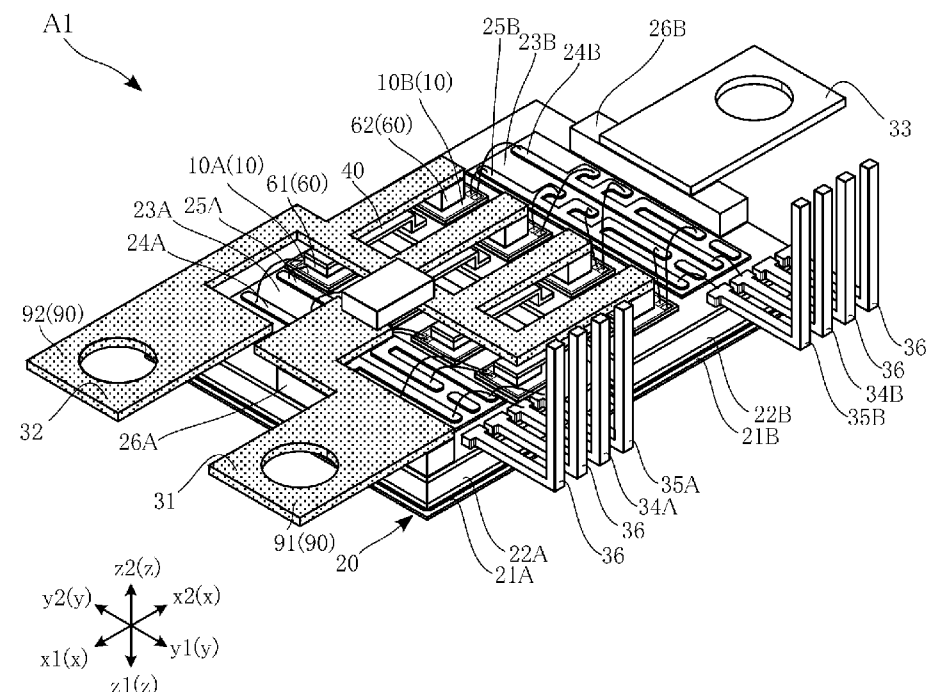
WO 2021/200166 A1

- (51) 国際特許分類:
H01L 23/48 (2006.01) H01L 25/07 (2006.01)
H01L 23/50 (2006.01) H01L 25/18 (2006.01)
- (21) 国際出願番号: PCT/JP2021/010866
- (22) 国際出願日: 2021年3月17日(17.03.2021)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2020-060295 2020年3月30日(30.03.2020) JP
- (71) 出願人: ローム株式会社 (ROHM CO., LTD.)
[JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町 2 1 番地 Kyoto (JP).
- (72) 発明者: 宮 ▲ 崎 ▼ 達也 (MIYAZAKI Tatsuya);
〒6158585 京都府京都市右京区西院溝崎町 2 1 番地 ローム株式会社内 Kyoto (JP).
- (74) 代理人: 臼 井 尚, 外 (USUI Takashi et al.);
〒5430014 大阪府大阪市天王寺区玉造元町 2 番 3 2 - 1 3 0 1 Osaka (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置

FIG.2



(57) **Abstract:** This semiconductor device is provided with at least one semiconductor element having a switching function, an electrical conduction member providing a path for a current switched by the semiconductor element and made of a first material, and a coating layer covering at least a part of the electrical conduction member and made of a second material. The second material satisfies at least one of the following three requirements: (a) has a magnetic permeability higher than that of the first material; (b) has an electrical resistivity higher than that of the first material; and (c) has a dielectric tangent greater than zero.

QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第21条(3))

(57) 要約: 半導体装置は、スイッチング機能を有する少なくとも1つの半導体素子と、前記半導体素子によってスイッチングされる電流の経路となり且つ第1素材からなる導通部材と、前記導通部材の少なくとも一部を覆い且つ第2素材からなる被覆層と、を備える。前記第2素材は、以下の3つの要件: (a) 前記第1素材よりも透磁率が高い、(b) 前記第1素材よりも電気抵抗率が高い、および(c) 誘電正接が0より大きい、のうちの少なくとも1つの要件を満たす。

明 細 書

発明の名称：半導体装置

技術分野

[0001] 本開示は、半導体素子を備えた半導体装置に関する。

背景技術

[0002] 特許文献1は、従来の半導体装置を開示している。特許文献1に記載の半導体装置は、半導体素子、アイランド、リード、複数の接合材、接続板および封止樹脂を備えている。この半導体装置において、半導体素子は、たとえば、MOSFET (Metal-Oxide-Semiconductor Field-Effect Transistor) などのトランジスタである。

先行技術文献

特許文献

[0003] 特許文献1：特開2011-204863号公報

発明の概要

発明が解決しようとする課題

[0004] 半導体装置の通電時に、半導体素子によってスイッチングされる主回路電流は、アイランドやリードを経路として流れる。スイッチングが高速化するほど、主回路電流にリングングが生じやすく、このリングングが、たとえば周囲の機器の動作に悪影響を及ぼす電磁干渉ノイズ発生の原因となりうる。

[0005] 上記課題に鑑み、本開示は、リングングを抑制可能な半導体装置を提供することを一の課題とする。

課題を解決するための手段

[0006] 本開示によって提供される半導体装置は、スイッチング機能を有する少なくとも1つの半導体素子と、前記半導体素子によってスイッチングされる電流の経路となり且つ第1素材からなる導通部材と、前記導通部材の少なくとも一部を覆い且つ第2素材からなる被覆層と、を備えている。また、前記第2素材は、以下の3つの要件：（a）前記第1素材よりも透磁率が高い、（

b) 前記第 1 素材よりも電気抵抗率が高い、および (c) 誘電正接が 0 より大きい、のうちの少なくとも 1 つの要件を満たす。

[0007] 好ましくは、前記第 2 素材は、前記第 1 素材よりも透磁率が高く且つ前記第 1 素材よりも電気抵抗率が高い磁性導電体である。

[0008] 好ましくは、前記第 2 素材は、誘電正接が 0 より大きい。

[0009] 好ましくは、前記第 2 素材は、前記第 1 素材よりも透磁率が高く且つ誘電正接が 0 より大きい。

[0010] 好ましくは、前記第 2 素材は、前記第 1 素材よりも電気抵抗率が高く且つ誘電正接が 0 より大きい。

[0011] 好ましくは、前記被覆層の厚さは、 $1\ \mu\text{m} \sim 5\ \mu\text{m}$ である。

[0012] 好ましくは、前記第 2 素材の比透磁率は、10 以上である。

[0013] 好ましくは、前記第 2 素材の電気抵抗率は、前記第 1 素材の電気抵抗率の 2 倍以上である。

[0014] 好ましくは、前記第 2 素材の誘電正接は、0.01 以上である。

[0015] 好ましくは、本開示に係る半導体装置は、電気接続用の第 1 端および第 2 端を有するコンデンサをさらに備える。また、前記少なくとも 1 つの半導体素子は、少なくとも 1 組の上下アームを含むハーフブリッジを構成する複数の半導体素子であり、前記複数の半導体素子は、前記上アームに含まれる第 1 半導体素子と、前記下アームに含まれる第 2 半導体素子と、を含む。前記導通部材は、前記第 1 半導体素子のドレイン電極に接続された第 1 金属層と、前記第 1 金属層に接続された第 1 パワーリードと、前記第 2 半導体素子のソース電極に接続された第 2 パワーリードとを含む。前記コンデンサの前記第 1 端は、前記第 1 パワーリードに接続され、前記コンデンサの前記第 2 端は、前記第 2 パワーリードに接続されている。前記被覆層は、前記第 1 パワーリードを覆う第 1 部と、前記第 2 パワーリードを覆う第 2 部とを含む。

[0016] 好ましくは、前記第 1 パワーリードは、前記第 1 半導体素子と前記コンデンサとの経路を構成する部分を含み、前記第 1 パワーリードの当該部分は、前記第 1 部によって覆われていない。

- [0017] 好ましくは、前記第2パワーリードは、前記第2半導体素子と前記コンデンサとの経路を構成する部分を含み、前記第2パワーリードの当該部分は、前記第2部によって覆われていない。
- [0018] 好ましくは、前記被覆層は、前記第1金属層を覆う第3部を含んでいる。
- [0019] 好ましくは、前記導通部材は、前記第2半導体素子のドレイン電極に接続された第2金属層と、前記第2金属層に接続された第3パワーリードとを含み、前記第2金属層および前記第3パワーリードは、前記被覆層によって覆われていない。
- [0020] 好ましくは、前記導通部材は、前記第1半導体素子のソース電極と前記第2金属層とに接続された中間リードを含み、前記中間リードは、前記被覆層によって覆われていない。
- [0021] 好ましくは、前記導通部材は、前記第1金属層と前記第1パワーリードとの間に介在する第1スペーサを含み、前記被覆層は、前記第1スペーサを覆う第4部を含む。
- [0022] 好ましくは、前記導通部材は、前記第2半導体素子のソース電極と前記第2パワーリードとの間に介在する導体を含む。
- [0023] 好ましくは、前記半導体素子は、SiC MOSFET、SiC IGBT、Si MOSFET、Si IGBTおよびGaN HEMTのいずれかである。

発明の効果

- [0024] 本開示によれば、半導体装置において、リングングを抑制することが可能であり、スナバ回路の簡素化および信頼性の向上を図ることができる。

図面の簡単な説明

- [0025] [図1]第1実施形態にかかる半導体装置を示す斜視図である。
- [図2]第1実施形態にかかる半導体装置を示す要部斜視図である。
- [図3]第1実施形態にかかる半導体装置を示す平面図である。
- [図4]図3の平面図において封止樹脂を想像線で示した図である。
- [図5]図4の一部を拡大した部分拡大平面図である。

[図6]第1実施形態にかかる半導体装置を示す正面図である。

[図7]第1実施形態にかかる半導体装置を示す底面図である。

[図8]第1実施形態にかかる半導体装置を示す左側面図である。

[図9]第1実施形態にかかる半導体装置を示す右側面図である。

[図10]図4のX-X線に沿う断面図である。

[図11]図10のX'-X'線に沿う断面図である。

[図12]第1実施形態にかかる半導体装置の第1変形例を示す断面図である。

[図13]第1実施形態にかかる半導体装置の第2変形例を示す断面図である。

[図14]第2実施形態にかかる半導体装置を示す要部斜視図である。

[図15]第2実施形態にかかる半導体装置を示す平面図である。

[図16]図15のXV-XV線に沿う断面図である。

[図17]第3実施形態にかかる半導体装置を示す要部斜視図である。

[図18]第3実施形態にかかる半導体装置を示す平面図である。

[図19]図18のX-X'-X-X線に沿う断面図である。

[図20]第4実施形態にかかる半導体装置を示す平面図である。

[図21]図20のX-XI-X-XI線に沿う断面図である。

発明を実施するための形態

[0026] 本開示の半導体装置の好ましい実施の形態について、図面を参照して、以下に説明する。

[0027] 図1～図11は、第1実施形態にかかる半導体装置を示している。第1実施形態の半導体装置A1は、複数の半導体素子10、支持基板20、複数のリード、複数の中間リード40、複数のワイヤ部材50、複数の導電ブロック60、封止樹脂70、コンデンサ81および被覆層90を備えている。複数のリードは、第1パワーリード31、第2パワーリード32、第3パワーリード33、一对のゲートリード34A、34B、一对のドライバソースリード35A、35Bおよび複数のダミーリード36を含んでいる。複数の導電ブロック60は、複数の第1ブロック61および複数の第2ブロック62を含んでいる。

[0028] 図1は、半導体装置A1を示す斜視図である。図2は、図1の斜視図において、封止樹脂70を省略した図である。図2においては、複数のワイヤ部材50を省略している。図3は、半導体装置A1を示す平面図である。図4は、図3の平面図において、封止樹脂70を想像線（二点鎖線）で示した図である。図5は、図4の一部を拡大した部分拡大図である。図6は、半導体装置A1を示す正面図である。図7は、半導体装置A1を示す底面図である。図8は、半導体装置A1を示す左側面図である。図9は、半導体装置A1を示す右側面図である。図10は、図4のX-X線に沿う断面図である。図11は、図10のX1-X1線に沿う断面図である。図1～図8において、理解の便宜上、被覆層90に複数の離散点を描いている。

[0029] 以下の説明において、互いに直交する3つの方向（x方向、y方向、z方向）を適宜参照する。z方向は、半導体装置A1の厚さ方向に対応する。x方向は、半導体装置A1の平面図（図3および図4参照）における左右方向に対応する。y方向は、半導体装置A1の平面図（図3および図4参照）における上下方向に対応する。必要に応じて、x方向の一方をx1方向、x方向の他方をx2方向とする。同様に、y方向の一方をy1方向、y方向の他方をy2方向とし、z方向の一方をz1方向、z方向の他方をz2方向とする。

[0030] 複数の半導体素子10の各々は、主回路電流をスイッチングする機能を有しており、その具体的構成は特に限定されない。半導体素子10の具体例としては、たとえば、SiC（炭化ケイ素）MOSFET、SiC IGBT、Si MOSFET、Si IGBT（Insulated Gate Bipolar Transistor）およびGaN（窒化ガリウム）HEMT（High Electron Mobility Transistor）が挙げられる。各半導体素子10は、z方向に見て（「平面視」とも言う）矩形状であるが、本開示はこれに限定されない。

[0031] 複数の半導体素子10の各々は、図5および図10に示すように、素子主面101および素子裏面102を有する。各半導体素子10において、素子主面101および素子裏面102は、z方向において離間し、かつ、互いに

反対側を向く。本実施形態において、素子主面 101 は、z 2 方向を向き、素子裏面 102 は、z 1 方向を向く。

[0032] 複数の半導体素子 10 の各々は、図 5 および図 10 に示すように、主面電極 11、裏面電極 12 および絶縁膜 13 を有する。

[0033] 主面電極 11 は、図 5 に示すように、素子主面 101 に設けられている。主面電極 11 は、図 5 に示すように、ソース電極 111、ゲート電極 112 およびドライバソース電極 113 を含む。本実施形態においては、ソース電極 111 は、ソース電流が流れる電極である。本実施形態においては、ゲート電極 112 は、各半導体素子 10 を駆動させるためのゲート電圧が印加される。ドライバソース電極 113 は、ゲート電圧の基準電位となる電極である。ソース電極 111 は、ゲート電極 112 およびドライバソース電極 113 よりも大きい。ゲート電極 112 とドライバソース電極 113 とは、実質的に同じ大きさである。本実施形態においては、ソース電極 111 は、1 つの領域で構成されている場合を示すが、複数の領域に分割されていてもよい。

[0034] 裏面電極 12 は、図 10 に示すように、素子裏面 102 に設けられている。裏面電極 12 は、素子裏面 102 の全体にわたって形成されている。本実施形態においては、裏面電極 12 は、ドレイン電流が流れる電極であり、以降の説明においては、ドレイン電極 12 とも称する。

[0035] 絶縁膜 13 は、図 5 に示すように、素子主面 101 に設けられている。絶縁膜 13 は、電気絶縁性を有する。絶縁膜 13 は、平面視において主面電極 11 を囲んでいる。絶縁膜 13 は、ソース電極 111 とゲート電極 112 とを絶縁する。絶縁膜 13 は、たとえば SiO_2 (二酸化ケイ素) 層、 Si_3N_4 (窒化ケイ素) 層、および、ポリベンゾオキサゾール層が、素子主面 101 において、この順番で積層されたものであり、ポリベンゾオキサゾール層が表層である。絶縁膜 13 においては、ポリベンゾオキサゾール層に代えてポリイミド層でもよい。絶縁膜 13 の構成は、先述したものに限定されない。

[0036] 複数の半導体素子 10 は、複数の第 1 半導体素子 10A および複数の第 2

半導体素子 10B を含んでいる。本実施形態において、半導体装置 A1 は、ハーフブリッジ型のスイッチング回路を構成している。複数の第 1 半導体素子 10A は、このスイッチング回路における上アーム回路を構成し、複数の第 2 半導体素子 10B は、このスイッチング回路における下アーム回路を構成する。半導体装置 A1 は、図 4 に示すように、4 つの第 1 半導体素子 10A および 4 つの第 2 半導体素子 10B を含んでいる。半導体素子 10 の数は、本構成に限定されず、半導体装置 A1 に要求される性能に応じて自在に設定可能である。

[0037] 複数の第 1 半導体素子 10A の各々は、図 2、図 4、図 5 および図 10 に示すように、支持基板 20（導電性基板 22A）に搭載されている。本実施形態においては、複数の第 1 半導体素子 10A は、y 方向に並んでおり、互いに離間している。各第 1 半導体素子 10A は、導電性基板 22A に搭載された際、素子裏面 102 が導電性基板 22A に対向する。各第 1 半導体素子 10A は、たとえば導電性を有する素子接合材（図示略）を介して、支持基板 20（導電性基板 22A）に導通接合されている。素子接合材としては、たとえば、はんだ、焼結銀、銀ペースト等が挙げられる。

[0038] 複数の第 2 半導体素子 10B の各々は、図 2、図 4、図 5 および図 10 に示すように、支持基板 20（導電性基板 22B）に搭載されている。本実施形態においては、複数の第 2 半導体素子 10B は、y 方向に並んでおり、互いに離間している。各第 2 半導体素子 10B は、導電性基板 22B に搭載された際、素子裏面 102 が導電性基板 22B に対向する。各第 2 半導体素子 10B は、たとえば導電性を有する素子接合材（図示略）を介して、支持基板 20（導電性基板 22B）に導通接合されている。本実施形態においては、x 方向に見て、複数の第 1 半導体素子 10A と複数の第 2 半導体素子 10B とは重なっている。これに代えて、複数の第 1 半導体素子 10A と複数の第 2 半導体素子 10B とは、x 方向に見て、重なってなくてもよい。

[0039] 支持基板 20 は、複数の半導体素子 10 を支持する支持部材である。支持基板 20 は、絶縁基板 21、2 つの導電性基板 22A、22B、一对の絶縁

層 2 3 A、2 3 B、一对のゲート層 2 4 A、2 4 B、一对のドライバソース層 2 5 A、2 5 B および第 1 スペース 2 6 A および第 2 スペース 2 6 B を備えている。

[0040] 絶縁基板 2 1 は、電気絶縁性を有する板状部材である。絶縁基板 2 1 は、2 つの導電性基板 2 2 A、2 2 B を支持する。本実施形態においては、絶縁基板 2 1 は、各々が平板状の 2 つの絶縁基板 2 1 A、2 1 B から構成される。絶縁基板 2 1 の構成は、先述したものに限定されず、たとえば、2 つの絶縁基板 2 1 A、2 1 B に分割されず、一枚の平板であってもよい。絶縁基板 2 1 A、2 1 B の各構成材料は、たとえば熱伝導性に優れたセラミックスである。このようなセラミックスとしては、たとえば AlN （窒化アルミニウム）、 SiN （窒化ケイ素）、 Al_2O_3 （酸化アルミニウム）などが挙げられる。

[0041] 絶縁基板 2 1 A、2 1 B はそれぞれ、平面視矩形状である。絶縁基板 2 1 A は、導電性基板 2 2 A を支持し、絶縁基板 2 1 B は、導電性基板 2 2 B を支持する。絶縁基板 2 1 A、2 1 B は、互いに離間している。本実施形態においては、絶縁基板 2 1 A と絶縁基板 2 1 B とは、図 2、図 4 および図 1 0 に示すように、 x 方向に離間し、かつ、並んでいる。

[0042] 絶縁基板 2 1 A は、図 1 0 に示すように、主面 2 1 1 A および裏面 2 1 2 A を有している。主面 2 1 1 A と裏面 2 1 2 A とは、 z 方向において、離間し、かつ、互いに反対側を向く。主面 2 1 1 A は、 z 2 方向を向き、裏面 2 1 2 A は、 z 1 方向を向く。主面 2 1 1 A は、導電性基板 2 2 A に対向し、裏面 2 1 2 A は、封止樹脂 7 0 から露出している。図示された例とは異なり、絶縁基板 2 1 A の裏面 2 1 2 A にさらに別の導電性基板が接合されていてもよい。この場合、当該導電性基板の裏面が、封止樹脂 7 0 から露出する。

[0043] 絶縁基板 2 1 B は、図 1 0 に示すように、主面 2 1 1 B および裏面 2 1 2 B を有している。主面 2 1 1 B と裏面 2 1 2 B とは、 z 方向において、離間し、かつ互いに反対側を向く。主面 2 1 1 B は、 z 2 方向を向き、裏面 2 1 2 B は、 z 1 方向を向く。主面 2 1 1 B は、導電性基板 2 2 B に対向し、裏

面 2 1 2 B は、封止樹脂 7 0 から露出している。図示された例とは異なり、絶縁基板 2 1 B の裏面 2 1 2 B にさらに別の導電性基板が接合されていてもよい。この場合、当該導電性基板の裏面が、封止樹脂 7 0 から露出する。

[0044] 導電性基板 2 2 A, 2 2 B はそれぞれ、導電性を有する板状部材である。本実施形態においては、各導電性基板 2 2 A, 2 2 B は、図 1 0 に示すように、グラファイト基板 2 2 0 m および当該グラファイト基板 2 2 0 m の z 方向の両面に形成された銅膜 2 2 0 n を含む複合基板である。導電性基板 2 2 A, 2 2 B の各構成材料は、これに限定されず、Cu または Cu 合金であってもよい。導電性基板 2 2 A, 2 2 B の各表面は、銀めっきで覆われていてもよい。導電性基板 2 2 A, 2 2 B は、複数のリード（第 1 パワーリード 3 1、第 2 パワーリード 3 2、第 3 パワーリード 3 3、一対のゲートリード 3 4 A, 3 4 B、一対のドライバソースリード 3 5 A, 3 5 B および複数のダミーリード 3 6）とともに、複数の半導体素子 1 0 への導通経路を構成している。導電性基板 2 2 A, 2 2 B は、互いに離間している。導電性基板 2 2 A と導電性基板 2 2 B とは、図 4 および図 1 0 に示すように、x 方向に離間し、かつ並んでいる。導電性基板 2 2 A, 2 2 B は、図 4 に示すように、平面視矩形状である。導電性基板 2 2 A, 2 2 B は、z 方向の寸法が、1.0 ～ 3.5 mm 程度である。本実施形態においては、グラファイト基板 2 2 0 m の z 方向寸法が 0.5 ～ 2.5 mm 程度であり、一対の銅膜 2 2 0 n の各 z 方向寸法が 0.25 ～ 0.5 mm 程度である。これらの z 方向の寸法は、先述したものに限定されない。導電性基板 2 2 A の図 1 0 における図中上側の銅膜 2 2 0 n は、「第 1 金属層」の一例であり、導電性基板 2 2 B の図 1 0 における図中上側の銅膜 2 2 0 n は、「第 2 金属層」の一例である。導電性基板 2 2 A の図 1 0 における図中上側の銅膜 2 2 0 n および導電性基板 2 2 B の図 1 0 における図中上側の銅膜 2 2 0 n は、「導通部材」の一例である。導電性基板 2 2 A の図 1 0 における図中上側の銅膜 2 2 0 n および導電性基板 2 2 B の図 1 0 における図中上側の銅膜 2 2 0 n を構成する素材は、「第 1 素材」の一例である。

- [0045] 導電性基板 22A は、図 10 に示すように、基板接合材 220A を介して、絶縁基板 21A に接合されている。基板接合材 220A は、たとえば、銀ペーストやはんだ、あるいは焼結金属などの導電性の接合材であってもよいし、絶縁性の接合材であってもよい。導電性基板 22A は、図 4 および図 10 に示すように、導電性基板 22B よりも x 1 方向に位置する。導電性基板 22A は、 x 方向に見て、そのすべてが導電性基板 22B に重なっている。
- [0046] 導電性基板 22A は、図 10 に示すように、主面 221A および裏面 222A を有している。主面 221A および裏面 222A は、 z 方向において、離間し、かつ互いに反対側を向く。主面 221A は、 z 2 方向を向き、裏面 222A は、 z 1 方向を向く。主面 221A 上に、複数の第 1 半導体素子 10A が搭載される。主面 221A に絶縁層 23A が接合される。
- [0047] 導電性基板 22B は、図 10 に示すように、基板接合材 220B を介して、絶縁基板 21B に接合されている。基板接合材 220B は、たとえば、銀ペーストやはんだ、あるいは焼結金属などの導電性の接合材であってもよいし、絶縁性の接合材であってもよい。
- [0048] 導電性基板 22B は、図 10 に示すように、主面 221B および裏面 222B を有している。主面 221B および裏面 222B は、 z 方向において、離間し、かつ互いに反対側を向く。主面 221B は、 z 2 方向を向き、裏面 222B は、 z 1 方向を向く。主面 221B 上に、複数の第 2 半導体素子 10B が搭載される。主面 221B に、絶縁層 23B と複数の中間リード 40 の一端とがそれぞれ接合される。
- [0049] 一对の絶縁層 23A, 23B は、電気絶縁性を有しており、その構成材料は、たとえばガラスエポキシ樹脂あるいはセラミックスである。一对の絶縁層 23A, 23B は、図 4 に示すように、各々が y 方向に延びる帯状である。絶縁層 23A は、図 4 および図 10 に示すように、導電性基板 22A の主面 221A に接合されている。絶縁層 23A は、複数の第 1 半導体素子 10A よりも x 1 方向に位置する。これ代えて、絶縁層 23A を、複数の第 1 半導体素子 10A よりも x 2 方向側に配置してもよい。絶縁層 23B は、図 4

および図10に示すように、導電性基板22Bの主面221Bに接合されている。絶縁層23Bは、複数の第2半導体素子10Bよりもx2方向に位置する。これに代えて、絶縁層23Bを、複数の第2半導体素子10Bよりもx1方向側に配置してもよい。

[0050] 一对のゲート層24A、24Bは、導電性を有しており、その構成材料は、たとえばCuあるいはCu合金である。一对のゲート層24A、24Bは、図4などに示すように、y方向に延びる帯状の部分と、この帯状の部分から突き出た鉤状の部分とを含む。一对のゲート層24A、24Bの形状は、図4に示したものに限定されず、たとえば鉤状の部分がなく、帯状の部分のみで構成されていてもよい。ゲート層24Aは、図4および図10に示すように、絶縁層23A上に配置されている。ゲート層24Aは、ワイヤ部材50（後述するゲートワイヤ51）を介して、各第1半導体素子10Aのゲート電極112に導通する。ゲート層24Bは、図4および図10に示すように、絶縁層23B上に配置されている。ゲート層24Bは、ワイヤ部材50（後述するゲートワイヤ51）を介して、各第2半導体素子10Bのゲート電極112に導通する。

[0051] 一对のドライバソース層25A、25Bは、導電性を有しており、その構成材料は、たとえばCuあるいはCu合金である。一对のドライバソース層25A、25Bは、図4などに示すように、y方向に延びる帯状の部分と、この帯状の部分から突き出た鉤状の部分とを含む。一对のドライバソース層25A、25Bの形状は、図4に示したものに限定されず、たとえば鉤状の部分がなく、帯状の部分のみで構成されていてもよい。ドライバソース層25Aは、図4および図10に示すように、ゲート層24Aとともに絶縁層23A上に配置されている。ドライバソース層25Aは、平面視において、絶縁層23A上において、ゲート層24Aの隣に位置し、ゲート層24Aから離間している。本実施形態においては、ドライバソース層25Aは、x方向において、ゲート層24Aよりも複数の第1半導体素子10Aの近くに配置されている。よって、ドライバソース層25Aは、ゲート層24Aのx2方

向側に位置する。ゲート層 24 A とドライバソース層 25 A との x 方向における配置は、上記の反対であってもよい。ドライバソース層 25 A は、ワイヤ部材 50（ドライバソースワイヤ 52）を介して、各第 1 半導体素子 10 A のドライバソース電極 113 に導通する。ドライバソース層 25 B は、図 4 および図 10 に示すように、ゲート層 24 B とともに絶縁層 23 B 上に配置されている。ドライバソース層 25 B は、平面視において、絶縁層 23 B 上において、ゲート層 24 B の隣に位置し、ゲート層 24 B から離間している。本実施形態においては、ドライバソース層 25 B は、ゲート層 24 B よりも複数の第 2 半導体素子 10 B の近くに配置されている。よって、ドライバソース層 25 B は、ゲート層 24 B の x 1 方向側に位置する。ゲート層 24 B とドライバソース層 25 B との x 方向における配置は、上記の反対であってもよい。ドライバソース層 25 B は、ワイヤ部材 50（ドライバソースワイヤ 52）を介して、各第 2 半導体素子 10 B のドライバソース電極 113 に導通する。

[0052] 第 1 スペース 26 A および第 2 スペース 26 B は、導電性を有しており、その構成材料は、たとえば、Cu あるいは Cu 合金である。第 1 スペース 26 A および第 2 スペース 26 B の各構成材料は、先述したものに限定されず、たとえば、CuMo（Cu モリブデン）の複合材、CIC（Copper-Inver-Copper）の複合材などであってもよい。第 1 スペース 26 A と第 2 スペース 26 B との各構成材料を、互いに異ならせてもよい。第 1 スペース 26 A および第 2 スペース 26 B は、「導通部材」の一例であり、第 1 スペース 26 A および第 2 スペース 26 B を構成する素材は、「第 1 素材」の一例である。

[0053] 第 1 スペース 26 A は、図 10 に示すように、導電性基板 22 A と第 1 パワーリード 31 との間に介在する。第 1 スペース 26 A は、図 4 に示すように、平面視において、y 方向に延びる矩形状である。第 1 スペース 26 A は、導電性基板 22 A に導通接合されている。第 1 スペース 26 A は、平面視において、導電性基板 22 A の x 1 方向の端縁付近に位置する。第 1 スペース

サ 2 6 A は、第 1 パワーリード 3 1 を、z 方向において、第 2 パワーリード 3 2 と実質的に同じ位置にするために設けられている。これに代えて、第 1 スペーサ 2 6 A がなく、第 1 パワーリード 3 1 が導電性基板 2 2 A に直接接合されていてもよい。第 1 スペーサ 2 6 A の形状は、特に限定されない。

[0054] 第 2 スペーサ 2 6 B は、図 1 0 に示すように、導電性基板 2 2 B と第 3 パワーリード 3 3 との間に介在する。第 2 スペーサ 2 6 B は、図 4 に示すように、平面視において、y 方向に延びる矩形状である。第 2 スペーサ 2 6 B は、導電性基板 2 2 B に導通接合されている。第 2 スペーサ 2 6 B は、平面視において、導電性基板 2 2 B の x 2 方向の端縁付近に位置する。第 2 スペーサ 2 6 B は、第 3 パワーリード 3 3 を、z 方向において、第 2 パワーリード 3 2 と実質的に同じ位置にするために設けられている。これに代えて、第 2 スペーサ 2 6 B がなく、第 3 パワーリード 3 3 が導電性基板 2 2 B に直接接合されていてもよい。第 2 スペーサ 2 6 B の形状は、特に限定されない。

[0055] 複数のリード（第 1 パワーリード 3 1、第 2 パワーリード 3 2、第 3 パワーリード 3 3、一对のゲートリード 3 4 A、3 4 B、一对のドライバソースリード 3 5 A、3 5 B および複数のダミーリード 3 6）の各々は、封止樹脂 7 0 の内部に位置する部分と、封止樹脂 7 0 の外部に位置する部分とを含んでいる。すなわち、各リードは、封止樹脂 7 0 に覆われた部分と封止樹脂 7 0 から露出した部分とを含んでいる。各リードは、半導体装置 A 1 を電子機器などの回路基板に実装する際に用いられる。

[0056] 第 1 パワーリード 3 1、第 2 パワーリード 3 2 はそれぞれ、金属板である。当該金属板の構成材料は、Cu または Cu 合金である。第 1 パワーリード 3 1、第 2 パワーリード 3 2 の構成材料は、これに限定されず、たとえば、アルミニウムであってもよい。本実施形態において、第 1 パワーリード 3 1、第 2 パワーリード 3 2 はともに、z 方向の寸法が 0.8 mm 程度であるが、本開示はこれに限定されない。第 1 パワーリード 3 1、第 2 パワーリード 3 2 はともに、図 1 ～図 4 および図 7 に示すように、半導体装置 A 1 において x 1 方向寄りに位置する。第 1 パワーリード 3 1、第 2 パワーリード 3 2

の間には、たとえば電源電圧が印加される。第1パワーリード31は、正極（P端子）であり、第2パワーリード32は、負極（N端子）である。第1パワーリード31と第2パワーリード32とは、互いに離間している。第2パワーリード32は、導電性基板22Aと離間している。第1パワーリード31、第2パワーリード32は、「導通部材」の一例であり、第1パワーリード31、第2パワーリード32を構成する素材は、「第1素材」の一例である。

[0057] 第1パワーリード31は、図4に示すように、パッド部311および端子部312を有する。

[0058] パッド部311は、第1パワーリード31のうち、封止樹脂70に覆われた部分である。パッド部311は、第1スペーサ26Aを介して、導電性基板22Aに導通する。パッド部311は、図2、図4および図10に示すように、第1スペーサ26Aに導通接合されている。導通接合の手法はなんら限定されず、たとえばレーザ接合、導通接合材による接合等であってもよい。

[0059] 端子部312は、第1パワーリード31のうち、封止樹脂70から露出した部分である。端子部312は、図3、図4、図6、図7および図10に示すように、封止樹脂70からx1方向に延びている。

[0060] 第2パワーリード32は、図4に示すように、パッド部321および端子部322を有する。

[0061] パッド部321は、第2パワーリード32のうち、封止樹脂70に覆われた部分である。パッド部321は、連結部321a、複数の延出部321bおよび接続部321cを含んでいる。

[0062] 連結部321aは、y方向に延びる帯状である。連結部321aは、複数の延出部321bを繋いでいる。

[0063] 複数の延出部321bは、各々が連結部321aからx2方向に向けて延びる帯状である。本実施形態においては、各延出部321bは、連結部321aから、平面視において各第2半導体素子10Bに重なるまでx方向に延

びている。各延出部321bは、平面視において、導電性基板22Aから導電性基板22Bに跨って延びている。各延出部321bは、その先端部分が、平面視において、第2ブロック62に重なっている。複数の延出部321bは、平面視において、y方向に並んでおり、かつ互いに離間している。各延出部321bは、複数の導電ブロック60を介して、第2半導体素子10Bのソース電極111（ソース電極）に導通する。各延出部321bは、図4および図10に示すように、その先端部分が、第2ブロック62に導通接合されている。導通接合の手法はなんら限定されず、たとえばレーザ接合、導通接合材による接合等であってもよい。

[0064] 接続部321cは、連結部321aと端子部322とを接続する部分である。本実施形態においては、接続部321cは、図4に示すように、平面視において、連結部321aのうち、y2方向側かつx1方向側の端縁からx1方向に延び出ている。

[0065] 端子部322は、第2パワーリード32のうち、封止樹脂70から露出した部分である。端子部322は、図1、図3、図4および図7に示すように、封止樹脂70からx1方向に延びている。端子部322は、平面視矩形形状である。端子部322は、図3、図4および図7に示すように、平面視において、第1パワーリード31の端子部312のy2方向側に位置する。本実施形態においては、端子部322の形状は、端子部312の形状と同一であるが、本開示がこれに限定されるわけではない。

[0066] 第3パワーリード33は、金属板である。当該金属板の構成材料は、たとえばCuまたはCu合金である。なお、第3パワーリード33の構成材料は、これに限定されず、たとえば、アルミニウムであってもよい。第3パワーリード33は、図1～図4、図6、図7および図10に示すように、半導体装置A1においてx2方向寄りに位置する。複数の半導体素子10により電力変換された交流電力（電圧）は、この第3パワーリード33から出力される。

[0067] 第3パワーリード33は、図4および図10に示すように、パッド部33

1 および端子 部 3 3 2 を含んでいる。

[0068] パッド部 3 3 1 は、第 3 パワーリード 3 3 のうち、封止樹脂 7 0 に覆われた部分である。パッド部 3 3 1 は、第 2 スペーサ 2 6 B を介して、導電性基板 2 2 B に導通する。パッド部 3 3 1 は、図 2、図 4 および図 1 0 に示すように、第 2 スペーサ 2 6 B に導通接合されている。導通接合の手法はなんら限定されず、たとえばレーザ接合、導通接合材による接合等であってもよい。

[0069] 端子部 3 3 2 は、第 3 パワーリード 3 3 のうち、封止樹脂 7 0 から露出した部分である。端子部 3 3 2 は、図 3、図 4、図 6、図 7 および図 1 0 に示すように、封止樹脂 7 0 から x 2 方向に延び出ている。

[0070] 一对のゲートリード 3 4 A, 3 4 B は、図 1 ~ 図 7 に示すように、y 方向において、各導電性基板 2 2 A, 2 2 B の隣に位置する。ゲートリード 3 4 A には、複数の第 1 半導体素子 1 0 A を駆動させるためのゲート電圧が印加される。ゲートリード 3 4 B には、複数の第 2 半導体素子 1 0 B を駆動させるためのゲート電圧が印加される。

[0071] 一对のゲートリード 3 4 A, 3 4 B はともに、図 5 に示すように、パッド部 3 4 1 および端子部 3 4 2 を有する。各ゲートリード 3 4 A, 3 4 B において、パッド部 3 4 1 は、封止樹脂 7 0 に覆われている。各ゲートリード 3 4 A, 3 4 B は、封止樹脂 7 0 に支持されている。端子部 3 4 2 は、パッド部 3 4 1 に繋がり、かつ封止樹脂 7 0 から露出している。端子部 3 4 2 は、x 方向に見て L 字状をなしている。本実施形態においては、端子部 3 4 2 は、封止樹脂 7 0 の y 1 方向を向く面（樹脂側面 7 3 3）から突き出ている。

[0072] 一对のドライバソースリード 3 5 A, 3 5 B は、図 1 ~ 図 7 に示すように、x 方向において一对のゲートリード 3 4 A, 3 4 B の隣に位置する。ドライバソースリード 3 5 A は、複数の第 1 半導体素子 1 0 A を駆動させるためのゲート電圧の基準電位となるリードである。ドライバソースリード 3 5 B は、複数の第 2 半導体素子 1 0 B を駆動させるためのゲート電圧の基準電位となるリードである。

- [0073] 一対のドライバソースリード35A, 35Bはともに、図5に示すように、パッド部351および端子部352を有する。各ドライバソースリード35A, 35Bにおいて、パッド部351は、封止樹脂70に覆われている。各ドライバソースリード35A, 35Bは、封止樹脂70に支持されている。端子部352は、パッド部351に繋がり、かつ封止樹脂70から露出している。端子部352は、x方向に見てL字状をなしている。本実施形態においては、端子部352は、封止樹脂70のy1方向を向く面（樹脂側面733）から突き出ている。
- [0074] 複数のダミーリード36は、図1～図7に示すように、x方向において一対のゲートリード34A, 34Bに対して、一対のドライバソースリード35A, 35Bと反対側に位置する。本実施形態においては、ダミーリード36の数は4つである。このうち2つのダミーリード36は、x方向の一方側（x2方向）に位置する。残り2つのダミーリード36は、x方向の他方側（x1方向）に位置する。複数のダミーリード36は、先述した構成に限定されない。複数のダミーリード36を備えない構成としてもよい。
- [0075] 複数のダミーリード36の各々は、図5に示すように、パッド部361および端子部362を有する。各ダミーリード36において、パッド部361は、封止樹脂70に覆われている。複数のダミーリード36は、封止樹脂70に支持されている。端子部362は、パッド部361に繋がり、かつ、封止樹脂70から露出している。端子部362は、x方向に見てL字状をなしている。本実施形態においては、端子部362は、封止樹脂70のy1方向を向く面（樹脂側面733）から突き出ている。
- [0076] 本実施形態においては、各ゲートリード34A, 34B、各ドライバソースリード35A, 35Bおよび各ダミーリード36は、実質的に同じ形状である。そして、これらは、図1～図7に示すように、x方向に沿って配列されている。半導体装置A1において、各リード（第1パワーリード31、第2パワーリード32、第3パワーリード33、一対のゲートリード34A, 34B、一対のドライバソースリード35A, 35Bおよび複数のダミー

ード36)は、いずれも同一のリードフレームから形成される。

[0077] 複数の中間リード40は、各第1半導体素子10Aと導電性基板22Bとを接続するものである。各中間リード40の構成材料は、たとえばCuあるいはCu合金である。各中間リード40の構成材料は、これに限定されず、Cuなどのクラッド材、アルミニウムなどであってもよい。各中間リード40は、平板状の接続部材である。各中間リード40は、図4に示すように、平面視において、x方向に延びる矩形状である。各中間リード40は、平面視において、第2パワーリード32の各延出部321bに重なる。中間リード40は、「導通部材」の一例であり、中間リード40を構成する素材は、「第1素材」の一例である。

[0078] 各中間リード40は、図10に示すように、第1接合部41、第2接合部42および連絡部43を含んでいる。

[0079] 第1接合部41は、図10に示すように、第1ブロック61に接合された部分である。本実施形態においては、第1接合部41と第1ブロック61とは、導通接合されている。導通接合の手法は特に限定されず、たとえばレーザー接合、導通接合材による接合等であってもよい。

[0080] 第2接合部42は、図10に示すように、導電性基板22Bに接合された部分である。本実施形態においては、第2接合部42と導電性基板22Bとは、導通接合されている。導通接合の手法は特に限定されず、たとえばレーザー接合、導通接合材による接合等であってもよい。

[0081] 連絡部43は、第1接合部41と第2接合部42とに繋がる部分である。連絡部43のz方向の寸法は、第1接合部41および第2接合部42と同じである。本実施形態においては、連絡部43は、一部がz方向に屈曲している。連絡部43が屈曲していることで、z方向における位置が異なる第1接合部41と第2接合部42とを繋いでいる。

[0082] 複数のワイヤ部材50の各々は、ワイヤ（ボンディングワイヤ）である。各ワイヤ部材50は、導電性を有しており、その構成材料は、たとえばアルミニウム、金、Cuのいずれかである。本実施形態において、複数のワイヤ

部材50は、図4および図5に示すように、複数のゲートワイヤ51、複数のドライバソースワイヤ52、一对の第1接続ワイヤ53および一对の第2接続ワイヤ54を含んでいる。

[0083] 複数のゲートワイヤ51の各々は、図5に示すように、その一端（第1端）が各半導体素子10のゲート電極112に接合され、その他端（第2端）が一对のゲート層24A、24Bのいずれかに接合されている。複数のゲートワイヤ51には、各第1半導体素子10Aのゲート電極112とゲート層24Aとを導通させるものと、各第2半導体素子10Bのゲート電極112とゲート層24Bとを導通させるものがある。

[0084] 複数のドライバソースワイヤ52の各々は、図5に示すように、その一端が各半導体素子10のドライバソース電極113に接合され、その他端が一对のドライバソース層25A、25Bのいずれかに接合されている。複数のドライバソースワイヤ52には、各第1半導体素子10Aのドライバソース電極113とドライバソース層25Aとを導通させるものと、各第2半導体素子10Bのドライバソース電極113とドライバソース層25Bとを導通させるものがある。

[0085] 図5に示すように、一对の第1接続ワイヤ53は、その一方がゲート層24Aとゲートリード34Aとを接続し、その他方がゲート層24Bとゲートリード34Bとを接続する。一方の第1接続ワイヤ53は、一端がゲート層24Aに接合され、他端がゲートリード34Aのパッド部341に接合されている。他方の第1接続ワイヤ53は、一端がゲート層24Bに接合され、他端がゲートリード34Bのパッド部341に接合されている。

[0086] 図5に示すように、一对の第2接続ワイヤ54は、その一方がドライバソース層25Aとドライバソースリード35Aとを接続し、その他方がドライバソース層25Bとドライバソースリード35Bとを接続する。一方の第2接続ワイヤ54は、一端がドライバソース層25Aに接合され、他端がドライバソースリード35Aのパッド部351に接合されている。他方の第2接続ワイヤ54は、一端がドライバソース層25Bに接合され、他端がドライ

バソースリード35Bのパッド部351に接合されている。

[0087] 複数の導電ブロック60は、導電性を有する。複数の導電ブロック60の各々は、対応する一の半導体素子10の上に接合されている。各導電ブロック60は、z方向寸法が0.1～2.0mm程度であるが、本開示はこれに限定されない。複数の導電ブロック60は、複数の第1ブロック61および複数の第2ブロック62を含んでいる。

[0088] 複数の第1ブロック61はそれぞれ、複数の第1半導体素子10Aのいずれかの上に1つずつ接合されている。各第1ブロック61は、各第1半導体素子10Aにはんだ等によって導通接合されている。各第1ブロック61は、各第1半導体素子10Aの素子主面101に対向する。本実施形態においては、各第1ブロック61は、図4で示されるように、柱状体であり、平面視矩形形状である。各第1ブロック61の平面視形状は、これに限定されず、円形、楕円形あるいは多角形であってもよい。第1ブロック61は、たとえばCuまたはCu合金からなる。

[0089] 複数の第2ブロック62はそれぞれ、複数の第2半導体素子10Bのいずれかの上に1つずつ接合されている。各第2ブロック62は、各第2半導体素子10Bにはんだ等によって導通接合されている。各第2ブロック62は、各第2半導体素子10Bの素子主面101に対向する。各第2ブロック62のz方向寸法は、特に限定されないが、本実施形態ではたとえば1.83mm程度である。本実施形態においては、各第2ブロック62は、図4および図10で示されるように、柱状体であり、平面視矩形形状である。各第2ブロック62の平面視形状は、これに限定されず、円形、楕円形あるいは多角形であってもよい。第2ブロック62は、たとえばCuまたはCu合金からなる。

[0090] 各第1ブロック61のz方向の寸法は、各第2ブロック62のz方向寸法よりも小さい。本実施形態においては、各第2ブロック62のz方向寸法は、先述の通り1.83mm程度であるので、各第1ブロック61のz方向寸法は、この値よりも小さい。これにより、第2パワーリード32の各延出部

321bを、各中間リード40の上方に配置することができる。

[0091] コンデンサ81は、第1端および第2端を有するチップ型であって、第1端が第1パワーリード31のパッド部311に載置され、第2端が第2パワーリード32の連結部321aに載置されている。コンデンサ81と各パワーリード31、32との接合は、たとえば導電性の接合材によって行うことができる。コンデンサ81を、第1パワーリード31と第2パワーリード32とに電氣的に接続することで、第1パワーリード31および第2パワーリード32の間に印加される電源電圧（入力電圧）の安定化を図ることができる。コンデンサ81は、DCリンクコンデンサと称される場合がある。本実施形態とは異なり、コンデンサ81を備えない構成であってもよい。

[0092] 封止樹脂70は、図4および図10に示すように、複数の半導体素子10、支持基板20の一部、複数のリード（第1パワーリード31、第2パワーリード32、第3パワーリード33、一对のゲートリード34A、34B、一对のドライバソースリード35A、35Bおよび複数のダミーリード36）の一部ずつ、複数の中間リード40、複数のワイヤ部材50および複数の導電ブロック60を覆っている。封止樹脂70の構成材料は、たとえばエポキシ樹脂である。封止樹脂70は、図1、図3および図6～図10に示すように、樹脂主面71、樹脂裏面72および複数の樹脂側面731～734を有している。

[0093] 樹脂主面71および樹脂裏面72は、図6および図8～図10に示すように、z方向において、離間し、かつ互いに反対側を向く。樹脂主面71は、z2方向を向き、樹脂裏面72は、z1方向を向く。樹脂裏面72は、図7に示すように、平面視において、絶縁基板21Aの裏面212Aおよび絶縁基板21Bの裏面212Bを囲む枠状である。各裏面212A、212Bは、樹脂裏面72から露出する。複数の樹脂側面731～734の各々は、図3および図6～図10に示すように、樹脂主面71および樹脂裏面72の双方に繋がり、かつz方向においてこれらに挟まれている。本実施形態においては、樹脂側面731、732は、x方向において離間し、かつ互いに反対

側を向く。樹脂側面 7 3 1 は、x 1 方向を向き、樹脂側面 7 3 2 は、x 2 方向を向く。樹脂側面 7 3 3, 7 3 4 は、y 方向において離間し、かつ互いに反対側を向く。樹脂側面 7 3 3 は y 1 方向を向き、樹脂側面 7 3 4 は y 2 方向を向く。

[0094] 被覆層 9 0 は、「導通部材」の少なくとも一部を覆う層であり、第 2 素材からなる。この第 2 素材は、以下の 3 つのうち少なくとも 1 つの要件を満たす。(1) 「導通部材」を構成する第 1 素材よりも透磁率が高い。(2) 第 1 素材よりも電気抵抗率が高い。(3) 誘電正接が 0 より大きい(理想誘電体の誘電正接より大きい)。これらに関し、たとえば、第 1 素材が Cu であるとする。この場合、第 1 素材よりも透磁率が高い第 2 素材として、たとえば Ni, Co, Fe 等の磁性金属が挙げられる。第 1 素材よりも電気抵抗率が高い第 2 素材として、たとえば Ni, W, Mo 等の金属や、導電性高分子、透明導電膜等が挙げられる。誘電正接が 0 より大きい第 2 素材として、たとえば誘電体が挙げられる。また、第 2 素材の透磁率を第 1 素材の透磁率より高くする場合、第 2 素材の比透磁率は、たとえば 1 0 以上であることが好ましい。第 2 素材の電気抵抗率を第 1 素材の電気抵抗率よりも高くする場合、第 2 素材の電気抵抗率は、たとえば、第 1 素材の電気抵抗率の 2 倍以上であることが好ましい。上記要件 (3) に関し、第 2 素材の誘電正接は、0.0 1 以上であることが好ましい。被覆層 9 0 の厚さは特に限定されず、たとえば、1 μ m ~ 5 μ m である。被覆層 9 0 が金属からなる場合、被覆層 9 0 は、たとえば磁性体めっき等のめっきによって形成される。

[0095] 被覆層 9 0 としては、第 2 素材の透磁率が第 1 素材の透磁率よりも高く且つ第 2 素材の電気抵抗率が第 1 素材の電気抵抗率よりも高い磁性金属であってもよい。被覆層 9 0 としては、第 2 素材の透磁率が第 1 素材の透磁率よりも高く且つ第 2 素材の誘電正接が 0 より大きい構成であってもよい。被覆層 9 0 としては、第 2 素材の電気抵抗率が第 1 素材の電気抵抗率よりも高く且つ第 2 素材の誘電正接が 0 より大きい構成であってもよい。被覆層 9 0 としては、第 2 素材の透磁率が第 1 素材の透磁率よりも高く、第 2 素材の電気抵

抗率が第1素材の電気抵抗率よりも高く、且つ第2素材の誘電正接が0より大きい構成であってもよい。

[0096] 図1～図11に示すように、本実施形態においては、被覆層90は、第1部91および第2部92を有する。第1部91は、第1パワーリード31の少なくとも一部を覆う。本実施形態においては、第1部91は、第1パワーリード31のすべてを覆っている。図11に示すように、第1パワーリード31が主回路電流の経路として機能する場合において、第1パワーリード31の断面は、その全周が第1部91によって覆われている。第2部92は、第2パワーリード32の少なくとも一部を覆う。本実施形態においては、第2部92は、第2パワーリード32のすべてを覆っている。第1部91と同様に、第2パワーリード32が主回路電流の経路として機能する場合において、第2パワーリード32の断面は、その全周が第2部92によって覆われている。

[0097] 次に、上述した半導体装置A1の作用効果について説明する。

[0098] 一般に、導体に交流電流が流れる場合、導体の表面ほど電流密度が高くなる（これを表皮効果という）。表皮効果は、交流電流の周波数が高いほど顕著となる。本実施形態においては、半導体装置A1における主回路電流の経路をなす導通部材に被覆層90が設けられている。より具体的には、被覆層90は、表皮効果によって交流電流の密度が高くなる部位に設けられている。被覆層90を構成する第2素材の透磁率が、導通部材（第1パワーリード31、第2パワーリード32等）を構成する第1素材（Cu等）の透磁率よりも高い場合、表皮効果の影響がより顕著になり、電流経路の交流抵抗が高くなる。これにより、被覆層90を流れる交流電流を減衰させ、リングングを抑制することが可能である。一方、電流の低周波成分に関しては、表皮効果は相対的に生じにくい。このため、被覆層90によって電流の低周波成分が不当に減衰されることはない。また、リングングが抑制可能であることから、半導体装置A1に設けられるスナバ回路の簡素化が可能であり、半導体装置A1自体の信頼性を向上させることができる。

- [0099] また、被覆層 90 を構成する第 2 素材の電気抵抗率が、導通部材（第 1 パワーリード 31、第 2 パワーリード 32 等の）を構成する第 1 素材（Cu 等）の電気抵抗率よりも高い場合にも、被覆層 90 を流れる交流電流を減衰させ、リングングを抑制することが可能である。上述のとおり、電流の低周波成分は、被覆層 90 によって不当に減衰されることはない。
- [0100] また、被覆層 90 を構成する第 2 素材の誘電正接が 0 よりも大きい（理想誘電体の誘電正接より大きい）場合にも、被覆層 90 を流れる交流電流のエネルギーを誘電損失として消費することが可能であり、リングングを抑制することが可能である。
- [0101] 以上に述べた第 2 素材の、透磁率、電気抵抗率および誘電正接に関する要件によって得られるそれぞれの効果は、互いに独立に奏することができる。このため、第 2 素材の透磁率、電気抵抗率および誘電正接に関する要件のいずれか 1 つのみが満たされる構成だけでなく、いずれか 2 つが満たされる構成、さらには、3 つすべてが満たされる構成であれば、リングングをより効果的に抑制することができる。
- [0102] 図 12～図 21 は、本開示にかかる変形例および他の実施形態を示している。これらの図において、上記実施形態と同一または類似の要素には、同一の符号を付している。
- [0103] 図 12 は、半導体装置 A1 の第 1 変形例を示している。本変形例の半導体装置 A11 においては、被覆層 90 の構成が上述した例と異なっている。被覆層 90 の一部である第 1 部 91 を例に説明すると、本変形例においては、主回路電流が流れる断面において、第 1 部 91 が第 1 パワーリード 31 の断面の全周を覆ってはならず、その一部のみを覆っている。より具体的には、第 1 部 91 は、第 1 パワーリード 31 の矩形状断面の三辺（上辺および 2 つの側辺）のみを覆っており、残りの一辺（底辺）を覆っていない（すなわち、底辺は、第 1 部 91 から露出している）。なお、上記三辺（上辺および 2 つの側辺）は各々、第 1 部 91 によって完全に覆われている。
- [0104] 図 13 は、半導体装置 A1 の第 2 変形例を示している。被覆層 90 の一部

である第1部91を例に説明すると、本変形例においては、主回路電流が流れる断面において、第1部91が、第1パワーリード31の断面の全周にわたって形成されているが、いずれの辺（上辺、2つの側辺、および底辺）も、部分的に第1部91から露出している（換言すれば、第1部91に部分的に覆われている）。図に示す例では、第1部91は、矩形状断面の全周に沿って互いに離間配置された複数の空隙部を有している。また当該複数の空隙部は、前記断面の各辺に対応する1または2以上の空隙部を含んでいる。このような第1部91（被覆層90）としては、たとえば、複数の小孔やスリットが形成された構成とすることができる。あるいは、第1部91（被覆層90）を、互いに離間した複数の小領域の集合体として構成することも可能である。

[0105] 半導体装置A11、A12によっても、リングングを抑制することができる。これらの変形例から理解されるように、被覆層90の具体的構成は特に限定されない。被覆層90が導通部材の一部を覆う構成（図12、図13）であっても、被覆層90が設けられた領域の位置や大きさ等に応じて、リングングを抑制する効果が期待できる。

[0106] 図14～図16は、本開示の第2実施形態にかかる半導体装置を示している。本実施形態の半導体装置A2においては、被覆層90の構成が上述した半導体装置A1の被覆層90と異なっている。

[0107] 第2実施形態においては、第1部91が第1パワーリード31の一部を覆っており、第2部92が第2パワーリード32の一部を覆っている。より具体的には、第1部91は、第1パワーリード31のうち第1半導体素子10Aとコンデンサ81との経路を構成する部分を覆っていない。すなわち、第1部91は、第1パワーリード31の端子部312を覆う一方、パッド部311を覆っていない。

[0108] また、第2部92は、第2パワーリード32のうち第2半導体素子10Bとコンデンサ81との経路を構成する部分を覆っていない。すなわち、第2部92は、第2パワーリード32の端子部322およびパッド部321の接

続部 3 2 1 c を覆う一方、連結部 3 2 1 a および複数の延出部 3 2 1 b を覆っていない。

[0109] 第 2 実施形態によっても、リングングを抑制することができる。第 1 パワーリード 3 1 および第 2 パワーリード 3 2 のうち、コンデンサ 8 1 の充放電電流のみが流れる経路を構成する部分は、その抵抗がコンデンサ 8 1 の ESR と等価である。すなわち、この経路は、コンデンサ 8 1 への急峻な充放電電流が流れる経路であるため、交流抵抗が高すぎることは好ましくない。この点において、上述した構成の通りに、第 1 部 9 1 および第 2 部 9 2 が第 1 パワーリード 3 1 および第 2 パワーリード 3 2 の一部ずつを覆っていないことは、コンデンサ 8 1 への急峻な充放電を行うのに好ましい。

[0110] 図 1 7 ～図 1 9 は、本開示の第 3 実施形態にかかる半導体装置を示している。本実施形態の半導体装置 A 3 においては、被覆層 9 0 の構成が上述した半導体装置 A 1, A 2 の被覆層 9 0 と異なっている。

[0111] 第 3 実施形態においては、被覆層 9 0 は、第 1 部 9 1、第 2 部 9 2、第 3 部 9 3、第 4 部 9 4、第 5 部 9 5 および第 6 部 9 6 を含む。第 1 部 9 1 および第 2 部 9 2 は、半導体装置 A 1 における第 1 部 9 1 および第 2 部 9 2 と同様の構成である。

[0112] 第 3 部 9 3 は、第 1 金属層としての導電性基板 2 2 A の銅膜 2 2 0 n を覆っている。第 4 部 9 4 は、第 1 スペース 2 6 A を覆っている。第 5 部 9 5 は、第 2 金属層としての導電性基板 2 2 B の銅膜 2 2 0 n を覆っている。第 6 部 9 6 は、複数の中間リード 4 0 を覆っている。図示された例においては、第 3 部 9 3 は、銅膜 2 2 0 n のうちグラファイト基板 2 2 0 m との接合面を除いた部分を覆っている。第 5 部 9 5 は、銅膜 2 2 0 n のうちグラファイト基板 2 2 0 m との接合面を除いた部分を覆っている。

[0113] 第 3 実施形態によっても、リングングを抑制することができる。また、本実施形態から理解されるように、被覆層 9 0 は、求められるリングング抑制の程度や、半導体装置の構成に応じて、適宜設けられる箇所を変更可能である。

- [0114] 図20および図21は、本開示の第4実施形態にかかる半導体装置を示している。本実施形態の半導体装置A4においては、第1パワーリード31および第2パワーリード32の構成が上述した実施形態と異なっている。
- [0115] 第4実施形態においては、第1パワーリード31の端子部312と第2パワーリード32の端子部322とが、z方向に沿って視て互いに重なっている。端子部312は、第1部91に覆われており、端子部322は、第2部92に覆われている。端子部312と端子部322との間には、絶縁体89が設けられている。絶縁体89は、端子部312と端子部322との間において、想定される電圧が印加された場合に、互いを絶縁するためのものである。
- [0116] 第4実施形態においては、被覆層90を構成する第2素材は、少なくとも誘電正接が0より大きい（理想誘電体の誘電正接より大きい）材質からなり、たとえば誘電正接が0.01以上である。このような構成の被覆層90を採用した場合、端子部312および端子部322とこれらの間に介在する被覆層90および絶縁体89とによって、静電容量を有する部位、すなわちコンデンサに類似の電氣的構成を有する部位が実現される。
- [0117] 第4実施形態によっても、リングングを抑制することができる。また、端子部312および端子部322とこれらの間に介在する被覆層90および絶縁体89とによって構成される静電容量は、コンデンサ81との相乗効果を奏することが期待され、第1パワーリード31および第2パワーリード32の間に印加される電源電圧（入力電圧）の安定化効果をより高めることができる。
- [0118] 本開示にかかる半導体装置は、上記した実施形態および変形例に限定されるものではない。本開示の半導体装置の各部の具体的な構成は、種々に設計変更自在である。
- [0119] 本開示にかかる半導体装置は、以下の付記に記載された実施形態を含む。
- 付記1.
- スイッチング機能を有する少なくとも1つの半導体素子と、

前記半導体素子によってスイッチングされる電流の経路となり且つ第1素材からなる導通部材と、

前記導通部材の少なくとも一部を覆い且つ第2素材からなる被覆層と、
を備えており、

前記第2素材は、以下の3つの要件：

- (a) 前記第1素材よりも透磁率が高い、
- (b) 前記第1素材よりも電気抵抗率が高い、および
- (c) 誘電正接が0より大きい、

のうちの少なくとも1つの要件を満たす、半導体装置。

付記2.

前記第2素材は、前記第1素材よりも透磁率が高く且つ前記第1素材よりも電気抵抗率が高い磁性導電体である、付記1に記載の半導体装置。

付記3.

前記第2素材は、誘電正接が0より大きい、付記2に記載の半導体装置。

付記4.

前記第2素材は、前記第1素材よりも透磁率が高く且つ誘電正接が0より大きい、付記1に記載の半導体装置。

付記5.

前記第2素材は、前記第1素材よりも電気抵抗率が高く且つ誘電正接が0より大きい、付記1に記載の半導体装置。

付記6.

前記被覆層の厚さは、 $1\mu\text{m}\sim 5\mu\text{m}$ である、付記1ないし5のいずれかに記載の半導体装置。

付記7.

前記第2素材の比透磁率は、10以上である、付記1ないし6のいずれかに記載の半導体装置。

付記8.

前記第2素材の電気抵抗率は、前記第1素材の電気抵抗率の2倍以上であ

る、付記 1 ないし 7 のいずれかに記載の半導体装置。

付記 9.

前記第 2 素材の誘電正接は、0.01 以上である、付記 1 ないし 8 のいずれかに記載の半導体装置。

付記 10.

電気接続用の第 1 端および第 2 端を有するコンデンサをさらに備えており、

前記少なくとも 1 つの半導体素子は、少なくとも 1 組の上下アームを含むハーフブリッジを構成する複数の半導体素子であり、

前記複数の半導体素子は、前記上アームに含まれる第 1 半導体素子と、前記下アームに含まれる第 2 半導体素子と、を含み、

前記導通部材は、前記第 1 半導体素子のドレイン電極に接続された第 1 金属層と、前記第 1 金属層に接続された第 1 パワーリードと、前記第 2 半導体素子のソース電極に接続された第 2 パワーリードと、を含み、

前記コンデンサの前記第 1 端は、前記第 1 パワーリードに接続され、前記コンデンサの前記第 2 端は、前記第 2 パワーリードに接続されており、

前記被覆層は、前記第 1 パワーリードを覆う第 1 部と、前記第 2 パワーリードを覆う第 2 部とを含む、付記 1 ないし 9 のいずれかに記載の半導体装置。

付記 11.

前記第 1 パワーリードは、前記第 1 半導体素子と前記コンデンサとの経路を構成する部分を含み、前記第 1 パワーリードの当該部分は、前記第 1 部によって覆われていない、付記 10 に記載の半導体装置。

付記 12.

前記第 2 パワーリードは、前記第 2 半導体素子と前記コンデンサとの経路を構成する部分を含み、前記第 2 パワーリードの当該部分は、前記第 2 部によって覆われていない、付記 10 または 11 に記載の半導体装置。

付記 13.

前記被覆層は、前記第1金属層を覆う第3部を含む、付記10ないし12のいずれかに記載の半導体装置。

付記14.

前記導通部材は、前記第2半導体素子のドレイン電極に接続された第2金属層と、前記第2金属層に接続された第3パワーリードとを含み、

前記第2金属層および前記第3パワーリードは、前記被覆層によって覆われていない、付記10ないし13のいずれかに記載の半導体装置。

付記15.

前記導通部材は、前記第1半導体素子のソース電極と前記第2金属層とに接続された中間リードを含み、前記中間リードは、前記被覆層によって覆われていない、付記14に記載の半導体装置。

付記16.

前記導通部材は、前記第1金属層と前記第1パワーリードとの間に介在する第1スペーサを含み、

前記被覆層は、前記第1スペーサを覆う第4部を含む、付記10ないし15のいずれかに記載の半導体装置。

付記17.

前記導通部材は、前記第2半導体素子のソース電極と前記第2パワーリードとの間に介在する導体を含む、付記10ないし16のいずれかに記載の半導体装置。

付記18.

前記半導体素子は、SiC MOSFET、SiC IGBT、Si MOSFET、Si IGBTおよびGaN HEMTのいずれかである、付記1ないし17のいずれかに記載の半導体装置。

符号の説明

[0120] A1, A11, A12, A2, A3, A4 : 半導体装置

10 : 半導体素子

10A : 第1半導体素子

- 1 0 B : 第2半導体素子
- 1 1 : 主面電極
- 1 2 : ドレイン電極（裏面電極）
- 1 3 : 絶縁膜
- 2 0 : 支持基板
- 2 1, 2 1 A, 2 1 B : 絶縁基板
- 2 2 A, 2 2 B : 導電性基板
- 2 3 A, 2 3 B : 絶縁層
- 2 4 A, 2 4 B : ゲート層
- 2 5 A, 2 5 B : ドライバソース層
- 2 6 A : 第1スペーサ
- 3 1 : 第1パワーリード
- 3 2 : 第2パワーリード
- 3 3 : 第3パワーリード
- 3 4 A, 3 4 B : ゲートリード
- 3 5 A, 3 5 B : ドライバソースリード
- 3 6 : ダミーリード
- 4 0 : 中間リード
- 4 1 : 第1接合部
- 4 2 : 第2接合部
- 4 3 : 連絡部
- 5 0 : ワイヤ部材
- 5 1 : ゲートワイヤ
- 5 2 : ドライバソースワイヤ
- 5 3 : 第1接続ワイヤ
- 5 4 : 第2接続ワイヤ
- 6 0 : 導電ブロック
- 6 1 : 第1ブロック

6 2	: 第2ブロック
7 0	: 封止樹脂
7 1	: 樹脂主面
7 2	: 樹脂裏面
8 1	: コンデンサ
8 9	: 絶縁体
9 0	: 被覆層
9 1	: 第1部
9 2	: 第2部
9 3	: 第3部
9 4	: 第4部
9 5	: 第5部
9 6	: 第6部
1 0 1	: 素子主面
1 0 2	: 素子裏面
1 1 1	: ソース電極
1 1 2	: ゲート電極
1 1 3	: ドライバソース電極
2 1 1 A, 2 1 1 B	: 主面
2 1 2 A, 2 1 2 B	: 裏面
2 2 0 A, 2 2 0 B	: 基板接合材
2 2 0 m	: グラファイト基板
2 2 0 n	: 銅膜
2 2 1 A, 2 2 1 B	: 主面
2 2 2 A, 2 2 2 B	: 裏面
2 6 0 A	: スペーサ接合材
2 6 0 B	: スペーサ接合材
3 1 1, 3 2 1, 3 3 1, 3 4 1, 3 5 1, 3 6 1	: パッド部

3 1 2, 3 2 2, 3 3 2, 3 4 2, 3 5 2, 3 6 2 : 端子部

3 2 1 a : 連結部

3 2 1 b : 延出部

3 2 1 c : 接続部

7 3 1, 7 3 2, 7 3 3, 7 3 4 : 樹脂側面

請求の範囲

- [請求項1] スイッチング機能を有する少なくとも1つの半導体素子と、
前記半導体素子によってスイッチングされる電流の経路となり且つ
第1素材からなる導通部材と、
前記導通部材の少なくとも一部を覆い且つ第2素材からなる被覆層
と、
を備えており、
前記第2素材は、以下の3つの要件：
 (a) 前記第1素材よりも透磁率が高い、
 (b) 前記第1素材よりも電気抵抗率が高い、および
 (c) 誘電正接が0より大きい、
のうちの少なくとも1つの要件を満たす、半導体装置。
- [請求項2] 前記第2素材は、前記第1素材よりも透磁率が高く且つ前記第1素材よりも電気抵抗率が高い磁性導電体である、請求項1に記載の半導体装置。
- [請求項3] 前記第2素材は、誘電正接が0より大きい、請求項2に記載の半導体装置。
- [請求項4] 前記第2素材は、前記第1素材よりも透磁率が高く且つ誘電正接が0より大きい、請求項1に記載の半導体装置。
- [請求項5] 前記第2素材は、前記第1素材よりも電気抵抗率が高く且つ誘電正接が0より大きい、請求項1に記載の半導体装置。
- [請求項6] 前記被覆層の厚さは、 $1\mu\text{m}$ ～ $5\mu\text{m}$ である、請求項1ないし5のいずれかに記載の半導体装置。
- [請求項7] 前記第2素材の比透磁率は、10以上である、請求項1ないし6のいずれかに記載の半導体装置。
- [請求項8] 前記第2素材の電気抵抗率は、前記第1素材の電気抵抗率の2倍以上である、請求項1ないし7のいずれかに記載の半導体装置。
- [請求項9] 前記第2素材の誘電正接は、0.01以上である、請求項1ないし

8のいずれかに記載の半導体装置。

[請求項10] 電気接続用の第1端および第2端を有するコンデンサをさらに備えており、

前記少なくとも1つの半導体素子は、少なくとも1組の上下アームを含むハーフブリッジを構成する複数の半導体素子であり、

前記複数の半導体素子は、前記上アームに含まれる第1半導体素子と、前記下アームに含まれる第2半導体素子と、を含み、

前記導通部材は、前記第1半導体素子のドレイン電極に接続された第1金属層と、前記第1金属層に接続された第1パワーリードと、前記第2半導体素子のソース電極に接続された第2パワーリードと、を含み、

前記コンデンサの前記第1端は、前記第1パワーリードに接続され、前記コンデンサの前記第2端は、前記第2パワーリードに接続されており、

前記被覆層は、前記第1パワーリードを覆う第1部と、前記第2パワーリードを覆う第2部とを含む、請求項1ないし9のいずれかに記載の半導体装置。

[請求項11] 前記第1パワーリードは、前記第1半導体素子と前記コンデンサとの経路を構成する部分を含み、前記第1パワーリードの当該部分は、前記第1部によって覆われていない、請求項10に記載の半導体装置。

[請求項12] 前記第2パワーリードは、前記第2半導体素子と前記コンデンサとの経路を構成する部分を含み、前記第2パワーリードの当該部分は、前記第2部によって覆われていない、請求項10または11に記載の半導体装置。

[請求項13] 前記被覆層は、前記第1金属層を覆う第3部を含む、請求項10ないし12のいずれかに記載の半導体装置。

[請求項14] 前記導通部材は、前記第2半導体素子のドレイン電極に接続された

第2金属層と、前記第2金属層に接続された第3パワーリードとを含み、

前記第2金属層および前記第3パワーリードは、前記被覆層によって覆われていない、請求項10ないし13のいずれかに記載の半導体装置。

[請求項15] 前記導通部材は、前記第1半導体素子のソース電極と前記第2金属層とに接続された中間リードを含み、前記中間リードは、前記被覆層によって覆われていない、請求項14に記載の半導体装置。

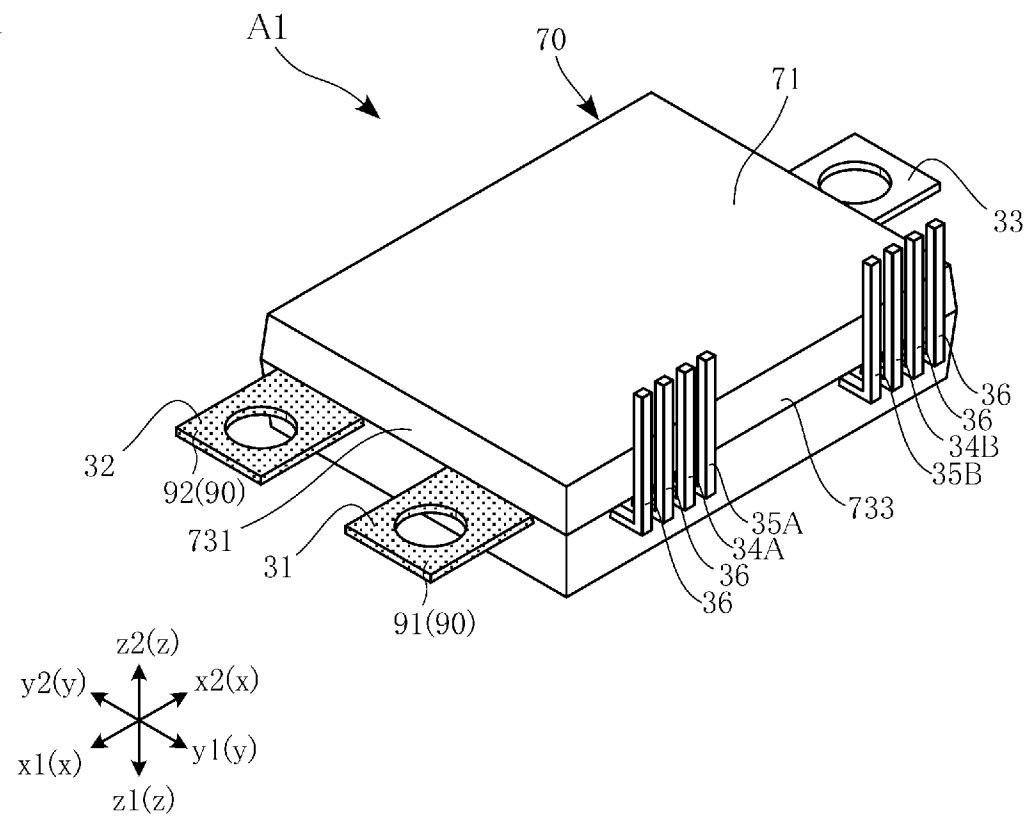
[請求項16] 前記導通部材は、前記第1金属層と前記第1パワーリードとの間に介在する第1スペーサを含み、

前記被覆層は、前記第1スペーサを覆う第4部を含む、請求項10ないし15のいずれかに記載の半導体装置。

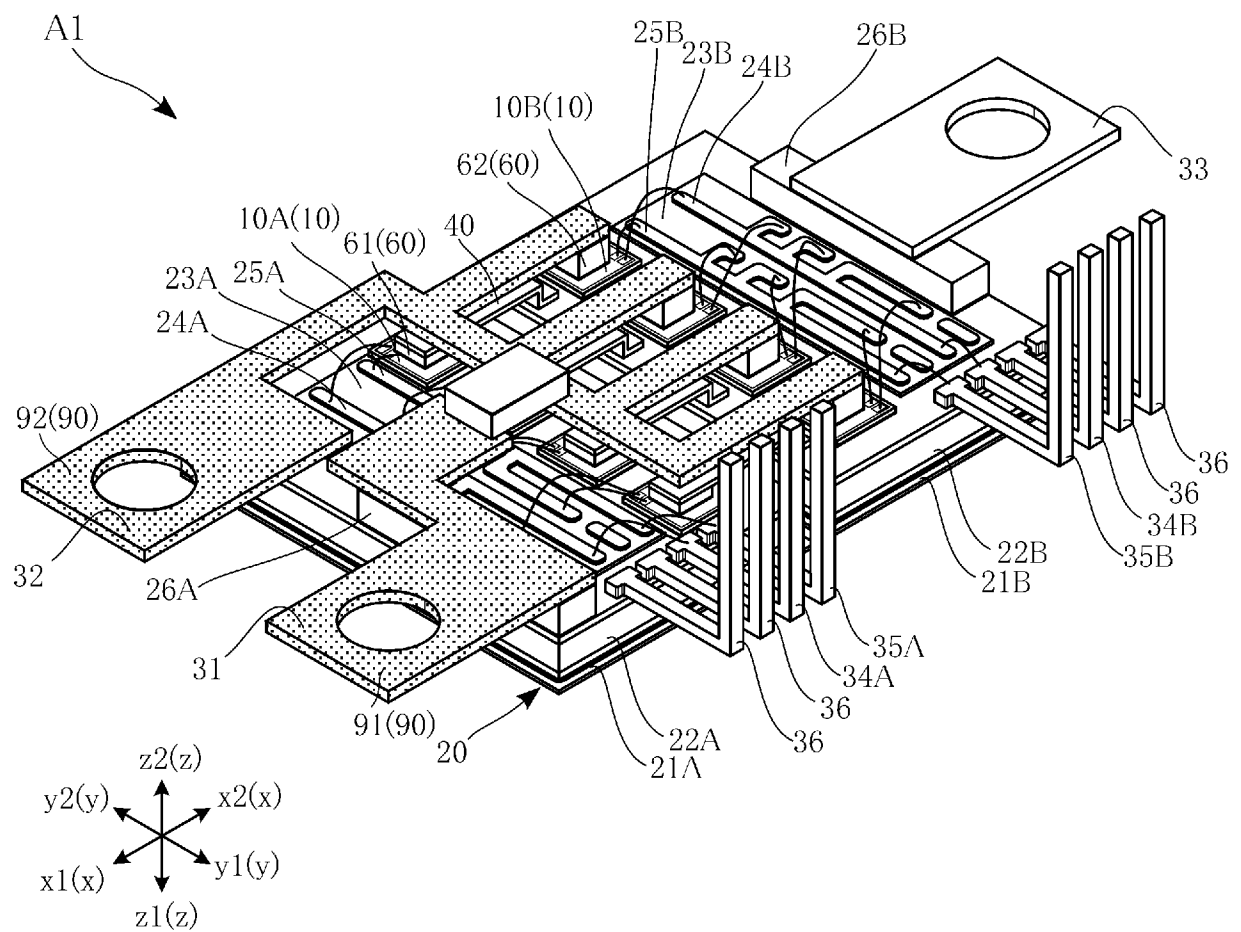
[請求項17] 前記導通部材は、前記第2半導体素子のソース電極と前記第2パワーリードとの間に介在する導体を含む、請求項10ないし16のいずれかに記載の半導体装置。

[請求項18] 前記半導体素子は、SiC MOSFET、SiC IGBT、Si MOSFET、Si IGBTおよびGaN HEMTのいずれかである、請求項1ないし17のいずれかに記載の半導体装置。

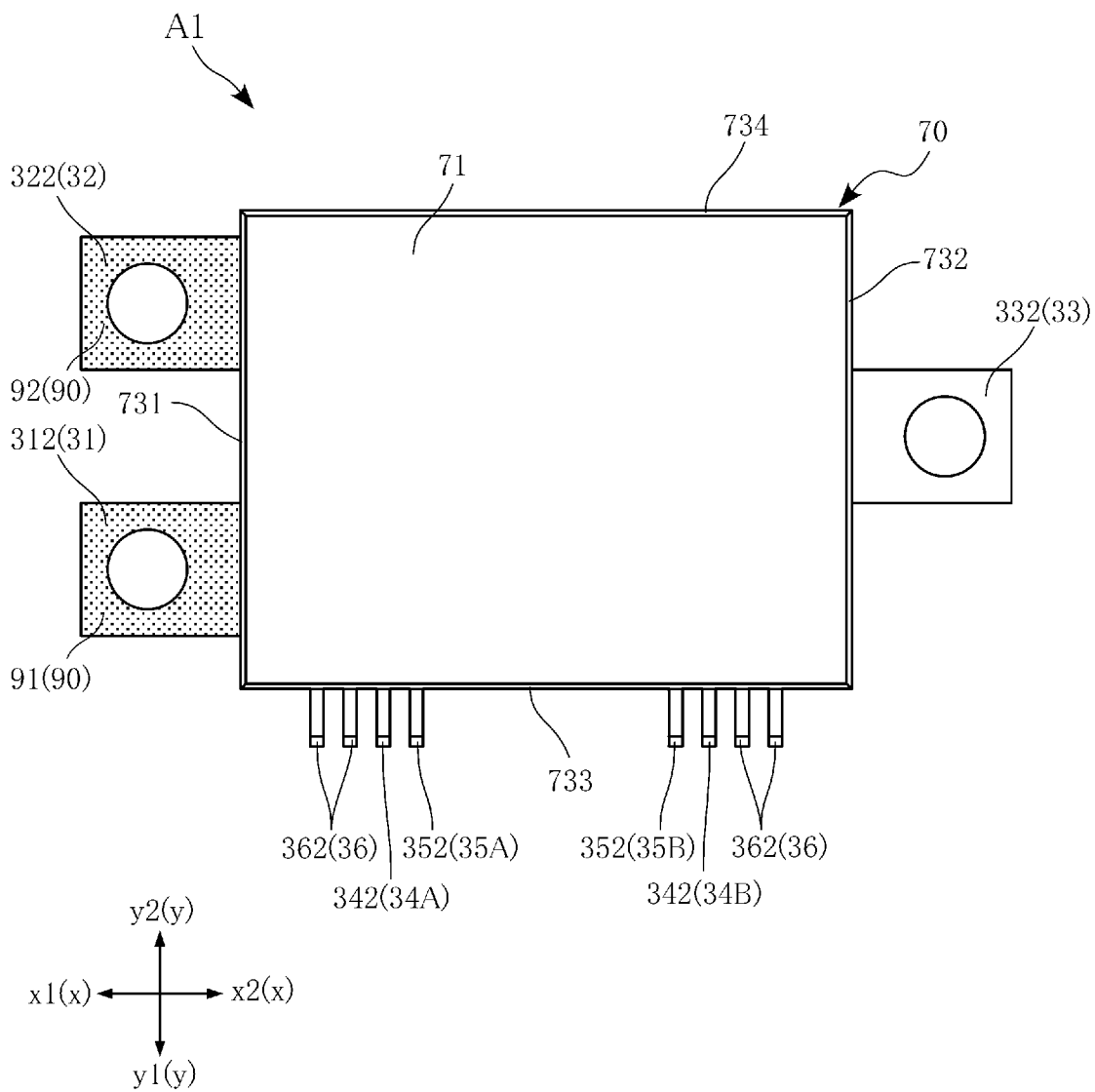
【図1】
FIG.1



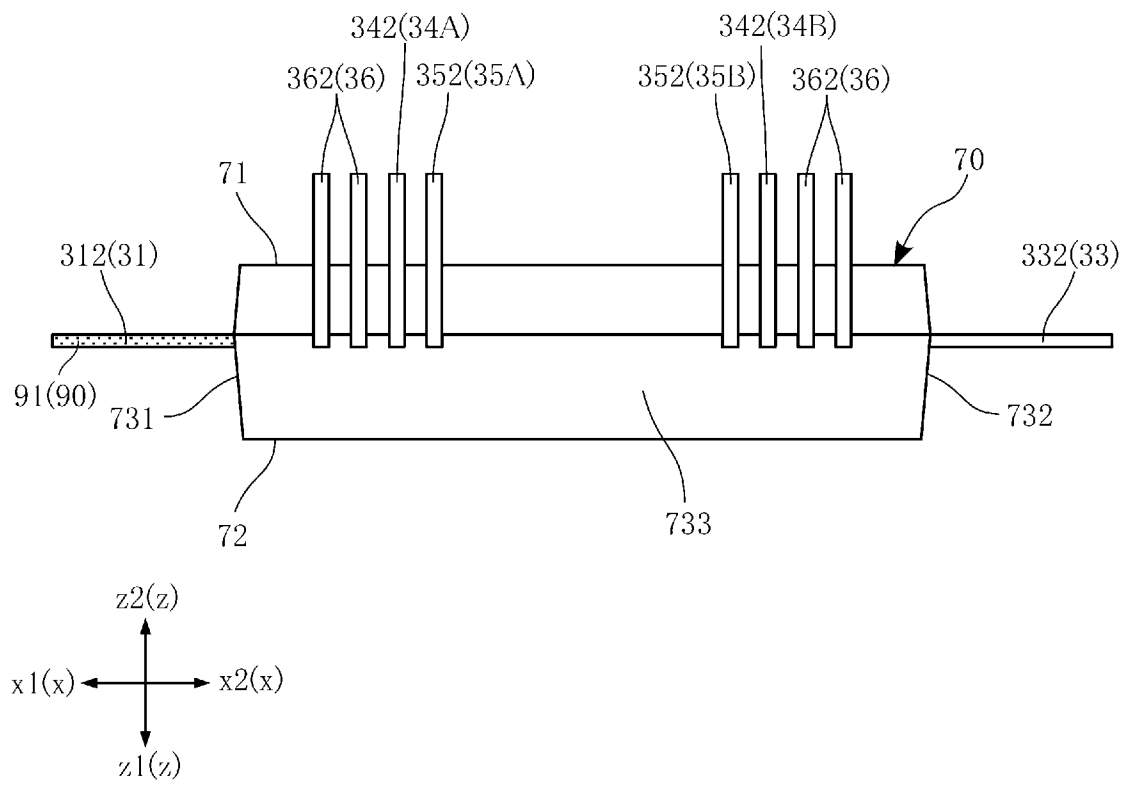
【図2】
FIG.2

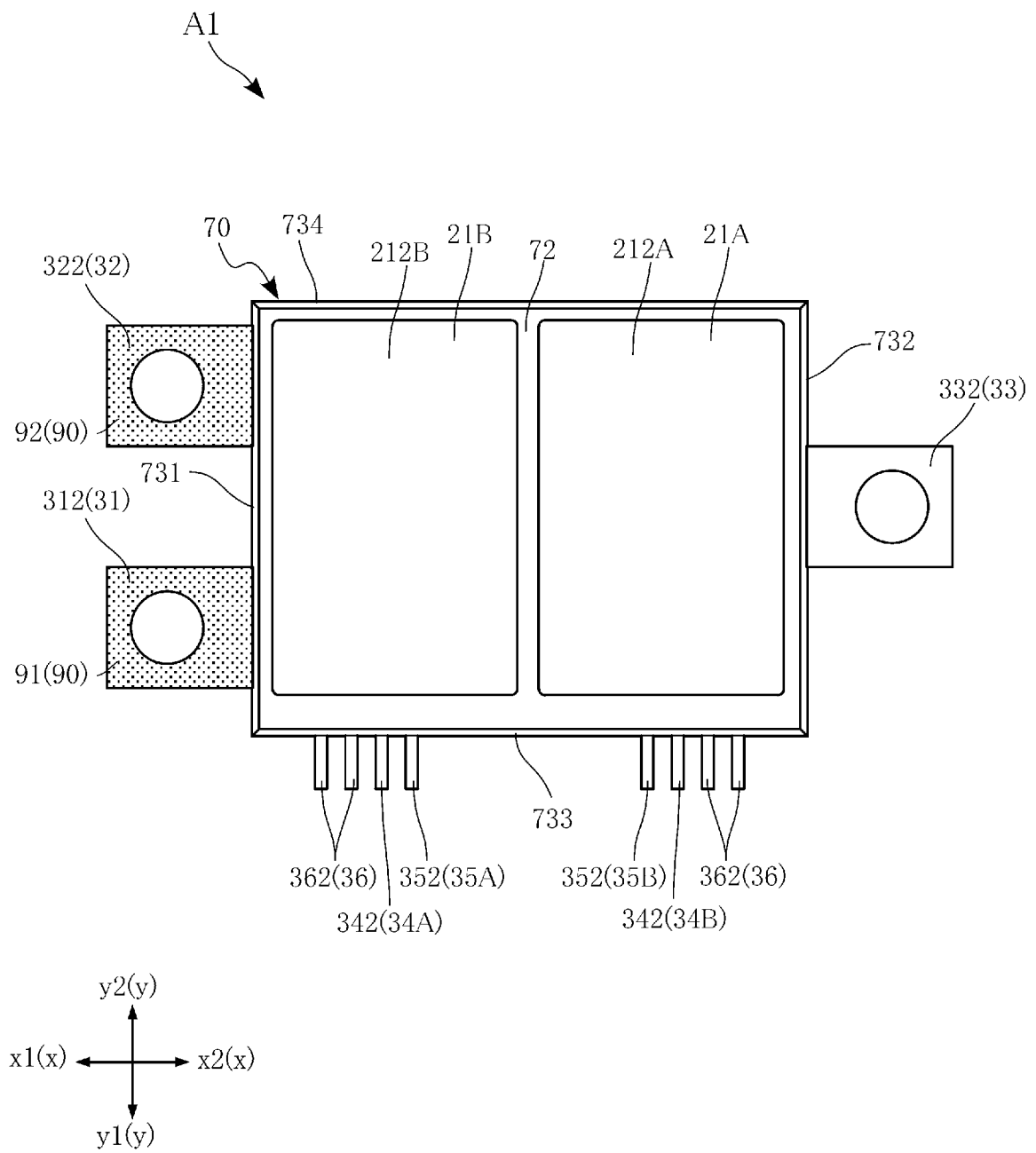


【図3】
FIG.3

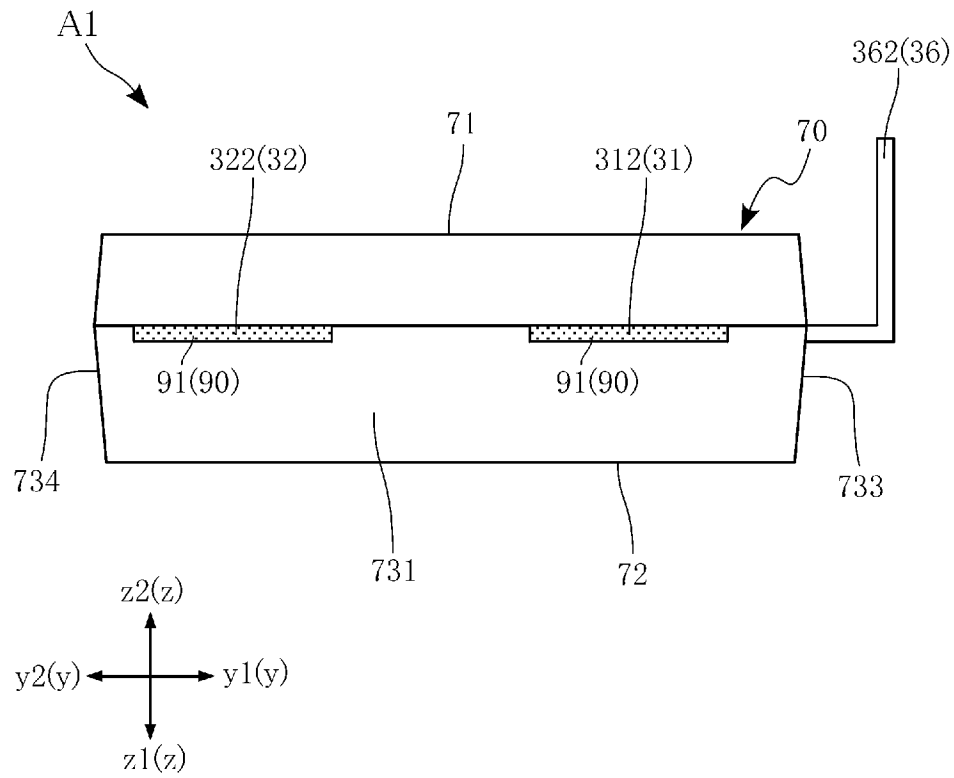


[図6]
FIG.6

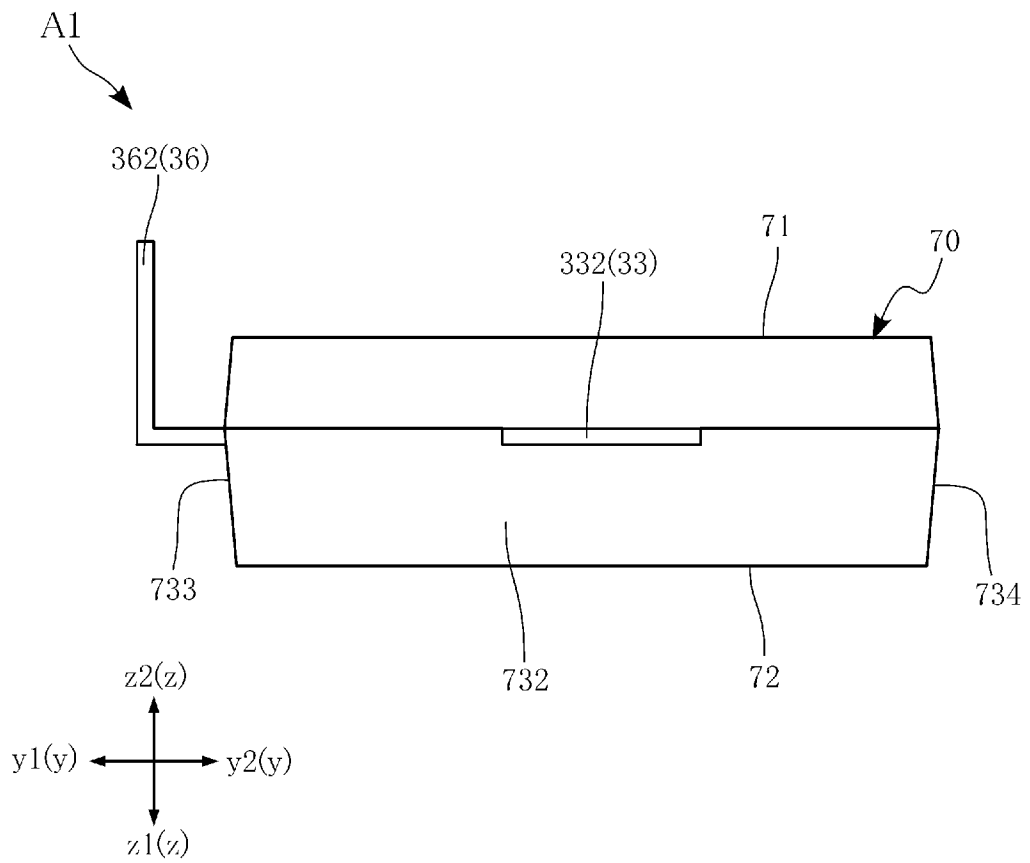


[図7]
FIG.7

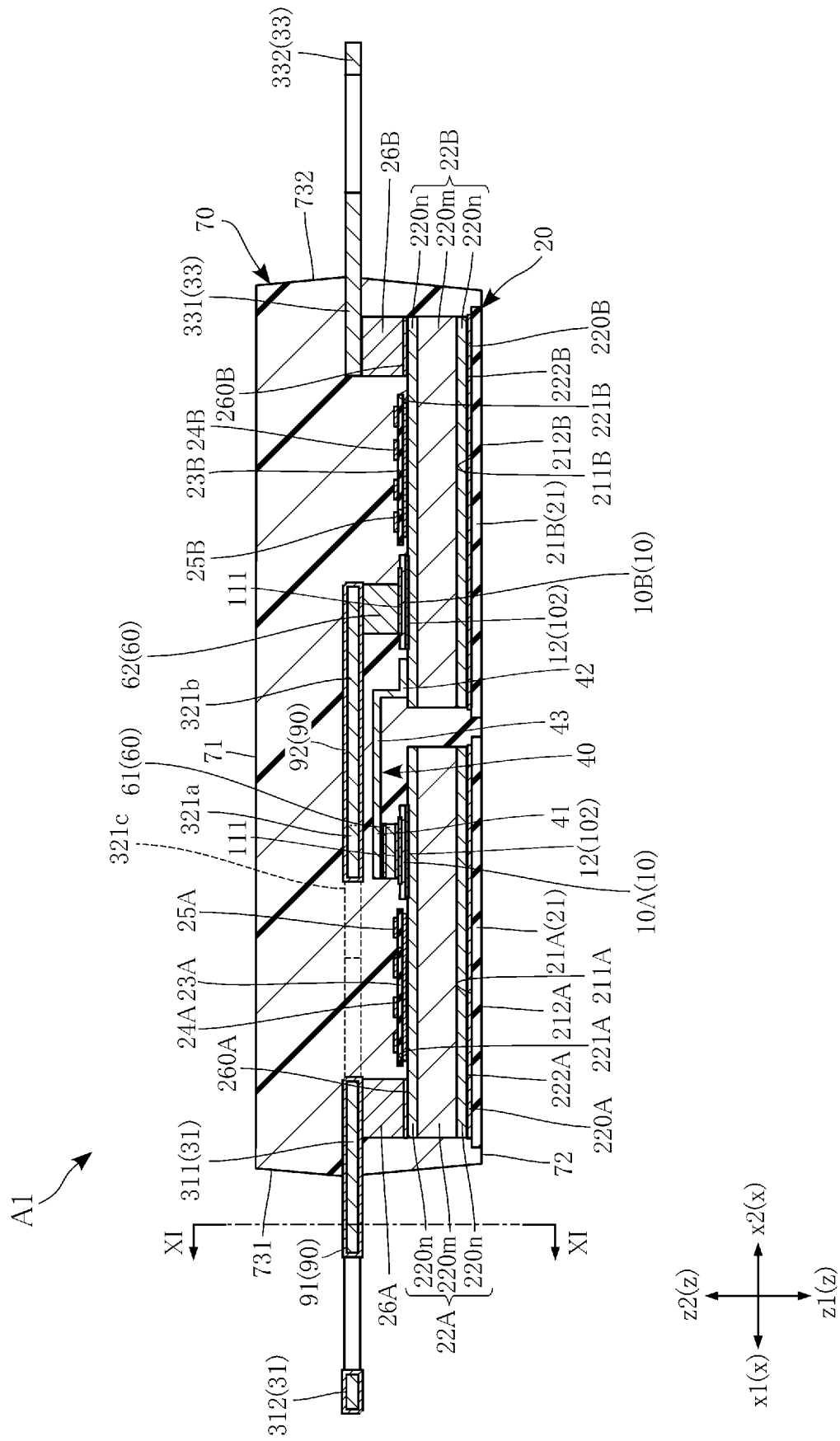
【図8】
FIG.8



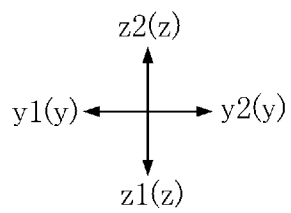
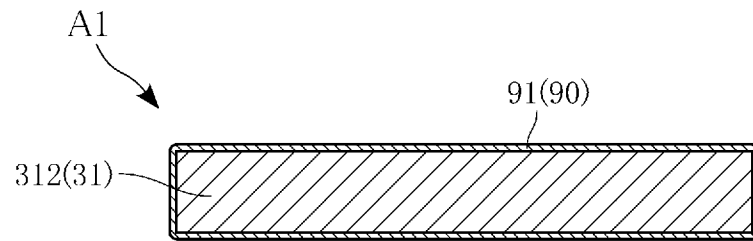
【図9】
FIG.9



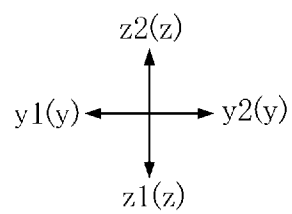
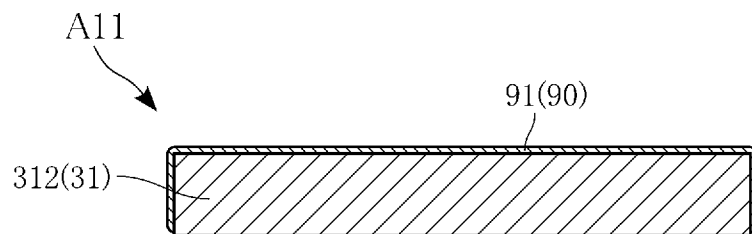
[図10]



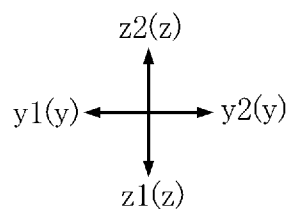
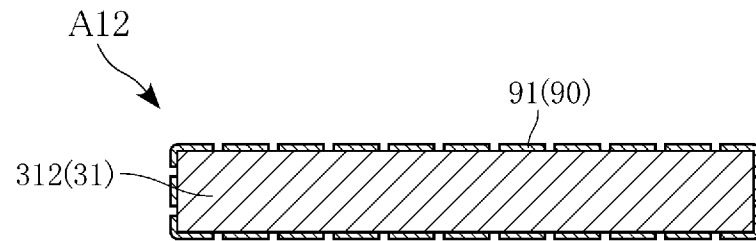
【図11】
FIG.11



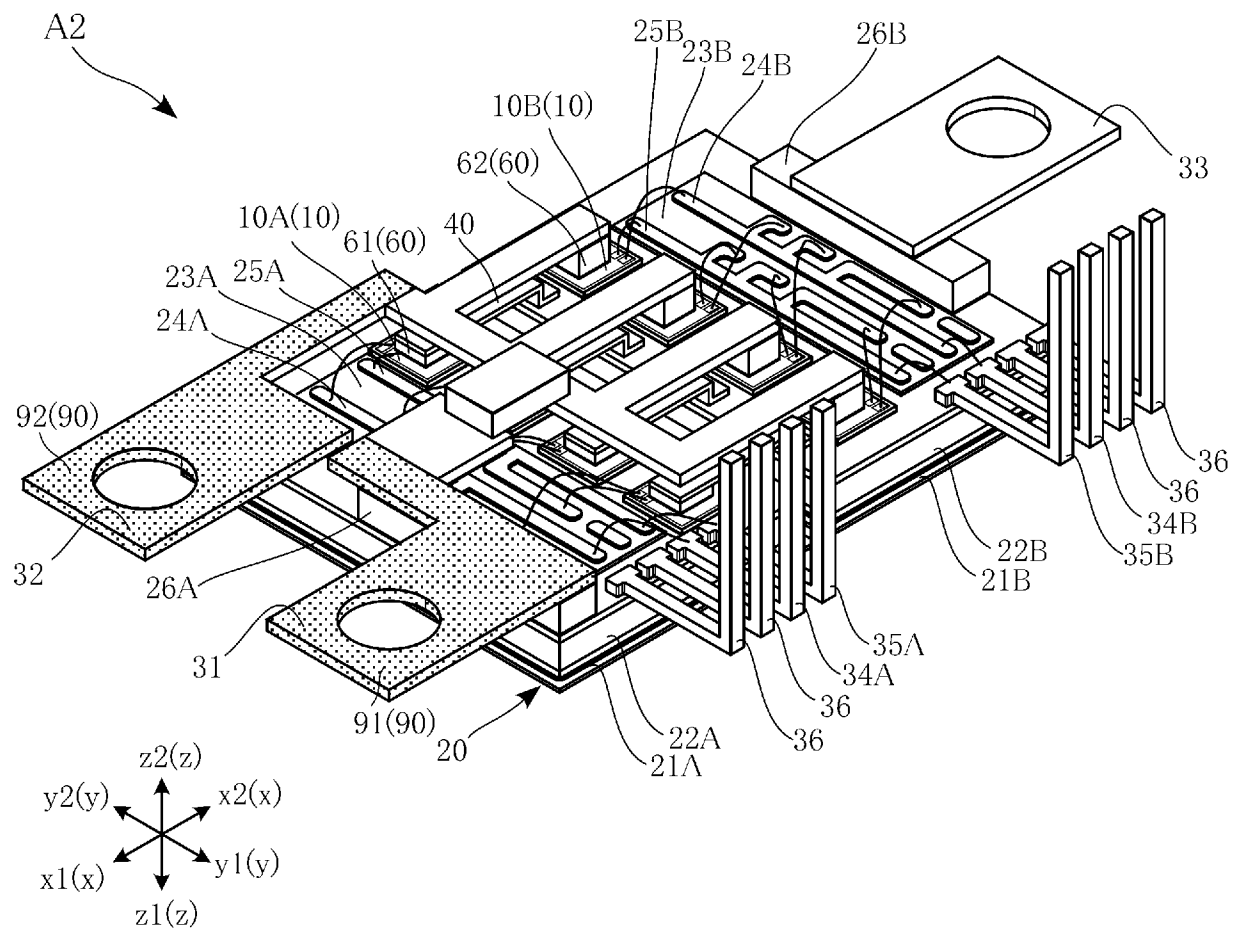
【図12】
FIG.12



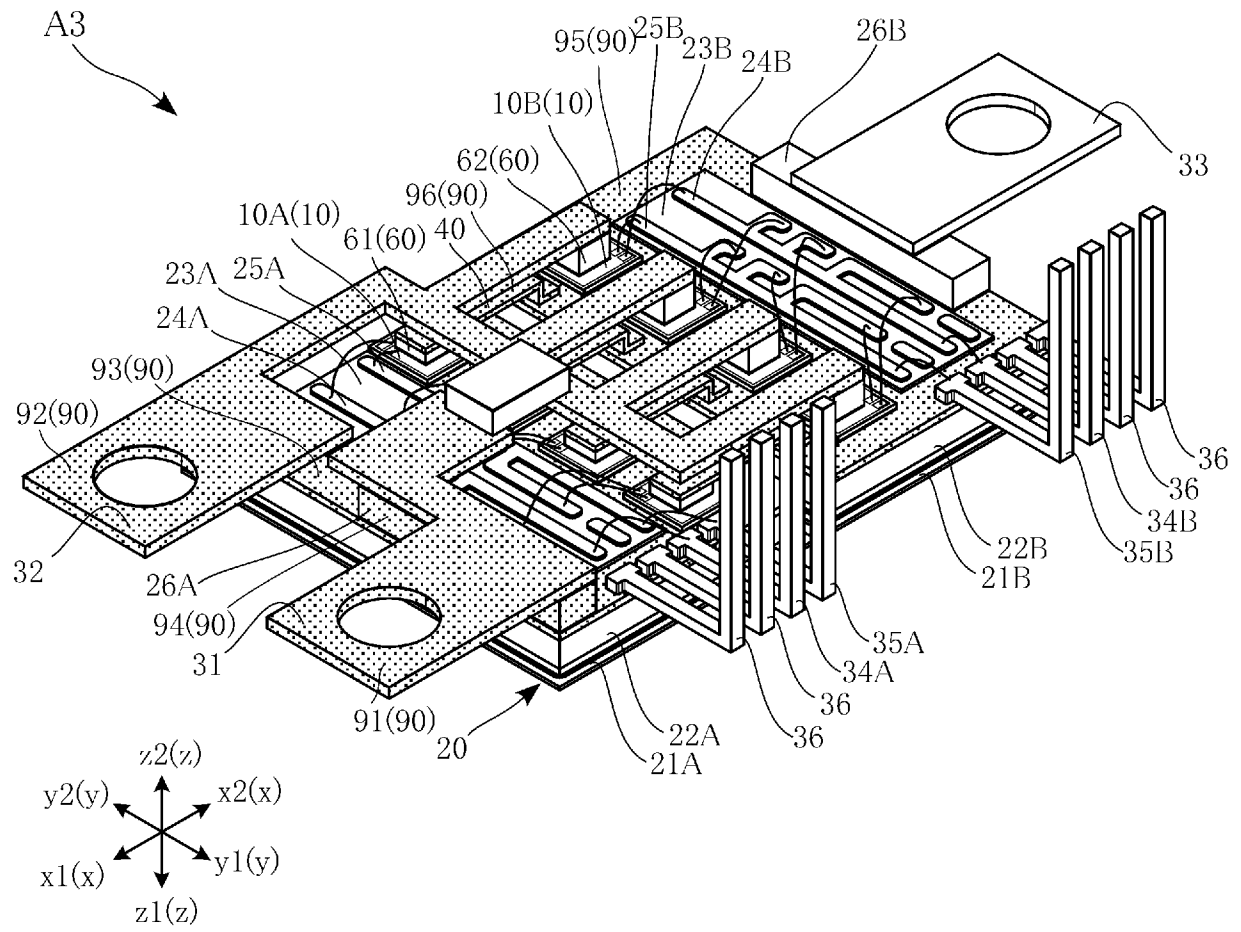
【図13】
FIG.13



【図14】
FIG.14

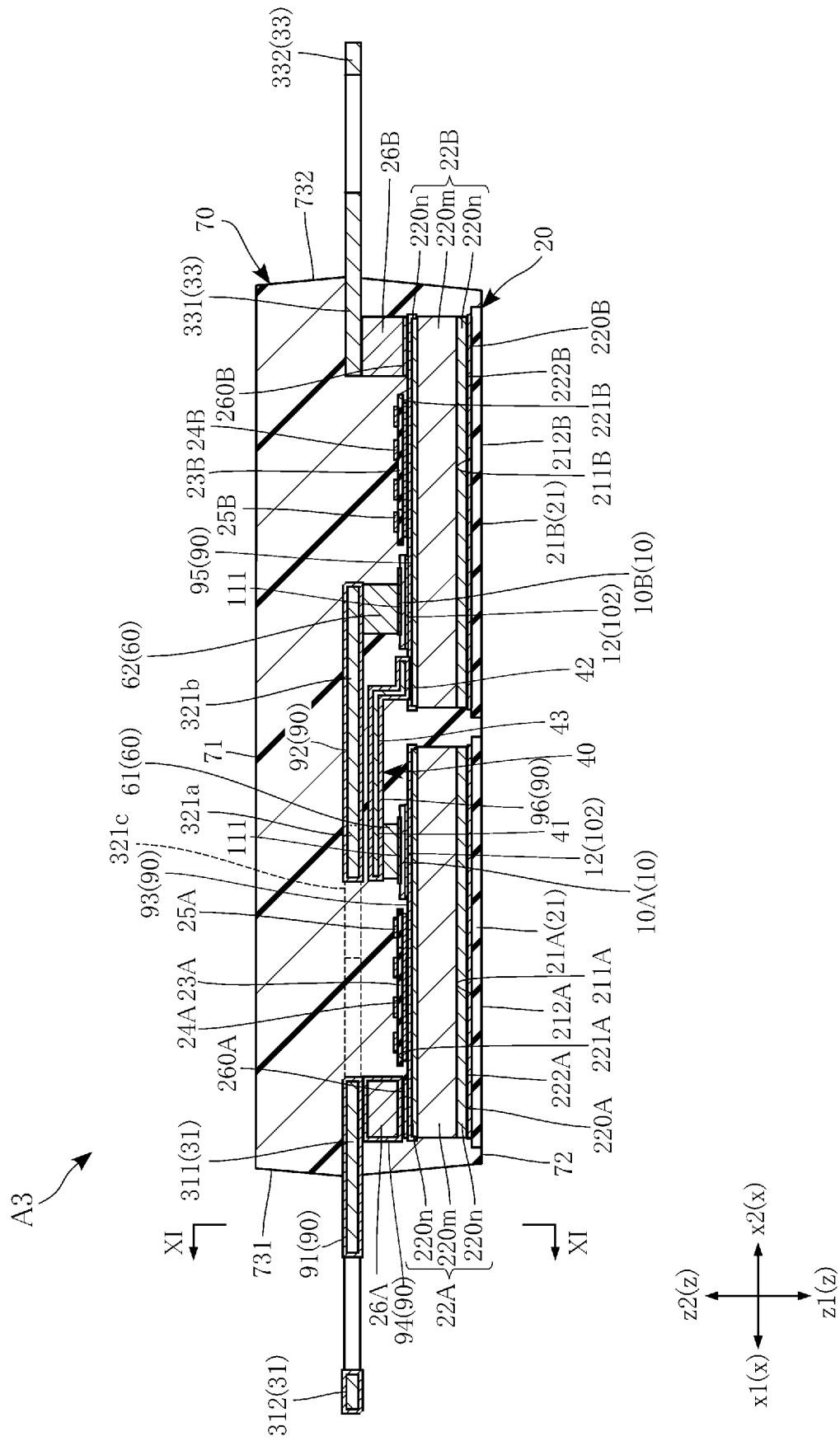


[図17]
FIG.17



[図19]

FIG.19



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2021/010866

A. CLASSIFICATION OF SUBJECT MATTER

H01L 23/48 (2006.01)i; H01L 23/50 (2006.01)i; H01L 25/07 (2006.01)i; H01L 25/18 (2006.01)i

FI: H01L23/48 G; H01L23/48 P; H01L23/50 V; H01L25/04 C

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L23/48; H01L23/50; H01L25/07; H01L25/18

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2021
Registered utility model specifications of Japan	1996-2021
Published registered utility model applications of Japan	1994-2021

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	JP 2001-326300 A (NISSAN MOTOR CO., LTD.) 22 November 2001 (2001-11-22) paragraphs [0015]-[0021], fig. 1	1, 6-7, 18 2, 8, 10, 13, 16-17 3-5, 9, 11-12, 14-15
Y A	JP 11-356058 A (HITACHI, LTD.) 24 December 1999 (1999-12-24) paragraph [0024]	2, 8, 10, 13, 16-17 3-5, 9, 11-12, 14-15
Y A	JP 2007-49104 A (THE COPPER-IRON ALLOYS INC.) 22 February 2007 (2007-02-22) paragraph [0010]	2, 8, 10, 13, 16-17 3-5, 9, 11-12, 14-15
Y A	JP 2015-126342 A (ROHM CO., LTD.) 06 July 2015 (2015-07-06) paragraphs [0013]-[0017], [0114]-[0132], [0173]-[0179], fig. 1, 15-17, 24-25	10, 13, 16-17 3-5, 9, 11-12, 14-15



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

07 June 2021 (07.06.2021)

Date of mailing of the international search report

22 June 2021 (22.06.2021)

Name and mailing address of the ISA/

Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2021/010866

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
JP 2001-326300 A	22 Nov. 2001	(Family: none)	
JP 11-356058 A	24 Dec. 1999	(Family: none)	
JP 2007-49104 A	22 Feb. 2007	(Family: none)	
JP 2015-126342 A	06 Jul. 2015	US 2016/0308523 A1 paragraphs [0058]- [0062], [0158]- [0174], [0217]- [0223], fig. 1, 15- 17, 24-25	

A. 発明の属する分野の分類（国際特許分類（IPC）） H01L 23/48(2006.01)i; H01L 23/50(2006.01)i; H01L 25/07(2006.01)i; H01L 25/18(2006.01)i FI: H01L23/48 G; H01L23/48 P; H01L23/50 V; H01L25/04 C		
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） H01L23/48; H01L23/50; H01L25/07; H01L25/18 最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2021年 日本国実用新案登録公報 1996-2021年 日本国登録実用新案公報 1994-2021年 国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2001-326300 A（日産自動車株式会社）22.11.2001（2001-11-22） 段落[0015]-[0021]、図1	1, 6-7, 18
Y		2, 8, 10, 13, 16-17
A		3-5, 9, 11-12, 14-15
Y	JP 11-356058 A（株式会社日立製作所）24.12.1999（1999-12-24） 段落[0024]	2, 8, 10, 13, 16-17
A		3-5, 9, 11-12, 14-15
Y	JP 2007-49104 A（銅鉄合金株式会社）22.02.2007（2007-02-22） 段落[0010]	2, 8, 10, 13, 16-17
A		3-5, 9, 11-12, 14-15
Y	JP 2015-126342 A（ローム株式会社）06.07.2015（2015-07-06） 段落[0013]-[0017], [0114]-[0132], [0173]-[0179]、図1, 15-17, 24-25	10, 13, 16-17
A		3-5, 9, 11-12, 14-15
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献		
国際調査を完了した日 07.06.2021		国際調査報告の発送日 22.06.2021
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 豊島 洋介 5F 9850 電話番号 03-3581-1101 内線 3516

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2021/010866

引用文献			公表日	パテントファミリー文献	公表日
JP	2001-326300	A	22.11.2001	(ファミリーなし)	
JP	11-356058	A	24.12.1999	(ファミリーなし)	
JP	2007-49104	A	22.02.2007	(ファミリーなし)	
JP	2015-126342	A	06.07.2015	US 2016/0308523 A1 段落[0058]-[0062], [0158]- [0174], [0217]-[0223]、図 1, 15-17, 24-25	