



[12] 发明专利说明书

专利号 ZL 99120597.9

[45] 授权公告日 2005 年 12 月 7 日

[11] 授权公告号 CN 1230911C

[22] 申请日 1993.5.29 [21] 申请号 99120597.9
分案原申请号 93107690.0

[30] 优先权

[32] 1992.5.29 [33] JP [31] 164302/92

[71] 专利权人 株式会社半导体能源研究所
地址 日本神奈川县

[72] 发明人 山崎舜平 竹村保彦
审查员 唐跃强

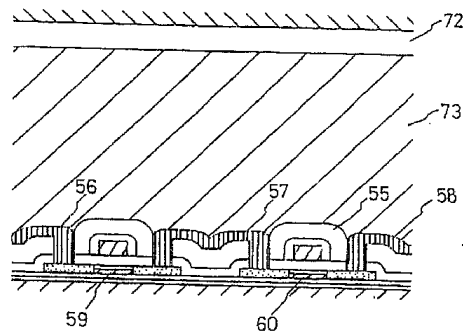
[74] 专利代理机构 中国专利代理(香港)有限公司
代理人 李亚非

权利要求书 1 页 说明书 17 页 附图 4 页

[54] 发明名称 薄膜晶体管

[57] 摘要

本发明提供一种薄膜晶体管，包括：一玻璃或石英衬底；一氮化硅膜，在所述玻璃或石英衬底上形成；一氧化硅膜，在所述氮化硅膜上形成；一含硅半导体膜，在所述氧化硅膜上形成，所述半导体膜包括源区和漏区和介在源区和漏区之间的沟道区；一栅电极，形成为邻近所述沟道区，并且在所述栅电极和沟道区之间具有一栅绝缘膜。



1. 一种薄膜晶体管，包括：
 - 一玻璃或石英衬底；
 - 5 一氮化硅膜，在所述玻璃或石英衬底上形成；
 - 一氧化硅膜，在所述氮化硅膜上形成；
 - 一半导体膜，在所述氧化硅膜上形成，所述半导体膜包括源区和漏区和介在源区和漏区之间的沟道区；
 - 一栅电极，形成为邻近所述沟道区，并且在所述栅电极和沟道区之间具有一栅绝缘膜，
 - 10 其中所述半导体膜包括一个非晶硅层以及一个半非晶硅层或者一个结晶硅层，该半非晶硅层或者结晶硅层中的任何一个都邻近所述非晶硅层。
2. 如权利要求1所述的薄膜晶体管，其中氮化硅膜的厚度在5-200nm的范围，并且其中氧化硅膜的厚度在20-1000nm的范围。
- 15 3. 如权利要求1所述的薄膜晶体管，其中所述半导体膜含碳量的浓度以次级离子质谱分析法测定为等于或小于 1×10^{17} 原子/立方厘米。
4. 如权利要求1所述的薄膜晶体管，其中所述半导体膜含氮量的浓度以次级离子质谱分析法测定为等于或小于 1×10^{17} 原子/立方厘米。
- 20 5. 如权利要求1所述的薄膜晶体管，其中所述半导体膜含氧量的浓度以次级离子质谱分析法测定为等于或小于 1×10^{17} 原子/立方厘米。
- 25 6. 如权利要求1所述的薄膜晶体管，其中所述沟道区包含的杂质的浓度以次级离子质谱分析法测定为等于或小于 1×10^{17} 原子/立方厘米。
7. 如权利要求1所述的薄膜晶体管，其中所述薄膜晶体管的沟道区包括一非晶硅层和在该非晶硅层上的结晶硅层。

薄膜晶体管

5 本申请是申请号为 93107690.0、申请日为 1993 年 5 月 29 日并且发明名称为“具有薄膜晶体管的电子器件,矩阵器件,光电显示器件和半导体存贮器”的申请的分案申请。

技术领域

10 本发明涉及到一种矩阵器件,它具有一种矩阵结构,具有用作转换装置的 MOSFETs 和 MISEFTS (统称为 MOS 装置)并被用于执行诸如液晶显示和动态 RAM (DRAM) 的动态操作。这些矩阵器件的例子包括光电显示器件和半导体存贮器。本发明还涉及到一种用于驱动这种矩阵器件的电路。特别是,本发明涉及到一种使用薄膜晶体管,诸如是在绝缘基底上作为一个 MOS 器件而形成的薄膜晶体管的器件。

背景技术

15 最近,已经实现一种绝缘栅半导体器件,该装置在其绝缘基底上包含一个以薄膜型式存在的有源层(也称有源区)。特别是,薄膜绝缘栅晶体管或所谓的薄膜晶体管(TFT)正在被认真地研究着。

20 人们倾向于使用这些器件去控制在具有诸如液晶显示的矩阵结构的显示器件上的像素,根据所使用的半导体材料和晶体状态,这些器件可以分为非晶硅 TFTs 或多晶硅 TFTs。另外,目前还研究了一种材料,这种材料表现出多晶和非晶状态之间的情况。这种材料称之为半非晶材料,并且认为它是一种微晶可浮动的非晶结构。如以后

25 将要说明的,这是单晶状态下的高迁移率和非晶状态下的低漏电流二者良好结合的一种材料。

 另外,多晶硅 TFTs 还被用于单晶硅的集成电路上,作为一种 SOI (绝缘体上的硅)技术,这是公知的。例如,在大规模集成电路的 SRAM

中，这种 TFTs 被用作负载晶体管。但是在这种情况下，就极少使用非晶硅 TFTs。

5 由于导电互连不是通过电容耦合到基底上的，所以绝缘基底上的半导体电路可以相当高的速度工作。已经提出了一种计划将这种半导体电路用于超高速微处理器和超高速存贮器。

通常，非晶硅半导体具有较低的场迁移率，从而使其不能应用于需高速操作的那些 TFTs 中。另外，P 型非晶硅具有极低的场迁移率；从而不可能用其制造 P-沟道 TFTs 或 PMOS TFTs 。因此，企图利用 P-沟道 TFTs 或 PMOS TFTs 和 N-沟道 TFTs 或 NMOS TFTs 相互结合制造互补型 MOS (CMOS) 是不可能的。

但是，由非晶硅半导体制成的 TFS 具有低截止电流的优点。所以，这种 TFTs 用于诸如液晶显示装置的有源矩阵晶体管等场合，在这种场合下，不需要高速操作，仅需要一种导电类型且必须能良好地保持电荷。

15 另一方面，多晶硅半导体比非晶硅半导体具有较高的场迁移率并因此能进行高速操作。例如，使用通过激光退火重结晶而生成的硅膜的场迁移率高达 $300\text{cm}^2/\text{v}\cdot\text{s}$ ，这就非常接近在一个普通单晶硅基底上形成的 MOS 晶体管的大约 $500\text{cm}^2/\text{v}\cdot\text{s}$ 的场迁移率。硅单晶硅上 MOS 电路的操作速度受到基底和传导连接之间的寄生电容的限制。相比之下，在多晶硅半导体（再结晶的硅膜）的情况下，由于电路位于绝缘基底上，这种限制就不存在了。因此，期待极高速操作。

20 PMOS TFTs 类似于 NMOS TFTs，也可以用多晶硅制造。因此，可以形成 CMOS 电路。例如，具有所谓单片结构的有源矩阵液晶显示器，即不仅其有源矩阵部分，而且诸如驱动器等外用部分也由 CMOS 多晶硅 TFTs 制造的产品是公知的。

在前述 SRAM 中所使用的 TFTs 就是考虑到这一点而形成的。PMOS 器件是由 TFTs 构成的并且被用作负载晶体管。

在通常的非晶 TFTs 中，通过如在单晶制造技术中所使用的自对准处理来形成源/漏区是很困难的。由于栅极和源/漏区的几何重叠所引起的寄生电容会引起问题。因此，多晶硅 TFTs 能够利用自对准处理，并借此使寄生电容被极大地抑制。

5 尽管多晶硅 TFTs 具有上述优点，但已经指出其中还存在某些问题。在通常的多晶硅 TFTs 中，在绝缘基底上形成一个有源层。在有源层上形成一个绝缘栅膜和多个栅极，这种结构为共平面型，虽然这种结构可以使用自对准处理，但是对于减少来自有源层的漏电流（截止电流）却是困难的。

10 虽然还不能完全理解漏电流所有起因，但其主要是由于在下面基底和有源层之间建立起的界面俘获电荷而引起的。因此，通过仔细并使其界面俘获密度减少到几乎与在栅氧化层膜与有源层之间的接口上的密度相等使漏电流问题得以解决。

15 特别是，在高温处理（最高处理温度约为 1000°C 极量级）中，基体由石英制成，在基体上形成硅覆盖层，并经过约 1000°C 的热氧化处理形成硅覆盖层的清洁表面。然后，利用低压 CVD 或其他方法形成硅有源层。

20 在低温处理（最高温度低于 650°，也称为中间温度处理）中，形成一个具有与栅绝缘膜界面俘获密度同样低的界面俘获密度的硅氧化膜以用作基底和有源层之间的基础膜。对于形成一个硅氧化膜而言，溅射是一个相当好的方法。具有良好特性的氧化膜还可以通过 ECR、CVD 或 TROS 的等离子体辅助 CVD 得到。

25 然而，这样做仍然不能减少漏电流。特别是，来自 NMOS 的漏电流比来自 PMOS 的漏电流在幅值上要大一个数量级或更多。我们猜想是较弱的 N 型有源层引起了这个较大的漏电流。实际上，我们已经利用高重复性观察到通过高温或低温处理所制造的 PMOS 和 NMOS 器件的阈值电压在负方向上的变化。特别是，在没有掺杂任何其它掺杂物的高纯硅情况下，我们可以推导出，在如同非晶硅情

况那样所获得的弱结晶度情况下，有源层变成弱 N 型。通过高温处理所获得的多晶硅含有很多晶格缺陷和悬空键，这和一个理想的单晶硅是极不相同的。这些晶格缺陷和悬空键就成为施主并提供电子。当然，诸如痕量钠离子等杂质元素的影响。

5 总之，若上述任一种情况存在，我们就能够解释上述现象，即 NMOS 器件比起 PMOS 器件具有低得多的阈值电压和更大的漏电流。这一点示于图 1 (A) - (B)。如图 1 (A) 所示，NMOS 的 N⁺源极 12 接地。一个正电压被接到 N⁺漏极 13。在这种状态下，若加上高于栅极 11 阈值电压 v_{th} 的一个电压，那么，将在有源层 14 的栅极的这边上形成一个沟道，且漏极电流将以实线箭头所示之方向流动。但是，由于有源层 14 具有弱 N 型 (N⁻型) 特性，所以，一个几乎与栅极电压无关的电势将如虚线箭头方向所示由源极流向漏极。

10 纵使栅极电位低于阈值电压 v_{th} ，仍有虚线箭头所示的电流流过。若栅极电位是一个大的负值，那么将建立一个 p 型反转层 16，如图 1 (B) 所示，但是沟道没有完全反型。相反地，若施加了一个过量的电压，电子就会积累在栅极的相反面从而产生一个沟道，则围绕 NMOS 器件所实际获得的数据就与上述考虑不相符合了。

在 PMOS 情况下，由于有源层具有 N⁻型特性，所以，阈值电压较高，但在栅极反面的漏电流却极大的减少了。图 2 (A) 和 (B) 示出了某些情况，在这些情况中，在 PMOS 上分别加上低于阈值电压的电压和超过阈值电压的电压。

20 这种来自 NMOS 的明显的漏电流对于各种应用，特别是在需要动态操作的应用中都是—种阻碍。例如，在液晶或 DRAM 的有源矩阵阵列中，会使图象信息或所存贮的信息丢失掉。因此，必需减少这种漏电流。

25 一种方法就是制造—种本征 (I-型) 或弱 P-型 NMOS 有源层。例如，在形成有源层时，将适当量的 P-型掺杂物，诸如硼仅注入到 NMOS 或者是 NMOS 和 PMOS 中以制造—个 NMOS I-型或弱 P-型的

有源层。这样就可以使 NMOS 的阈值电压得到提高，并且使漏电流极大地减少。但是这种方法存在某些问题。

通常，所使用的 CMOS 电路含有一个基底，并在该基底上制造有 NMOS 器件和 PMOS 器件。在掺杂物仅被注入到 N-型中的场合，
5 需要过多的光刻步骤。在 P-型掺杂物将被注入到 NMOS 和 PMOS 器件两者的有源层中的场合，需要浓度小的掺杂物注入技术。若剂量太大，那么，PMOS 的阈值电压就减小，而漏电流将增加。

离子注入技术也存在一些问题。在实现引起大量分隔的注入技术中，可能只注入所需的杂质元素。但是，所能处理的区域是很小的。
10 所谓的离子掺杂方法提供了一个较大的处理区域，但由于这种方法没有包含大量分隔步骤，所以某些不希望的离子也被注入了。这样就存在着剂量不够精确的可能性。

在加速和注入离子的这种方法中，在有源层和下面基底之间的界面上建立了多个固定的陷阱。与现有技术的向单晶半导体注入离子不同，这种注入是在绝缘基体上方进行的，从而使得可以发生明显的电荷增加。这就使它很难精确控制剂量。
15

因此，前述的在有源层形成时引入 P-型掺杂物是可以考虑的，但这种方法很难控制痕量的掺杂物。在使用相同的膜制造 NMOS 和 PMOS 的场合，除非其数量是足够的，否则，来自 PMOS 的漏电流将增大。对于使用不同膜制造的场合就需要一个附加的掩膜步骤。
20 如果利用这种方法来控制阈值电压，由于气流或其它因素的影响，所制造的 TFTs 在阈值电压方向是不均匀的。其批与批之间的阈值电压将有很大变化。

发明内容

25 本发明提供一种薄膜晶体管，包括：一玻璃或石英衬底；一氮化硅膜，在所述玻璃或石英衬底上形成；一氧化硅膜，在所述氮化硅膜上形成；一半导体膜，在所述氧化硅膜上形成，所述半导体膜包括源区和漏区和介在源区和漏区之间的沟道区；一栅电极，形成为邻近所述沟道区，并且在所述栅电极和沟道区之间具有一栅绝缘

膜，其中所述半导体膜包括一个非晶硅层以及一个半非晶硅层或者一个结晶硅层，该半非晶硅层或者结晶硅层中的任何一个都邻近所述非晶硅层。

5 本发明的一个目的就是通过优化电路设计来提供一种用于允许使用 TFTs 产生较大漏电流的半导体电路；并且不必通过控制制造过程来减少来自 NMOS 器件的漏电流。如上所述，在有源层由高纯度硅材料形成的场合，该层变成 N—型。在再现性和稳定性方面，它的能级是相当良好的。另外，处理本身是相当简单的并且可以提供足够高的产量。另一方面，在控制阈值的各种方法中，处理是很麻烦的。此外，在所获得的有源层中的能级，诸如费米能级是逐批变化的，从而减少了产量。

很明显，执行一个尽可能多地消除杂质的处理过程要比执行下述方法容易，在这种方法中，通过改善制造处理，即执行 10^{17} 原子/厘米³ 数量级低浓度掺杂，使得所制造的 NMOS 器件去适合该电路。最好是设计该电路并使其适合于所产生的 NMOS 器件。这就是本发明的技术概念。根据本发明的一个电子器件包括：

由至少一个 N-型晶体管组成的晶体管元件；

一个 P-型晶体管，和

一个电容器

20 其中，所述的晶体管元件，所述的 P-型晶体管和所述的电容器彼此相互串联连接。本发明应用的半导体电路不是通用的电路。本发明特别适用于液晶显示的有源矩阵电路、适用于通过在电容器中累积电荷来保持信息的 DRAM 存贮器以及动态移位寄存器的动态电路，这种动态位移寄存器，使用 MOS 晶体管的 MOS 结构作为电容器或者使用其它的电容器来驱动下一级电路。上述液晶显示的有源矩阵电路使用了一种材料，通过影响电场，使得这种材料的透光比和反射率发生变化，这种材料被夹在两个相反的电极之间。在电极之间施加电场以提供图象显示。特别是本发明适用于动、静态电路相互结合

25 相互结合

在本发明的第一特性中，形成例如液晶显示的有源矩阵电路的显示部分的 PMOS TFTs（P-型晶体管）被用作开关晶体管（开关装置）。必须将 PMOS TFTs 随同数据行和象素电极以串联的方式插入。若 NMOS TFTs 是以并联方式插入的，那么将会产生大量的漏电流，从而使得这种结构不适于用作显示装置。因此，本发明包括下述情况，在这种情况下，PMOS TFTs 和 NMOS TFTs 以串联的方式插入，用于象素的 TFTs 电路。在这种情况下，至少有一个 N-型晶体管用于有源矩阵中，并且至少一体 n-型晶体管中的每一个与相应的 P-型晶体管相串联，同时至少一体 n-型晶体管中每一个的源极和漏极与相应 P-型晶体管的源极和漏极相连接。当然，本发明亦可应用于两个 PMOS，TFTs（两个 P-型晶体管）以并联方式插入的情况。

在本发明的第二特性中，一个装置包括如上所述的显示电路部分或一个有源矩阵电路和一个用于显示电路部分的驱动器电路（或外用电路）且该驱动器电路是由 CMOS 电路构成的。尽管不要求所有的电路都由 CMOS 电路构成，但传输栅电路和反相器电路最好由 CMOS 器件（互补晶体管）构成，这些装置示意性地示于图 3 中。在作为外围设备的有源矩阵电路 33 的周围的绝缘基底 37 上形成了数据驱动器 31 和栅驱动器 32。外围电路包括 n-型和 p-型互补薄膜晶体管对。包括 PMOS TFTs（P-型薄膜晶体管）的有源矩阵电路 33 形成于基底表面中央。P-型薄膜晶体管包括一个栅极和一个阳极氧化层，该氧化层包括一个栅极材料的氧化层并被提供于该栅极表面。这些驱动器和有源矩阵利用栅极线 35 和数据线 36 进行连接以形成一个显示装置。有源矩阵 33 是包含有 PMOS 器件（P-型晶体管）的象素单元 34 的组合物。P-型晶体管通过其源和漏区中的一个与象素电极相联，还通过另一源和漏区与数据线相连，同时还通过其栅极与栅极线相连，如图 3 中象素单元 34 所示。在 P-型晶体管中源和漏区之间所提供的区域含有其浓度为 10^{17} 原子/厘米³ 或更少的 P-型杂质。有源矩阵电路 P-型晶体管以及外围电路 n-型和 P-型晶体管中每

一个的活性区都含有其浓度为 10^{17} 原子/厘米³ 或更少的 P-型杂质。

就 CMOS 电路而言、若所获得的 TFTs 的阈值电压对于 NMOS 器件而言是 2v、对于 PMOS 器件而言是 6v，并且若来自 NMOS 器件的漏电流是来自 PMOS 器件的漏电流的 10 或者 10 多倍，那么，
5 由于来自诸如反相器的逻辑电路的漏电流所消耗的电能不存在严重问题，所以，CMOS 反相器也不会遇到问题。在以如下方式工作，即在低压状态下低于 NMOS 器件阈值电压的电压进行工作和在高压状态下，以超过 PMOS 器件漏极电压和阈值电压 (<0) 之和的电压进行工作的方式情况下，需要一个反相器。在这种情况下，若漏极
10 电压超过 8v，理论上是大于 10V，就不会产生任何问题。若输入取 0v 和 8v 两个值，那么将会获得令人满意的结果。

本发明的第三个特性是与诸如 DRAM 的半导体存储器相关的。以单晶集成电路 ICs 形式存在的半导体存储器的工作速度已经达到了极限。为了使它们能以更高速度进行工作，就必需提高晶体管的载流能力，但这就导致增加了所耗电流的数量。对于通过在电容器中
15 存储电荷以存储信息的 DRAM 情况，电容器的电容不能再进一步增加，因此就只有一种可行的方法，就是提高驱动电压。

单晶集成电路的速度之所以达到它们的极限的一个原因是由基底和使导电互联之间所形成电容产生的大量损耗。假若一个绝缘体
20 被用作基底，那么可以获得足够高速度的工作而不会增加电流损耗。为此，已经提出了一种 SOI(绝缘体上的半导体)结构的集成电路 ICs。

每个单元包括一个晶体管的 DRAM 在电路结构上类似于上述的液晶显示器。具有诸如每个单元包括 3 个晶体管的其它结构的 DRAM 使用产生少量漏电流的 PMOS TFTs 作为形成存储位的 TFTs。这些
25 DRAM 的基本结构与图 3 所示结构相同。例如，一个 DRAM 包括一个列译码器 31、一个行译码器 32、存储元件 33、一个单位存储位 34、位线 35、字线 36 和一个绝缘基体 37。

液晶显示器和 DRAM 的有源矩阵都必须被刷新。在刷新操作期

间，TFTs 的电阻必须大得足以使像素电容和电容器避免放电。在这种情况下，如果使用 NMOS TFTs，那么由于较大的漏电流，就不可能令人满意地驱动这些元件。在这方面，采用产生较小漏电流的 PMOS TFTs 是有益的。

5 在本发明中，使用通过高温处理以制造的 TFTs 是有利的。而使用通过低温处理以制造的 TFTs 则是特别便利的。在通过低温处理所制造的 TFTs 中，其有源层的结构介于非晶状态和单晶状态之间，并且要产生较大的晶格畸变。因此，TFTs 呈现一种所谓的半非晶状态且其实际特性接近于处于非晶状态下器件的特性。也就是说，大多数由纯硅通过低温处理制造的有源层具有 N⁻型的特征。

10 现在来详细地阐述半非晶状态。当热量被提供给处于非晶状态下的硅时，晶体生长。在大气压力下，在达到大约 650° 以前，晶体是不生长的。特别是，结晶度相对较低的部分被置入高结晶度部分。另外，分子被紧密地键合在一起，并呈现不同于离子晶体常规晶体的偏析形态。就是说，半非晶状态的特征在于它具有非常少的悬空键。若温度超过 680°C，晶体的生长速度就被极大地加速，则将呈现包含有大量晶粒的多晶状态。在这种情况下，位于由晶格畸变所隔开的晶粒边界处的分子键被破坏，从而导致了在晶粒边界处具有大量的悬空键。

20 即使掺杂剂被注入处于这种半非晶状态下材料的有源层，利用与非晶硅相同的方式，其有源层也得不到较大的改善。我们认为，这是由于特别是在含有大量悬空键处掺杂剂的选择性陷阱所引起的，其结果是很难用控制半非晶状态下有源层或通过低温处理所制造的有源层的掺杂去控制阈值电压。

25 本发明可以很方便地应用于如在由本申请人申请的日本专利申请 73315/1922 中所述的具有两个有源层的 TFTs 中。在这种 TFTs 中，一个非晶有源层是直接地形成于基底之上的，一个处于半非晶或多晶状态下的有源层形成于该非晶有源层上。在基底和开始所述有源

层之间的界面处存在有大量电荷而产生的漏电流被减少到最小值。但由于使用了非晶硅，所以较低的有源层在结构上具有 N-型特征。因此，尽管起源于该界面的漏电流能减少，但由该有源层所产生的漏电流却不能很容易地被减少。例如，当漏极电压为 1 时，来自 PMOS 器件的漏电流低于 $10^{-12}A$ ，而来自 NMOS 器件的漏电流却比前者漏电流大 100 或更多倍。

制造这种结构的方法示于图 4。首先，在基体 41 上形成一个由硅氮化物或其它材料构成的坚固的惰性涂层 42。若该基底是足够清洁的，则就不必形成该涂层。然后，在涂层 42 上形成一个氧化膜 43，以建立一个底层。随后形成二个非晶硅层。在以后的热处理中，这些非晶硅膜通过在沉积期间优选其沉积速度和基底温度，被制成半非晶或多晶体，但保留了非晶特性。在这个例子中，较上层 45 和 47 被制成半非晶或多晶状态，而较下层 44 和 46 则保留了非晶状态。

该方法的特征就在于使用同一注入室，通过细微改变构成稳定状态的条件可以形成两种具有不同特性的硅膜。若通过注入一个掺杂来控制阈值电压，那么就不可能获得应用本方法的优点。若把较低层 44 和 46 从 N-型改变成 I-型，那么由于这些层保留了非晶特性，其离子化速度就很低。因此需要进行大量的掺杂。其结果，注入室将被这些杂质极大地污染。另外还有如下的可能性，即 PMOS 器件的有源层被改变成 P-型。因此，具有这两种有源层的 TFTs 非常适用于本发明，它只须要利用掺杂而不需要对阈值电压进行控制。下面将会详细叙述制造这些 TFTs 的方法。

根据本发明的电子器件包括：

一个绝缘基底；

一个 P-型薄膜晶体管，形成于所述绝缘基底之上，并通过其栅极和一个位线连接，通过其源和漏区中的一个与一个位线连接；

一个电容器，它通过源和漏区中的另一个与所述 P-型薄膜晶体管连接；和

一个围绕所述 P-型薄膜晶体管而提供的外围电路，它包括在所述绝缘基体上所提供的 n-型和 P-型薄膜晶体管。

本发明的其它目的和特性将在以后的说明过程中出现。

附图说明

5 图 1 (A) 和 (B) 是用以表明其工作状态的 NMOS TFTs 剖面视图；

图 2 (A) 和 (B) 是用以表明其工作状态的 PMOS TFTs 剖面视图；

图 3 是依据本发明的显示装置电路图的部分平面视图；

10 图 4 (A) - (C) 是依据本发明的 TFTs 剖面图，用以表明制造这些 TFTs 所执行的顺序步骤；

图 5 (A) - (E) 是依据本发明的其它一些 TFTs 的剖视图，用以表明制造这些 TFTs 所执行的顺序步骤：和

图 6 是依据本发明的一个电子器件的剖面图。

15 具体实施方式

例 1：

下面参考图 4 (A) - (C) 来叙述本发明例 1 的 CMOS 电路/根据本发明例 1 的电子器件示于图 6，它包括一对基底，在这两个基底之一上提供的一个 CMOS 电路和一个像素电极，在这两个基底的另一个上提供的透明导体膜 72 和一个在像素电极（所述两基底之一）和透明导电膜（所述另一个基底）之间提供的电光调制层 73。该电路包括一个由克宁（corning）有限公司利用 7059#玻璃制造的基底 41，该基底可用各种其它材料制成。无论使用什么样的材料来制造该基底，该基底都必须被处理得没有诸如移动的钠离子进入半导体膜。
20 一个理想的基底是使用含碱量小的合成石英制造的。如果出于经济方面的原因难以采用这种基底，那么可以使用通过商业途径获得的弱碱性或非碱性玻璃。在本例中，通过低压 CVD 在基底 41 上形成了一个厚度为 5-200nm（例如 10nm）的氮化硅物膜 42，用以避免来

25

自基底的运动离子进入半导体膜。然后，利用溅射技术在氮化硅膜 42 上形成一个厚度为 20-1000nm（如 50nm）的硅氧化物膜 43。这些膜的厚度是根据运动离子的侵入程度或有源层被影响的程度来确定的。作为一个例子，它的氮化硅膜 42 的质量并不好且电荷被稳固地捕集起来，上覆半导体层通过氧化硅膜受到影响。在这种情况下，就必须加厚氧化硅膜 43。

这些膜可以通过等离子体辅助 CVD 以及上述的低压 CVD 或溅射技术来形成。特别是，氧化硅膜可以利用 TEOS 来制造。考虑到成本，生产能力以及其它的因素，可以选择所使用的方法。当然，这些膜可以通过连续处理形成。

然后，可以通过低压 CVD 使用单硅烷来形成厚度为 20-200nm（例如 100nm）的非晶硅膜，基底温度为 430-480°C、例如 450°C。基底温度是连续变化的，且厚度为 5-200nm（例如 10nm）的非晶硅膜在 520-560°C（例如 550°C）形成。我们的研究已经表明，基底的温度含显著影响稍后结晶期间的绝缘层。例如，当这些膜是在低于 480°C 的温度下形成时，使它们结晶是很困难的。相反，当这些膜在高于 520°C 的温度下形成时，它们就很容易地结晶。以这种方式获得的非晶硅膜在 600°C 下热退火 24 小时。其结果，只有较上部的硅膜结晶。在这种方式下，可以获得所谓半非晶硅半导体的结晶硅。结晶硅可以是单晶硅半导体或多晶硅半导体，而不是所谓的半非晶硅半导体。较低的硅膜保留非晶硅特性。

为了加速上部硅膜的结晶，该膜中所包含的碳、氮和氧原子的浓度最好低于 7×10^{19} 原子/厘米³。SIMS 分析说明，在本例中，这些浓度低于 1×10^{17} 原子/厘米³。相反，为了遏制下部硅膜的结晶，这些元素的高浓度是有利的。但是，过量的掺杂将会对半导体的特性产生不良影响，因此也就会对 TFTs 特性产生不良影响。所以，是否需要掺杂以及掺杂的量是根据 TFTs 的特性确定的。

在使非晶硅膜退火以形居一个结晶硅膜以后，它被蚀刻成一个

适当的图形，从而产生一个用于 NTFTs 的半导体岛区 45 和一个用于 PTFTs 的半导体岛区 47。没有对每个岛区的上部表面作任何人为的掺杂。SIMS 分析表明，硼的掺杂浓度低于 10^{17} 原子/厘米³。因此我们推测，这个部分的导电类型属于 N-型。另一方面，半导体区的较低硅层 44 和 48 基本上为非晶硅半导体。

以后，在使用氧化硅靶的同时，其厚度为 50-300nm（如 100nm）的栅绝缘膜 48 可以通过在含氧环境中的溅射技术由氧化硅形成。该膜的厚度是根据该 TFTs 的工作条件和其经的一些因素确定的。

随后，利用溅射技术形成 500nm 厚的铝膜。这是利用混合酸溶液或加有 5%硝酸的磷酸溶液构图以形成栅极和连接部分 49 和 50 的。当蚀刻温度为 40℃时，蚀刻速度为 225nm/min。在这种方式下，TFTs 的外形可作适当调节。每个沟道长 $8\ \mu\text{m}$ ，宽 $20\ \mu\text{m}$ 。这种状态示于图 4（A）。

然后，利用阳极氧化在铝连接部分的表面上形成铝氧化物。作为阳极氧化的一种方法，使用了日本申请人申请的日本专利申请 231188/1991 或 238713/1991 中所叙述的处理方法。根据所需器件的特点，处理条件，成本以及其它的一些因素，可以作出修改以实施该方法。在本例中，通过阳极氧化处理形成了厚度为 250nm 的铝氧化膜 51 和 52。

此后，通过绝缘栅膜的离子注入和众所周知的 CMOS 制造技术形成 N-型源/漏区 53 和 P-型源/漏区 54。在每个区中掺杂剂的浓度为 8×10^{19} 原子/厘米³。对于 P-型离子源时使氟化硼离子。对于 N 型离子源使用磷离子。前一种离子在加速电压为 80Kev 时被注入，而后一种离子在 110KtV 时被引入。加速电压是考虑栅绝缘膜的厚度以及半导体区 45 和 47 的厚度确定的。所利用的不是离子的注入，而是离子的掺杂。在离子注入中，所注入的离子因它们的质量不同而分隔开，从而不会射入所不希望的离子，但是能够被一个离子注入器所能处理的基底的尺寸是有限的。另一方面，在离子掺杂处理过程

中，可以处理较大的基底（如对角线长于 30 英寸），但氢离子和其它所不希望的离子也会被同时加速和被注入，从而使得该基底趋于被加热。在这种情况下，如在离子注入中使用光刻胶去实施掺杂剂的选择注入是很困难的。

5 在这种方式中，可以制造如图 4 (B) 所示的具有偏置区的 TFTs。最后，利用栅极作为掩模，在如上所引述的日本专利申请 231188/1991 或 238713/1991 所叙述条件下，利用激光退火使源/漏区再结晶。利用 rf 等离子体辅助 CVD 从氧化硅形成夹层绝缘器 55。在该绝缘器中形成多个孔以允许生成电极。铝互连部分 56-68 形成，以最终完成
10 一个器件。

 在该例中，由于激光退火是一种很有效的方法，所以不仅是处于结晶硅状态下的膜 45 和 47，而且处于非晶硅状态下的膜 44 和 46 都是利用激光退火使之结晶。其结果如图 4 (C) 所示，除了位于沟道之下的部分 59 和 60 以外，原来的非晶区 44 和 46 都被变换成了
15 具有与源/漏区相同结晶的材料。从而使得源/漏区的厚度基本上与半导体岛区 45 和 47 基本相同。但是，从该图中可以看到，沟道的实际厚度大约是 10nm，该厚度要小于源/漏区的厚度。因此，源/漏区的薄层电阻很小。另外，沟道厚度的减少相应地减少了截止电流，从而提供了极为优良的特性。

20 图 4 (A) - (C) 示出了用于制造一种 CMOS 电路的顺序步骤，这种电路用于与液晶显示相关的驱动电路中。同样地，在同一块基底的有源矩阵上形成 PMOS 器件。TFTs 即以这种方式构成。这些 TFTs 的沟道长度为 $5\ \mu\text{m}$ ，宽度为 $20\ \mu\text{m}$ 。当源/漏电压为 1v 时，来自 NMOS 器件的漏电流约为 100pA，且来自 PMOS 器件的漏电流约为 1pA。
25 按照这种方式，PMOS 器件的截止电阻是 NMOS 器件截止电阻的 100 倍。当栅极电压为 +8v（在 PMOS 情况下为 -8v）且 TFTs 处于导通状态下时，一个 $10\ \mu\text{A}$ 的电流和一个 100nA 的电流分别通过 NMOS 和 PMOS 器件。由于在 PMOS 器件情况下，阈值电压向负方向偏移，

所以来自 PMOS 器件的漏极电流要比来自 NMOS 器件的漏极电流小得多。借此，当该 PMOS 器件的栅极电压被置于-12v 时，漏极电流为 $1\mu\text{A}$ 。就是说，在传输栅极使用这些 TFTs 制造场合，施加给这些 PTFTs 的电位将向负方向偏移。有源矩阵 PMOS TFTs 的尺寸是这样设置的，其沟道长度为 $5\mu\text{m}$ ，其宽度为 $10\mu\text{m}$ 。当用作有源矩阵的 PMOS 器件的 TFTs 的栅极电压从 0v 变到-12v 时，漏极电流增加 166 倍。因此，在 TFTs 被应用于显示装置的场合，不会出现什么问题。若需要较宽的变化范围，可以将两个 PMOS TFTs 相互串联在一起，以形成一个所谓的双栅极结构。在这种情况下，在截止状态下，这些 TFTs 的电阻率将在其幅值上增加一个数量级。但是在导通状态下，这些 TFTs 的电阻率将仅仅增加不足两倍。最后，漏极电流变化 10^7 倍。若采用三极 TFTs 相互串联，那么漏极电流将会进一步增加其幅值的一个数量级。

例 2

图 5 (A) - (E) 示出了依据本发明为制造 NMOS 和 PMOS 器件所执行的顺序步骤。在这个例 2 中，TFTs 是通过高温处理制造的。首先，利用低压 CVD 在一个石英的绝缘基底 61 上形成一个厚度为 100-500nm、最好是 150-200nm 的未掺杂多晶硅膜。绝缘基底 61 的宽度为 105nm、长为 105mm，厚度为 1.1mm。随后，在干燥、高温含氧环境中，在 850-1100°C、最好是 950-1050°C 温度范围内使多晶硅膜氧化。按这种方式，一个氧化硅膜 62 形成于该绝缘基底上（图 5 (A)）。

利用等离子辅助 CVD 或低压 CVD 由乙硅烷形成厚度为 100-1000nm、最好是 350-700nm 的非晶硅膜。基底温度为 350-450°C。该薄层在 550-650°C、最好是 580-620°C 温度范围内经长时间的退火，从而使该膜片结晶化。该薄层经刻图，以形成 NMOS 区 63a 和 PMOS 区 63b，如图 5 (B) 所示。

然后，在干燥、高温含氧环境中使硅区 63a 和 63b 的表面氧化，

以在该硅区表面上形成厚度为 50-150nm、最好是 50-70nm 的氧化硅膜 64，如图 5 (C) 所示。在与该氧化硅膜 62 情况相同的条件下完成氧化过程。

5 随后，厚度为 200-500nm，最好是 350-400nm 并利用浓度为 10^{19} - 2×10^{20} 原子/厘米³、例如是 8×10^9 原子/厘米³ 的磷离子掺杂形成硅膜，刻成如图 5 (D) 所示的图形，从而形成 NMOS 器件的多个栅极 65a 和 PMOS 器件的多个栅极 65b。随后借助于离子注入在 NMOS 和 PMOS 器件中形成掺杂区 66 和 67。

10 这些掺杂区的底部没有到达底层的氧化硅膜 62，就是说，在底层的氧化膜和该硅膜之间的界面处形成大量的局部陷阱。随后，靠近底层的氧化膜的硅膜的这些部分将呈现某些导电类型，通常是 N-型。若掺杂区接近这些硅膜部分，那么将产生漏电流，在这个例 2 中，为了防止这种漏电流，在每个掺杂区的底部和底层的氧化膜 62 之间形成 50-200nm 的间隔。

15 在当前的这个例子中，离子是通过硅氧化膜 64 注入的。为了更精确地控制掺杂区的深度，可以除去硅氧化膜 64 而执行热扩散。

在形成掺杂区以后，通过热退火恢复掺杂区的结晶。然后，以与制造 TFTs 的一般步骤相同的方式形成硼-磷硅玻璃的夹层绝缘器 68。利用回流技术使其表面平化，形成接触孔以及金属互联 69-71。

20 利用通过上述步骤所制造的 TFTs，可以制造每个单元都由晶体管组成的 16K 位 DRAM。这些 TFTs 的沟道长度为 $2 \mu\text{m}$ ，宽度为 $10 \mu\text{m}$ 。当源/漏电压为 1v 时，来自 NMOS 器件的漏电流约 10pA。在相同情况下，来自 PMOS 器件的漏电流约为 0.1pA。存贮元件包括多个其沟道长度为 $2 \mu\text{m}$ 、宽度为 $2 \mu\text{m}$ 的 PMOS 器件。存贮元件电
25 容器的电容为 0.5PF。最大的刷新间隔为 5 秒。在这种方式下，可以长时间地保存信息。之所以能做到这一点，实际上是因为处于截止状态下的 PMOS 器件的电阻高达 5×10^{13} 欧姆。可以采用由上述步骤所制造的 NMOS 和 PMOS 器件的 CMOS 器件来制造外围电路。由于

DKAM 就是以这种方式建置于绝缘基底上的，所以可以具有很高的工作速度。读/写操作可达到每位 100ns。

5 本发明可以提高一个动态电路以及使用这种动态电路的装置的可靠性和性能。在液晶显示器的有源矩阵中使用现有技术多晶硅 TFTs 的场合，导通状态下的漏极电流与截止状态下的漏极电流流之比是低的，并且在实际使用这些 TFTs 时会出现各种困难。我们认为，本发明几乎成功地解决了这些问题。另外，如例 2 所述的绝缘基底上的半导体电路具有如下优点，即它能以很高的速度进行工作。很明显，在用于构成单晶三维半导体电路的 TFTs 中，可以类似的效用实施本发明。

10

例如，可以按单晶半导体的半导体电路来构成外围逻辑电路，经由夹层绝缘器在该逻辑电路上方形成 TFTs。按这种方式能够形成存贮元件。在这种情况下，存贮元件包括使用 PMOS TFTs 的 DRAM 电路。它们的驱动电路是由在单晶半导体电路中形成的 CMOS 器件建立的。如果将这种电路用作微处理器，这些存贮元件位于第二层，从而它所占用的区域能够被节省出来。由此可见，我们认为本发明具有极大的工业价值。

15

图 1(A)

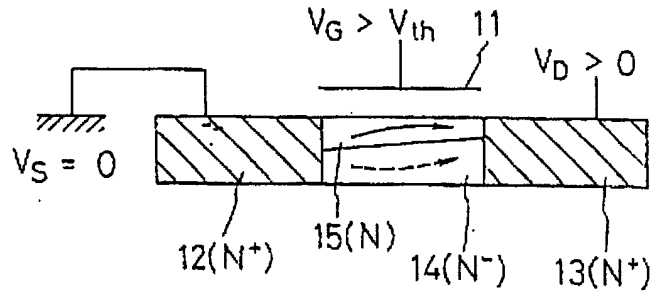


图 1(B)

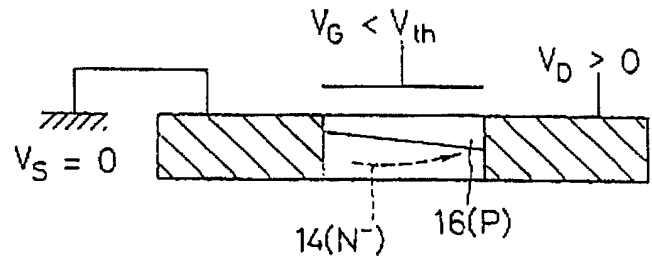


图 2(A)

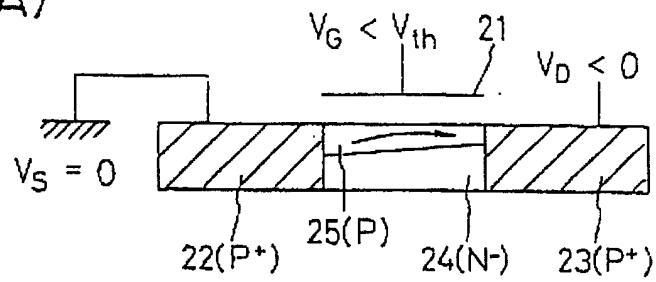


图 2(B)

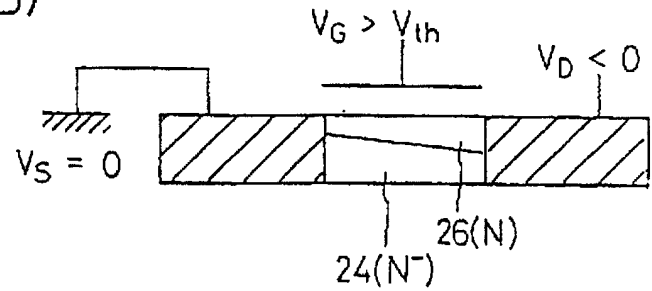


图 3

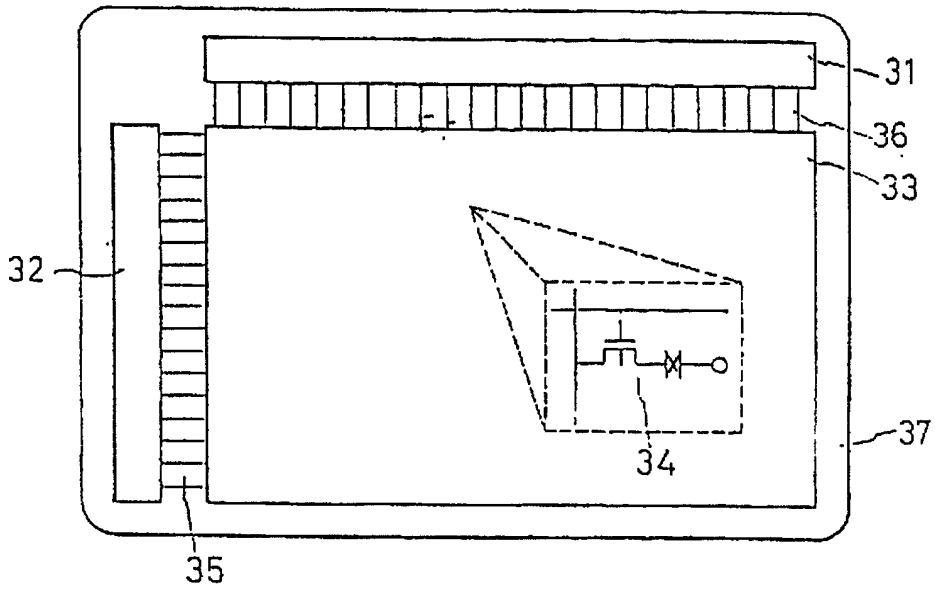


图 4(A)

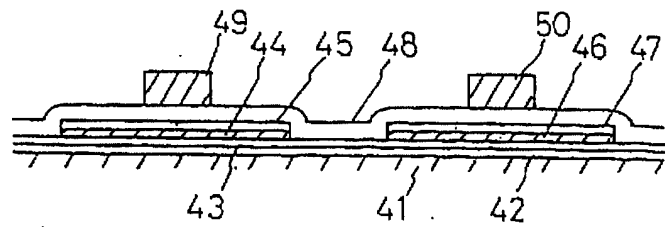


图 4(B)

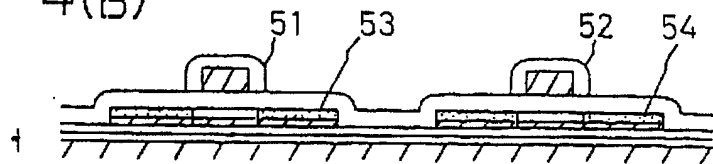


图 4(C)

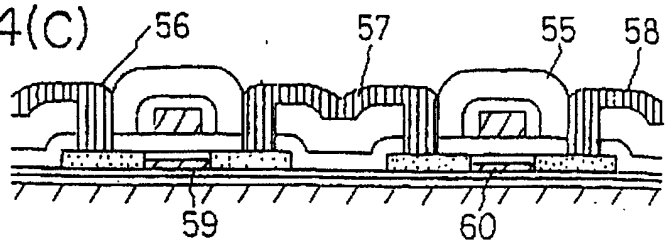


图 5(A)

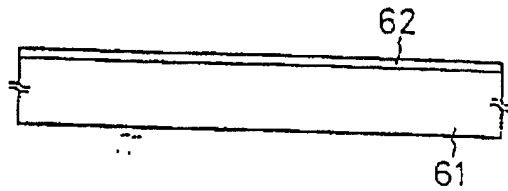


图 5(B)

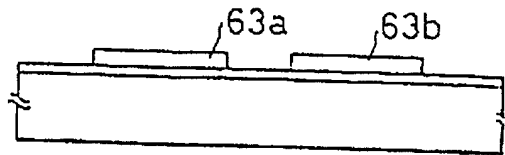


图 5(C)

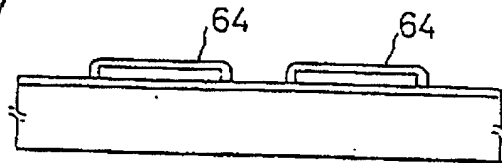


图 5(D)

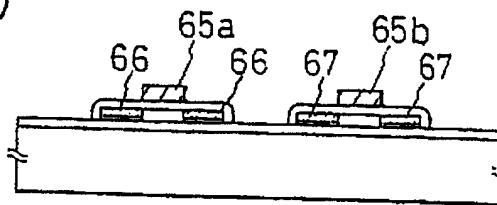


图 5(E)

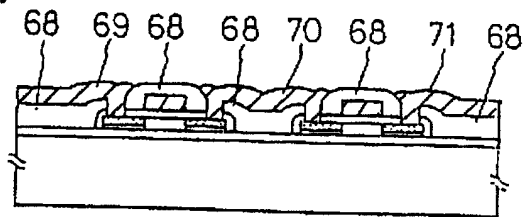


图 6

