

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2014 年 4 月 3 日(03.04.2014)

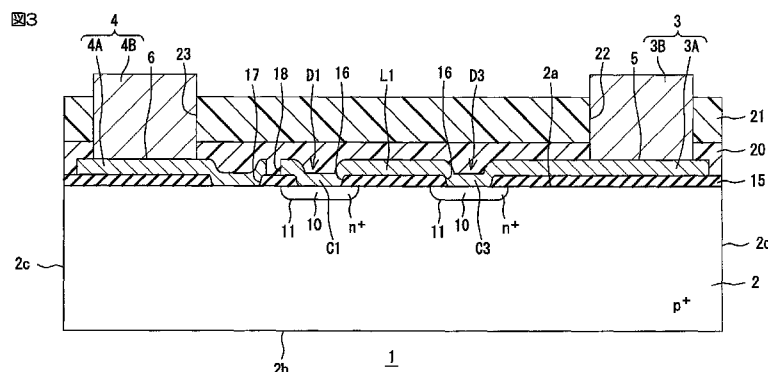


(10) 国際公開番号
WO 2014/050422 A1

- (51) 国際特許分類:
H01L 21/329 (2006.01) H01L 29/866 (2006.01)
H01L 21/28 (2006.01) H01L 29/868 (2006.01)
H01L 29/861 (2006.01)
- (21) 国際出願番号: PCT/JP2013/073166
- (22) 国際出願日: 2013 年 8 月 29 日(29.08.2013)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2012-215061 2012 年 9 月 27 日(27.09.2012) JP
特願 2012-215063 2012 年 9 月 27 日(27.09.2012) JP
特願 2012-215064 2012 年 9 月 27 日(27.09.2012) JP
- (71) 出願人: ローム株式会社(ROHM CO., LTD.) [JP/JP];
〒6158585 京都府京都市右京区西院溝崎町 2 1
番地 Kyoto (JP).
- (72) 発明者: 山本 浩貴(YAMAMOTO, Hiroki); 〒
6158585 京都府京都市右京区西院溝崎町 2 1 番
地 ローム株式会社内 Kyoto (JP).
- (74) 代理人: 稲岡 耕作, 外(INAOKA, Kosaku et al.); 〒
5410054 大阪府大阪市中央区南本町 2 丁目 6
番 1 2 号 サンマリオン N B F タワー 2 1 階
あい特許事務所内 Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,
BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN,
CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES,
FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN,
IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS,
LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX,
MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH,
PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK,
SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保
護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW,
MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシ
ア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ
(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR,
GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT,
NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI
(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML,
MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告 (条約第 21 条(3))

(54) Title: CHIP DIODE AND METHOD FOR MANUFACTURING SAME

(54) 発明の名称: チップダイオードおよびその製造方法



(57) Abstract: This chip diode has a zener voltage (V_z) of 4.0-5.5 V, and includes a semiconductor substrate, which has a resistivity of 3-5 $m\Omega \cdot cm$, and a diffusion layer, which is formed on the front surface of the semiconductor substrate, and which has a diode junction region formed between the diffusion layer and the semiconductor substrate, said diffusion layer having a depth of 0.01-0.2 μm with respect to the front surface of the semiconductor substrate.

(57) 要約: 本発明のチップダイオードは、ツェナー電圧 V_z が 4.0 V ~ 5.5 V のチップダイオードであって、3 $m\Omega \cdot cm$ ~ 5 $m\Omega \cdot cm$ の抵抗率を有する半導体基板と、前記半導体基板の表面に形成され、前記半導体基板との間にダイオード接合領域を形成する拡散層とを含み、前記拡散層は、前記半導体基板の前記表面に対して 0.01 μm ~ 0.2 μm の深さを有している。

WO 2014/050422 A1

明 細 書

発明の名称：チップダイオードおよびその製造方法

技術分野

[0001] 本発明は、チップダイオードおよびその製造方法、ならびに前記チップダイオードを備えた回路アセンブリおよび電子機器に関する。

背景技術

[0002] 特許文献1は、ダイオード素子を有する半導体装置を開示している。この半導体装置は、 n 型の半導体基板と、半導体基板上に形成された n 型エピタキシャル層と、 n 型エピタキシャル層中に形成された n 型半導体領域と、 n 型半導体領域の上に形成された p 型半導体領域と、 n 型エピタキシャル層上に形成された絶縁膜と、絶縁膜を貫通して p 型半導体領域に接続されたアノード電極と、半導体基板の裏面に接続されたカソード電極とを含む。

先行技術文献

特許文献

[0003] 特許文献1：特開2002-270858号公報（図18）

発明の概要

発明が解決しようとする課題

[0004] たとえばツェナーダイオードの主たる特性の一つは、ツェナー電圧 V_z である。したがて、ツェナーダイオードについては、設計通りのツェナー電圧 V_z を付与することが求められている。しかしながら、ツェナー電圧 V_z を設計値に正確にコントロールすることは難しく、効果的な手法が確立されているとは言えない。

[0005] 本発明の目的は、ツェナー電圧 V_z を4.0V～5.5Vに正確にコントロールできるチップダイオードおよびその製造方法を提供することである。

[0006] 本発明の他の目的は、さらに、本発明のチップダイオードを備えた回路アセンブリ、およびこのような回路アセンブリを備えた電子機器を提供することである。

課題を解決するための手段

- [0007] 本発明のチップダイオードは、ツェナー電圧 V_z が4.0V～5.5Vのチップダイオードであって、 $3\text{ m}\Omega \cdot \text{cm} \sim 5\text{ m}\Omega \cdot \text{cm}$ の抵抗率を有する半導体基板と、前記半導体基板の表面に形成され、前記半導体基板との間にダイオード接合領域を形成する拡散層とを含み、前記拡散層は、前記半導体基板の前記表面に対して $0.01\text{ }\mu\text{m} \sim 0.2\text{ }\mu\text{m}$ の深さを有している。
- [0008] 本発明のチップダイオードは、 $3\text{ m}\Omega \cdot \text{cm} \sim 5\text{ m}\Omega \cdot \text{cm}$ の抵抗率を有する半導体基板の表面に、不純物を選択的に導入する工程と、前記不純物の導入後の前記半導体基板の表面状態を維持した状態で、前記半導体基板の前記表面にRTA (Rapid Thermal Annealing) 処理を施して前記不純物を拡散させることによって、前記半導体基板との間にダイオード接合領域を形成し、前記半導体基板の前記表面に対して $0.01\text{ }\mu\text{m} \sim 0.2\text{ }\mu\text{m}$ の深さを有する拡散層を形成する工程とを含む、チップダイオードの製造方法によって製造することができる。
- [0009] この方法によれば、不純物の導入後、当該不純物が導入された領域にCVD膜や熱酸化膜等を形成せず、半導体基板の表面状態を維持する。そして、その表面状態において、ドライブイン処理に比べて短時間で済むRTA処理によって不純物を拡散させる。しかも、使用される半導体基板の抵抗率が $3\text{ m}\Omega \cdot \text{cm} \sim 5\text{ m}\Omega \cdot \text{cm}$ である。これにより、半導体基板に加わる熱量を抑えることができるので、チップダイオードのツェナー電圧 V_z を4.0V～5.5Vに正確にコントロールすることができる。
- [0010] 前記ダイオード接合領域が、pn接合領域であることが好ましい。この構成により、pn接合型のチップダイオードを提供できる。
- [0011] 前記半導体基板がp型半導体基板からなり、前記拡散層が前記p型半導体基板との間に前記pn接合領域を形成するn型拡散層であることが好ましい。
- [0012] この構成によれば、半導体基板がp型半導体基板からなっているので、半導体基板上にエピタキシャル層を形成しなくても、安定した特性を実現でき

る。すなわち、 n 型の半導体ウエハは、抵抗率の面内ばらつきが大きいので、表面に抵抗率の面内ばらつきの少ないエピタキシャル層を形成し、このエピタキシャル層に不純物拡散層を形成して p - n 接合を形成する必要がある。これに対して、 p 型半導体ウエハは、面内ばらつきが少ないので、エピタキシャル層を形成することなく、安定した特性のダイオードをウエハのいずれの箇所からも切り出すことができる。よって、 p 型半導体基板を用いることによって、製造工程を簡単にでき、かつ製造コストを低減できる。

[0013] 前記チップダイオードは、前記 n 型拡散層に電氣的に接続されたカソード電極と、前記 p 型半導体基板に電氣的に接続されたアノード電極とをさらに含み、前記カソード電極および前記アノード電極は、前記 p 型半導体基板に接し、 Ti/AI 積層膜または $Ti/TiN/AICu$ 積層膜からなる電極膜を含むことが好ましい。

[0014] この構成によれば、カソード電極が Ti/AI 積層膜または $Ti/TiN/AICu$ 積層膜からなる電極膜であるため、 n 型拡散層の深さが $0.01\mu m \sim 0.2\mu m$ であっても、当該電極膜が n 型拡散層を貫通して p 型半導体基板にスパイクすることを防止することができる。一方、 Ti/AI 積層膜または $Ti/TiN/AICu$ 積層膜は p 型半導体との間にオーミック接合し難いが、本発明では半導体基板の抵抗率が $3m\Omega \cdot cm \sim 5m\Omega \cdot cm$ である。したがって、 p 型半導体基板に p^+ 型拡散層を形成しなくても、当該積層膜（アノード電極）と p 型半導体基板との間に良好なオーミック接合を形成することができる。

[0015] また、前記製造方法では、前記半導体基板が p 型半導体基板からなり、前記不純物を導入する工程は、 n 型不純物を前記半導体基板の前記表面にイオン注入する工程を含むことが好ましい。

[0016] この方法を利用することによって、前記チップダイオードにおいて、前記拡散層に、前記半導体基板の前記表面から所定の深さまで減少し続ける濃度プロファイルを与えることができる。

[0017] 前記チップダイオードでは、前記半導体基板の前記表面が、コーナ一部を

丸めた矩形形状を有していることが好ましい。この構成により、チップダイオードの角部の欠け（チップング）を抑制または防止できるので、外観不良の少ないチップダイオードを提供できる。

[0018] その場合、前記矩形形状の一辺の途中部に、陰極方向を表す凹部が形成されていることが好ましい。

[0019] この構成によれば、矩形形状の半導体基板の一辺に、陰極方向を表す凹部が形成されているので、半導体基板の表面に、標印などによって陰極方向を表すマーク（カソードマーク）を形成する必要がない。上記のような凹部は、チップダイオードをウエハ（元基板）から切り出すための加工を行うときに同時に形成しておくこともできる。また、チップダイオードのサイズが微小で、標印が困難な場合にも形成できる。したがって、標印のための工程を省くことができ、かつ微小サイズのチップダイオードに対しても陰極方向を表す目印を付すことができる。

[0020] 本発明の回路アセンブリは、実装基板と、前記実装基板に実装された前記チップダイオードとを含む。この構成により、ツェナー電圧 V_z が 4.0 V ~ 5.5 V に正確にコントロールされたチップダイオードを備える回路アセンブリを提供できる。

[0021] 前記回路アセンブリでは、前記チップダイオードが、前記実装基板にワイヤレスボンディング（フェースダウンボンディング、フリップチップボンディング）によって接続されていることが好ましい。この構成により、実装基板上におけるチップダイオードの占有空間を小さくできるから、電子部品の高密度実装に寄与できる。

[0022] 本発明の電子機器は、前記回路アセンブリと、前記回路アセンブリを収容した筐体とを含む。この構成により、ツェナー電圧 V_z が 4.0 V ~ 5.5 V に正確にコントロールされたチップダイオードを備える電子機器を提供できる。

図面の簡単な説明

[0023] [図1]図1は、本発明の一実施形態に係るチップダイオードの斜視図である。

[図2]図2は、前記実施形態に係るチップダイオードの平面図である。

[図3]図3は、図2のA-A線でとった断面図である。

[図4]図4は、図2のB-Bでとった断面図である。

[図5]図5は、前記実施形態のチップダイオードにおいて、カソード電極およびアノード電極ならびにその上に形成された構成を取り除いて、半導体基板の表面の構造を示す平面図である。

[図6]図6は、前記実施形態のチップダイオードの内部の電氣的構造を示す電気回路図である。

[図7]図7は、同面積の半導体基板上に形成するダイオードセルの大きさおよび／またはダイオードセルの個数を様々に設定して、pn接合領域の周囲長の合計（総延長）を異ならせた複数のサンプルについてESD耐量を測定した実験結果を示す。

[図8]図8は、前記実施形態のチップダイオードを実装基板上にフリップチップ接続した回路アセンブリの構成を示す断面図である。

[図9]図9は、前記実施形態のチップダイオードの製造工程の一例を説明するための工程図である。

[図10]図10(a)～(e)は、前記実施形態のチップダイオードの製造工程途中の構成を示す断面図である。

[図11A]図11Aは、前記実施形態のチップダイオードの製造工程途中の構成を示す断面図である。

[図11B]図11Bは、図11Aの後の工程での構成を示す断面図である。

[図12]図12は、チップダイオードの半導体基板の元基板としての半導体ウエハの平面図であり、一部の領域を拡大して示してある。

[図13]図13は、チップダイオードのツェナー電圧(V_z)を説明するための図である。

[図14]図14は、 n^+ 型領域の濃度プロファイルを示す図である。

[図15]図15は、Ti/TiN/AlCu電極膜と p^+ 型半導体基板とのオーミック接触を説明するための図である。

[図16]図16は、Ti/TiN/AlCu電極膜とp⁺型半導体基板とのオーミック接触を説明するための図である。

[図17]図17は、チップダイオードのツェナー電圧（V_z）の調整に関する特徴を説明するための図である。

[図18]図18は、ツェナー電圧（V_z）の調整に関する別の特徴を説明するための図である。

[図19]図19は、ツェナー電圧（V_z）の調整に関するさらに別の特徴を説明するための図である。

[図20]図20は、図19のサンプル（熱酸化「無し」プロセス）のI-V特性を示す図である。

[図21]図21は、チップダイオードが用いられる電子機器の一例であるスマートフォンの外観を示す斜視図である。

[図22]図22は、前記スマートフォンの筐体に収容された電子回路アセンブリの構成を示す図解的な平面図である。

[図23]図23は、本発明の第1参考例の一実施形態に係るチップダイオードの斜視図である。

[図24]図24は、前記第1参考例の実施形態に係るチップダイオードの平面図である。

[図25]図25は、図24のC-C線でとった断面図である。

[図26]図26は、図24のD-Dでとった断面図である。

[図27]図27は、前記第1参考例の実施形態のチップダイオードにおいて、カソード電極およびアノード電極ならびにその上に形成された構成を取り除いて、半導体基板の表面の構造を示す平面図である。

[図28]図28は、前記第1参考例の実施形態のチップダイオードの内部の電氣的構造を示す電気回路図である。

[図29]図29は、同面積の半導体基板上に形成するダイオードセルの大きさおよび／またはダイオードセルの個数を様々に設定して、pn接合領域の周囲長の合計（総延長）を異ならせた複数のサンプルについてESD耐量を測

定した実験結果を示す。

[図30]図30は、前記第1参考例の実施形態のチップダイオードを実装基板上にフリップチップ接続した回路アセンブリの構成を示す断面図である。

[図31]図31は、前記第1参考例の実施形態のチップダイオードの製造工程の一例を説明するための工程図である。

[図32]図32(a)～(e)は、前記第1参考例の実施形態のチップダイオードの製造工程途中の構成を示す断面図である。

[図33A]図33Aは、前記第1参考例の実施形態のチップダイオードの製造工程途中の構成を示す断面図である。

[図33B]図33Bは、図33Aの後の工程での構成を示す断面図である。

[図34]図34は、チップダイオードの半導体基板の元基板としての半導体ウエハの平面図であり、一部の領域を拡大して示してある。

[図35]図35は、チップダイオードのツェナー電圧(V_z)を説明するための図である。

[図36]図36は、 n^+ 型領域の濃度プロファイルを示す図である。

[図37A]図37Aは、 $AlSiCu$ 電極膜と p^+ 型半導体基板とのオーミック接触を説明するための図である。

[図37B]図37Bは、 $Ti/TiN/AlCu$ 電極膜と p^+ 型半導体基板とのオーミック接触を説明するための図である。

[図38]図38は、チップダイオードのツェナー電圧(V_z)の調整に関する特徴を説明するための図である。

[図39]図39は、ツェナー電圧(V_z)の調整に関する別の特徴を説明するための図である。

[図40]図40(a)～(c)は、リーク電流のRTA処理条件への依存性を説明するためのI-V曲線である。

[図41]図41は、チップダイオードが用いられる電子機器の一例であるスマートフォンの外観を示す斜視図である。

[図42]図42は、前記スマートフォンの筐体に収容された電子回路アセンブ

りの構成を示す図解的な平面図である。

[図43]図43は、本発明の第2参考例の一実施形態に係るチップダイオードの斜視図である。

[図44]図44は、前記第2参考例の実施形態に係るチップダイオードの平面図である。

[図45]図45は、図44のE-E線でとった断面図である。

[図46]図46は、図44のF-Fでとった断面図である。

[図47]図47は、前記第2参考例の実施形態のチップダイオードにおいて、カソード電極およびアノード電極ならびにその上に形成された構成を取り除いて、半導体基板の表面の構造を示す平面図である。

[図48]図48は、前記第2参考例の実施形態のチップダイオードの内部の電氣的構造を示す電気回路図である。

[図49]図49は、同面積の半導体基板上に形成するダイオードセルの大きさおよび／またはダイオードセルの個数を様々に設定して、pn接合領域の周囲長の合計（総延長）を異ならせた複数のサンプルについてESD耐量を測定した実験結果を示す。

[図50]図50は、前記第2参考例の実施形態のチップダイオードを実装基板上にフリップチップ接続した回路アセンブリの構成を示す断面図である。

[図51]図51は、前記第2参考例の実施形態のチップダイオードの製造工程の一例を説明するための工程図である。

[図52]図52(a)～(d)は、前記第2参考例の実施形態のチップダイオードの製造工程途中の構成を示す断面図である。

[図53A]図53Aは、前記第2参考例の実施形態のチップダイオードの製造工程途中の構成を示す断面図である。

[図53B]図53Bは、図53Aの後の工程での構成を示す断面図である。

[図54]図54は、チップダイオードの半導体基板の元基板としての半導体ウエハの平面図であり、一部の領域を拡大して示してある。

[図55]図55は、チップダイオードのツェナー電圧(V_z)を説明するため

の図である。

[図56]図56は、 n^+ 型領域の濃度プロファイルを示す図である。

[図57]図57は、 $AlSiCu$ 電極膜と p^+ 型半導体基板とのオーミック接触を説明するための図である。

[図58]図58は、 $Ti/TiN/AlCu$ 電極膜と p^+ 型半導体基板とのオーミック接触を説明するための図である。

[図59]図59は、チップダイオードのツェナー電圧(V_z)の調整に関する特徴を説明するための図である。

[図60]図60は、ツェナー電圧(V_z)の調整に関する別の特徴を説明するための図である。

[図61]図61は、ツェナー電圧(V_z)の調整に関するさらに別の特徴を説明するための図である。

[図62]図62は、チップダイオードが用いられる電子機器の一例であるスマートフォンの外観を示す斜視図である。

[図63]図63は、前記スマートフォンの筐体に収容された電子回路アセンブリの構成を示す図解的な平面図である。

発明を実施するための形態

[0024] <本発明の実施形態>

以下では、本発明の実施形態を、添付図面を参照して詳細に説明する。

[0025] 図1は、本発明の実施形態に係るチップダイオードの斜視図であり、図2はその平面図であり、図3は、図2のA-A線でとった断面図である。さらに、図4は、図1のB-Bでとった断面図である。

[0026] チップダイオード1は、 p^+ 型の半導体基板2（たとえばシリコン基板）と、半導体基板2に形成された複数のダイオードセルD1～D4と、これらの複数のダイオードセルD1～D4を並列に接続するカソード電極3およびアノード電極4とを含む。

[0027] 半導体基板2の抵抗率は、 $3\text{ m}\Omega \cdot \text{cm} \sim 5\text{ m}\Omega \cdot \text{cm}$ である。

[0028] 半導体基板2は、一对の主面2a、2bと、その一对の主面2a、2bと

直交する複数の側面 2 c とを含み、前記一对の主面 2 a, 2 b のうちの一方（主面 2 a）が素子形成面とされている。以下、この主面 2 a を「素子形成面 2 a」という。素子形成面 2 a は、平面視において矩形に形成されており、たとえば、長手方向の長さ L が 0.4 mm 程度、短手方向の長さ W が 0.2 mm 程度であってもよい。また、チップダイオード 1 の全体の厚さ T は 0.1 mm 程度であってもよい。素子形成面 2 a の両端部に、カソード電極 3 の外部接続電極 3 B と、アノード電極 4 の外部接続電極 4 B とが配置されている。これらの外部接続電極 3 B, 4 B の間の素子形成面 2 a に、ダイオードセル領域 7 が設けられている。

[0029] 素子形成面 2 a の一つの短辺（この実施形態ではカソード側外部接続電極 3 B に近い短辺）に連なる一つの側面 2 c には、半導体基板 2 の厚さ方向に延びて切り欠かれた凹部 8 が形成されている。凹部 8 は、この実施形態では、半導体基板 2 の厚さ方向の全域にわたって延びている。凹部 8 は、平面視において、素子形成面 2 a の一短辺から内方に窪んでおり、この実施形態では、素子形成面 2 a の内方に向かって幅狭となる台形状を有している。むしろ、この平面形状は一例であり、矩形形状であってもよいし、三角形形状であってもよいし、部分円状（たとえば円弧形状）等の凹湾曲形状であってもよい。凹部 8 は、チップダイオード 1 の向き（チップ方向）を表す。より具体的には、凹部 8 は、カソード側外部接続電極 3 B の位置を表すカソードマークを提供している。これにより、チップダイオード 1 の実装時に、その外観によって極性を把握できる構造となっている。

[0030] 半導体基板 2 は、4 つの側面 2 c のうち互いに隣接する一对の側面の交差部に対応する四隅に 4 つのコーナー部 9 を有している。この 4 つのコーナー部 9 は、この実施形態では、ラウンド形状に整形されている。コーナー部 9 は、素子形成面 2 a の法線方向から見た平面視において、外側に凸の滑らかな湾曲面をなしている。これにより、チップダイオード 1 の製造工程や実装時におけるチップングを抑制できる構造となっている。

[0031] ダイオードセル領域 7 は、この実施形態では、矩形に形成されている。ダ

イオードセル領域 7 内に、複数のダイオードセル D 1 ~ D 4 が配置されている。複数のダイオードセル D 1 ~ D 4 は、この実施形態では 4 個設けられており、半導体基板 2 の長手方向および短手方向に沿って、マトリックス状に等間隔で二次元配列されている。

[0032] 図 5 は、カソード電極 3 およびアノード電極 4 ならびにその上に形成された構成を取り除いて、半導体基板 2 の表面（素子形成面 2 a）の構造を示す平面図である。ダイオードセル D 1 ~ D 4 の各領域内には、それぞれ、 p^+ 型の半導体基板 2 の表層領域に n^+ 型領域 10 が形成されている。 n^+ 型領域 10 は、個々のダイオードセル毎に分離されている。これにより、ダイオードセル D 1 ~ D 4 は、ダイオードセル毎に分離された $p-n$ 接合領域 11 をそれぞれ有している。

[0033] 複数のダイオードセル D 1 ~ D 4 は、この実施形態では等しい大きさおよび等しい形状、具体的には矩形形状に形成されており、各ダイオードセルの矩形領域内に、多角形状の n^+ 型領域 10 が形成されている。この実施形態では、 n^+ 型領域 10 は、正八角形に形成されており、ダイオードセル D 1 ~ D 4 の矩形領域を形成する 4 辺にそれぞれ沿う 4 つの辺と、ダイオードセル D 1 ~ D 4 の矩形領域の 4 つの角部にそれぞれ対向する別の 4 つの辺とを有している。

[0034] 図 3 および図 4 に示されているように、各 n^+ 型領域 10 は、その最深部の深さが、素子形成面 2 a に対して $0.01\ \mu\text{m} \sim 0.2\ \mu\text{m}$ である。また、半導体基板 2 の素子形成面 2 a には、酸化膜等からなる絶縁膜 15（図 2 では図示省略）が形成されている。絶縁膜 15 には、ダイオードセル D 1 ~ D 4 のそれぞれの n^+ 型領域 10 の表面を露出させるコンタクト孔 16（カソードコンタクト孔）と、素子形成面 2 a を露出させるコンタクト孔 17（アノードコンタクト孔）とが形成されている。このコンタクト孔 16, 17 の底面は、絶縁膜 15 と素子形成面 2 a との界面とほぼ同一平面となっている。

[0035] 絶縁膜 15 の表面には、カソード電極 3 およびアノード電極 4 が形成されている。カソード電極 3 は、絶縁膜 15 の表面に形成されたカソード電極膜

3 Aと、カソード電極膜 3 Aに接合された外部接続電極 3 Bとを含む。カソード電極膜 3 Aは、複数のダイオードセル D 1, D 3に接続された引き出し電極 L 1と、複数のダイオード D 2, D 4に接続された引き出し電極 L 2と、引き出し電極 L 1, L 2（カソード引き出し電極）と一体的に形成されたカソードパッド 5とを有している。カソードパッド 5は、素子形成面 2 aの一端部に矩形に形成されている。このカソードパッド 5に外部接続電極 3 Bが接続されている。このようにして、外部接続電極 3 Bは、引き出し電極 L 1, L 2に共通に接続されている。カソードパッド 5および外部接続電極 3 Bは、カソード電極 3の外部接続部（カソード外部接続部）を構成している。

[0036] アノード電極 4は、絶縁膜 1 5の表面に形成されたアノード電極膜 4 Aと、アノード電極膜 4 Aに接合された外部接続電極 4 Bとを含む。アノード電極膜 4 Aは、 p^+ 型半導体基板 2に接続されており、素子形成面 2 aの一端部付近にアノードパッド 6を有している。アノードパッド 6は、アノード電極膜 4 Aにおいて素子形成面 2 aの一端部に配置された領域からなる。このアノードパッド 6に外部接続電極 4 Bが接続されている。アノードパッド 6および外部接続電極 4 Bは、アノード電極 4の外部接続部（アノード外部接続部）を構成している。アノード電極膜 4 Aにおいて、アノードパッド 6以外の領域は、アノードコンタクト孔 1 7から引き出されたアノード引き出し電極である。

[0037] 引き出し電極 L 1は、絶縁膜 1 5の表面からダイオードセル D 1, D 3のコンタクト孔 1 6内に入り込み、各コンタクト孔 1 6内でダイオードセル D 1, D 3の各 n^+ 型領域 1 0にオーミック接触している。引き出し電極 L 1において、コンタクト孔 1 6内でダイオードセル D 1, D 3に接続されている部分は、セル接続部 C 1, C 3を構成している。同様に、引き出し電極 L 2は、絶縁膜 1 5の表面からダイオードセル D 2, D 4のコンタクト孔 1 6内に入り込み、各コンタクト孔 1 6内でダイオードセル D 2, D 4の各 n^+ 型領域 1 0にオーミック接触している。引き出し電極 L 2において、コンタクト

孔16内でダイオードセルD2, D4に接続されている部分は、セル接続部C2, C4を構成している。アノード電極膜4Aは、絶縁膜15の表面からコンタクト孔17の内方へと延びており、コンタクト孔17内でp⁺型の半導体基板2にオーミック接触している。カソード電極膜3Aおよびアノード電極膜4Aは、この実施形態では、同じ材料からなっている。

[0038] 電極膜としては、この実施形態では、Ti/AI積層膜もしくはTi/TiN/AICu積層膜を用いている。

[0039] Ti/AI積層膜は、Ti膜を下層としAI膜を上層とした膜である。また、Ti/TiN/AICu積層膜は、半導体基板2側から順にTi膜（たとえば厚さ300～400Å）、TiN膜（たとえば厚さ1000Å程度）およびAICu膜（たとえば厚さ30000Å程度）を積層した膜である。

[0040] カソード電極膜3Aとアノード電極膜4Aとの間は、スリット18によって分離されている。引き出し電極L1は、ダイオードセルD1からダイオードセルD3を通してカソードパッド5に至る直線に沿って直線状に形成されている。同様に、引き出し電極L2は、ダイオードセルD2からダイオードセルD4を通してカソードパッド5に至る直線に沿って直線状に形成されている。引き出し電極L1, L2は、n⁺型領域10からカソードパッド5までの至るところで一様な幅W1, W2をそれぞれ有しており、それらの幅W1, W2は、セル接続部C1, C2, C3, C4の幅よりも広い。セル接続部C1～C4の幅は、引き出し電極L1, L2の引き出し方向に直交する方向の長さによって定義される。引き出し電極L1, L2の先端部は、n⁺型領域10の平面形状と整合するように整形されている。引き出し電極L1, L2の基端部は、カソードパッド5に接続されている。スリット18は、引き出し電極L1, L2を縁取るように形成されている。一方、アノード電極膜4Aは、ほぼ一定の幅のスリット18に対応した間隔を開けて、カソード電極膜3Aを取り囲むように、絶縁膜15の表面に形成されている。アノード電極膜4Aは、素子形成面2aの長手方向に沿って延びる櫛歯状部分と、矩形領域からなるアノードパッド6とを一体的に有している。

- [0041] カソード電極膜 3 A およびアノード電極膜 4 A は、たとえば窒化膜からなるパッシベーション膜 2 0（図 2 では図示省略）によって覆われており、さらにパッシベーション膜 2 0 の上にはポリイミド等の樹脂膜 2 1 が形成されている。パッシベーション膜 2 0 および樹脂膜 2 1 を貫通するように、カソードパッド 5 を露出させるパッド開口 2 2 と、アノードパッド 6 を露出させるパッド開口 2 3 とが形成されている。パッド開口 2 2, 2 3 に外部接続電極 3 B, 4 B がそれぞれ埋め込まれている。パッシベーション膜 2 0 および樹脂膜 2 1 は、保護膜を構成しており、引き出し電極 L 1, L 2 および p n 接合領域 1 1 への水分の浸入を抑制または防止すると共に、外部からの衝撃等を吸収し、チップダイオード 1 の耐久性の向上に寄与している。
- [0042] 外部接続電極 3 B, 4 B は、樹脂膜 2 1 の表面よりも低い位置（半導体基板 2 に近い位置）に表面を有していてもよいし、樹脂膜 2 1 の表面から突出して、樹脂膜 2 1 よりも高い位置（半導体基板 2 から遠い位置）に表面を有していてもよい。図 3 には、外部接続電極 3 B, 4 B が樹脂膜 2 1 の表面から突出している例を示す。外部接続電極 3 B, 4 B は、たとえば、電極膜 3 A, 4 A に接する N i 膜と、その上に形成された P d 膜と、その上に形成された A u 膜とを有する N i / P d / A u 積層膜からなってもよい。このような積層膜は、めっき法によって形成することができる。
- [0043] 各ダイオードセル D 1 ~ D 4 では、p 型の半導体基板 2 と n⁺型領域 1 0 との間に p n 接合領域 1 1 が形成されており、したがって、それぞれ p n 接合ダイオードが形成されている。そして、複数のダイオードセル D 1 ~ D 4 の n⁺型領域 1 0 がカソード電極 3 に共通に接続され、ダイオードセル D 1 ~ D 4 の共通の p 型領域である p⁺型の半導体基板 2 がアノード電極 4 に共通に接続されている。これによって、半導体基板 2 上に形成された複数のダイオードセル D 1 ~ D 4 は、すべて並列に接続されている。
- [0044] 図 6 は、チップダイオード 1 の内部の電氣的構造を示す電気回路図である。ダイオードセル D 1 ~ D 4 によってそれぞれ構成される p n 接合ダイオードは、カソード側がカソード電極 3 によって共通接続され、アノード側がア

ノード電極4によって共通接続されることによって、全て並列に接続されており、これによって、全体として1つのダイオードとして機能する。

[0045] この実施形態の構成によれば、チップダイオード1は複数のダイオードセルD1～D4を有しており、各ダイオードセルD1～D4がpn接合領域11を有している。pn接合領域11は、ダイオードセルD1～D4毎に分離されている。そのため、チップダイオード1は、pn接合領域11の周囲長、すなわち、半導体基板2におけるn⁺型領域10の周囲長の合計（総延長）が長くなる。これにより、pn接合領域11の近傍における電界の集中を回避し、その分散を図ることができるので、ESD耐量の向上を図ることができる。すなわち、チップダイオード1を小型に形成する場合であっても、pn接合領域11の総周囲長を大きくすることができるから、チップダイオード1の小型化とESD耐量の確保とを両立することができる。

[0046] 図7は、同面積の半導体基板上に形成するダイオードセルの大きさおよび／またはダイオードセルの個数を様々に設定して、pn接合領域の周囲長の合計（総延長）を異ならせた複数のサンプルについてESD耐量を測定した実験結果を示す。この実験結果から、pn接合領域の周囲長が長くなるほど、ESD耐量が大きくなることが分かる。4個以上のダイオードセルを半導体基板上に形成した場合に、8キロボルトを超えるESD耐量を実現することができた。

[0047] さらに、この実施形態では、引き出し電極L1、L2の幅W1、W2が、セル接続部C1～C4からカソードパッド5までの間の至るところで、セル接続部C1～C4の幅よりも広い。これにより、許容電流量を大きくとることができ、エレクトロマイグレーションを低減して、大電流に対する信頼性を向上できる。すなわち、小型でESD耐量が大きく、しかも大電流に対する信頼性をも確保したチップダイオードを提供できる。

[0048] また、この実施形態では、カソードパッド5に向かう直線上に並んだ複数のダイオードセルD1、D3；D2、D4が直線状の共通の引き出し電極L1、L2によって、カソードパッド5に接続されている。これにより、ダイ

オードセルD 1～D 4 からカソードパッド5 までの引き出し電極の長さを最小にできるから、エレクトロマイグレーションを一層効果的に低減できる。また、複数のダイオードセルD 1, D 3 ; D 2, D 4 で一つの引き出し電極L 1 ; L 2 を共有できるから、多数のダイオードセルD 1～D 4 を形成してダイオード接合領域 (p n 接合領域 1 1) の周囲長の増加を図りながら、線幅の広い引き出し電極を半導体基板 2 上にレイアウトできる。これにより、ESD 耐量の一層の向上とエレクトロマイグレーションの低減とを両立して、信頼性を一層向上できる。

[0049] また、引き出し電極L 1, L 2 の端部がn⁺型領域1 0 の形状 (多角形) に整合するように部分多角形状となっているので、引き出し電極L 1, L 2 の占有面積を小さくしながら、n⁺型領域1 0 と接続できる。

[0050] さらに、半導体基板 2 の一方の表面である素子形成面 2 a にカソード側およびアノード側の外部接続電極 3 B, 4 B がいずれも形成されている。そこで、図 8 に示すように、素子形成面 2 a を実装基板 2 5 に対向させて、外部接続電極 3 B, 4 B をはんだ 2 6 によって実装基板 2 5 上に接合することにより、チップダイオード 1 を実装基板 2 5 上に表面実装した回路アセンブリを構成することができる。すなわち、フリップチップ接続型のチップダイオード 1 を提供することができ、素子形成面 2 a を実装基板 2 5 の実装面に対向させたフェースダウン接合によって、ワイヤレスボンディングによってチップダイオード 1 を実装基板 2 5 に接続できる。これによって、実装基板 2 5 上におけるチップダイオード 1 の占有空間を小さくできる。特に、実装基板 2 5 上におけるチップダイオード 1 の低背化を実現できる。これにより、小型電子機器等の筐体内の空間を有効に利用でき、高密度実装および小型化に寄与できる。

[0051] また、この実施形態では、半導体基板 2 上に絶縁膜 1 5 が形成されており、その絶縁膜 1 5 に形成されたコンタクト孔 1 6 を介してダイオードセル D 1～D 4 に引き出し電極L 1, L 2 のセル接続部C 1～C 4 が接続されている。そして、コンタクト孔 1 6 の外の領域において絶縁膜 1 5 上にカソード

パッド5が配置されている。つまり、pn接合領域11の直上から離れた位置にカソードパッド5が設けられている。また、絶縁膜15に形成されたコンタクト孔17を介してアノード電極膜4Aが半導体基板2に接続されており、コンタクト孔17の外の領域において絶縁膜15上にアノードパッド6が配置されている。アノードパッド6もまた、pn接合領域11の直上から離れた位置にある。これにより、チップダイオード1を実装基板25に実装するときに、pn接合領域11に大きな衝撃が加わることを回避できる。それによって、pn接合領域11の破壊を回避できるので、外力に対する耐久性に優れたチップダイオードを実現できる。また、外部接続電極3B、4Bを設けずに、カソードパッド5およびアノードパッド6をそれぞれカソード外部接続部およびアノード接続部とし、これらのカソードパッド5およびアノードパッド6にボンディングワイヤを接続する構成をとることもできる。この場合にも、ワイヤボンディング時の衝撃によってpn接合領域11が破壊されることを回避できる。

[0052] また、この実施形態では、カソード電極膜3Aおよびアノード電極膜4AがTi/AI積層膜もしくはTi/TiN/AICu積層膜からなっている。これらの積層膜を電極膜として用いると、n⁺型領域10の深さが0.01μm～0.2μmであっても、カソード電極膜3Aがn⁺型領域10を貫通してp⁺型の半導体基板2にスパイクすることを防止することができる。一方、Ti/AI積層膜またはTi/TiN/AICu積層膜はp型半導体との間にオーミック接触し難いが、この実施形態では半導体基板2の抵抗率が3mΩ・cm～5mΩ・cmであって比較的低い。したがって、半導体基板2にp⁺型拡散層を形成しなくても、当該積層膜（アノード電極膜4A）とp⁺型半導体基板2との間に良好なオーミック接合を形成することができる。

[0053] さらに、この実施形態では、半導体基板2は、コーナ一部9が丸められた矩形形状を有している。それによって、チップダイオード1の角部の欠け（チップング）を抑制または防止できるので、外観不良の少ないチップダイオード1を提供できる。

[0054] さらに、この実施形態では、半導体基板 2 のカソード側外部接続電極 3 B に近い短辺に陰極方向を表す凹部 8 が形成されているので、半導体基板 2 の裏面（素子形成面 2 a とは反対側の主面）に、カソードマークを標印する必要がない。凹部 8 は、チップダイオード 1 をウエハ（元基板）から切り出すための加工を行うときに同時に形成しておくこともできる。また、チップダイオード 1 のサイズが微小で、標印が困難な場合にも凹部 8 を形成して、カソードの方向を表示できる。したがって、標印のための工程を省くことができ、かつ微小サイズのチップダイオード 1 に対してもカソードマークを付与できる。

[0055] 図 9 は、チップダイオード 1 の製造工程の一例を説明するための工程図である。また、図 10 (a) ~ (e) は、前記実施形態のチップダイオードの製造工程途中の構成を示す断面図である。また、図 11 A および図 11 B は、図 9 の製造工程途中の構成を示す断面図であり、図 3 に対応する切断面を示す。図 12 は、半導体基板 2 の元基板としての p⁺型半導体ウエハ W の平面図であり、一部の領域を拡大して示してある。

[0056] まず、半導体基板 2 の元基板としての p⁺型半導体ウエハ W が用意される。半導体ウエハ W の表面は素子形成面 W a であり、半導体基板 2 の素子形成面 2 a に対応している。素子形成面 W a には、複数のチップダイオード 1 に対応した複数のチップダイオード領域 1 a が、マトリクス状に配列されて設定されている。隣接するチップダイオード領域 1 a の間には、境界領域 80 が設けられている。境界領域 80 は、ほぼ一定の幅を有する帯状の領域であり、直交する二方向に延びて格子状に形成されている。半導体ウエハ W に対して必要な工程を行った後に、境界領域 80 に沿って半導体ウエハ W を切り離すことにより、複数のチップダイオード 1 が得られる。

[0057] 半導体ウエハ W に対して実行される工程の一例は、次のとおりである。

[0058] まず、図 10 (a) に示すように、p⁺型半導体ウエハ W の素子形成面 W a に、熱酸化膜からなる絶縁膜 15 が形成され (S1)、その上にレジストマスク 33 が形成される (S2)。このレジストマスク 33 を用いたエッチン

グによって、 n^+ 型領域10に対応する開口（コンタクト孔16）が絶縁膜15に形成される（S3）。

[0059] 次に、図10（b）に示すように、レジストマスク33を剥離した後に、必要に応じて、イオン注入によるダメージ抑制のための熱酸化膜32が、コンタクト孔16から露出する素子形成面Wa全面に形成される（S4）。この熱酸化膜32は比較的薄いので、その熱酸化時に、熱酸化膜32が半導体ウエハWの素子形成面Wa付近のシリコンを酸化シリコンに変質させて裏面側にも成長し、コンタクト孔16に連続する凹部が素子形成面Waに形成されることはない。次に、絶縁膜15に形成されたコンタクト孔16から露出する半導体ウエハWの表層部に、 n 型不純物イオン（たとえば燐イオン）が注入される（S5）。

[0060] 次に、図10（c）に示すように、イオン注入後の素子形成面Waの表面状態を維持したまま、つまり、半導体ウエハWに熱量が加わるような処理（熱酸化、CVD等）を行わずに、半導体ウエハWに導入された不純物イオンを活性化するための熱処理（RTA）が行われる（S6）。RTA処理の条件（温度、時間）は、目標とする n^+ 型領域10の深さに応じて選択すればよい。これにより、半導体ウエハWの表層部に n^+ 型領域10が形成される。

[0061] 次に、図10（d）に示すように、コンタクト孔16、17に整合する開口を有するさらに別のレジストマスク34が絶縁膜15の上に形成される（S7）。このレジストマスク34を介するエッチングによって、絶縁膜15にコンタクト孔17が形成されると共に、コンタクト孔16内の熱酸化膜32が除去される（S8）。その後、レジストマスク34が剥離される。

[0062] 次に、図10（e）に示すように、たとえばスパッタリングによって、カソード電極3およびアノード電極4を構成する電極膜が絶縁膜15上に形成される（S9）。この実施形態では、Ti膜、TiN膜およびAlCu膜が順にスパッタリングされ、それらの積層膜からなる電極膜が形成される。そして、この電極膜上に、スリット18に対応する開口パターンを有する別のレジストマスクが形成され（S10）、このレジストマスクを介するエッチ

ング（たとえば反応性イオンエッチング）によって、電極膜にスリット 18 が形成される（S 1 1）。スリット 18 の幅は、3 μ m 程度であってもよい。これにより、前記電極膜が、カソード電極膜 3 A およびアノード電極膜 4 A に分離される。

[0063] 次に、レジスト膜を剥離した後、たとえば CVD 法によって窒化膜等のパッシベーション膜 20 が形成され（S 1 2）、さらにポリイミド等を塗布することにより樹脂膜 21 が形成される（S 1 3）。たとえば、感光性を付与したポリイミドが塗布され、パッド開口 23、24 に対応するパターンで露光した後、そのポリイミド膜が現像される（S 1 4）。これにより、パッド開口 23、24 に対応した開口を有する樹脂膜 21 が形成される。その後、必要に応じて、樹脂膜をキュアするための熱処理が行われる（S 1 5）。そして、樹脂膜 21 をマスクとしたドライエッチング（たとえば反応性イオンエッチング）によって、パッシベーション膜 20 にパッド開口 22、23 が形成される（S 1 6）。その後、パッド開口 22、23 内に外部接続電極 3 B、4 B が形成される（S 1 7）。外部接続電極 3 B、4 B の形成は、めっき（好ましくは無電解めっき）によって行うことができる。

[0064] 次に、境界領域 80（図 1 2 参照）に整合する格子状の開口を有するレジストマスク 83（図 1 1 A 参照）が形成される（S 1 8）。このレジストマスク 83 を介してプラズマエッチングが行われ、それによって、図 1 1 A に示すように、半導体ウエハ W がその素子形成面 W a から所定の深さまでエッチングされる。これによって、境界領域 80 に沿って、切断用の溝 81 が形成される（S 1 9）。レジストマスク 83 が剥離された後、図 1 1 B に示すように、半導体ウエハ W が裏面 W b から、溝 81 の底部に到達するまで研削される（S 2 0）。これによって、複数のチップダイオード領域 1 a が個片化され、前述の構造のチップダイオード 1 を得ることができる。

[0065] 境界領域 80 に溝 81 を形成するためのレジストマスク 83 は、図 1 2 に示すように、チップダイオード領域 1 a の四隅に接する位置に、チップダイオード領域 1 a の外側に凸の湾曲形状のラウンド形状部 84 を有している。

ラウンド形状部 84 は、チップダイオード領域 1 a の隣接する二つの辺を滑らかな曲線で接続するように形成されている。さらに、境界領域 80 に溝 81 を形成するためのレジストマスク 83 は、チップダイオード領域 1 a の一つの短辺に接する位置に、チップダイオード領域 1 a の内側に向かって窪んだ凹部 85 を有している。したがって、このレジストマスク 83 をマスクとして行うプラズマエッチングによって溝 81 を形成すると、溝 81 は、チップダイオード領域 1 a の四隅に接する位置に、チップダイオード領域 1 a の外側に凸の湾曲形状のラウンド形状部を有し、チップダイオード領域 1 a の一つの短辺に接する位置に、チップダイオード領域 1 a の内側に向かって窪んだ凹部を有することになる。したがって、チップダイオード領域 1 a を半導体ウエハ W から切り出すための溝 81 を形成する工程において、同時に、チップダイオード 1 の四隅のコーナー部 9 をラウンド形状に整形でき、かつ一つの短辺（カソード側の短辺）にカソードマークとしての凹部 8 を形成できる。すなわち、専用の工程を追加することなく、コーナー部 9 をラウンド形状に加工でき、かつカソードマークとしての凹部 8 を形成できる。

[0066] この実施形態では、半導体基板 2 が p 型半導体からなっているので、半導体基板 2 上にエピタキシャル層を形成しなくても、安定した特性を実現できる。すなわち、n 型の半導体ウエハは抵抗率の面内ばらつきが大きいので、n 型半導体ウエハを用いるときには、その表面に抵抗率の面内ばらつきの少ないエピタキシャル層を形成し、このエピタキシャル層に不純物拡散層を形成して p n 接合を形成する必要がある。これは、n 型不純物の偏析係数が小さいために、半導体ウエハの元となるインゴット（たとえばシリコンインゴット）を形成するときに、ウエハの中心部と周縁部とで抵抗率の差が大きくなるからである。これに対して、p 型不純物の偏析係数は比較的大きいので、p 型半導体ウエハは抵抗率の面内ばらつきが少ない。したがって、p 型半導体ウエハを用いることによって、エピタキシャル層を形成することなく、安定した特性のダイオードをウエハのいずれの箇所からも切り出すことができる。よって、p⁺型半導体基板 2 を用いることによって、製造工程を簡単に

でき、かつ製造コストを低減できる。

[0067] また、この実施形態によれば、 n 型不純物の導入後、当該不純物が導入された領域にCVD膜や熱酸化膜等を形成せず、半導体ウエハWの素子形成面Waの状態を維持する。そして、その表面状態において、ドライブイン処理に比べて短時間で済むRTA処理によって不純物を拡散させる。しかも、使用される半導体ウエハWの抵抗率が $3\text{ m}\Omega \cdot \text{cm} \sim 5\text{ m}\Omega \cdot \text{cm}$ である。これにより、半導体ウエハWに加わる熱量を抑えることができるので、チップダイオードのツェナー電圧 V_z を $4.0\text{ V} \sim 5.5\text{ V}$ に正確にコントロールすることができる。なお、ツェナー電圧とは、たとえば、図13に示すチップダイオード1の逆方向の $I-V$ 曲線において、電流が急峻に立ち上がる時の電圧 V_z のことである。

[0068] また、この実施形態では、 n 型不純物の導入をイオン注入で行うので、図14に示すように、チップダイオード1において、 n^+ 型領域10に、半導体基板2の素子形成面2aから所定の深さまで、減少し続ける濃度プロファイルを与えることができる。対照的に、リンデポによって n 型不純物を導入した場合には、その濃度プロファイルは、素子形成面2aから所定の深さまで一定となる。

[0069] 図15および図16は、Ti/TiN/AlCu電極膜と p^+ 型半導体基板とのオーミック接触を説明するための図である。

[0070] 図15から、この実施形態で用いた抵抗率 $3\text{ m}\Omega \cdot \text{cm} \sim 5\text{ m}\Omega \cdot \text{cm}$ の半導体基板2であればRTA処理の条件に依らず、抵抗率が上記範囲を超えるものに比べて、 p^+ 型の半導体基板2との接触抵抗が遥かに小さくなっていることが分かる。すなわち、一般的にはTi/TiN/AlCu積層膜は p 型半導体との間にオーミック接合し難いが、抵抗率が $3\text{ m}\Omega \cdot \text{cm} \sim 5\text{ m}\Omega \cdot \text{cm}$ の基板を用いることによって、当該積層膜と p^+ 型の半導体基板との間に良好なオーミック接合を形成することができる。その結果、この実施形態におけるアノード電極膜4Aの電圧対電流特性は、図16の曲線91のように、リニアな特性となる。一方、たとえば抵抗率が $11\text{ m}\Omega \cdot \text{cm}$ の基板を

用いた場合には、図 16 の曲線 90 のように、リニアな特性にはならないと考えられる。

[0071] 図 17 は、チップダイオード 1 のツェナー電圧 (V_z) の調整に関する特徴を説明するための図である。すなわち、チップダイオード 1 をツェナーダイオードとして構成する場合のツェナー電圧調整についての特徴が示されている。なお、図 17 では、この実施形態とは異なる方法で n^+ 型領域 10 を形成したチップダイオード 1 を、半導体基板 2 に加えられる熱量とツェナー電圧との関係を調べるサンプルとして用いた。より具体的に説明すると、 n^+ 型領域 10 を形成するために n 型不純物（たとえば燐）を半導体基板 2 の表層部に導入した後、その導入された不純物を活性化するための熱処理（ドライブイン処理）が行われる。この熱処理の温度および時間に応じて、ツェナー電圧が変化する。具体的には、熱処理時に半導体基板 2 に加えられる熱量が多い程、ツェナー電圧が高くなる傾向がある。この傾向を利用して、ツェナー電圧を調整することができる。図 17 から理解されるように、ツェナー電圧は、不純物のドーズ量よりも、熱処理時の熱量に大きく依存している。この傾向は、この実施形態のように、RTA 処理によって n^+ 型領域 10 を形成した場合にも当てはまる。

[0072] 図 18 は、ツェナー電圧 (V_z) の調整に関する別の特徴を説明するための図である。具体的には、図 17 のサンプルの半導体基板 2 に導入された n 型不純物を活性化するための熱処理時の温度に対するツェナー電圧の変化が示されており、曲線 93 は抵抗率の比較的低い（たとえば $5\text{ m}\Omega$ ）半導体基板を用いた場合のツェナー電圧を示し、曲線 94 は抵抗率の比較的高い（たとえば $15\sim 18\text{ m}\Omega$ ）半導体基板を用いた場合のツェナー電圧を示している。曲線 93、94 の比較から、ツェナー電圧が半導体基板の抵抗率に依存することが分かる。したがって、目的とするツェナー電圧に応じて適切な抵抗率の半導体基板を適用することによって、ツェナー電圧を設計値に合わせることができる。

[0073] しかしながら、図 18 の曲線 93 から理解されるように、単に抵抗率の比

較的低い半導体基板を用いただけでは、ツェナー電圧を本発明の範囲（4.0 V～5.5 V）にコントロールすることは困難である。実際、 $5\text{ m}\Omega\cdot\text{cm}$ の半導体基板でも、ツェナー電圧が5.5 Vを超える場合がある。そこで、この実施形態では、n型不純物の導入後、当該不純物が導入された領域にCVD膜や熱酸化膜等を形成せず、半導体ウエハWの素子形成面Waの状態を維持した。そして、その表面状態において、ドライブイン処理に比べて短時間で済むRTA処理によって不純物を拡散させた。これにより、チップダイオードのツェナー電圧 V_z を4.0 V～5.5 Vに正確にコントロールすることができたものである。このことは、図19および図20を参照して証明できる。

[0074] 図19は、ツェナー電圧（ V_z ）の調整に関するさらに別の特徴を説明するための図である。図20は、図19のサンプル（熱酸化「無し」プロセス）のI-V特性を示す図である。

[0075] すなわち、図19によれば、 $5\text{ m}\Omega\cdot\text{cm}$ の半導体基板にn型不純物をイオン注入し、その後、RTA前の熱酸化「無し」のプロセスを経ることによって、RTAの条件に依らず、チップダイオードのツェナー電圧 V_z を5.1 Vに正確にコントロールできることが分かる。これは、図20（a）のI-V曲線からみても明らかである。

[0076] 一方、半導体基板2の抵抗率を大きくしたり（たとえば $11\text{ m}\Omega\cdot\text{cm}$ 、 $16\text{ m}\Omega\cdot\text{cm}$ ）、n型不純物の注入後、RTA前の熱酸化「有り」のプロセスを経たりすると、ツェナー電圧 V_z が4.0 V～5.5 Vのチップダイオードを作製することが困難であることが分かる。

[0077] 図21は、チップダイオードが用いられる電子機器の一例であるスマートフォンの外観を示す斜視図である。スマートフォン201は、扁平な直方体形状の筐体202の内部に電子部品を収納して構成されている。筐体202は表側および裏側に長方形の一对の主面を有しており、その一对の主面が4つの側面で結合されている。筐体202の一つの主面には、液晶パネルや有機ELパネル等で構成された表示パネル203の表示面が露出している。

表示パネル２０３の表示面は、タッチパネルを構成しており、使用者に対する入力インターフェースを提供している。

[0078] 表示パネル２０３は、筐体２０２の一つの主面の大部分を占める長方形形状に形成されている。表示パネル２０３の一つの短辺に沿うように、操作ボタン２０４が配置されている。この実施形態では、複数（３つ）の操作ボタン２０４が表示パネル２０３の短辺に沿って配列されている。使用者は、操作ボタン２０４およびタッチパネルを操作することによって、スマートフォン２０１に対する操作を行い、必要な機能呼び出して実行させることができる。

[0079] 表示パネル２０３の別の一つの短辺の近傍には、スピーカ２０５が配置されている。スピーカ２０５は、電話機能のための受話口を提供すると共に、音楽データ等を再生するための音響化ユニットとしても用いられる。一方、操作ボタン２０４の近くには、筐体２０２の一つの側面にマイクロフォン２０６が配置されている。マイクロフォン２０６は、電話機能のための送話口を提供するほか、録音用のマイクロフォンとして用いることもできる。

[0080] 図２２は、筐体２０２の内部に收容された電子回路アセンブリ２１０の構成を示す図解的な平面図である。電子回路アセンブリ２１０は、配線基板２１１と、配線基板２１１の実装面に実装された回路部品とを含む。複数の回路部品は、複数の集積回路素子（ＩＣ）２１２－２２０と、複数のチップ部品とを含む。複数のＩＣは、伝送処理ＩＣ２１２、ワンセグＴＶ受信ＩＣ２１３、ＧＰＳ受信ＩＣ２１４、ＦＭチューナＩＣ２１５、電源ＩＣ２１６、フラッシュメモリ２１７、マイクロコンピュータ２１８、電源ＩＣ２１９およびベースバンドＩＣ２２０を含む。複数のチップ部品は、チップインダクタ２２１，２２５，２３５、チップ抵抗器２２２，２２４，２３３、チップキャパシタ２２７，２３０，２３４、およびチップダイオード２２８，２３１を含む。これらのチップ部品は、たとえばフリップチップ接合により配線基板２１１の実装面上に実装されている。チップダイオード２２８，２３１には、前述の実施形態に係るチップダイオードを適用できる。

- [0081] 伝送処理 IC 212 は、表示パネル 203 に対する表示制御信号を生成し、かつ表示パネル 203 の表面のタッチパネルからの入力信号を受信するための電子回路を内蔵している。表示パネル 203 との接続のために、伝送処理 IC 212 には、フレキシブル配線 209 が接続されている。
- [0082] ワンセグ TV 受信 IC 213 は、ワンセグ放送（携帯機器を受信対象とする地上デジタルテレビ放送）の電波を受信するための受信機を構成する電子回路を内蔵している。ワンセグ TV 受信 IC 213 の近傍には、複数のチップインダクタ 221 と、複数のチップ抵抗器 222 とが配置されている。ワンセグ TV 受信 IC 213、チップインダクタ 221 およびチップ抵抗器 222 は、ワンセグ放送受信回路 223 を構成している。チップインダクタ 221 およびチップ抵抗器 222 は、正確に合わせ込まれたインダクタンスおよび抵抗をそれぞれ有し、ワンセグ放送受信回路 223 に高精度な回路定数を与える。
- [0083] GPS 受信 IC 214 は、GPS 衛星からの電波を受信してスマートフォン 201 の位置情報を出力する電子回路を内蔵している。
- [0084] FM チューナ IC 215 は、その近傍において配線基板 211 に実装された複数のチップ抵抗器 224 および複数のチップインダクタ 225 と共に、FM 放送受信回路 226 を構成している。チップ抵抗器 224 およびチップインダクタ 225 は、正確に合わせ込まれた抵抗値およびインダクタンスをそれぞれ有し、FM 放送受信回路 226 に高精度な回路定数を与える。
- [0085] 電源 IC 216 の近傍には、複数のチップキャパシタ 227 および複数のチップダイオード 228 が配線基板 211 の実装面に実装されている。電源 IC 216 は、チップキャパシタ 227 およびチップダイオード 228 と共に、電源回路 229 を構成している。
- [0086] フラッシュメモリ 217 は、オペレーティングシステムプログラム、スマートフォン 201 の内部で生成されたデータ、通信機能によって外部から取得したデータおよびプログラムなどを記録するための記憶装置である。
- [0087] マイクロコンピュータ 218 は、CPU、ROM および RAM を内蔵して

おり、各種の演算処理を実行することにより、スマートフォン２０１の複数の機能を実現する演算処理回路である。より具体的には、マイクロコンピュータ２１８の働きにより、画像処理や各種アプリケーションプログラムのための演算処理が実現されるようになっている。

[0088] 電源ＩＣ２１９の近くには、複数のチップキャパシタ２３０および複数のチップダイオード２３１が配線基板２１１の実装面に実装されている。電源ＩＣ２１９は、チップキャパシタ２３０およびチップダイオード２３１と共に、電源回路２３２を構成している。

[0089] ベースバンドＩＣ２２０の近くには、複数のチップ抵抗器２３３、複数のチップキャパシタ２３４、および複数のチップインダクタ２３５が、配線基板２１１の実装面に実装されている。ベースバンドＩＣ２２０は、チップ抵抗器２３３、チップキャパシタ２３４およびチップインダクタ２３５と共に、ベースバンド通信回路２３６を構成している。ベースバンド通信回路２３６は、電話通信およびデータ通信のための通信機能を提供する。

[0090] このような構成によって、電源回路２２９、２３２によって適切に調整された電力が、伝送処理ＩＣ２１２、ＧＰＳ受信ＩＣ２１４、ワンセグ放送受信回路２２３、ＦＭ放送受信回路２２６、ベースバンド通信回路２３６、フラッシュメモリ２１７およびマイクロコンピュータ２１８に供給される。マイクロコンピュータ２１８は、伝送処理ＩＣ２１２を介して入力される入力信号に応答して演算処理を行い、伝送処理ＩＣ２１２から表示パネル２０３に表示制御信号を出力して表示パネル２０３に各種の表示を行わせる。

[0091] タッチパネルまたは操作ボタン２０４の操作によってワンセグ放送の受信が指示されると、ワンセグ放送受信回路２２３の働きによってワンセグ放送が受信される。そして、受信された画像を表示パネル２０３に出力し、受信された音声をスピーカ２０５から音響化させるための演算処理が、マイクロコンピュータ２１８によって実行される。

[0092] また、スマートフォン２０１の位置情報が必要とされるときには、マイクロコンピュータ２１８は、ＧＰＳ受信ＩＣ２１４が出力する位置情報を取得

し、その位置情報を用いた演算処理を実行する。

[0093] さらに、タッチパネルまたは操作ボタン204の操作によってFM放送受信指令が入力されると、マイクロコンピュータ218は、FM放送受信回路226を起動し、受信された音声をスピーカ205から出力させるための演算処理を実行する。

[0094] フラッシュメモリ217は、通信によって取得したデータの記憶や、マイクロコンピュータ218の演算や、タッチパネルからの入力によって作成されたデータを記憶するために用いられる。マイクロコンピュータ218は、必要に応じて、フラッシュメモリ217に対してデータを書き込み、またフラッシュメモリ217からデータを読み出す。

[0095] 電話通信またはデータ通信の機能は、ベースバンド通信回路236によって実現される。マイクロコンピュータ218は、ベースバンド通信回路236を制御して、音声またはデータを送受信するための処理を行う。

[0096] 以上、本発明の実施形態について説明したが、本発明はさらに他の形態で実施することもできる。たとえば、前述の実施形態では、4個のダイオードセルが半導体基板上に形成された例を示したけれども、半導体基板上に2個または3個のダイオードセルが形成されていてもよく、4個以上のダイオードセルが形成されていてもよい。また、1個のダイオードセルが形成されていてもよい。

[0097] また、前述の実施形態では、pn接合領域が平面視において正八角形に形成されている例を示したが、辺の数が3個以上の任意の多角形状にpn接合領域を形成してもよいし、それらの平面形状を円形や楕円形としてもよい。pn接合領域の形状を多角形状とする場合に、それらは正多角形状である必要はなく、辺の長さが2種類以上の多角形によってそれらの領域を形成してもよい。さらにまた、pn接合領域は、同じ大きさに形成される必要はなく、異なる大きさの接合領域をそれぞれ有する複数のダイオードセルが半導体基板上に混在していてもよい。さらにまた、半導体基板上に形成されるpn接合領域の形状は、1種類である必要はなく、2種以上の形状のpn

接合領域が半導体基板上で混在していてもよい。

[0098] その他、特許請求の範囲に記載された事項の範囲で種々の設計変更を施すことが可能である。

＜本発明の第1参考例の実施形態＞

以下では、本発明の第1参考例の実施形態を、添付図面を参照して詳細に説明する。

[0099] 図23は、本発明の第1参考例の一実施形態に係るチップダイオードの斜視図であり、図24はその平面図であり、図25は、図24のC-C線をとった断面図である。さらに、図26は、図23のD-Dをとった断面図である。

[0100] チップダイオード301は、 p^+ 型の半導体基板302（たとえばシリコン基板）と、半導体基板302に形成された複数のダイオードセルD301～D304と、これらの複数のダイオードセルD301～D304を並列に接続するカソード電極303およびアノード電極304とを含む。

[0101] 半導体基板302の抵抗率は、 $5\text{ m}\Omega\cdot\text{cm}\sim 20\text{ m}\Omega\cdot\text{cm}$ である。

[0102] 半導体基板302は、一对の主面302a、302bと、その一对の主面302a、302bと直交する複数の側面302cとを含み、前記一对の主面302a、302bのうちの一方（主面302a）が素子形成面とされている。以下、この主面302aを「素子形成面302a」という。素子形成面302aは、平面視において矩形に形成されており、たとえば、長手方向の長さLが0.4mm程度、短手方向の長さWが0.2mm程度であってもよい。また、チップダイオード301の全体の厚さTは0.1mm程度であってもよい。素子形成面302aの両端部に、カソード電極303の外部接続電極303Bと、アノード電極304の外部接続電極304Bとが配置されている。これらの外部接続電極303B、304Bの間の素子形成面302aに、ダイオードセル領域307が設けられている。

[0103] 素子形成面302aの一つの短辺（この第1参考例の実施形態ではカソード側外部接続電極303Bに近い短辺）に連なる一つの側面302cには、

半導体基板 302 の厚さ方向に延びて切り欠かれた凹部 308 が形成されている。凹部 308 は、この第 1 参考例の実施形態では、半導体基板 302 の厚さ方向の全域にわたって延びている。凹部 308 は、平面視において、素子形成面 302 a の一短辺から内方に窪んでおり、この第 1 参考例の実施形態では、素子形成面 302 a の内方に向かって幅狭となる台形状を有している。むろん、この平面形状は一例であり、矩形形状であってもよいし、三角形形状であってもよいし、部分円状（たとえば円弧形状）等の凹湾曲形状であってもよい。凹部 308 は、チップダイオード 301 の向き（チップ方向）を表す。より具体的には、凹部 308 は、カソード側外部接続電極 303 B の位置を表すカソードマークを提供している。これにより、チップダイオード 301 の実装時に、その外観によって極性を把握できる構造となっている。

[0104] 半導体基板 302 は、4 つの側面 302 c のうち互いに隣接する一対の側面の交差部に対応する四隅に 4 つのコーナー部 309 を有している。この 4 つのコーナー部 309 は、この第 1 参考例の実施形態では、ラウンド形状に整形されている。コーナー部 309 は、素子形成面 302 a の法線方向から見た平面視において、外側に凸の滑らかな湾曲面をなしている。これにより、チップダイオード 301 の製造工程や実装時におけるチッピングを抑制できる構造となっている。

[0105] ダイオードセル領域 307 は、この第 1 参考例の実施形態では、矩形に形成されている。ダイオードセル領域 307 内に、複数のダイオードセル D 301 ~ D 304 が配置されている。複数のダイオードセル D 301 ~ D 304 は、この第 1 参考例の実施形態では 4 個設けられており、半導体基板 302 の長手方向および短手方向に沿って、マトリックス状に等間隔で二次元配列されている。

[0106] 図 27 は、カソード電極 303 およびアノード電極 304 ならびにその上に形成された構成を取り除いて、半導体基板 302 の表面（素子形成面 302 a）の構造を示す平面図である。ダイオードセル D 301 ~ D 304 の各

領域内には、それぞれ、 p^+ 型の半導体基板302の表層領域に n^+ 型領域310が形成されている。 n^+ 型領域310は、個々のダイオードセル毎に分離されている。これにより、ダイオードセルD301～D304は、ダイオードセル毎に分離された $p-n$ 接合領域311をそれぞれ有している。

[0107] 複数のダイオードセルD301～D304は、この第1参考例の実施形態では等しい大きさおよび等しい形状、具体的には矩形形状に形成されており、各ダイオードセルの矩形領域内に、多角形状の n^+ 型領域310が形成されている。この第1参考例の実施形態では、 n^+ 型領域310は、正八角形に形成されており、ダイオードセルD301～D304の矩形領域を形成する4辺にそれぞれ沿う4つの辺と、ダイオードセルD301～D304の矩形領域の4つの角部にそれぞれ対向する別の4つの辺とを有している。

[0108] 図25および図26に示されているように、各 n^+ 型領域310は、その最深部の深さが、素子形成面302aに対して $0.2\mu m \sim 3.0\mu m$ である。また、半導体基板302の素子形成面302aには、酸化膜からなる絶縁膜315（図24では図示省略）が形成されている。絶縁膜315には、ダイオードセルD301～D304のそれぞれの n^+ 型領域310の表面を露出させるコンタクト孔316（カソードコンタクト孔）と、素子形成面302aを露出させるコンタクト孔317（アノードコンタクト孔）とが形成されている。このコンタクト孔316に連続するように、 n^+ 型領域310の表面には凹部319が形成されている。凹部319は、その全体が n^+ 型領域310の内方領域に形成され、その側面がコンタクト孔316の側面と段差を介さずに滑らかに連続している。したがって、凹部319およびコンタクト孔316は、組み合わせさせて段差のない滑らかな側面を有する一つの孔を形成している。そして、この孔の周縁部（凹部319の周縁部）には、凹部絶縁膜としての絶縁膜327が形成されている。絶縁膜327は酸化膜からなり、この第1参考例の実施形態では、凹部319の底面中央を露出させるように、凹部319の辺に沿って環状に形成されている。また、絶縁膜327は、凹部319とコンタクト孔316との境界を横切るように形成されており

、その一部（上部）が素子形成面 302a よりも上方に突出している。

[0109] 絶縁膜 315 の表面には、カソード電極 303 およびアノード電極 304 が形成されている。カソード電極 303 は、絶縁膜 315 の表面に形成されたカソード電極膜 303A と、カソード電極膜 303A に接合された外部接続電極 303B とを含む。カソード電極膜 303A は、複数のダイオードセル D301, D303 に接続された引き出し電極 L301 と、複数のダイオード D302, D304 に接続された引き出し電極 L302 と、引き出し電極 L301, L302（カソード引き出し電極）と一体的に形成されたカソードパッド 305 とを有している。カソードパッド 305 は、素子形成面 302a の一端部に矩形に形成されている。このカソードパッド 305 に外部接続電極 303B が接続されている。このようにして、外部接続電極 303B は、引き出し電極 L301, L302 に共通に接続されている。カソードパッド 305 および外部接続電極 303B は、カソード電極 303 の外部接続部（カソード外部接続部）を構成している。

[0110] アノード電極 304 は、絶縁膜 315 の表面に形成されたアノード電極膜 304A と、アノード電極膜 304A に接合された外部接続電極 304B とを含む。アノード電極膜 304A は、 p^+ 型の半導体基板 302 に接続されており、素子形成面 302a の一端部付近にアノードパッド 306 を有している。アノードパッド 306 は、アノード電極膜 304A において素子形成面 302a の一端部に配置された領域からなる。このアノードパッド 306 に外部接続電極 304B が接続されている。アノードパッド 306 および外部接続電極 304B は、アノード電極 304 の外部接続部（アノード外部接続部）を構成している。アノード電極膜 304A において、アノードパッド 306 以外の領域は、アノードコンタクト孔 317 から引き出されたアノード引き出し電極である。

[0111] 引き出し電極 L301 は、絶縁膜 315 の表面からダイオードセル D301, D303 のコンタクト孔 316 および凹部 319 内に入り込み、各凹部 319 内でダイオードセル D301, D303 の各 n^+ 型領域 310 にオーミ

ック接触している。引き出し電極L 3 0 1において、コンタクト孔3 1 6内でダイオードセルD 3 0 1, D 3 0 3に接続されている部分は、セル接続部C 3 0 1, C 3 0 3を構成している。同様に、引き出し電極L 3 0 2は、絶縁膜3 1 5の表面からダイオードセルD 3 0 2, D 3 0 4のコンタクト孔3 1 6および凹部3 1 9内に入り込み、各凹部3 1 9内でダイオードセルD 3 0 2, D 3 0 4の各 n^+ 型領域3 1 0にオーミック接触している。引き出し電極L 3 0 2において、コンタクト孔3 1 6内でダイオードセルD 3 0 2, D 3 0 4に接続されている部分は、セル接続部C 3 0 2, C 3 0 4を構成している。アノード電極膜3 0 4 Aは、絶縁膜3 1 5の表面からコンタクト孔3 1 7の内方へと延びており、コンタクト孔3 1 7内で p^+ 型の半導体基板3 0 2にオーミック接触している。カソード電極膜3 0 3 Aおよびアノード電極膜3 0 4 Aは、この第1参考例の実施形態では、同じ材料からなっている。

[0112] 電極膜としては、この第1参考例の実施形態では、AlSiCu膜、またはTi/Al積層膜もしくはTi/TiN/AlCu積層膜を用いている。

[0113] AlSiCu膜を用いる場合、半導体基板3 0 2の抵抗率は $5\text{ m}\Omega \cdot \text{cm} \sim 20\text{ m}\Omega \cdot \text{cm}$ であることが好ましく、 n^+ 型領域3 1 0の深さは $0.7\text{ }\mu\text{m} \sim 3.0\text{ }\mu\text{m}$ であることが好ましい。AlSiCu膜を用いると、半導体基板3 0 2の表面に p^+ 型領域を設けることなく、アノード電極膜3 0 4 Aを p^+ 型の半導体基板3 0 2にオーミック接触させることができる。すなわち、アノード電極膜3 0 4 Aを p^+ 型の半導体基板3 0 2に直接接触させてオーミック接合を形成できる。したがって、 p^+ 型領域を形成するための工程を省くことができる。

[0114] Ti/Al積層膜は、Ti膜を下層としAl膜を上層とした膜である。また、Ti/TiN/AlCu積層膜は、半導体基板3 0 2側から順にTi膜（たとえば厚さ $300 \sim 400\text{ }\text{\AA}$ ）、TiN膜（たとえば厚さ $1000\text{ }\text{\AA}$ 程度）およびAlCu膜（たとえば厚さ $30000\text{ }\text{\AA}$ 程度）を積層した膜である。これらの積層膜を用いる場合、半導体基板3 0 2の抵抗率は $5\text{ m}\Omega \cdot \text{cm} \sim 10\text{ m}\Omega \cdot \text{cm}$ であることが好ましく、 n^+ 型領域3 1 0の深さは 0.2

$\mu\text{m} \sim 0.7 \mu\text{m}$ であることが好ましい。

[0115] カソード電極膜303Aとアノード電極膜304Aとの間は、スリット318によって分離されている。引き出し電極L301は、ダイオードセルD301からダイオードセルD303を通してカソードパッド305に至る直線に沿って直線状に形成されている。同様に、引き出し電極L302は、ダイオードセルD302からダイオードセルD304を通してカソードパッド305に至る直線に沿って直線状に形成されている。引き出し電極L301, L302は、 n^+ 型領域310からカソードパッド305まで間の至るところで一様な幅 $W1$, $W2$ をそれぞれ有しており、それらの幅 $W1$, $W2$ は、セル接続部C301, C302, C303, C304の幅よりも広い。セル接続部C301~C304の幅は、引き出し電極L301, L302の引き出し方向に直交する方向の長さによって定義される。引き出し電極L301, L302の先端部は、 n^+ 型領域310の平面形状と整合するように整形されている。引き出し電極L301, L302の基端部は、カソードパッド305に接続されている。スリット318は、引き出し電極L301, L302を縁取るように形成されている。一方、アノード電極膜304Aは、ほぼ一定の幅のスリット318に対応した間隔を開けて、カソード電極膜303Aを取り囲むように、絶縁膜315の表面に形成されている。アノード電極膜304Aは、素子形成面302aの長手方向に沿って延びる櫛歯状部分と、矩形領域からなるアノードパッド306とを一体的に有している。

[0116] カソード電極膜303Aおよびアノード電極膜304Aは、たとえば窒化膜からなるパッシベーション膜320（図24では図示省略）によって覆われており、さらにパッシベーション膜320の上にはポリイミド等の樹脂膜321が形成されている。パッシベーション膜320および樹脂膜321を貫通するように、カソードパッド305を露出させるパッド開口322と、アノードパッド306を露出させるパッド開口323とが形成されている。パッド開口322, 323に外部接続電極303B, 304Bがそれぞれ埋め込まれている。パッシベーション膜320および樹脂膜321は、保護膜

を構成しており、引き出し電極 $L301$ 、 $L302$ および pn 接合領域 311 への水分の浸入を抑制または防止するとともに、外部からの衝撃等を吸収し、チップダイオード 301 の耐久性の向上に寄与している。

[0117] 外部接続電極 $303B$ 、 $304B$ は、樹脂膜 321 の表面よりも低い位置（半導体基板 302 に近い位置）に表面を有していてもよいし、樹脂膜 321 の表面から突出していて、樹脂膜 321 よりも高い位置（半導体基板 302 から遠い位置）に表面を有していてもよい。図25には、外部接続電極 $303B$ 、 $304B$ が樹脂膜 321 の表面から突出している例を示す。外部接続電極 $303B$ 、 $304B$ は、たとえば、電極膜 $303A$ 、 $304A$ に接する Ni 膜と、その上に形成された Pd 膜と、その上に形成された Au 膜とを有する $Ni/Pd/Au$ 積層膜からなってもよい。このような積層膜は、めっき法によって形成することができる。

[0118] 各ダイオードセル $D301 \sim D304$ では、 p 型の半導体基板 302 と n^+ 型領域 310 との間に pn 接合領域 311 が形成されており、したがって、それぞれ pn 接合ダイオードが形成されている。そして、複数のダイオードセル $D301 \sim D304$ の n^+ 型領域 310 がカソード電極 303 に共通に接続され、ダイオードセル $D301 \sim D304$ の共通の p 型領域である p^+ 型の半導体基板 302 がアノード電極 304 に共通に接続されている。これによって、半導体基板 302 上に形成された複数のダイオードセル $D301 \sim D304$ は、すべて並列に接続されている。

[0119] 図28は、チップダイオード 301 の内部の電氣的構造を示す電気回路図である。ダイオードセル $D301 \sim D304$ によってそれぞれ構成される pn 接合ダイオードは、カソード側がカソード電極 303 によって共通接続され、アノード側がアノード電極 304 によって共通接続されることによって、全て並列に接続されており、これによって、全体として1つのダイオードとして機能する。

[0120] この第1参考例の実施形態の構成によれば、チップダイオード 301 は複数のダイオードセル $D301 \sim D304$ を有しており、各ダイオードセル D

301～D304がpn接合領域311を有している。pn接合領域311は、ダイオードセルD301～D304毎に分離されている。そのため、チップダイオード301は、pn接合領域311の周囲長、すなわち、半導体基板302におけるn⁺型領域310の周囲長の合計（総延長）が長くなる。これにより、pn接合領域311の近傍における電界の集中を回避し、その分散を図ることができるので、ESD耐量の向上を図ることができる。すなわち、チップダイオード301を小型に形成する場合であっても、pn接合領域311の総周囲長を大きくすることができるから、チップダイオード301の小型化とESD耐量の確保とを両立することができる。

[0121] 図29は、同面積の半導体基板上に形成するダイオードセルの大きさおよび／またはダイオードセルの個数を様々に設定して、pn接合領域の周囲長の合計（総延長）を異ならせた複数のサンプルについてESD耐量を測定した実験結果を示す。この実験結果から、pn接合領域の周囲長が長くなるほど、ESD耐量が大きくなることが分かる。4個以上のダイオードセルを半導体基板上に形成した場合に、8キロボルトを超えるESD耐量を実現することができた。

[0122] さらに、この第1参考例の実施形態では、引き出し電極L301、L302の幅W1、W2が、セル接続部C301～C304からカソードパッド305までの間の至るところで、セル接続部C301～C304の幅よりも広い。これにより、許容電流量を大きくとることができ、エレクトロマイグレーションを低減して、大電流に対する信頼性を向上できる。すなわち、小型でESD耐量が大きく、しかも大電流に対する信頼性をも確保したチップダイオードを提供できる。

[0123] また、この第1参考例の実施形態では、カソードパッド305に向かう直線上に並んだ複数のダイオードセルD301、D303；D302、D304が直線状の共通の引き出し電極L301、L302によって、カソードパッド305に接続されている。これにより、ダイオードセルD301～D304からカソードパッド305までの引き出し電極の長さを最小にできるか

ら、エレクトロマイグレーションを一層効果的に低減できる。また、複数のダイオードセルD301, D303; D302, D304で一つの引き出し電極L301; L302を共有できるから、多数のダイオードセルD301~D304を形成してダイオード接合領域(p n接合領域311)の周囲長の増加を図りながら、線幅の広い引き出し電極を半導体基板302上にレイアウトできる。これにより、ESD耐量の一層の向上とエレクトロマイグレーションの低減とを両立して、信頼性を一層向上できる。

[0124] また、引き出し電極L301, L302の端部がn⁺型領域310の形状(多角形)に整合するように部分多角形状となっているので、引き出し電極L301, L302の占有面積を小さくしながら、n⁺型領域310と接続できる。

[0125] さらに、半導体基板302の一方の表面である素子形成面302aにカソード側およびアノード側の外部接続電極303B, 304Bがいずれも形成されている。そこで、図30に示すように、素子形成面302aを実装基板325に対向させて、外部接続電極303B, 304Bをはんだ326によって実装基板325上に接合することにより、チップダイオード301を実装基板325上に表面実装した回路アセンブリを構成することができる。すなわち、フリップチップ接続型のチップダイオード301を提供することができ、素子形成面302aを実装基板325の実装面に対向させたフェースダウン接合によって、ワイヤレスボンディングによってチップダイオード301を実装基板325に接続できる。これによって、実装基板325上におけるチップダイオード301の占有空間を小さくできる。特に、実装基板325上におけるチップダイオード301の低背化を実現できる。これにより、小型電子機器等の筐体内の空間を有効に利用でき、高密度実装および小型化に寄与できる。

[0126] また、この第1参考例の実施形態では、半導体基板302上に絶縁膜315が形成されており、その絶縁膜315に形成されたコンタクト孔316を介してダイオードセルD301~D304に引き出し電極L301, L30

2のセル接続部C301～C304が接続されている。そして、コンタクト孔316の外の領域において絶縁膜315上にカソードパッド305が配置されている。つまり、pn接合領域311の直上から離れた位置にカソードパッド305が設けられている。また、絶縁膜315に形成されたコンタクト孔317を介してアノード電極膜304Aが半導体基板302に接続されており、コンタクト孔317の外の領域において絶縁膜315上にアノードパッド306が配置されている。アノードパッド306もまた、pn接合領域311の直上から離れた位置にある。これにより、チップダイオード301を実装基板325に実装するとき、pn接合領域311に大きな衝撃が加わることを回避できる。それによって、pn接合領域311の破壊を回避できるので、外力に対する耐久性に優れたチップダイオードを実現できる。また、外部接続電極303B、304Bを設けずに、カソードパッド305およびアノードパッド306をそれぞれカソード外部接続部およびアノード接続部とし、これらのカソードパッド305およびアノードパッド306にボンディングワイヤを接続する構成をとることもできる。この場合にも、ワイヤボンディング時の衝撃によってpn接合領域311が破壊されることを回避できる。

[0127] また、この第1参考例の実施形態では、アノード電極膜304AがAlSi膜からなっている。AlSi膜は、p型半導体（特にp型シリコン半導体）と仕事関数が近似しており、そのため、p⁺型の半導体基板302との間に良好なオーミック接合を形成することができる。よって、p⁺型の半導体基板302にオーミック接合のための高不純物濃度拡散層を形成する必要がない。これにより、製造工程が簡単になるので、それに応じて生産性および生産コストを低減できる。p型半導体との間にオーミック接合を形成できる電極膜としては、他にも、AlSi電極膜材料を適用できるが、このAlSi電極膜に比べて、AlSiCu電極膜は信頼性を向上させることができる。

[0128] また、この第1参考例の実施形態では、アノード電極膜304AがTi／

Al積層膜もしくはTi/TiN/AlCu積層膜であってもよい。これらの積層膜を電極膜として用いると、n⁺型領域310の深さが0.2 μm~0.7 μmであっても、当該電極膜がn⁺型領域310を貫通してp⁺型の半導体基板302にスパイクすることを防止することができる。一方、Ti/Al積層膜またはTi/TiN/AlCu積層膜はp型半導体との間にオーミック接触し難いが、この第1参考例の実施形態では半導体基板302の抵抗率が5 mΩ・cm~20 mΩ・cmであって比較的低い。したがって、半導体基板302にp⁺型拡散層を形成しなくても、当該積層膜とp⁺型半導体基板302との間に良好なオーミック接合を形成することができる。

[0129] さらに、この第1参考例の実施形態では、半導体基板302は、コーナ部309が丸められた矩形形状を有している。それによって、チップダイオード301の角部の欠け（チッピング）を抑制または防止できるので、外観不良の少ないチップダイオード301を提供できる。

[0130] さらに、この第1参考例の実施形態では、半導体基板302のカソード側外部接続電極303Bに近い短辺に陰極方向を表す凹部308が形成されているので、半導体基板302の裏面（素子形成面302aとは反対側の主面）に、カソードマークを標印する必要がない。凹部308は、チップダイオード301をウエハ（元基板）から切り出すための加工を行うときに同時に形成しておくこともできる。また、チップダイオード301のサイズが微小で、標印が困難な場合にも凹部308を形成して、カソードの方向を表示できる。したがって、標印のための工程を省くことができ、かつ微小サイズのチップダイオード301に対してもカソードマークを付与できる。

[0131] 図31は、チップダイオード301の製造工程の一例を説明するための工程図である。また、図32(a)~(e)は、前記第1参考例の実施形態のチップダイオードの製造工程途中の構成を示す断面図である。また、図33Aおよび図33Bは、図31の製造工程途中の構成を示す断面図であり、図25に対応する切断面を示す。図34は、半導体基板302の元基板としてのp⁺型半導体ウエハWの平面図であり、一部の領域を拡大して示してある。

[0132] まず、半導体基板 302 の元基板としての p^+ 型半導体ウエハ W が用意される。半導体ウエハ W の表面は素子形成面 W a であり、半導体基板 302 の素子形成面 302 a に対応している。素子形成面 W a には、複数のチップダイオード 301 に対応した複数のチップダイオード領域 301 a が、マトリクス状に配列されて設定されている。隣接するチップダイオード領域 301 a の間には、境界領域 380 が設けられている。境界領域 380 は、ほぼ一定の幅を有する帯状の領域であり、直交する二方向に延びて格子状に形成されている。半導体ウエハ W に対して必要な工程を行った後に、境界領域 380 に沿って半導体ウエハ W を切り離すことにより、複数のチップダイオード 301 が得られる。

[0133] 半導体ウエハ W に対して実行される工程の一例は、次のとおりである。

[0134] まず、図 32 (a) に示すように、 p^+ 型の半導体ウエハ W の素子形成面 W a に、熱酸化膜からなる絶縁膜 315 が形成され (S1)、その上にレジストマスク (図示せず) が形成される (S2)。このレジストマスクを用いたエッチングによって、 n^+ 型領域 310 に対応する開口 328 が絶縁膜 315 に形成される (S3)。

[0135] 次に、図 32 (b) に示すように、レジストマスクを剥離した後に、必要に応じて、イオン注入によるダメージ抑制のための熱酸化膜 332 が、開口 328 から露出する素子形成面 W a 全面に形成される (S4)。次に、絶縁膜 315 に形成された開口 328 から露出する半導体ウエハ W の表層部に、 n 型不純物イオン (たとえば燐イオン) が注入される (S5)。

[0136] 次に、図 32 (c) に示すように、必要に応じて開口 328 よりも広い幅の開口 329 に整合する開口を有するさらに別のレジストマスク (図示せず) が絶縁膜 315 の上に形成される。このレジストマスクを介するエッチングによって、熱酸化膜 332 が剥離されると共に開口 328 が広げられて開口 329 となる。そして、開口 329 内の素子形成面 W a を選択的に熱酸化して、熱酸化膜 331 が形成される (S6)。この熱酸化膜 331 は、素子形成面 W a の上方だけでなく、半導体ウエハ W の素子形成面 W a 付近のシリ

コンを酸化シリコンに変質させて裏面側にも成長する。これにより、素子形成面W a には、開口3 2 9 に連続する凹部3 1 9 が形成される。その後、半導体ウエハW に導入された不純物イオンを活性化するための熱処理が行われる（S 7）。熱処理は、ドライブイン処理またはR T A 処理を施すことができる。好ましくは、抵抗率が $5\text{ m}\Omega\cdot\text{cm}\sim 20\text{ m}\Omega\cdot\text{cm}$ の半導体基板3 0 2 を使用する場合はドライブイン処理を適用し、抵抗率が $5\text{ m}\Omega\cdot\text{cm}\sim 10\text{ m}\Omega\cdot\text{cm}$ の半導体基板3 0 2 を使用する場合はR T A 処理を適用する。このような抵抗率と処理方法との組み合わせによって、前者のドライブイン処理では深さ $0.7\text{ }\mu\text{m}\sim 3.0\text{ }\mu\text{m}$ の n^+ 型領域3 1 0 を良好に形成でき、後者のR T A 処理では深さ $0.2\text{ }\mu\text{m}\sim 0.7\text{ }\mu\text{m}$ の n^+ 型領域3 1 0 を良好に形成できる。なお、ドライブイン処理およびR T A 処理の条件（温度、時間）は、それぞれ目標とする n^+ 型領域3 1 0 の深さに応じて選択すればよい。

次に、図3 2（d）に示すように、コンタクト孔3 1 6，3 1 7 に整合する開口を有するさらに別のレジストマスクが絶縁膜3 1 5 の上に形成される（S 8）。このレジストマスクを介するエッチングによって、絶縁膜3 1 5 にコンタクト孔3 1 6，3 1 7 が形成される（S 9）。それと共に、熱酸化膜3 3 1 の一部が選択的に除去されて、残った部分が絶縁膜3 2 7 として形成される。その後、レジストマスクが剥離される。

[0137] 次に、図3 2（e）に示すように、たとえばスパッタリングによって、カソード電極3 0 3 およびアノード電極3 0 4 を構成する電極膜が絶縁膜3 1 5 上に形成される（S 1 0）。この第1 参考例の実施形態では、A l S i C u からなる電極膜（たとえば厚さ $10000\text{ }\text{\AA}$ ）が形成される。または、T i 膜、T i N 膜およびA l C u 膜が順にスパッタリングされ、それらの積層膜からなる電極膜が形成されてもよい。そして、この電極膜上に、スリット3 1 8 に対応する開口パターンを有する別のレジストマスクが形成され（S 1 1）、このレジストマスクを介するエッチング（たとえば反応性イオンエッチング）によって、電極膜にスリット3 1 8 が形成される（S 1 2）。ス

リット 318 の幅は、 $3\mu\text{m}$ 程度であってもよい。これにより、前記電極膜が、カソード電極膜 303A およびアノード電極膜 304A に分離される。

[0138] 次に、レジスト膜を剥離した後、たとえば CVD 法によって窒化膜等のパッシベーション膜 320 が形成され (S13)、さらにポリイミド等を塗布することにより樹脂膜 321 が形成される (S14)。たとえば、感光性を付与したポリイミドが塗布され、パッド開口 323、324 に対応するパターンで露光した後、そのポリイミド膜が現像される (S15)。これにより、パッド開口 323、324 に対応した開口を有する樹脂膜 321 が形成される。その後、必要に応じて、樹脂膜をキュアするための熱処理が行われる (S16)。そして、樹脂膜 321 をマスクとしたドライエッチング (たとえば反応性イオンエッチング) によって、パッシベーション膜 320 にパッド開口 322、323 が形成される (S17)。その後、パッド開口 322、323 内に外部接続電極 303B、304B が形成される (S18)。外部接続電極 303B、304B の形成は、めっき (好ましくは無電解めっき) によって行うことができる。

[0139] 次に、境界領域 380 (図 34 参照) に整合する格子状の開口を有するレジストマスク 383 (図 33A 参照) が形成される (S19)。このレジストマスク 383 を介してプラズマエッチングが行われ、それによって、図 33A に示すように、半導体ウエハ W がその素子形成面 Wa から所定の深さまでエッチングされる。これによって、境界領域 380 に沿って、切断用の溝 381 が形成される (S20)。レジストマスク 383 が剥離された後、図 33B に示すように、半導体ウエハ W が裏面 Wb から、溝 381 の底部に到達するまで研削される (S21)。これによって、複数のチップダイオード領域 301a が個片化され、前述の構造のチップダイオード 301 を得ることができる。

[0140] 境界領域 380 に溝 381 を形成するためのレジストマスク 383 は、図 34 に示すように、チップダイオード領域 301a の四隅に接する位置に、チップダイオード領域 301a の外側に凸の湾曲形状のラウンド形状部 38

4を有している。ラウンド形状部384は、チップダイオード領域301aの隣接する二つの辺を滑らかな曲線で接続するように形成されている。さらに、境界領域380に溝381を形成するためのレジストマスク383は、チップダイオード領域301aの一つの短辺に接する位置に、チップダイオード領域301aの内側に向かって窪んだ凹部385を有している。したがって、このレジストマスク383をマスクとして行うプラズマエッチングによって溝381を形成すると、溝381は、チップダイオード領域301aの四隅に接する位置に、チップダイオード領域301aの外側に凸の湾曲形状のラウンド形状部を有し、チップダイオード領域301aの一つの短辺に接する位置に、チップダイオード領域301aの内側に向かって窪んだ凹部を有することになる。したがって、チップダイオード領域301aを半導体ウエハWから切り出すための溝381を形成する工程において、同時に、チップダイオード301の四隅のコーナー部309をラウンド形状に整形でき、かつ一つの短辺（カソード側の短辺）にカソードマークとしての凹部308を形成できる。すなわち、専用の工程を追加することなく、コーナー部309をラウンド形状に加工でき、かつカソードマークとしての凹部308を形成できる。

[0141] この第1参考例の実施形態では、半導体基板302がp型半導体からなっているので、半導体基板302上にエピタキシャル層を形成しなくても、安定した特性を実現できる。すなわち、n型の半導体ウエハは抵抗率の面内ばらつきが大きいので、n型半導体ウエハを用いるときには、その表面に抵抗率の面内ばらつきの少ないエピタキシャル層を形成し、このエピタキシャル層に不純物拡散層を形成してpn接合を形成する必要がある。これは、n型不純物の偏析係数が小さいために、半導体ウエハの元となるインゴット（たとえばシリコンインゴット）を形成するときに、ウエハの中心部と周縁部とで抵抗率の差が大きくなるからである。これに対して、p型不純物の偏析係数は比較的大きいので、p型半導体ウエハは抵抗率の面内ばらつきが少ない。したがって、p型半導体ウエハを用いることによって、エピタキシャル層

を形成することなく、安定した特性のダイオードをウエハのいずれの箇所からも切り出すことができる。よって、 p^+ 型の半導体基板 302 を用いることによって、製造工程を簡単にでき、かつ製造コストを低減できる。

[0142] また、この第 1 参考例の実施形態によれば、熱処理の前に熱酸化膜 331 を形成するので（図 32（c）参照）、その熱酸化時の熱を利用して、半導体ウエハ W の表面部における p 型不純物の濃度を小さくすることができる。しかも、使用される半導体ウエハ W の抵抗が $5\text{ m}\Omega \cdot \text{cm} \sim 20\text{ m}\Omega \cdot \text{cm}$ である。そのため、 $0.2\text{ }\mu\text{m} \sim 3.0\text{ }\mu\text{m}$ の深さまで n 型不純物イオンが拡散するように熱処理し、当該熱処理時の熱量を半導体ウエハ W に与えることによって、チップダイオード 301 のツェナー電圧を $5.5\text{ V} \sim 7.0\text{ V}$ に正確にコントロールすることができる。

[0143] 特に、上記範囲のツェナー電圧のうち相対的に小さい範囲（ $5.5\text{ V} \sim 6.0\text{ V}$ 程度）にコントロールしたい場合には、抵抗率が $5\text{ m}\Omega \cdot \text{cm} \sim 10\text{ m}\Omega \cdot \text{cm}$ の半導体基板 302 に RTA 処理を行えばよい。この場合、 n^+ 型領域 310 の深さが概ね $0.2\text{ }\mu\text{m} \sim 0.7\text{ }\mu\text{m}$ になるので、電極膜（カソード電極膜 303A）による半導体基板 302 へのスパイクを防止すべく、電極膜として Ti/Al 積層膜もしくは $\text{Ti}/\text{TiN}/\text{AlCu}$ 積層膜を選択すればよい。

[0144] 一方、上記範囲のツェナー電圧のうち相対的に大きい範囲（ $6.0\text{ V} \sim 7.0\text{ V}$ 程度）にコントロールしたい場合には、抵抗率が $5\text{ m}\Omega \cdot \text{cm} \sim 20\text{ m}\Omega \cdot \text{cm}$ の半導体基板 302 にドライブイン処理を行えばよい。この場合、 n^+ 型領域 310 の深さが概ね $0.7\text{ }\mu\text{m} \sim 3.0\text{ }\mu\text{m}$ になるので、電極膜による半導体基板 302 へのスパイクのおそれが低くなる。したがって、電極膜としては、半導体基板 302 にオーミック接触し易い AlSiCu 電極膜を選択すればよい。

[0145] なお、ツェナー電圧とは、たとえば、図 35 に示すチップダイオード 301 の逆方向の $I-V$ 曲線において、電流が急峻に立ち上がる時の電圧 V_z のことである。

- [0146] また、この第1参考例の実施形態では、n型不純物の導入をイオン注入で行うので、図36に示すように、チップダイオード301において、n⁺型領域310に、半導体基板302の素子形成面302aから所定の深さまで、減少し続ける濃度プロファイルを与えることができる。対照的に、リンデポによってn型不純物を導入した場合には、その濃度プロファイルは、素子形成面302aから所定の深さまで一定となる。
- [0147] 図37Aは、AlSiCu電極膜とp⁺型半導体基板とのオーミック接触を説明するための図であって、p⁺型シリコン基板上にAlSiCu膜を形成したときの、p⁺型シリコン基板とAlSiCu膜との間における電圧対電流特性を示す。印加電圧に対して電流が比例しており、良好なオーミック接触が形成されていることがわかる。このことから、電極膜としてAlSiCu膜を用いることによって、p⁺型半導体基板に高濃度領域を形成することなく、p⁺型半導体基板にオーミック接触するカソード電極膜およびアノード電極膜を形成でき、それによって、製造工程を簡単にできることが分かる。
- [0148] また、図37Bは、Ti/TiN/AlCu電極膜とp⁺型半導体基板とのオーミック接触を説明するための図である。図37Bには、比較のために、抵抗率25 mΩ・cmのp⁺型シリコン基板上に形成する電極膜を、Ti膜、TiN膜およびAlCu膜を基板表面から順に積層した積層膜で構成した場合における同様の特性を曲線390で示す。電圧対電流特性がリニアな特性となっておらず、オーミック接触が得られないことが分かる。一方、抵抗率5 mΩ・cmのp⁺型シリコン基板上に、Ti膜、TiN膜およびAlCu膜を基板表面から順に積層した積層膜からなる電極膜を接触させた場合の電圧対電流特性を曲線391で示す。この場合には、電圧対電流特性がリニアな特性となっていて、良好なオーミック接触が得られていることが分かる。これらのことから、電極膜としてTi/TiN/AlCu電極膜を用いる場合でも、p⁺型半導体基板の抵抗率を適切に選択することによって、p⁺型半導体基板にオーミック接触するカソード電極膜およびアノード電極膜を形成できることが分かる。

[0149] 図38は、チップダイオード301のツェナー電圧(V_z)の調整に関する特徴を説明するための図である。すなわち、チップダイオード301をツェナーダイオードとして構成する場合のツェナー電圧調整についての特徴が示されている。より具体的に説明すると、 n^+ 型領域310を形成するために n 型不純物（たとえば燐）を半導体基板302の表層部に導入した後、その導入された不純物を活性化するための熱処理が行われる（図32(c)）。この熱処理の温度および時間に応じて、ツェナー電圧が変化する。具体的には、熱処理時に半導体基板302に加えられる熱量が多い程、ツェナー電圧が高くなる傾向がある。この傾向を利用して、ツェナー電圧を調整することができる。図38から理解されるように、ツェナー電圧は、不純物のドーザ量よりも、熱処理時の熱量に大きく依存している。

[0150] 図39は、ツェナー電圧(V_z)の調整に関する別の特徴を説明するための図である。具体的には、ドライブイン処理の条件に対するツェナー電圧(V_z)の変化が示されている。曲線393, 394は、ドライブイン処理前の素子形成面Waに熱酸化膜331を形成した場合（図32(c)）のツェナー電圧を示している。一方、曲線395, 396は、熱酸化膜ではなく、ドライブイン処理前の素子形成面WaにCVD膜を形成した場合のツェナー電圧を示している。曲線393, 394と曲線395, 396との比較から、曲線393, 394の熱酸化膜を形成した場合では、ツェナー電圧のドライブイン処理条件（熱量）への依存性が小さくなる。つまり、プロセスのばらつきによるツェナー電圧の変動幅が小さいので、たとえばドライブイン処理等の熱処理条件を適切に制御できず、半導体基板302に加えられる熱量が多すぎたり少なすぎたりしても、ツェナー電圧を5.5~7.0Vに正確にコントロールすることができる。これは、熱酸化によって半導体ウエハWの表面部における p 型不純物の濃度を小さくなるためであると考えられる。

[0151] 図40(a)~(c)は、リーク電流のRTA処理条件への依存性を説明するための $I-V$ 曲線である。図40(a)~(c)において参照例1, 2は、 n^+ 型領域310の形成前の絶縁膜を熱酸化ではなくCVDで形成し、そ

の後、ドライブイン処理によって作製した5.1Vおよび5.6Vのツェナー電圧を有するチップダイオードを示している。

[0152] 図40(a)～(c)によると、RTA処理を行わないか、行っても比較的溫度が低い場合(950℃)の場合には、溫度が高い場合(1000℃以上)に比べてリーク電流が多いことが分かる。特に、図40(b)に示すように、半導体基板302の抵抗率が低く、RTA処理を行わない場合に、リーク電流が多く発生している。つまり、これらの図から、RTA処理の溫度を高温にするほど、完成後のチップダイオードのリーク電流を抑制できることが分かる。

[0153] 図41は、チップダイオードが用いられる電子機器の一例であるスマートフォンの外觀を示す斜視図である。スマートフォン501は、扁平な直方体形状の筐体502の内部に電子部品を収納して構成されている。筐体502は表側および裏側に長形状の一对の主面を有しており、その一对の主面が4つの側面で結合されている。筐体502の一つの主面には、液晶パネルや有機ELパネル等で構成された表示パネル503の表示面が露出している。表示パネル503の表示面は、タッチパネルを構成しており、使用者に対する入力インターフェースを提供している。

[0154] 表示パネル503は、筐体502の一つの主面の大部分を占める長方形形状に形成されている。表示パネル503の一つの短辺に沿うように、操作ボタン504が配置されている。この第1参考例の実施形態では、複数(3つ)の操作ボタン504が表示パネル503の短辺に沿って配列されている。使用者は、操作ボタン504およびタッチパネルを操作することによって、スマートフォン501に対する操作を行い、必要な機能呼び出して実行させることができる。

[0155] 表示パネル503の別の一つの短辺の近傍には、スピーカ505が配置されている。スピーカ505は、電話機能のための受話口を提供するとともに、音楽データ等を再生するための音響化ユニットとしても用いられる。一方、操作ボタン504の近くには、筐体502の一つの側面にマイクロフォン

506が配置されている。マイクロフォン506は、電話機能のための送話口を提供するほか、録音用のマイクロフォンとして用いることもできる。

[0156] 図42は、筐体502の内部に收容された電子回路アセンブリ510の構成を示す図解的な平面図である。電子回路アセンブリ510は、配線基板511と、配線基板511の実装面に実装された回路部品とを含む。複数の回路部品は、複数の集積回路素子（IC）512－520と、複数のチップ部品とを含む。複数のICは、伝送処理IC512、ワンセグTV受信IC513、GPS受信IC514、FMチューナIC515、電源IC516、フラッシュメモリ517、マイクロコンピュータ518、電源IC519およびベースバンドIC520を含む。複数のチップ部品は、チップインダクタ521、525、535、チップ抵抗器522、524、533、チップキャパシタ527、530、534、およびチップダイオード528、531を含む。これらのチップ部品は、たとえばフリップチップ接合により配線基板511の実装面上に実装されている。チップダイオード528、531には、前述の第1参考例の実施形態に係るチップダイオードを適用できる。

[0157] 伝送処理IC512は、表示パネル503に対する表示制御信号を生成し、かつ表示パネル503の表面のタッチパネルからの入力信号を受信するための電子回路を内蔵している。表示パネル503との接続のために、伝送処理IC512には、フレキシブル配線509が接続されている。

[0158] ワンセグTV受信IC513は、ワンセグ放送（携帯機器を受信対象とする地上デジタルテレビ放送）の電波を受信するための受信機を構成する電子回路を内蔵している。ワンセグTV受信IC513の近傍には、複数のチップインダクタ521と、複数のチップ抵抗器522とが配置されている。ワンセグTV受信IC513、チップインダクタ521およびチップ抵抗器522は、ワンセグ放送受信回路523を構成している。チップインダクタ521およびチップ抵抗器522は、正確に合わせ込まれたインダクタンスおよび抵抗をそれぞれ有し、ワンセグ放送受信回路523に高精度な回路定数を与える。

- [0159] GPS受信IC514は、GPS衛星からの電波を受信してスマートフォン501の位置情報を出力する電子回路を内蔵している。
- [0160] FMチューナIC515は、その近傍において配線基板511に実装された複数のチップ抵抗器524および複数のチップインダクタ525とともに、FM放送受信回路526を構成している。チップ抵抗器524およびチップインダクタ525は、正確に合わせ込まれた抵抗値およびインダクタンスをそれぞれ有し、FM放送受信回路526に高精度な回路定数を与える。
- [0161] 電源IC516の近傍には、複数のチップキャパシタ527および複数のチップダイオード528が配線基板511の実装面に実装されている。電源IC516は、チップキャパシタ527およびチップダイオード528とともに、電源回路529を構成している。
- [0162] フラッシュメモリ517は、オペレーティングシステムプログラム、スマートフォン501の内部で生成されたデータ、通信機能によって外部から取得したデータおよびプログラムなどを記録するための記憶装置である。
- [0163] マイクロコンピュータ518は、CPU、ROMおよびRAMを内蔵しており、各種の演算処理を実行することにより、スマートフォン501の複数の機能を実現する演算処理回路である。より具体的には、マイクロコンピュータ518の働きにより、画像処理や各種アプリケーションプログラムのための演算処理が実現されるようになっている。
- [0164] 電源IC519の近くには、複数のチップキャパシタ530および複数のチップダイオード531が配線基板511の実装面に実装されている。電源IC519は、チップキャパシタ530およびチップダイオード531とともに、電源回路532を構成している。
- [0165] ベースバンドIC520の近くには、複数のチップ抵抗器533、複数のチップキャパシタ534、および複数のチップインダクタ535が、配線基板511の実装面に実装されている。ベースバンドIC520は、チップ抵抗器533、チップキャパシタ534およびチップインダクタ535とともに、ベースバンド通信回路536を構成している。ベースバンド通信回路5

36は、電話通信およびデータ通信のための通信機能を提供する。

[0166] このような構成によって、電源回路529、532によって適切に調整された電力が、伝送処理IC512、GPS受信IC514、ワンセグ放送受信回路523、FM放送受信回路526、ベースバンド通信回路536、フラッシュメモリ517およびマイクロコンピュータ518に供給される。マイクロコンピュータ518は、伝送処理IC512を介して入力される入力信号に応答して演算処理を行い、伝送処理IC512から表示パネル503に表示制御信号を出力して表示パネル503に各種の表示を行わせる。

[0167] タッチパネルまたは操作ボタン504の操作によってワンセグ放送の受信が指示されると、ワンセグ放送受信回路523の働きによってワンセグ放送が受信される。そして、受信された画像を表示パネル503に出力し、受信された音声をスピーカ505から音響化させるための演算処理が、マイクロコンピュータ518によって実行される。

[0168] また、スマートフォン501の位置情報が必要とされるときには、マイクロコンピュータ518は、GPS受信IC514が出力する位置情報を取得し、その位置情報を用いた演算処理を実行する。

[0169] さらに、タッチパネルまたは操作ボタン504の操作によってFM放送受信指令が入力されると、マイクロコンピュータ518は、FM放送受信回路526を起動し、受信された音声をスピーカ505から出力させるための演算処理を実行する。

[0170] フラッシュメモリ517は、通信によって取得したデータの記憶や、マイクロコンピュータ518の演算や、タッチパネルからの入力によって作成されたデータを記憶するために用いられる。マイクロコンピュータ518は、必要に応じて、フラッシュメモリ517に対してデータを書き込み、またフラッシュメモリ517からデータを読み出す。

[0171] 電話通信またはデータ通信の機能は、ベースバンド通信回路536によって実現される。マイクロコンピュータ518は、ベースバンド通信回路536を制御して、音声またはデータを送受信するための処理を行う。

[0172] 以上、本発明の第1参考例の実施形態について説明したが、本発明はさらに他の形態で実施することもできる。たとえば、前述の第1参考例の実施形態では、4個のダイオードセルが半導体基板上に形成された例を示したけれども、半導体基板上に2個または3個のダイオードセルが形成されていてもよく、4個以上のダイオードセルが形成されていてもよい。また、1個のダイオードセルが形成されていてもよい。

[0173] また、前述の第1参考例の実施形態では、pn接合領域が平面視において正八角形に形成されている例を示したが、辺の数が3個以上の任意の多角形状にpn接合領域を形成してもよいし、それらの平面形状を円形や楕円形としてもよい。pn接合領域の形状を多角形状とする場合に、それらは正多角形状である必要はなく、辺の長さが2種類以上の多角形によってそれらの領域を形成してもよい。さらにまた、pn接合領域は、同じ大きさに形成される必要はなく、異なる大きさの接合領域をそれぞれ有する複数のダイオードセルが半導体基板上に混在していてもよい。さらにまた、半導体基板上に形成されるpn接合領域の形状は、1種類である必要はなく、2種以上の形状のpn接合領域が半導体基板上で混在していてもよい。

[0174] なお、この第1参考例の実施形態の内容から、特許請求の範囲に記載した発明以外にも、以下のような特徴が抽出され得る。

[0175] (項1) ツェナー電圧 V_z が5.5V~7.0Vのチップダイオードであって、 $5\text{ m}\Omega \cdot \text{cm} \sim 20\text{ m}\Omega \cdot \text{cm}$ の抵抗率を有する半導体基板と、前記半導体基板の表面に形成され、前記半導体基板との間にダイオード接合領域を形成する拡散層とを含み、前記拡散層は、前記半導体基板の前記表面に対して $0.2\text{ }\mu\text{m} \sim 3.0\text{ }\mu\text{m}$ の深さを有している、チップダイオード。

[0176] (項2) 前記ダイオード接合領域が、pn接合領域である、項1に記載のチップダイオード。

[0177] この構成により、pn接合型のチップダイオードを提供できる。

[0178] (項3) 前記半導体基板がp型半導体基板からなり、前記拡散層が前記p型半導体基板との間に前記pn接合領域を形成するn型拡散層である、項2

に記載のチップダイオード。

[0179] この構成によれば、半導体基板が p 型半導体基板からなっているので、半導体基板上にエピタキシャル層を形成しなくても、安定した特性を実現できる。すなわち、n 型の半導体ウエハは、抵抗率の面内ばらつきが大きいので、表面に抵抗率の面内ばらつきの少ないエピタキシャル層を形成し、このエピタキシャル層に不純物拡散層を形成して p n 接合を形成する必要がある。これに対して、p 型半導体ウエハは、面内ばらつきが少ないので、エピタキシャル層を形成することなく、安定した特性のダイオードをウエハのいずれの箇所からも切り出すことができる。よって、p 型半導体基板を用いることによって、製造工程を簡単にでき、かつ製造コストを低減できる。

[0180] (項 4) 前記 n 型拡散層に電氣的に接続されたカソード電極と、前記 p 型半導体基板に電氣的に接続されたアノード電極とをさらに含み、前記 n 型拡散層の前記深さが $0.7\ \mu\text{m} \sim 3.0\ \mu\text{m}$ であり、前記カソード電極および前記アノード電極は、前記 p 型半導体基板に接し、AlSiCu からなる電極膜を含む、項 3 に記載のチップダイオード。

[0181] AlSiCu は、p 型半導体（特に p 型シリコン半導体）と仕事関数が近似している。そのため、AlSiCu 電極膜は、p 型半導体との間に良好なオーミック接合を形成することができる。よって、p 型半導体基板にオーミック接合のための高不純物濃度拡散層を形成する必要がある。これにより、製造工程が一層簡単になるので、それに応じて生産性および生産コストを低減できる。p 型半導体との間にオーミック接合を形成できる電極膜としては、他にも、AlSi 電極膜材料を適用できるが、この AlSi 電極膜に比べて、AlSiCu 電極膜は信頼性を向上させることができる。また、n 型拡散層の深さが $0.7\ \mu\text{m} \sim 3.0\ \mu\text{m}$ であるので、AlSiCu の成膜後、当該 AlSiCu 電極膜が n 型拡散層を貫通して p 型半導体基板にスパイクすることを防止することができる。

[0182] (項 5) 前記 n 型拡散層に電氣的に接続されたカソード電極と、前記 p 型半導体基板に電氣的に接続されたアノード電極とをさらに含み、前記 n 型拡

散層の前記深さが $0.2\mu\text{m}\sim 0.7\mu\text{m}$ であり、前記カソード電極および前記アノード電極は、前記p型半導体基板に接し、Ti/A積層膜またはTi/TiN/AICu積層膜からなる電極膜を含む、項3に記載のチップダイオード。

[0183] この構成によれば、カソード電極がTi/A積層膜またはTi/TiN/AICu積層膜からなる電極膜であるため、n型拡散層の深さが $0.2\mu\text{m}\sim 0.7\mu\text{m}$ であっても、当該電極膜がn型拡散層を貫通してp型半導体基板にスパイクすることを防止することができる。一方、Ti/A積層膜またはTi/TiN/AICu積層膜はp型半導体との間にオーミック接触し難いが、本発明では半導体基板の抵抗率が $5\text{m}\Omega\cdot\text{cm}\sim 20\text{m}\Omega\cdot\text{cm}$ である。したがって、p型半導体基板にp⁺型拡散層を形成しなくても、当該積層膜（アノード電極）とp型半導体基板との間に良好なオーミック接合を形成することができる。

[0184] （項6）前記半導体基板の前記表面を覆い、前記拡散層を選択的に露出させるコンタクト孔が形成された絶縁膜をさらに含み、前記拡散層には、前記コンタクト孔に連続する凹部が形成されている、項1～5のいずれか一項に記載のチップダイオード。

[0185] （項7）前記凹部の周縁部に選択的に形成された凹部絶縁膜をさらに含む、項6に記載のチップダイオード。

[0186] （項8）前記凹部絶縁膜は、前記凹部と前記コンタクト孔との境界を横切るように形成されている、項7に記載のチップダイオード。

[0187] （項9）前記拡散層は、前記半導体基板の前記表面から所定の深さまで減少し続ける濃度プロファイルを有している、項1～8のいずれか一項に記載のチップダイオード。

[0188] （項10）前記半導体基板の前記表面が、コーナ一部を丸めた矩形形状を有している、項1～9のいずれか一項に記載のチップダイオード。

[0189] この構成により、チップダイオードの角部の欠け（チップング）を抑制または防止できるので、外観不良の少ないチップダイオードを提供できる。

- [0190] (項 1 1) 前記矩形形状の一辺の途中部に、陰極方向を表す凹部が形成されている、項 1 0 に記載のチップダイオード。
- [0191] この構成によれば、矩形形状の半導体基板の一辺に、陰極方向を表す凹部が形成されているので、半導体基板の表面に、標印などによって陰極方向を表すマーク（カソードマーク）を形成する必要がない。上記のような凹部は、チップダイオードをウエハ（元基板）から切り出すための加工を行うときに同時に形成しておくこともできる。また、チップダイオードのサイズが微小で、標印が困難な場合にも形成できる。したがって、標印のための工程を省くことができ、かつ微小サイズのチップダイオードに対しても陰極方向を表す目印を付すことができる。
- [0192] (項 1 2) 実装基板と、前記実装基板に実装された項 1 ～ 1 1 のいずれか一項に記載のチップダイオードとを含む、回路アセンブリ。
- [0193] この構成により、ツェナー電圧 V_z が 5.5 V ～ 7.0 V に正確にコントロールされたチップダイオードを備える回路アセンブリを提供できる。
- [0194] (項 1 3) 前記チップダイオードが、前記実装基板にワイヤレスボンディングによって接続されている、項 1 2 に記載の回路アセンブリ。
- [0195] この構成により、実装基板上におけるチップダイオードの占有空間を小さくできるから、電子部品の高密度実装に寄与できる。
- [0196] (項 1 4) 項 1 2 または 1 3 に記載の回路アセンブリと、前記回路アセンブリを収容した筐体とを含む、電子機器。
- [0197] この構成により、ツェナー電圧 V_z が 5.5 V ～ 7.0 V に正確にコントロールされたチップダイオードを備える電子機器を提供できる。
- [0198] (項 1 5) ツェナー電圧 V_z が 5.5 V ～ 7.0 V のチップダイオードの製造方法であって、 $5 \text{ m}\Omega \cdot \text{cm} \sim 20 \text{ m}\Omega \cdot \text{cm}$ の抵抗率を有する半導体基板の表面に、不純物を選択的に導入する工程と、少なくとも前記不純物が導入された領域を覆うように、前記半導体基板の前記表面に熱酸化膜を形成する工程と、前記半導体基板の前記表面を前記熱酸化膜で覆った状態で熱処理を施して前記不純物を拡散させることによって、前記半導体基板との間に

ダイオード接合領域を形成し、前記半導体基板の前記表面に対して $0.2\mu\text{m}$ ～ $3.0\mu\text{m}$ の深さを有する拡散層を形成する工程とを含む、チップダイオードの製造方法。

[0199] この方法によって、項1のチップダイオードを製造することができる。そして、この方法によれば、熱処理の前に熱酸化膜を形成することによって、半導体基板の表面部における不純物（ n 型不純物または p 型不純物）の濃度を小さくすることができる。しかも、使用される半導体基板の抵抗率が $5\text{m}\Omega\cdot\text{cm}$ ～ $20\text{m}\Omega\cdot\text{cm}$ である。そのため、 $0.2\mu\text{m}$ ～ $3.0\mu\text{m}$ の深さまで不純物が拡散するように熱処理し、当該熱処理時の熱量を半導体基板に与えることによって、チップダイオードのツェナー電圧 V_z を 5.5V ～ 7.0V に正確にコントロールすることができる。

[0200] （項16）前記不純物を導入する工程は、前記半導体基板の前記表面に、当該表面を選択的に露出させるコンタクト孔が形成された絶縁膜を形成し、そのコンタクト孔を介して前記不純物を導入する工程を含み、前記熱酸化膜を形成する工程は、前記コンタクト孔内の前記半導体基板の前記表面を選択的に熱酸化して、前記熱酸化膜を前記半導体基板の裏面側にも成長させることによって、前記コンタクト孔に連続する凹部を前記半導体基板に形成する工程を含む、項15に記載のチップダイオードの製造方法。

[0201] （項17）前記半導体基板が p 型半導体基板からなり、前記不純物を導入する工程は、 n 型不純物を前記半導体基板の前記表面にイオン注入する工程を含む、項15または16に記載のチップダイオードの製造方法。

[0202] （項18）前記拡散層を形成する工程は、前記拡散層の深さが $0.7\mu\text{m}$ ～ $3.0\mu\text{m}$ となるように、前記半導体基板にドライブイン処理を施す工程を含む、項15～17のいずれか一項に記載のチップダイオードの製造方法。

[0203] （項19）前記拡散層を形成する工程は、前記拡散層の深さが $0.2\mu\text{m}$ ～ $0.7\mu\text{m}$ となるように、前記半導体基板にRTA（Rapid Thermal Annealing）処理を施す工程を含む、項15～17のいずれか一項に記載のチップ

ダイオードの製造方法。

＜本発明の第2参考例の実施形態＞

以下では、本発明の第2参考例の実施形態を、添付図面を参照して詳細に説明する。

[0204] 図43は、本発明の第2参考例の一実施形態に係るチップダイオードの斜視図であり、図44はその平面図であり、図45は、図44のE-E線でとった断面図である。さらに、図46は、図43のF-Fでとった断面図である。

[0205] チップダイオード401は、 p^+ 型の半導体基板402（たとえばシリコン基板）と、半導体基板402に形成された複数のダイオードセルD401～D404と、これらの複数のダイオードセルD401～D404を並列に接続するカソード電極403およびアノード電極404とを含む。

[0206] 半導体基板402の抵抗率は、 $10\text{ m}\Omega \cdot \text{cm} \sim 30\text{ m}\Omega \cdot \text{cm}$ である。

[0207] 半導体基板402は、一对の主面402a、402bと、その一对の主面402a、402bと直交する複数の側面402cとを含み、前記一对の主面402a、402bのうち的一方（主面402a）が素子形成面とされている。以下、この主面402aを「素子形成面402a」という。素子形成面402aは、平面視において矩形に形成されており、たとえば、長手方向の長さLが0.4mm程度、短手方向の長さWが0.2mm程度であってもよい。また、チップダイオード401の全体の厚さTは0.1mm程度であってもよい。素子形成面402aの両端部に、カソード電極403の外部接続電極403Bと、アノード電極404の外部接続電極404Bとが配置されている。これらの外部接続電極403B、404Bの間の素子形成面402aに、ダイオードセル領域407が設けられている。

[0208] 素子形成面402aの一つの短辺（この第2参考例の実施形態ではカソード側外部接続電極403Bに近い短辺）に連なる一つの側面402cには、半導体基板402の厚さ方向に延びて切り欠かれた凹部408が形成されている。凹部408は、この第2参考例の実施形態では、半導体基板402の

厚さ方向の全域にわたって延びている。凹部408は、平面視において、素子形成面402aの一短辺から内方に窪んでおり、この第2参考例の実施形態では、素子形成面402aの内方に向かって幅狭となる台形状を有している。むろん、この平面形状は一例であり、矩形形状であってもよいし、三角形形状であってもよいし、部分円状（たとえば円弧形状）等の凹湾曲形状であってもよい。凹部408は、チップダイオード401の向き（チップ方向）を表す。より具体的には、凹部408は、カソード側外部接続電極403Bの位置を表すカソードマークを提供している。これにより、チップダイオード401の実装時に、その外観によって極性を把握できる構造となっている。

[0209] 半導体基板402は、4つの側面402cのうち互いに隣接する一对の側面の交差部に対応する四隅に4つのコーナー部409を有している。この4つのコーナー部409は、この第2参考例の実施形態では、ラウンド形状に整形されている。コーナー部409は、素子形成面402aの法線方向から見た平面視において、外側に凸の滑らかな湾曲面をなしている。これにより、チップダイオード401の製造工程や実装時におけるチップングを抑制できる構造となっている。

[0210] ダイオードセル領域407は、この第2参考例の実施形態では、矩形に形成されている。ダイオードセル領域407内に、複数のダイオードセルD401～D404が配置されている。複数のダイオードセルD401～D404は、この第2参考例の実施形態では4個設けられており、半導体基板402の長手方向および短手方向に沿って、マトリックス状に等間隔で二次元配列されている。

[0211] 図47は、カソード電極403およびアノード電極404ならびにその上に形成された構成を取り除いて、半導体基板402の表面（素子形成面402a）の構造を示す平面図である。ダイオードセルD401～D404の各領域内には、それぞれ、 p^+ 型の半導体基板402の表層領域に n^+ 型領域410が形成されている。 n^+ 型領域410は、個々のダイオードセル毎に分離さ

れている。これにより、ダイオードセルD401～D404は、ダイオードセル毎に分離されたpn接合領域411をそれぞれ有している。

[0212] 複数のダイオードセルD401～D404は、この第2参考例の実施形態では等しい大きさおよび等しい形状、具体的には矩形形状に形成されており、各ダイオードセルの矩形領域内に、多角形状のn⁺型領域410が形成されている。この第2参考例の実施形態では、n⁺型領域410は、正八角形に形成されており、ダイオードセルD401～D404の矩形領域を形成する4辺にそれぞれ沿う4つの辺と、ダイオードセルD401～D404の矩形領域の4つの角部にそれぞれ対向する別の4つの辺とを有している。

[0213] 図45および図46に示されているように、各n⁺型領域410は、その最深部の深さが、素子形成面402aに対して2μm～3μmである。また、半導体基板402の素子形成面402aには、酸化膜からなる絶縁膜415（図44では図示省略）が形成されている。絶縁膜415には、ダイオードセルD401～D404のそれぞれのn⁺型領域410の表面を露出させるコンタクト孔416（カソードコンタクト孔）と、素子形成面402aを露出させるコンタクト孔417（アノードコンタクト孔）とが形成されている。このコンタクト孔416に連続するように、n⁺型領域410の表面には凹部419が形成されている。凹部419は、その全体がn⁺型領域410の内方領域に形成され、その側面がコンタクト孔416の側面と段差を介さずに滑らかに連続している。したがって、凹部419およびコンタクト孔416は、組み合わさって段差のない滑らかな側面を有する一つの孔を形成している。そして、この孔の周縁部（凹部419の周縁部）には、凹部絶縁膜としての絶縁膜427が形成されている。絶縁膜427は酸化膜からなり、この第2参考例の実施形態では、凹部419の底面中央を露出させるように、凹部419の辺に沿って環状に形成されている。また、絶縁膜427は、凹部419とコンタクト孔416との境界を横切るように形成されており、その一部（上部）が素子形成面402aよりも上方に突出している。

[0214] 絶縁膜415の表面には、カソード電極403およびアノード電極404

が形成されている。カソード電極403は、絶縁膜415の表面に形成されたカソード電極膜403Aと、カソード電極膜403Aに接合された外部接続電極403Bとを含む。カソード電極膜403Aは、複数のダイオードセルD401, D403に接続された引き出し電極L401と、複数のダイオードD402, D404に接続された引き出し電極L402と、引き出し電極L401, L402（カソード引き出し電極）と一体的に形成されたカソードパッド405とを有している。カソードパッド405は、素子形成面402aの一端部に矩形に形成されている。このカソードパッド405に外部接続電極403Bが接続されている。このようにして、外部接続電極403Bは、引き出し電極L401, L402に共通に接続されている。カソードパッド405および外部接続電極403Bは、カソード電極403の外部接続部（カソード外部接続部）を構成している。

[0215] アノード電極404は、絶縁膜415の表面に形成されたアノード電極膜404Aと、アノード電極膜404Aに接合された外部接続電極404Bとを含む。アノード電極膜404Aは、 p^+ 型の半導体基板402に接続されており、素子形成面402aの一端部付近にアノードパッド406を有している。アノードパッド406は、アノード電極膜404Aにおいて素子形成面402aの一端部に配置された領域からなる。このアノードパッド406に外部接続電極404Bが接続されている。アノードパッド406および外部接続電極404Bは、アノード電極404の外部接続部（アノード外部接続部）を構成している。アノード電極膜404Aにおいて、アノードパッド406以外の領域は、アノードコンタクト孔417から引き出されたアノード引き出し電極である。

[0216] 引き出し電極L401は、絶縁膜415の表面からダイオードセルD401, D403のコンタクト孔416および凹部419内に入り込み、各凹部419内でダイオードセルD401, D403の各 n^+ 型領域410にオーミック接触している。引き出し電極L401において、コンタクト孔416内でダイオードセルD401, D403に接続されている部分は、セル接続部

C401, C403を構成している。同様に、引き出し電極L402は、絶縁膜415の表面からダイオードセルD402, D404のコンタクト孔416および凹部419内に入り込み、各凹部419内でダイオードセルD402, D404の各 n^+ 型領域410にオーミック接触している。引き出し電極L402において、コンタクト孔416内でダイオードセルD402, D404に接続されている部分は、セル接続部C402, C404を構成している。アノード電極膜404Aは、絶縁膜415の表面からコンタクト孔417の内方へと延びており、コンタクト孔417内で p^+ 型の半導体基板402にオーミック接触している。カソード電極膜403Aおよびアノード電極膜404Aは、この第2参考例の実施形態では、同じ材料からなっている。

[0217] 電極膜としては、この第2参考例の実施形態では、AlSiCu膜を用いている。AlSiCu膜を用いると、半導体基板402の表面に p^+ 型領域を設けることなく、アノード電極膜404Aを p^+ 型の半導体基板402にオーミック接触させることができる。すなわち、アノード電極膜404Aを p^+ 型の半導体基板402に直接接触させてオーミック接合を形成できる。したがって、 p^+ 型領域を形成するための工程を省くことができる。

[0218] カソード電極膜403Aとアノード電極膜404Aとの間は、スリット418によって分離されている。引き出し電極L401は、ダイオードセルD401からダイオードセルD403を通してカソードパッド405に至る直線に沿って直線状に形成されている。同様に、引き出し電極L402は、ダイオードセルD402からダイオードセルD404を通してカソードパッド405に至る直線に沿って直線状に形成されている。引き出し電極L401, L402は、 n^+ 型領域410からカソードパッド405まで間の至るところで一様な幅W1, W2をそれぞれ有しており、それらの幅W1, W2は、セル接続部C401, C402, C403, C404の幅よりも広い。セル接続部C401~C404の幅は、引き出し電極L401, L402の引き出し方向に直交する方向の長さによって定義される。引き出し電極L401, L402の先端部は、 n^+ 型領域410の平面形状と整合するように整形さ

れている。引き出し電極L 4 0 1, L 4 0 2の基端部は、カソードパッド4 0 5に接続されている。スリット4 1 8は、引き出し電極L 4 0 1, L 4 0 2を縁取るように形成されている。一方、アノード電極膜4 0 4 Aは、ほぼ一定の幅のスリット4 1 8に対応した間隔を開けて、カソード電極膜4 0 3 Aを取り囲むように、絶縁膜4 1 5の表面に形成されている。アノード電極膜4 0 4 Aは、素子形成面4 0 2 aの長手方向に沿って延びる櫛歯状部分と、矩形領域からなるアノードパッド4 0 6とを一体的に有している。

[0219] カソード電極膜4 0 3 Aおよびアノード電極膜4 0 4 Aは、たとえば窒化膜からなるパッシベーション膜4 2 0 (図4 4では図示省略)によって覆われており、さらにパッシベーション膜4 2 0の上にはポリイミド等の樹脂膜4 2 1が形成されている。パッシベーション膜4 2 0および樹脂膜4 2 1を貫通するように、カソードパッド4 0 5を露出させるパッド開口4 2 2と、アノードパッド4 0 6を露出させるパッド開口4 2 3とが形成されている。パッド開口4 2 2, 4 2 3に外部接続電極4 0 3 B, 4 0 4 Bがそれぞれ埋め込まれている。パッシベーション膜4 2 0および樹脂膜4 2 1は、保護膜を構成しており、引き出し電極L 4 0 1, L 4 0 2およびp n接合領域4 1 1への水分の浸入を抑制または防止すると共に、外部からの衝撃等を吸収し、チップダイオード4 0 1の耐久性の向上に寄与している。

[0220] 外部接続電極4 0 3 B, 4 0 4 Bは、樹脂膜4 2 1の表面よりも低い位置(半導体基板4 0 2に近い位置)に表面を有していてもよいし、樹脂膜4 2 1の表面から突出していて、樹脂膜4 2 1よりも高い位置(半導体基板4 0 2から遠い位置)に表面を有していてもよい。図4 5には、外部接続電極4 0 3 B, 4 0 4 Bが樹脂膜4 2 1の表面から突出している例を示す。外部接続電極4 0 3 B, 4 0 4 Bは、たとえば、電極膜4 0 3 A, 4 0 4 Aに接するNi膜と、その上に形成されたPd膜と、その上に形成されたAu膜とを有するNi/Pd/Au積層膜からなってもよい。このような積層膜は、めっき法によって形成することができる。

[0221] 各ダイオードセルD 4 0 1~D 4 0 4では、p⁺型の半導体基板4 0 2とn⁺

型領域410との間にpn接合領域411が形成されており、したがって、それぞれpn接合ダイオードが形成されている。そして、複数のダイオードセルD401～D404のn⁺型領域410がカソード電極403に共通に接続され、ダイオードセルD401～D404の共通のp型領域であるp⁺型の半導体基板402がアノード電極404に共通に接続されている。これによって、半導体基板402上に形成された複数のダイオードセルD401～D404は、すべて並列に接続されている。

[0222] 図48は、チップダイオード401の内部の電氣的構造を示す電気回路図である。ダイオードセルD401～D404によってそれぞれ構成されるpn接合ダイオードは、カソード側がカソード電極403によって共通接続され、アノード側がアノード電極404によって共通接続されることによって、全て並列に接続されており、これによって、全体として1つのダイオードとして機能する。

[0223] この第2参考例の実施形態の構成によれば、チップダイオード401は複数のダイオードセルD401～D404を有しており、各ダイオードセルD401～D404がpn接合領域411を有している。pn接合領域411は、ダイオードセルD401～D404毎に分離されている。そのため、チップダイオード401は、pn接合領域411の周囲長、すなわち、半導体基板402におけるn⁺型領域410の周囲長の合計（総延長）が長くなる。これにより、pn接合領域411の近傍における電界の集中を回避し、その分散を図ることができるので、ESD耐量の向上を図ることができる。すなわち、チップダイオード401を小型に形成する場合であっても、pn接合領域411の総周囲長を大きくすることができるから、チップダイオード401の小型化とESD耐量の確保とを両立することができる。

[0224] 図49は、同面積の半導体基板上に形成するダイオードセルの大きさおよび／またはダイオードセルの個数を様々に設定して、pn接合領域の周囲長の合計（総延長）を異ならせた複数のサンプルについてESD耐量を測定した実験結果を示す。この実験結果から、pn接合領域の周囲長が長くなるほ

ど、ESD耐量が大きくなることが分かる。4個以上のダイオードセルを半導体基板上に形成した場合に、8キロボルトを超えるESD耐量を実現することができた。

[0225] さらに、この第2参考例の実施形態では、引き出し電極L401、L402の幅W1、W2が、セル接続部C401～C404からカソードパッド405までの間の至るところで、セル接続部C401～C404の幅よりも広い。これにより、許容電流量を大きくとることができ、エレクトロマイグレーションを低減して、大電流に対する信頼性を向上できる。すなわち、小型でESD耐量が大きく、しかも大電流に対する信頼性をも確保したチップダイオードを提供できる。

[0226] また、この第2参考例の実施形態では、カソードパッド405に向かう直線上に並んだ複数のダイオードセルD401、D403；D402、D404が直線状の共通の引き出し電極L401、L402によって、カソードパッド405に接続されている。これにより、ダイオードセルD401～D404からカソードパッド405までの引き出し電極の長さを最小にできるから、エレクトロマイグレーションを一層効果的に低減できる。また、複数のダイオードセルD401、D403；D402、D404で一つの引き出し電極L401；L402を共有できるから、多数のダイオードセルD401～D404を形成してダイオード接合領域（pn接合領域411）の周囲長の増加を図りながら、線幅の広い引き出し電極を半導体基板402上にレイアウトできる。これにより、ESD耐量の一層の向上とエレクトロマイグレーションの低減とを両立して、信頼性を一層向上できる。

[0227] また、引き出し電極L401、L402の端部がn⁺型領域410の形状（多角形）に整合するように部分多角形状となっているので、引き出し電極L401、L402の占有面積を小さくしながら、n⁺型領域410と接続できる。

[0228] さらに、半導体基板402の一方の表面である素子形成面402aにカソード側およびアノード側の外部接続電極403B、404Bがいずれも形成

されている。そこで、図50に示すように、素子形成面402aを実装基板425に対向させて、外部接続電極403B、404Bをはんだ426によって実装基板425上に接合することにより、チップダイオード401を実装基板425上に表面実装した回路アセンブリを構成することができる。すなわち、フリップチップ接続型のチップダイオード401を提供することができ、素子形成面402aを実装基板425の実装面に対向させたフェースダウン接合によって、ワイヤレスボンディングによってチップダイオード401を実装基板425に接続できる。これによって、実装基板425上におけるチップダイオード401の占有空間を小さくできる。特に、実装基板425上におけるチップダイオード401の低背化を実現できる。これにより、小型電子機器等の筐体内の空間を有効に利用でき、高密度実装および小型化に寄与できる。

[0229] また、この第2参考例の実施形態では、半導体基板402上に絶縁膜415が形成されており、その絶縁膜415に形成されたコンタクト孔416を介してダイオードセルD401～D404に引き出し電極L401、L402のセル接続部C401～C404が接続されている。そして、コンタクト孔416の外の領域において絶縁膜415上にカソードパッド405が配置されている。つまり、pn接合領域411の直上から離れた位置にカソードパッド405が設けられている。また、絶縁膜415に形成されたコンタクト孔417を介してアノード電極膜404Aが半導体基板402に接続されており、コンタクト孔417の外の領域において絶縁膜415上にアノードパッド406が配置されている。アノードパッド406もまた、pn接合領域411の直上から離れた位置にある。これにより、チップダイオード401を実装基板425に実装するときに、pn接合領域411に大きな衝撃が加わることを回避できる。それによって、pn接合領域411の破壊を回避できるので、外力に対する耐久性に優れたチップダイオードを実現できる。また、外部接続電極403B、404Bを設けずに、カソードパッド405およびアノードパッド406をそれぞれカソード外部接続部およびアノード

接続部とし、これらのカソードパッド405およびアノードパッド406にボンディングワイヤを接続する構成をとることもできる。この場合にも、ワイヤボンディング時の衝撃によってpn接合領域411が破壊されることを回避できる。

[0230] また、この第2参考例の実施形態では、アノード電極膜404AがAlSi膜からなっている。AlSi膜は、p型半導体（特にp型シリコン半導体）と仕事関数が近似しており、そのため、p⁺型の半導体基板402との間に良好なオーミック接合を形成することができる。よって、p⁺型の半導体基板402にオーミック接合のための高不純物濃度拡散層を形成する必要がない。これにより、製造工程が簡単になるので、それに応じて生産性および生産コストを低減できる。p型半導体との間にオーミック接合を形成できる電極膜としては、他にも、AlSi電極膜材料を適用できるが、このAlSi電極膜に比べて、AlSiCu電極膜は信頼性を向上させることができる。

[0231] さらに、この第2参考例の実施形態では、半導体基板402は、コーナー部409が丸められた矩形形状を有している。それによって、チップダイオード401の角部の欠け（チッピング）を抑制または防止できるので、外観不良の少ないチップダイオード401を提供できる。

[0232] さらに、この第2参考例の実施形態では、半導体基板402のカソード側外部接続電極403Bに近い短辺に陰極方向を表す凹部408が形成されているので、半導体基板402の裏面（素子形成面402aとは反対側の主面）に、カソードマークを標印する必要がない。凹部408は、チップダイオード401をウエハ（元基板）から切り出すための加工を行うときに同時に形成しておくこともできる。また、チップダイオード401のサイズが微小で、標印が困難な場合にも凹部408を形成して、カソードの方向を表示できる。したがって、標印のための工程を省くことができ、かつ微小サイズのチップダイオード401に対してもカソードマークを付与できる。

[0233] 図51は、チップダイオード401の製造工程の一例を説明するための工

程図である。また、図52(a)～(d)は、前記第2参考例の実施形態のチップダイオードの製造工程途中の構成を示す断面図である。また、図53Aおよび図53Bは、図51の製造工程途中の構成を示す断面図であり、図45に対応する切断面を示す。図54は、半導体基板402の元基板としての p^+ 型半導体ウエハWの平面図であり、一部の領域を拡大して示してある。

[0234] まず、半導体基板402の元基板としての p^+ 型半導体ウエハWが用意される。半導体ウエハWの表面は素子形成面Waであり、半導体基板402の素子形成面402aに対応している。素子形成面Waには、複数のチップダイオード401に対応した複数のチップダイオード領域401aが、マトリクス状に配列されて設定されている。隣接するチップダイオード領域401aの間には、境界領域480が設けられている。境界領域480は、ほぼ一定の幅を有する帯状の領域であり、直交する二方向に延びて格子状に形成されている。半導体ウエハWに対して必要な工程を行った後に、境界領域480に沿って半導体ウエハWを切り離すことにより、複数のチップダイオード401が得られる。

[0235] 半導体ウエハWに対して実行される工程の一例は、次のとおりである。

[0236] まず、図52(a)に示すように、 p^+ 型半導体ウエハWの素子形成面Waに、熱酸化膜からなる絶縁膜415が形成され(S1)、その上にレジストマスク(図示せず)が形成される(S2)。このレジストマスクを用いたエッチングによって、 n^+ 型領域410に対応する開口428が絶縁膜415に形成される(S3)。さらに、レジストマスクを剥離した後に、絶縁膜415に形成された開口428から露出する半導体ウエハWの表層部に n 型不純物が導入される(S4)。 n 型不純物の導入は、 n 型不純物としての燐を表面に堆積させる工程(いわゆるリンデポ)によって行う。リンデポとは、半導体ウエハWを拡散炉内に搬入し、拡散路内で $POCl_3$ ガスを流して行う熱処理によって、絶縁膜415の開口428内で露出する半導体ウエハWの表面に燐を堆積させる処理である。

[0237] 次に、図52(b)に示すように、必要に応じて開口428よりも広い幅

の開口429に整合する開口を有するさらに別のレジストマスクが絶縁膜415の上に形成される。このレジストマスクを介するエッチングによって、開口428が広げられて開口429となる。そして、開口429内の素子形成面Waを選択的に熱酸化して、熱酸化膜431が形成される(S5)。この熱酸化膜431は、素子形成面Waの上方だけでなく、半導体ウエハWの素子形成面Wa付近のシリコンを酸化シリコンに変質させて裏面側にも成長する。これにより、素子形成面Waには、開口429に連続する凹部419が形成される。その後、半導体ウエハWに導入された不純物イオンを活性化するための熱処理(ドライブイン処理)が行われる(S6)。ドライブイン処理の条件(温度、時間)は、目標とするn⁺型領域410の深さに応じて選択すればよい。これにより、半導体ウエハWの表層部にn⁺型領域410が形成される。

[0238] 次に、図52(c)に示すように、コンタクト孔416、417に整合する開口を有するさらに別のレジストマスクが絶縁膜415の上に形成される(S7)。このレジストマスクを介するエッチングによって、絶縁膜415にコンタクト孔416、417が形成される(S8)。それと共に、熱酸化膜431の一部が選択的に除去されて、残った部分が絶縁膜427として形成される。その後、レジストマスクが剥離される。

[0239] 次に、図52(d)に示すように、たとえばスパッタリングによって、カソード電極403およびアノード電極404を構成する電極膜が絶縁膜415上に形成される(S9)。この第2参考例の実施形態では、AlSiCuからなる電極膜(たとえば厚さ10000Å)が形成される。そして、この電極膜上に、スリット418に対応する開口パターンを有する別のレジストマスクが形成され(S10)、このレジストマスクを介するエッチング(たとえば反応性イオンエッチング)によって、電極膜にスリット418が形成される(S11)。スリット418の幅は、3μm程度であってもよい。これにより、前記電極膜が、カソード電極膜403Aおよびアノード電極膜404Aに分離される。

[0240] 次に、レジスト膜を剥離した後、たとえばCVD法によって窒化膜等のパッシベーション膜420が形成され（S12）、さらにポリイミド等を塗布することにより樹脂膜421が形成される（S13）。たとえば、感光性を付与したポリイミドが塗布され、パッド開口423、424に対応するパターンで露光した後、そのポリイミド膜が現像される（S14）。これにより、パッド開口423、424に対応した開口を有する樹脂膜421が形成される。その後、必要に応じて、樹脂膜をキュアするための熱処理が行われる（S15）。そして、樹脂膜421をマスクとしたドライエッチング（たとえば反応性イオンエッチング）によって、パッシベーション膜420にパッド開口422、423が形成される（S16）。その後、パッド開口422、423内に外部接続電極403B、404Bが形成される（S17）。外部接続電極403B、404Bの形成は、めっき（好ましくは無電解めっき）によって行うことができる。

[0241] 次に、境界領域480（図54参照）に整合する格子状の開口を有するレジストマスク483（図53A参照）が形成される（S18）。このレジストマスク483を介してプラズマエッチングが行われ、それによって、図53Aに示すように、半導体ウエハWがその素子形成面Waから所定の深さまでエッチングされる。これによって、境界領域480に沿って、切断用の溝481が形成される（S19）。レジストマスク483が剥離された後、図53Bに示すように、半導体ウエハWが裏面Wbから、溝481の底部に到達するまで研削される（S20）。これによって、複数のチップダイオード領域401aが個片化され、前述の構造のチップダイオード401を得ることができる。

[0242] 境界領域480に溝481を形成するためのレジストマスク483は、図54に示すように、チップダイオード領域401aの四隅に接する位置に、チップダイオード領域401aの外側に凸の湾曲形状のラウンド形状部484を有している。ラウンド形状部484は、チップダイオード領域401aの隣接する二つの辺を滑らかな曲線で接続するように形成されている。さら

に、境界領域480に溝481を形成するためのレジストマスク483は、チップダイオード領域401aの一つの短辺に接する位置に、チップダイオード領域401aの内側に向かって窪んだ凹部485を有している。したがって、このレジストマスク483をマスクとして行うプラズマエッチングによって溝481を形成すると、溝481は、チップダイオード領域401aの四隅に接する位置に、チップダイオード領域401aの外側に凸の湾曲形状のラウンド形状部を有し、チップダイオード領域401aの一つの短辺に接する位置に、チップダイオード領域401aの内側に向かって窪んだ凹部を有することになる。したがって、チップダイオード領域401aを半導体ウエハWから切り出すための溝481を形成する工程において、同時に、チップダイオード401の四隅のコーナー部409をラウンド形状に整形でき、かつ一つの短辺（カソード側の短辺）にカソードマークとしての凹部408を形成できる。すなわち、専用の工程を追加することなく、コーナー部409をラウンド形状に加工でき、かつカソードマークとしての凹部408を形成できる。

- [0243] この第2参考例の実施形態では、半導体基板402がp型半導体からなっているので、半導体基板402上にエピタキシャル層を形成しなくても、安定した特性を実現できる。すなわち、n型の半導体ウエハは抵抗率の面内ばらつきが大きいので、n型半導体ウエハを用いるときには、その表面に抵抗率の面内ばらつきの少ないエピタキシャル層を形成し、このエピタキシャル層に不純物拡散層を形成してpn接合を形成する必要がある。これは、n型不純物の偏析係数が小さいために、半導体ウエハの元となるインゴット（たとえばシリコンインゴット）を形成するときに、ウエハの中心部と周縁部とで抵抗率の差が大きくなるからである。これに対して、p型不純物の偏析係数は比較的大きいので、p型半導体ウエハは抵抗率の面内ばらつきが少ない。したがって、p型半導体ウエハを用いることによって、エピタキシャル層を形成することなく、安定した特性のダイオードをウエハのいずれの箇所からも切り出すことができる。よって、p⁺型の半導体基板402を用いること

によって、製造工程を簡単にでき、かつ製造コストを低減できる。

[0244] また、この第2参考例の実施形態によれば、ドライブイン処理の前に熱酸化膜431を形成するので（図52（b）参照）、その熱酸化時の熱を利用して、半導体ウエハWの表面部におけるp型不純物の濃度を小さくすることができる。しかも、使用される半導体ウエハWの抵抗率が $10\text{ m}\Omega \cdot \text{cm} \sim 30\text{ m}\Omega \cdot \text{cm}$ である。そのため、 $2\text{ }\mu\text{m} \sim 3\text{ }\mu\text{m}$ の深さまでn型不純物イオンが拡散するようにドライブイン処理し、当該ドライブイン処理時の熱量を半導体ウエハWに与えることによって、チップダイオード401のツェナー電圧を $6.5\text{ V} \sim 9.0\text{ V}$ に正確にコントロールすることができる。なお、ツェナー電圧とは、たとえば、図55に示すチップダイオード401の逆方向のI-V曲線において、電流が急峻に立ち上がる時の電圧 V_z のことである。

[0245] また、この第2参考例の実施形態では、n型不純物の導入をリンデポで行うので、イオン注入によってn型不純物を導入する場合に比べて、製造コストを低減できる。また、この方法を利用することによって、図56に示すように、チップダイオード401において、 n^+ 型領域410に、半導体基板402の素子形成面402aから所定の深さまで、一定の濃度プロファイルを与えることができる。対照的に、イオン注入によってn型不純物を導入した場合には、その濃度プロファイルは、素子形成面402aから所定の深さまで減少し続けることになる。

[0246] 図57は、AlSiCu電極膜と p^+ 型半導体基板とのオーミック接触を説明するための図であって、 p^+ 型シリコン基板上にAlSiCu膜を形成したときの、 p^+ 型シリコン基板とAlSiCu膜との間における電圧対電流特性を示す。印加電圧に対して電流が比例しており、良好なオーミック接触が形成されていることがわかる。

[0247] また、図58は、Ti/TiN/AlCu電極膜と p^+ 型半導体基板とのオーミック接触を説明するための図である。図58には、比較のために、 p^+ 型シリコン基板上に形成する電極膜を、Ti膜、TiN膜およびAlCu膜を

基板表面から順に積層した積層膜で構成した場合における同様の特性を曲線 490 で示す。電圧対電流特性がリニアな特性となっておらず、オーミック接触が得られないことが分かる。一方、 p^+ 型シリコン基板の表面に、より高濃度に p 型不純物を導入した高濃度領域を形成し、その高濃度領域に対して、 Ti 膜、 TiN 膜および $AlCu$ 膜を基板表面から順に積層した積層膜からなる電極膜を接触させた場合の電圧対電流特性を曲線 491 で示す。この場合には、電圧対電流特性がリニアな特性となっていて、良好なオーミック接触が得られていることが分かる。これらのことから、電極膜として $AlSiCu$ 膜を用いることによって、 p^+ 型半導体基板に高濃度領域を形成することなく、 p^+ 型半導体基板にオーミック接触するカソード電極膜およびアノード電極膜を形成でき、それによって、製造工程を簡単にできることが分かる。

[0248] 図 59 は、チップダイオード 401 のツェナー電圧 (V_z) の調整に関する特徴を説明するための図である。すなわち、チップダイオード 401 をツェナーダイオードとして構成する場合のツェナー電圧調整についての特徴が示されている。より具体的に説明すると、 n^+ 型領域 410 を形成するために n 型不純物（たとえば燐）を半導体基板 402 の表層部に導入した後、その導入された不純物を活性化するための熱処理（ドライブイン処理）が行われる（図 52 (b)）。この熱処理の温度および時間に応じて、ツェナー電圧が変化する。具体的には、熱処理時に半導体基板 402 に加えられる熱量が多い程、ツェナー電圧が高くなる傾向がある。この傾向を利用して、ツェナー電圧を調整することができる。図 59 から理解されるように、ツェナー電圧は、不純物のドーズ量よりも、熱処理時の熱量に大きく依存している。

[0249] 図 60 は、ツェナー電圧 (V_z) の調整に関する別の特徴を説明するための図である。具体的には、半導体基板 402 に導入された n 型不純物を活性化するための熱処理時の温度に対するツェナー電圧の変化が示されており、曲線 493 は抵抗率の比較的低い（たとえば $5\text{ m}\Omega$ ）半導体基板を用いた場合のツェナー電圧を示し、曲線 494 は抵抗率の比較的高い（たとえば 15

～18 mΩ) 半導体基板を用いた場合のツェナー電圧を示している。曲線493, 494の比較から、ツェナー電圧が半導体基板の抵抗率に依存することが分かる。したがって、目的とするツェナー電圧に応じて適切な抵抗率の半導体基板を適用することによって、ツェナー電圧を設計値に合わせることができる。

[0250] 図61は、ツェナー電圧(V_z)の調整に関するさらに別の特徴を説明するための図である。具体的には、半導体基板402の抵抗率(S_{ub} 抵抗)に対するツェナー電圧の変化が示されており、上側の曲線495は熱処理時に加えられる熱量が比較的多い(ドライブ条件: 1100℃ 60min)場合のツェナー電圧を示し、下側の曲線496は当該熱量が比較的小さい(ドライブ条件: 1000℃ 60min)場合のツェナー電圧を示している。曲線495, 496およびその他のドライブ条件での結果から、10 mΩ・cm以上の抵抗率を有する半導体基板を用いれば、6.5 V以上のツェナー電圧を発現できることが分かる。特に、25 mΩ・cmの抵抗率を有する半導体基板を用いれば、8.2 Vもの高いツェナー電圧を発現できることが分かる。したがって、抵抗率が10 mΩ・cm～30 mΩ・cmの半導体基板を使用し、2 μm～3 μmの深さまでn型不純物が拡散するような条件でドライブイン処理すれば、チップダイオードのツェナー電圧 V_z を6.5 V～9.0 Vに正確にコントロールすることができる。

[0251] 図62は、チップダイオードが用いられる電子機器の一例であるスマートフォンの外観を示す斜視図である。スマートフォン601は、扁平な直方体形状の筐体602の内部に電子部品を収納して構成されている。筐体602は表側および裏側に長方形の一对の主面を有しており、その一对の主面が4つの側面で結合されている。筐体602の一つの主面には、液晶パネルや有機ELパネル等で構成された表示パネル603の表示面が露出している。表示パネル603の表示面は、タッチパネルを構成しており、使用者に対する入力インターフェースを提供している。

[0252] 表示パネル603は、筐体602の一つの主面の大部分を占める長方形形

状に形成されている。表示パネル603の一つの短辺に沿うように、操作ボタン604が配置されている。この第2参考例の実施形態では、複数（3つ）の操作ボタン604が表示パネル603の短辺に沿って配列されている。使用者は、操作ボタン604およびタッチパネルを操作することによって、スマートフォン601に対する操作を行い、必要な機能呼び出して実行させることができる。

[0253] 表示パネル603の別の一つの短辺の近傍には、スピーカ605が配置されている。スピーカ605は、電話機能のための受話口を提供すると共に、音楽データ等を再生するための音響化ユニットとしても用いられる。一方、操作ボタン604の近くには、筐体602の一つの側面にマイクロフォン606が配置されている。マイクロフォン606は、電話機能のための送話口を提供するほか、録音用のマイクロフォンとして用いることもできる。

[0254] 図63は、筐体602の内部に收容された電子回路アセンブリ610の構成を示す図解的な平面図である。電子回路アセンブリ610は、配線基板611と、配線基板611の実装面に実装された回路部品とを含む。複数の回路部品は、複数の集積回路素子（IC）612-620と、複数のチップ部品とを含む。複数のICは、伝送処理IC612、ワンセグTV受信IC613、GPS受信IC614、FMチューナIC615、電源IC616、フラッシュメモリ617、マイクロコンピュータ618、電源IC619およびベースバンドIC620を含む。複数のチップ部品は、チップインダクタ621、625、635、チップ抵抗器622、624、633、チップキャパシタ627、630、634、およびチップダイオード628、631を含む。これらのチップ部品は、たとえばフリップチップ接合により配線基板611の実装面上に実装されている。チップダイオード628、631には、前述の第2参考例の実施形態に係るチップダイオードを適用できる。

[0255] 伝送処理IC612は、表示パネル603に対する表示制御信号を生成し、かつ表示パネル603の表面のタッチパネルからの入力信号を受信するための電子回路を内蔵している。表示パネル603との接続のために、伝送処

理 IC 612 には、フレキシブル配線 609 が接続されている。

- [0256] ワンセグTV受信 IC 613 は、ワンセグ放送（携帯機器を受信対象とする地上デジタルテレビ放送）の電波を受信するための受信機を構成する電子回路を内蔵している。ワンセグTV受信 IC 613 の近傍には、複数のチップインダクタ 621 と、複数のチップ抵抗器 622 とが配置されている。ワンセグTV受信 IC 613、チップインダクタ 621 およびチップ抵抗器 622 は、ワンセグ放送受信回路 623 を構成している。チップインダクタ 621 およびチップ抵抗器 622 は、正確に合わせ込まれたインダクタンスおよび抵抗をそれぞれ有し、ワンセグ放送受信回路 623 に高精度な回路定数を与える。
- [0257] GPS 受信 IC 614 は、GPS 衛星からの電波を受信してスマートフォン 601 の位置情報を出力する電子回路を内蔵している。
- [0258] FMチューナ IC 615 は、その近傍において配線基板 611 に実装された複数のチップ抵抗器 624 および複数のチップインダクタ 625 と共に、FM放送受信回路 626 を構成している。チップ抵抗器 624 およびチップインダクタ 625 は、正確に合わせ込まれた抵抗値およびインダクタンスをそれぞれ有し、FM放送受信回路 626 に高精度な回路定数を与える。
- [0259] 電源 IC 616 の近傍には、複数のチップキャパシタ 627 および複数のチップダイオード 628 が配線基板 611 の実装面に実装されている。電源 IC 616 は、チップキャパシタ 627 およびチップダイオード 628 と共に、電源回路 629 を構成している。
- [0260] フラッシュメモリ 617 は、オペレーティングシステムプログラム、スマートフォン 601 の内部で生成されたデータ、通信機能によって外部から取得したデータおよびプログラムなどを記録するための記憶装置である。
- [0261] マイクロコンピュータ 618 は、CPU、ROM および RAM を内蔵しており、各種の演算処理を実行することにより、スマートフォン 601 の複数の機能を実現する演算処理回路である。より具体的には、マイクロコンピュータ 618 の働きにより、画像処理や各種アプリケーションプログラムのた

めの演算処理が実現されるようになっている。

[0262] 電源 IC 619 の近くには、複数のチップキャパシタ 630 および複数のチップダイオード 631 が配線基板 611 の実装面に実装されている。電源 IC 619 は、チップキャパシタ 630 およびチップダイオード 631 と共に、電源回路 632 を構成している。

[0263] ベースバンド IC 620 の近くには、複数のチップ抵抗器 633、複数のチップキャパシタ 634、および複数のチップインダクタ 635 が、配線基板 611 の実装面に実装されている。ベースバンド IC 620 は、チップ抵抗器 633、チップキャパシタ 634 およびチップインダクタ 635 と共に、ベースバンド通信回路 636 を構成している。ベースバンド通信回路 636 は、電話通信およびデータ通信のための通信機能を提供する。

[0264] このような構成によって、電源回路 629、632 によって適切に調整された電力が、伝送処理 IC 612、GPS 受信 IC 614、ワンセグ放送受信回路 623、FM 放送受信回路 626、ベースバンド通信回路 636、フラッシュメモリ 617 およびマイクロコンピュータ 618 に供給される。マイクロコンピュータ 618 は、伝送処理 IC 612 を介して入力される入力信号に応答して演算処理を行い、伝送処理 IC 612 から表示パネル 603 に表示制御信号を出力して表示パネル 603 に各種の表示を行わせる。

[0265] タッチパネルまたは操作ボタン 604 の操作によってワンセグ放送の受信が指示されると、ワンセグ放送受信回路 623 の働きによってワンセグ放送が受信される。そして、受信された画像を表示パネル 603 に出力し、受信された音声をスピーカ 605 から音響化させるための演算処理が、マイクロコンピュータ 618 によって実行される。

[0266] また、スマートフォン 601 の位置情報が必要とされるときには、マイクロコンピュータ 618 は、GPS 受信 IC 614 が出力する位置情報を取得し、その位置情報を用いた演算処理を実行する。

[0267] さらに、タッチパネルまたは操作ボタン 604 の操作によって FM 放送受信指令が入力されると、マイクロコンピュータ 618 は、FM 放送受信回路

626を起動し、受信された音声をスピーカ605から出力させるための演算処理を実行する。

[0268] フラッシュメモリ617は、通信によって取得したデータの記憶や、マイクロコンピュータ618の演算や、タッチパネルからの入力によって作成されたデータを記憶するために用いられる。マイクロコンピュータ618は、必要に応じて、フラッシュメモリ617に対してデータを書き込み、またフラッシュメモリ617からデータを読み出す。

[0269] 電話通信またはデータ通信の機能は、ベースバンド通信回路636によって実現される。マイクロコンピュータ618は、ベースバンド通信回路636を制御して、音声またはデータを送受信するための処理を行う。

[0270] 以上、本発明の第2参考例の実施形態について説明したが、本発明はさらに他の形態で実施することもできる。たとえば、前述の第2参考例の実施形態では、4個のダイオードセルが半導体基板上に形成された例を示したけれども、半導体基板上に2個または3個のダイオードセルが形成されていてもよく、4個以上のダイオードセルが形成されていてもよい。また、1個のダイオードセルが形成されていてもよい。

[0271] また、前述の第2参考例の実施形態では、pn接合領域が平面視において正八角形に形成されている例を示したが、辺の数が3個以上の任意の多角形状にpn接合領域を形成してもよいし、それらの平面形状を円形や楕円形としてもよい。pn接合領域の形状を多角形状とする場合に、それらは正多角形状である必要はなく、辺の長さが2種類以上の多角形によってそれらの領域を形成してもよい。さらにまた、pn接合領域は、同じ大きさに形成される必要はなく、異なる大きさの接合領域をそれぞれ有する複数のダイオードセルが半導体基板上に混在していてもよい。さらにまた、半導体基板上に形成されるpn接合領域の形状は、1種類である必要はなく、2種以上の形状のpn接合領域が半導体基板上で混在していてもよい。

[0272] なお、この第2参考例の実施形態の内容から、特許請求の範囲に記載した発明以外にも、以下のような特徴が抽出され得る。

[0273] (項1) ツェナー電圧 V_z が $6.5\text{ V} \sim 9.0\text{ V}$ のチップダイオードであって、 $10\text{ m}\Omega \cdot \text{cm} \sim 30\text{ m}\Omega \cdot \text{cm}$ の抵抗率を有する半導体基板と、前記半導体基板の表面に形成され、前記半導体基板との間にダイオード接合領域を形成する拡散層とを含み、前記拡散層は、前記半導体基板の前記表面に対して $2\text{ }\mu\text{m} \sim 3\text{ }\mu\text{m}$ の深さを有している、チップダイオード。

[0274] (項2) 前記ダイオード接合領域が、pn接合領域である、項1に記載のチップダイオード。

[0275] この構成により、pn接合型のチップダイオードを提供できる。

[0276] (項3) 前記半導体基板がp型半導体基板からなり、前記拡散層が前記p型半導体基板との間に前記pn接合領域を形成するn型拡散層である、項2に記載のチップダイオード。

[0277] この構成によれば、半導体基板がp型半導体基板からなっているので、半導体基板上にエピタキシャル層を形成しなくても、安定した特性を実現できる。すなわち、n型の半導体ウエハは、抵抗率の面内ばらつきが大きいので、表面に抵抗率の面内ばらつきの少ないエピタキシャル層を形成し、このエピタキシャル層に不純物拡散層を形成してpn接合を形成する必要がある。これに対して、p型半導体ウエハは、面内ばらつきが少ないので、エピタキシャル層を形成することなく、安定した特性のダイオードをウエハのいずれの箇所からも切り出すことができる。よって、p型半導体基板を用いることによって、製造工程を簡単にでき、かつ製造コストを低減できる。

[0278] (項4) 前記n型拡散層に電氣的に接続されたカソード電極と、前記p型半導体基板に電氣的に接続されたアノード電極とをさらに含み、前記アノード電極は、前記p型半導体基板に接し、AlSiCuからなる電極膜を含む、項3に記載のチップダイオード。

[0279] AlSiCuは、p型半導体（特にp型シリコン半導体）と仕事関数が近似している。そのため、AlSiCu電極膜は、p型半導体との間に良好なオーミック接合を形成することができる。よって、p型半導体基板にオーミック接合のための高不純物濃度拡散層を形成する必要がない。これにより、

製造工程が一層簡単になるので、それに応じて生産性および生産コストを低減できる。p型半導体との間にオーミック接合を形成できる電極膜としては、他にも、A I S i 電極膜材料を適用できるが、このA I S i 電極膜に比べて、A I S i C u 電極膜は信頼性を向上させることができる。

[0280] (項5) 前記半導体基板の前記表面を覆い、前記拡散層を選択的に露出させるコンタクト孔が形成された絶縁膜をさらに含み、前記拡散層には、前記コンタクト孔に連続する凹部が形成されている、項1～4のいずれか一項に記載のチップダイオード。

[0281] (項6) 前記凹部の周縁部に選択的に形成された凹部絶縁膜をさらに含む、項5に記載のチップダイオード。

[0282] (項7) 前記凹部絶縁膜は、前記凹部と前記コンタクト孔との境界を横切るように形成されている、項6に記載のチップダイオード。

[0283] (項8) 前記拡散層は、前記半導体基板の前記表面から所定の深さまで、一定の濃度プロファイルを有している、項1～7のいずれか一項に記載のチップダイオード。

[0284] (項9) 前記半導体基板の前記表面が、コーナー部を丸めた矩形形状を有している、項1～8のいずれか一項に記載のチップダイオード。

[0285] この構成により、チップダイオードの角部の欠け（チッピング）を抑制または防止できるので、外観不良の少ないチップダイオードを提供できる。

[0286] (項10) 前記矩形形状の一辺の途中部に、陰極方向を表す凹部が形成されている、項9に記載のチップダイオード。

[0287] この構成によれば、矩形形状の半導体基板の一辺に、陰極方向を表す凹部が形成されているので、半導体基板の表面に、標印などによって陰極方向を表すマーク（カソードマーク）を形成する必要がない。上記のような凹部は、チップダイオードをウエハ（元基板）から切り出すための加工を行うときに同時に形成しておくこともできる。また、チップダイオードのサイズが微小で、標印が困難な場合にも形成できる。したがって、標印のための工程を省くことができ、かつ微小サイズのチップダイオードに対しても陰極方向を

表す目印を付すことができる。

[0288] (項 1 1) 実装基板と、前記実装基板に実装された項 1 ～ 1 0 のいずれか一項に記載のチップダイオードとを含む、回路アセンブリ。

[0289] この構成により、ツェナー電圧 V_z が 6.5 V ～ 9.0 V に正確にコントロールされたチップダイオードを備える回路アセンブリを提供できる。

[0290] (項 1 2) 前記チップダイオードが、前記実装基板にワイヤレスボンディングによって接続されている、項 1 1 に記載の回路アセンブリ。

[0291] この構成により、実装基板上におけるチップダイオードの占有空間を小さくできるから、電子部品の高密度実装に寄与できる。

[0292] (項 1 3) 項 1 1 または 1 2 に記載の回路アセンブリと、前記回路アセンブリを収容した筐体とを含む、電子機器。

[0293] この構成により、ツェナー電圧 V_z が 6.5 V ～ 9.0 V に正確にコントロールされたチップダイオードを備える電子機器を提供できる。

[0294] (項 1 4) ツェナー電圧 V_z が 6.5 V ～ 9.0 V のチップダイオードの製造方法であって、 $10\text{ m}\Omega \cdot \text{cm} \sim 30\text{ m}\Omega \cdot \text{cm}$ の抵抗率を有する半導体基板の表面に、不純物を選択的に導入する工程と、少なくとも前記不純物が導入された領域を覆うように、前記半導体基板の前記表面に熱酸化膜を形成する工程と、前記半導体基板の前記表面を前記熱酸化膜で覆った状態でドライブイン処理を施して前記不純物を拡散させることによって、前記半導体基板との間にダイオード接合領域を形成し、前記半導体基板の前記表面に対して $2\text{ }\mu\text{m} \sim 3\text{ }\mu\text{m}$ の深さを有する拡散層を形成する工程とを含む、チップダイオードの製造方法。

[0295] この方法によって、項 1 に記載のチップダイオードを製造することができる。そして、この方法によれば、ドライブイン処理の前に熱酸化膜を形成することによって、半導体基板の表面部における不純物（n 型不純物または p 型不純物）の濃度を小さくすることができる。しかも、使用される半導体基板の抵抗率が $10\text{ m}\Omega \cdot \text{cm} \sim 30\text{ m}\Omega \cdot \text{cm}$ である。そのため、 $2\text{ }\mu\text{m} \sim 3\text{ }\mu\text{m}$ の深さまで不純物が拡散するようにドライブイン処理し、当該ドライ

ブイン処理時の熱量を半導体基板に与えることによって、チップダイオードのツェナー電圧 V_z を 6.5 V ~ 9.0 V に正確にコントロールすることができる。

[0296] (項 15) 前記不純物を導入する工程は、前記半導体基板の前記表面に、当該表面を選択的に露出させるコンタクト孔が形成された絶縁膜を形成し、そのコンタクト孔を介して前記不純物を導入する工程を含み、前記熱酸化膜を形成する工程は、前記コンタクト孔内の前記半導体基板の前記表面を選択的に熱酸化して、前記熱酸化膜を前記半導体基板の裏面側にも成長させることによって、前記コンタクト孔に連続する凹部を前記半導体基板に形成する工程を含む、項 14 に記載のチップダイオードの製造方法。

[0297] (項 16) 前記半導体基板が p 型半導体基板からなり、前記不純物を導入する工程は、n 型不純物を前記半導体基板の前記表面に堆積する工程を含む、項 14 または 15 に記載のチップダイオードの製造方法。

[0298] この方法では、イオン注入によって n 型不純物を導入する場合に比べて、製造コストを低減できる。

[0299] 以上、本発明、本発明の第 1 および第 2 参考例の実施形態を説明したが、前述の実施形態は、本発明の技術的内容を明らかにするために用いられた具体例に過ぎず、本発明はこれらの具体例に限定して解釈されるべきではなく、本発明の精神および範囲は添付の請求の範囲によってのみ限定される。

[0300] 本出願は、2012 年 9 月 27 日に日本国特許庁に提出された特願 2012-215061 号、2012 年 9 月 27 日に日本国特許庁に提出された特願 2012-215063 号および 2012 年 9 月 27 日に日本国特許庁に提出された特願 2012-215064 号に対応しており、これらの出願の全開示はここに引用により組み込まれるものとする。

符号の説明

[0301] W 半導体ウエハ
Wa 素子形成面
1 チップダイオード

- 2 半導体基板
- 2 a 素子形成面
- 4 アノード電極
- 4 A アノード電極膜
- 8 凹部（カソードマーク）
- 9 コーナー部
- 1 0 n^+ 型領域
- 1 1 p n 接合領域
- 2 5 実装基板
- 2 0 1 スマートフォン
- 2 0 2 筐体
- 2 1 0 電子回路アセンブリ
- 2 2 8 チップダイオード
- 2 3 1 チップダイオード

請求の範囲

- [請求項1] ツェナー電圧 V_z が $4.0\text{ V} \sim 5.5\text{ V}$ のチップダイオードであって、
 $3\text{ m}\Omega \cdot \text{cm} \sim 5\text{ m}\Omega \cdot \text{cm}$ の抵抗率を有する半導体基板と、
 前記半導体基板の表面に形成され、前記半導体基板との間にダイオード接合領域を形成する拡散層とを含み、
 前記拡散層は、前記半導体基板の前記表面に対して $0.01\text{ }\mu\text{m} \sim 0.2\text{ }\mu\text{m}$ の深さを有している、チップダイオード。
- [請求項2] 前記ダイオード接合領域が、pn接合領域である、請求項1に記載のチップダイオード。
- [請求項3] 前記半導体基板がp型半導体基板からなり、
 前記拡散層が前記p型半導体基板との間に前記pn接合領域を形成するn型拡散層である、請求項2に記載のチップダイオード。
- [請求項4] 前記n型拡散層に電氣的に接続されたカソード電極と、
 前記p型半導体基板に電氣的に接続されたアノード電極とをさらに含み、
 前記カソード電極および前記アノード電極は、前記p型半導体基板に接し、Ti／Al積層膜またはTi／TiN／AlCu積層膜からなる電極膜を含む、請求項3に記載のチップダイオード。
- [請求項5] 前記拡散層は、前記半導体基板の前記表面から所定の深さまで減少し続ける濃度プロファイルを有している、請求項1～4のいずれか一項に記載のチップダイオード。
- [請求項6] 前記半導体基板の前記表面が、コーナー部を丸めた矩形形状を有している、請求項1～5のいずれか一項に記載のチップダイオード。
- [請求項7] 前記矩形形状の一辺の途中部に、陰極方向を表す凹部が形成されている、請求項6に記載のチップダイオード。
- [請求項8] 実装基板と、
 前記実装基板に実装された請求項1～7のいずれか一項に記載のチ

ップダイオードとを含む、回路アセンブリ。

[請求項9] 前記チップダイオードが、前記実装基板にワイヤレスボンディングによって接続されている、請求項8に記載の回路アセンブリ。

[請求項10] 請求項8または9に記載の回路アセンブリと、
前記回路アセンブリを収容した筐体とを含む、電子機器。

[請求項11] ツェナー電圧 V_z が $4.0\text{ V} \sim 5.5\text{ V}$ のチップダイオードの製造方法であって、

$3\text{ m}\Omega \cdot \text{cm} \sim 5\text{ m}\Omega \cdot \text{cm}$ の抵抗率を有する半導体基板の表面に、不純物を選択的に導入する工程と、

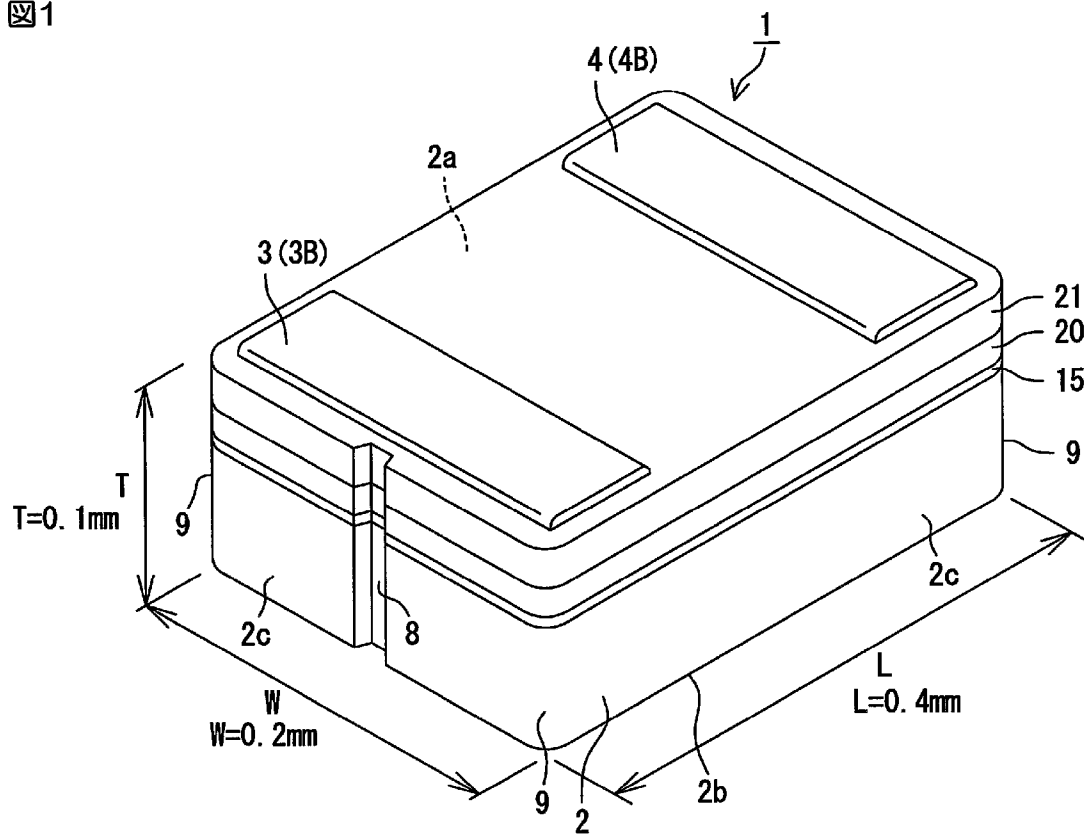
前記不純物の導入後の前記半導体基板の表面状態を維持した状態で、前記半導体基板の前記表面に R T A (Rapid Thermal Annealing) 処理を施して前記不純物を拡散させることによって、前記半導体基板との間にダイオード接合領域を形成し、前記半導体基板の前記表面に対して $0.01\text{ }\mu\text{m} \sim 0.2\text{ }\mu\text{m}$ の深さを有する拡散層を形成する工程とを含む、チップダイオードの製造方法。

[請求項12] 前記半導体基板が p 型半導体基板からなり、

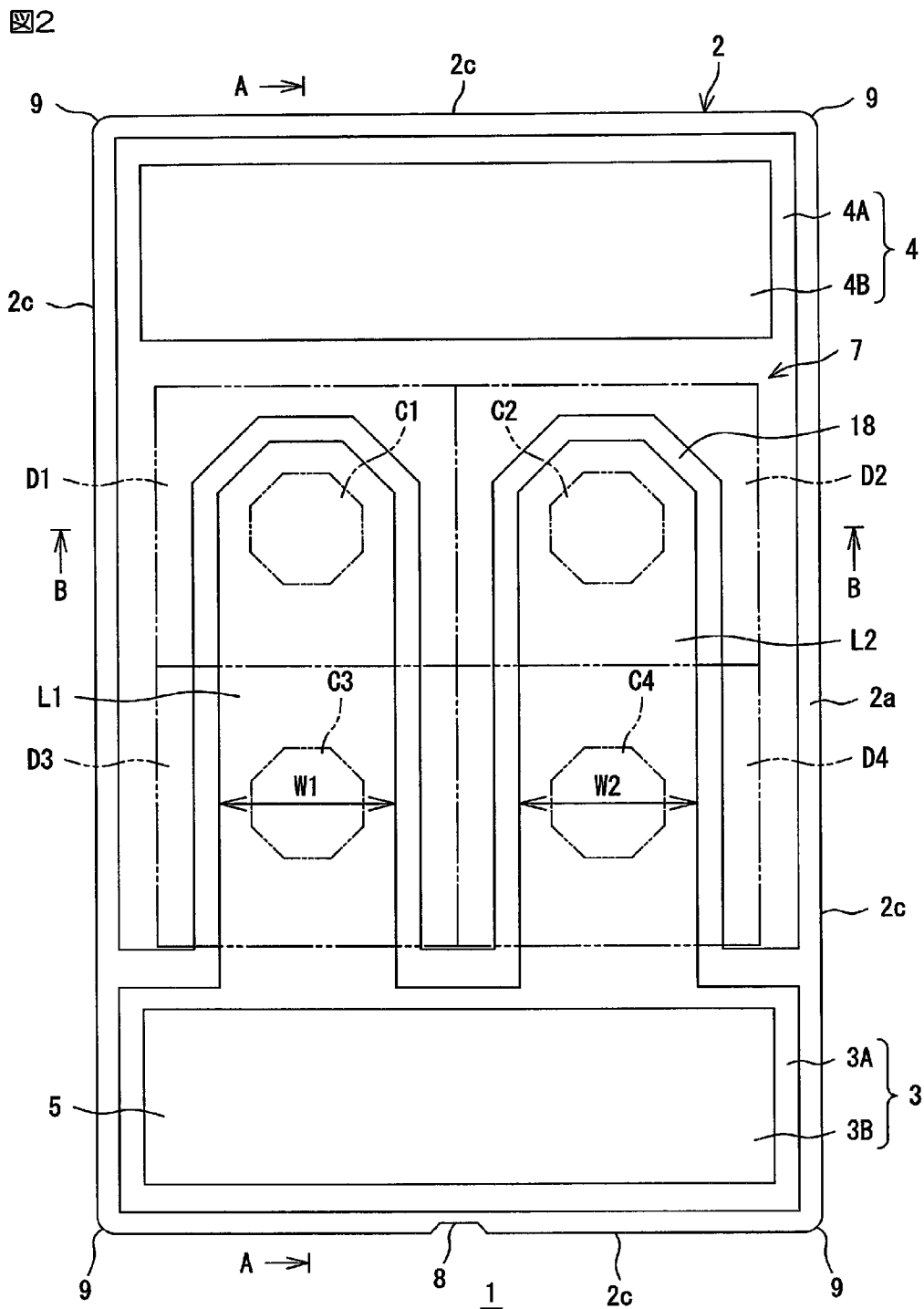
前記不純物を導入する工程は、n 型不純物を前記半導体基板の前記表面にイオン注入する工程を含む、請求項11に記載のチップダイオードの製造方法。

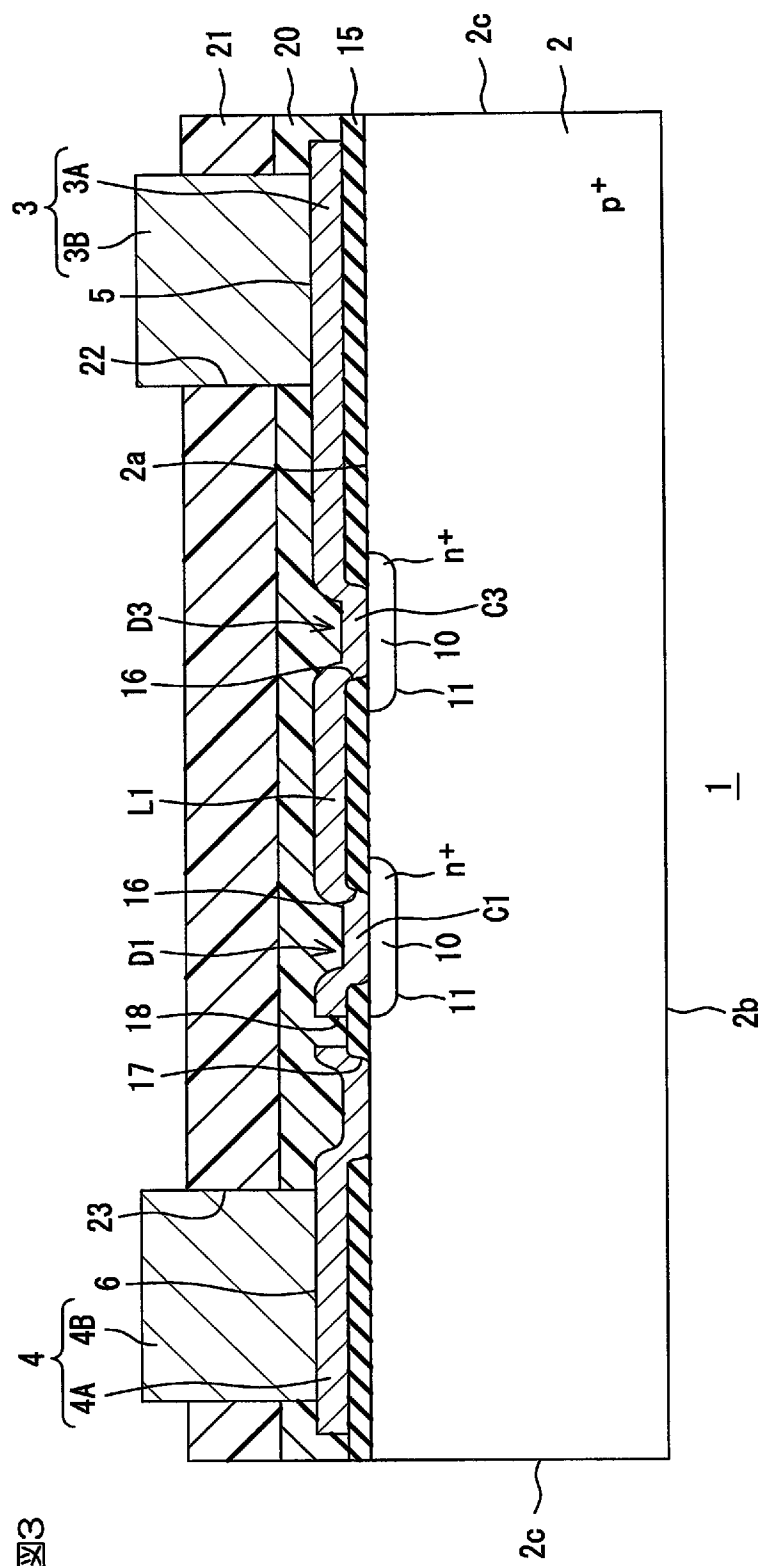
[図1]

図1



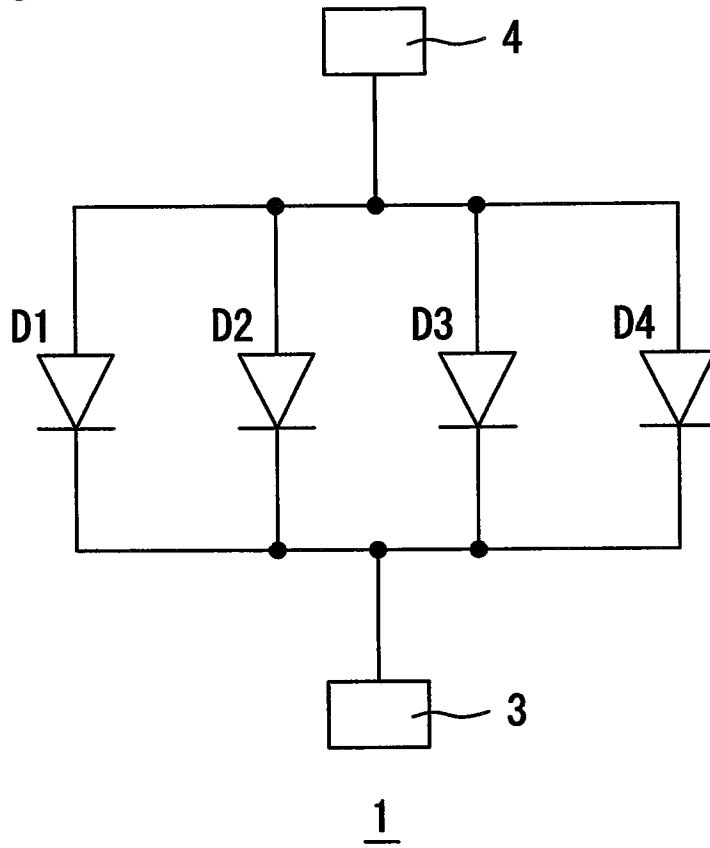
[図2]





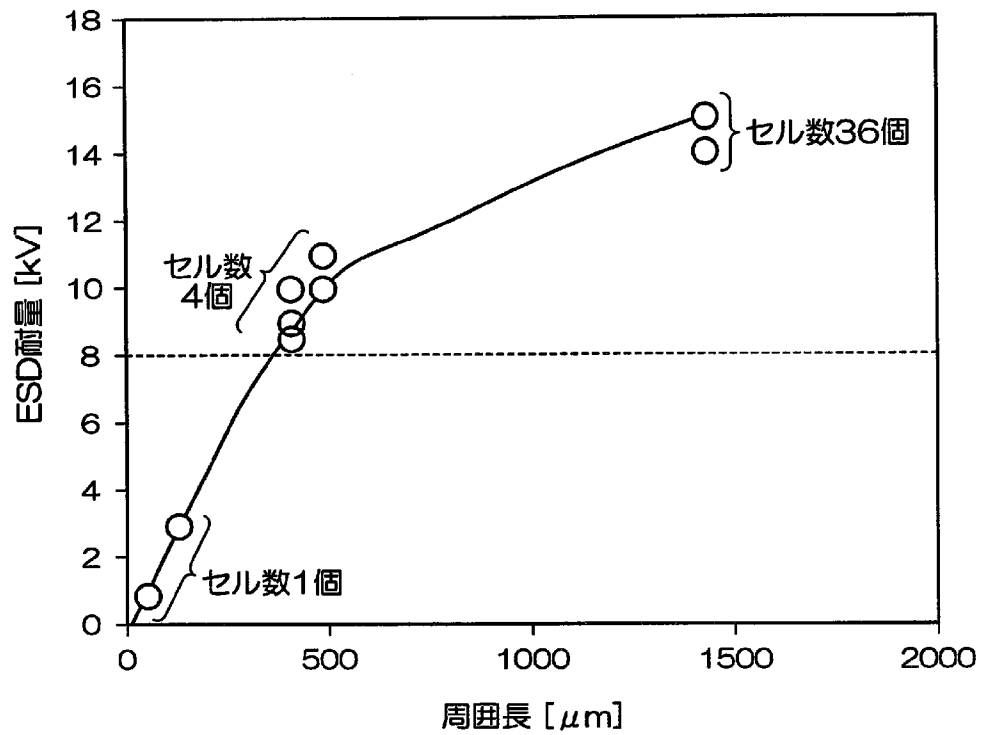
[図6]

図6



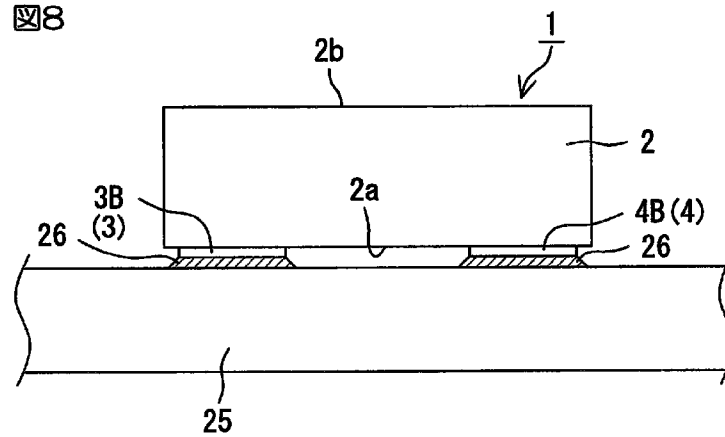
[図7]

図7



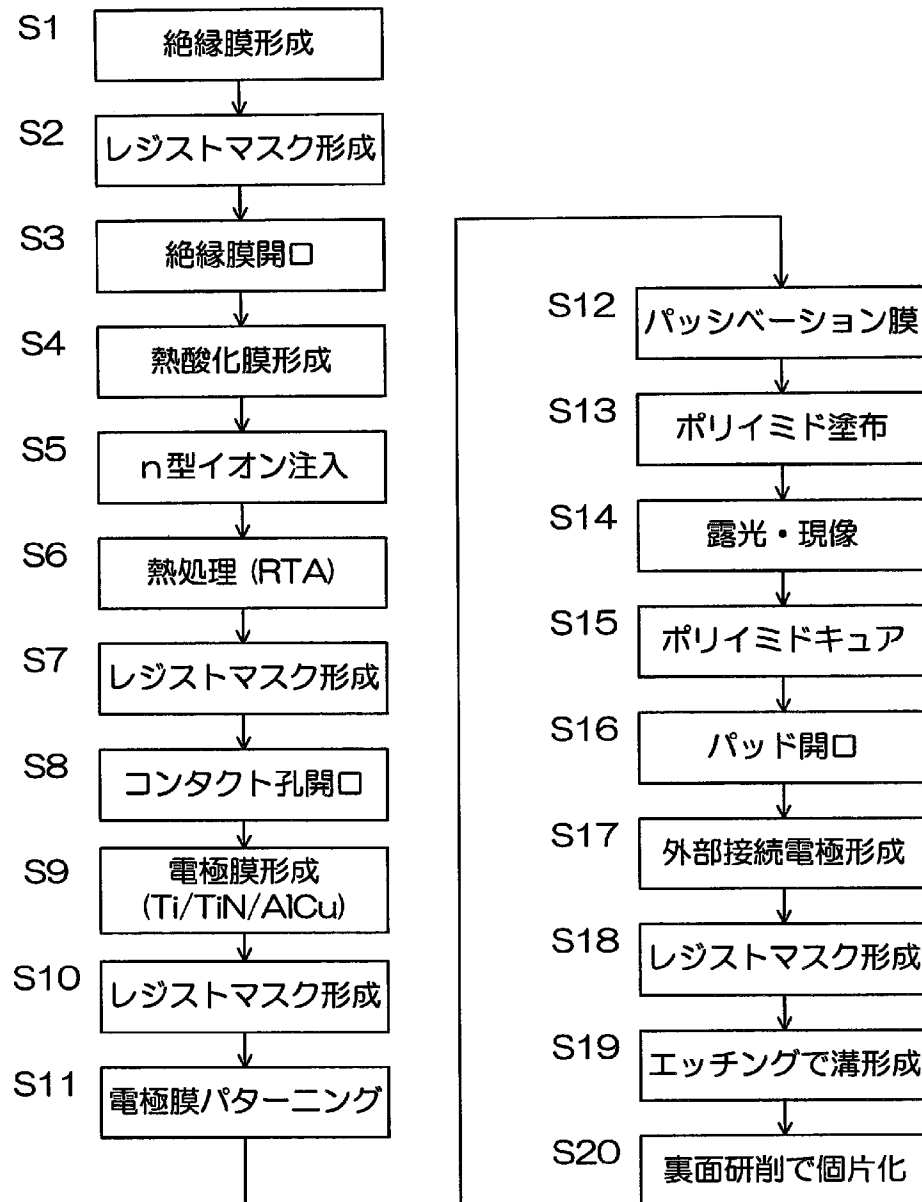
[図8]

図8



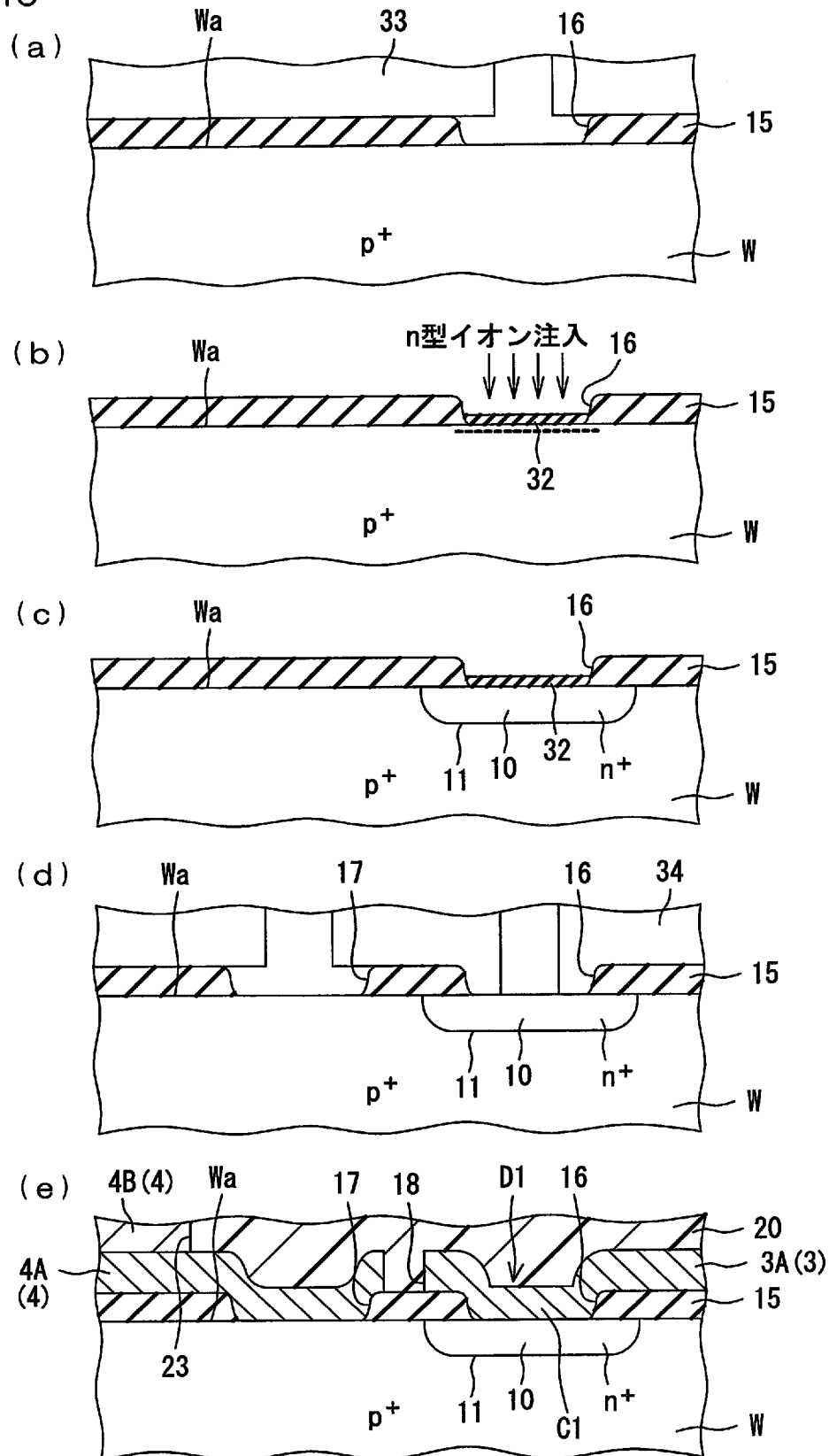
[図9]

図9

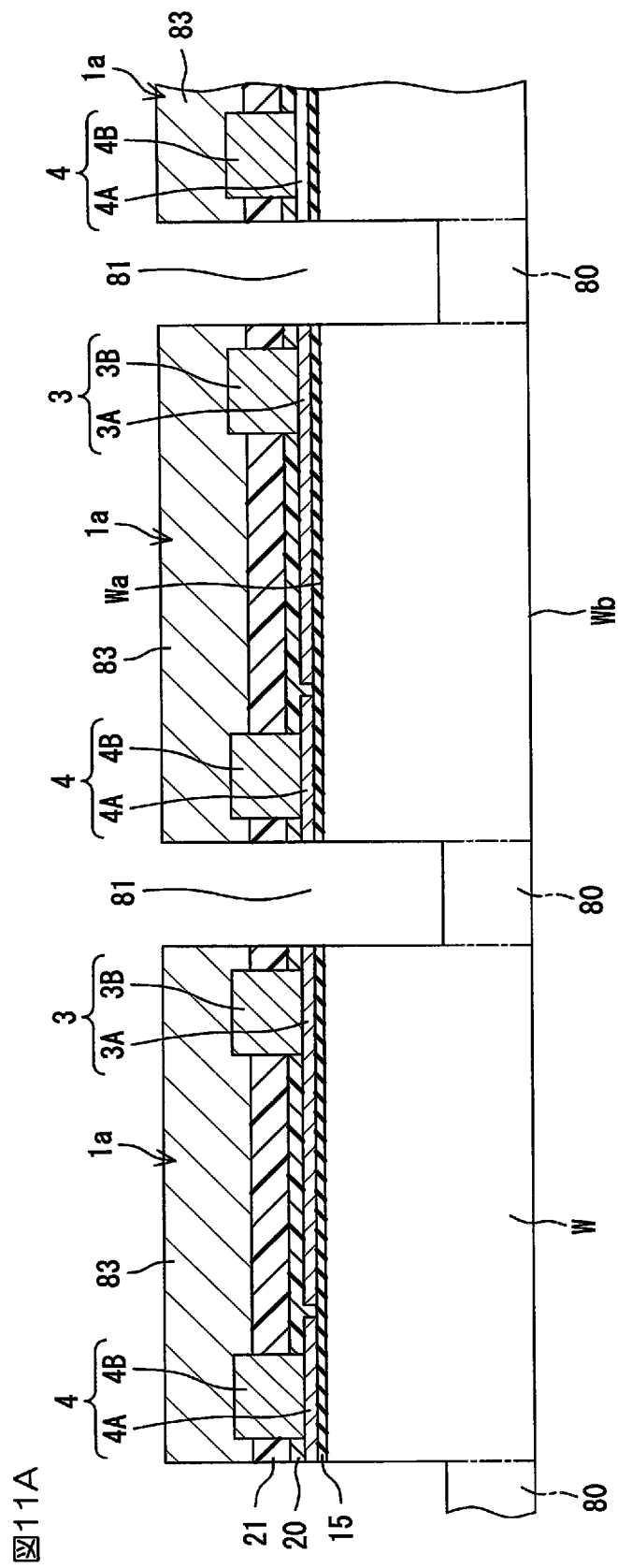


[図10]

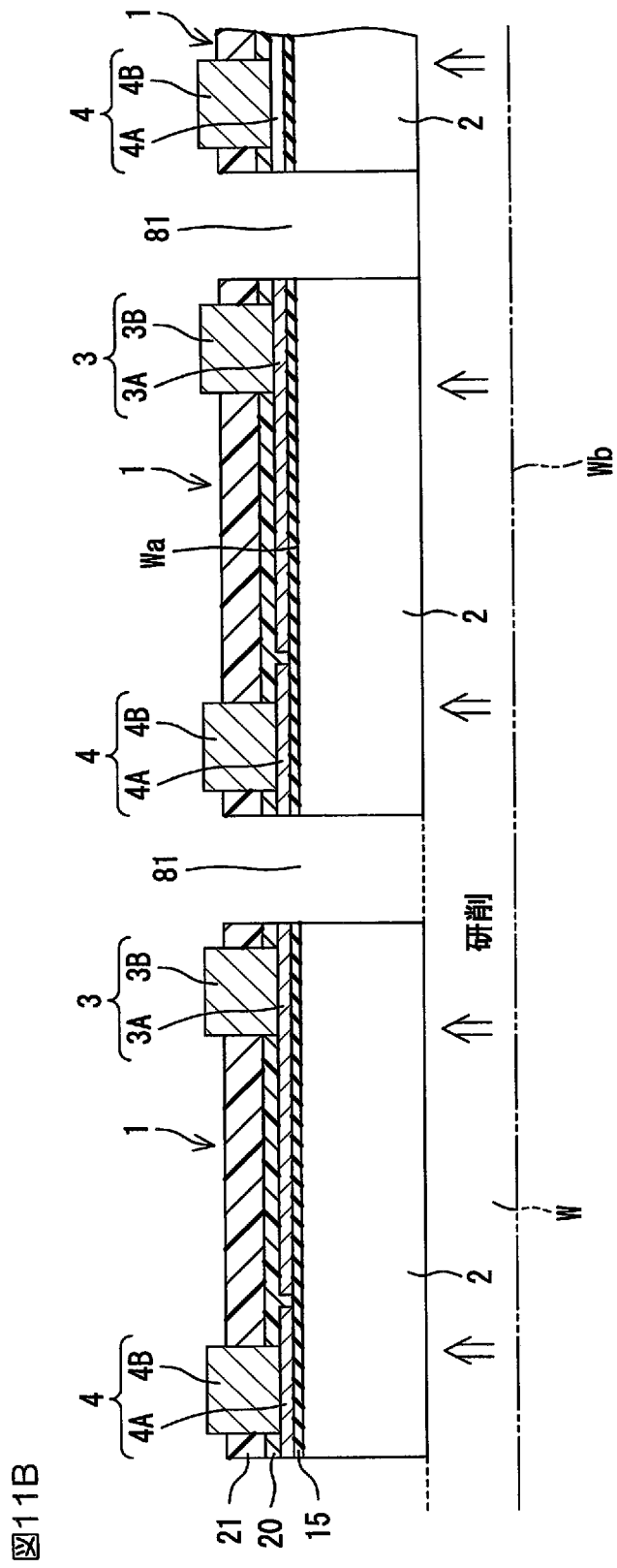
図10



[図11A]

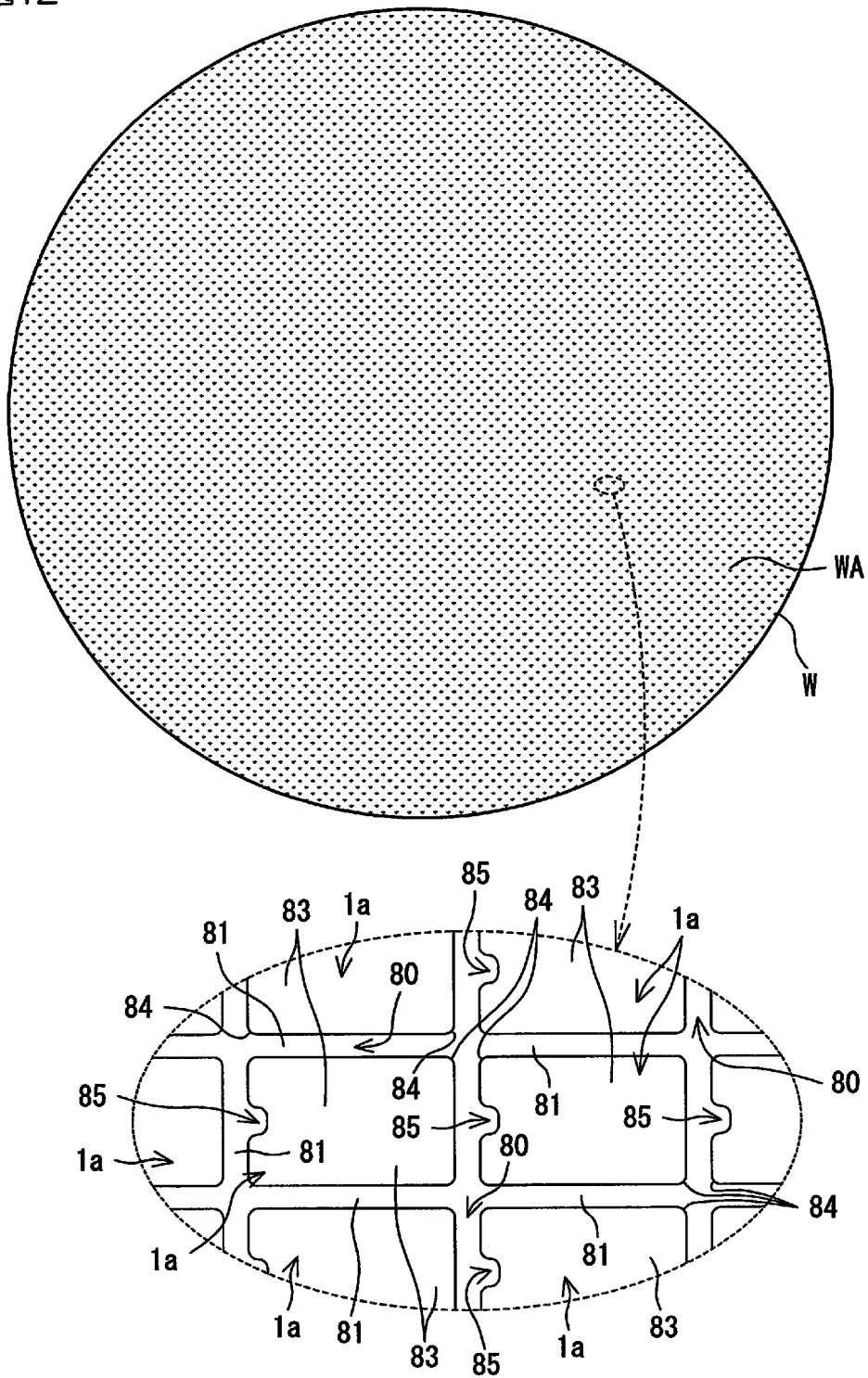


[図11B]

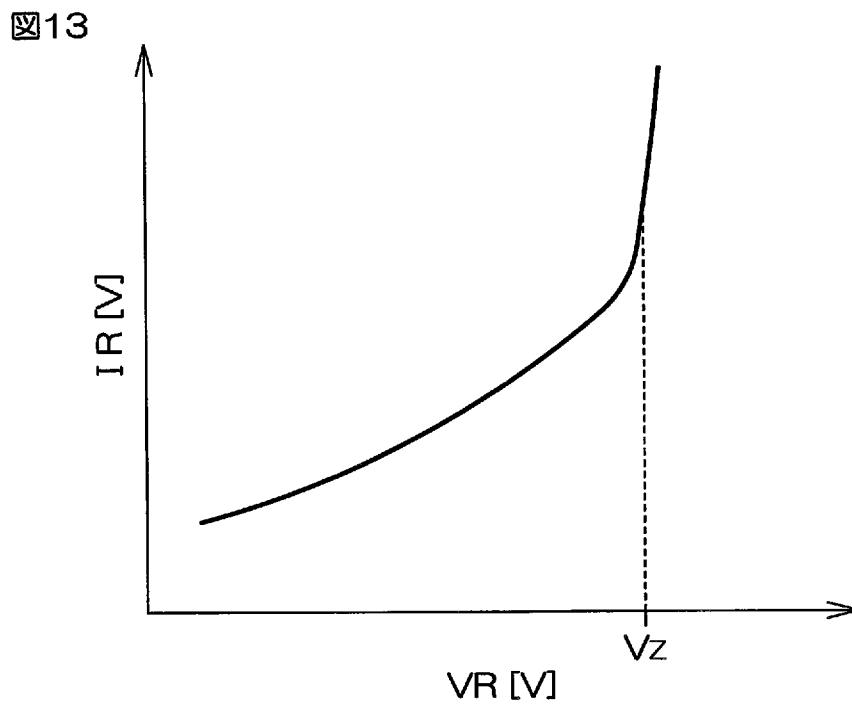


[図12]

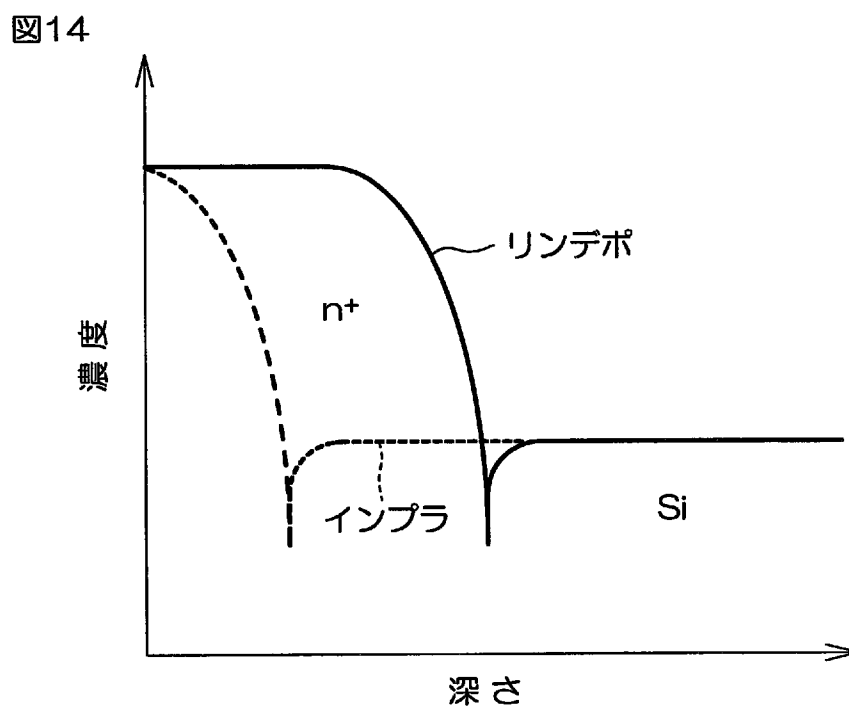
図12



[図13]

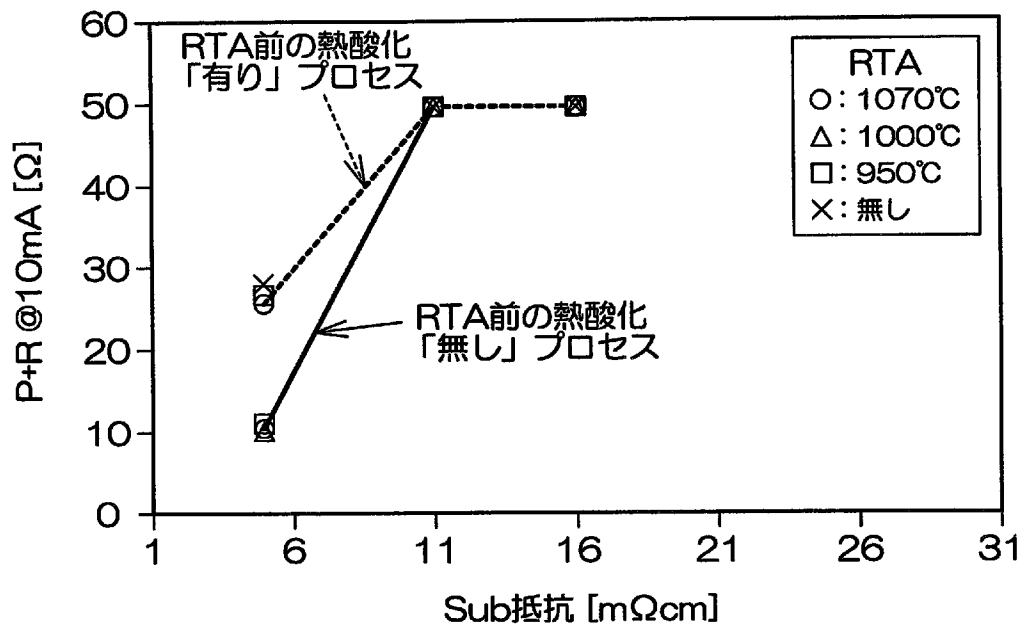


[図14]



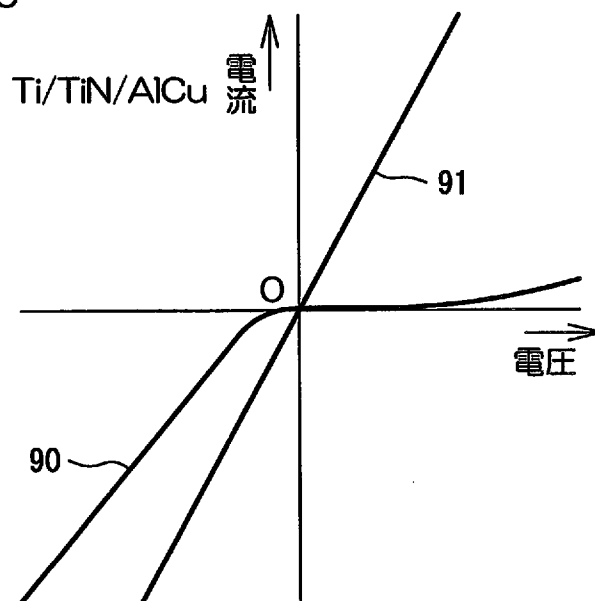
[図15]

図15



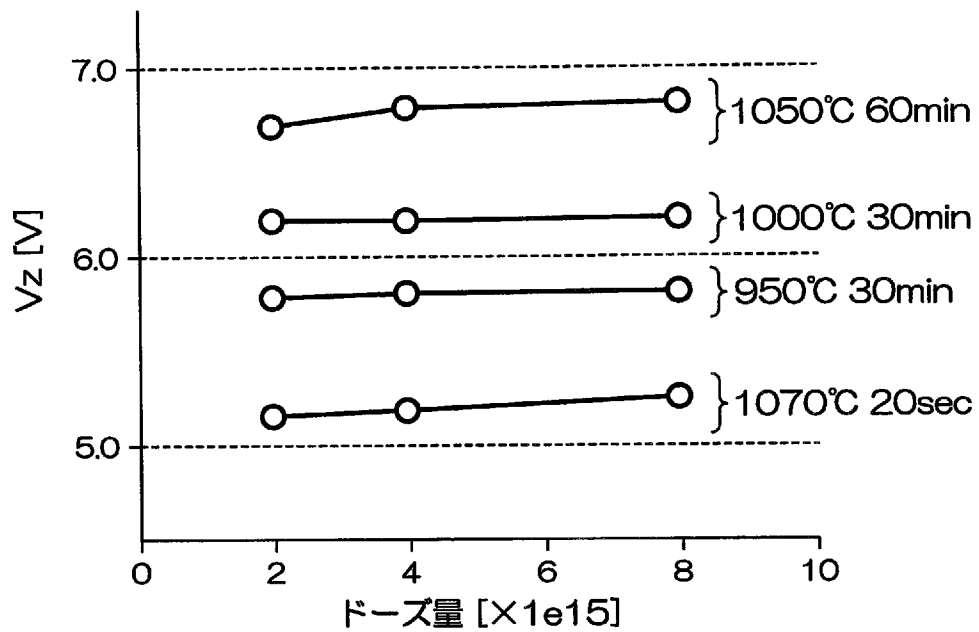
[図16]

図16



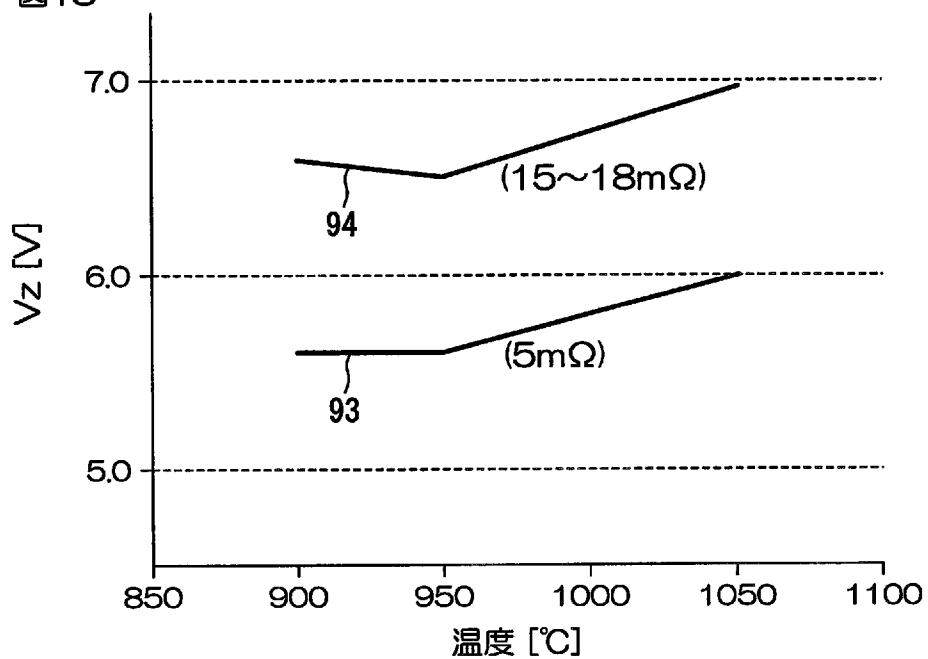
[図17]

図17



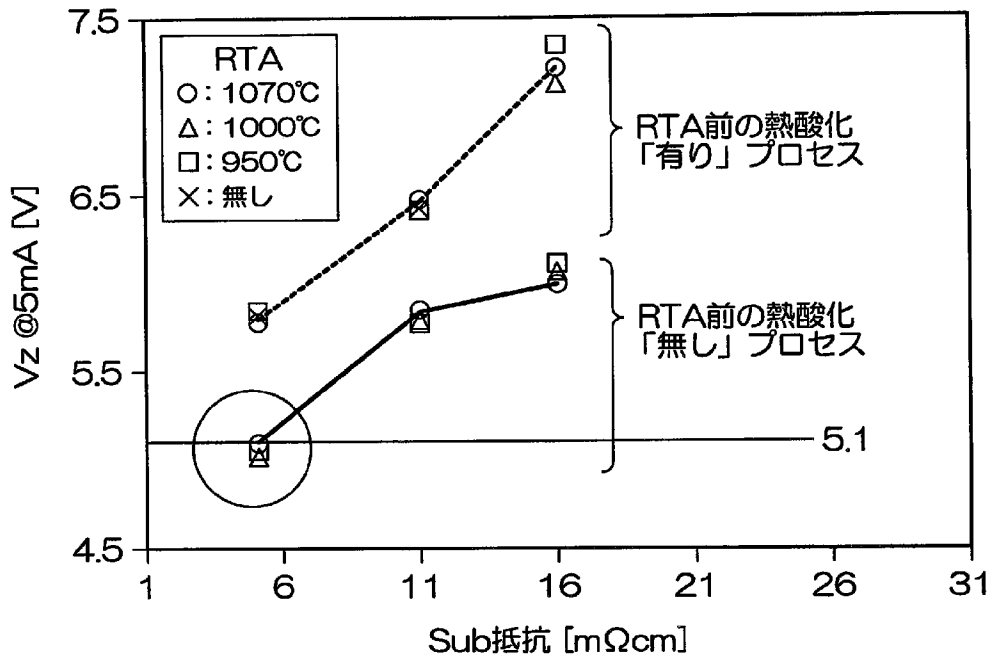
[図18]

図18



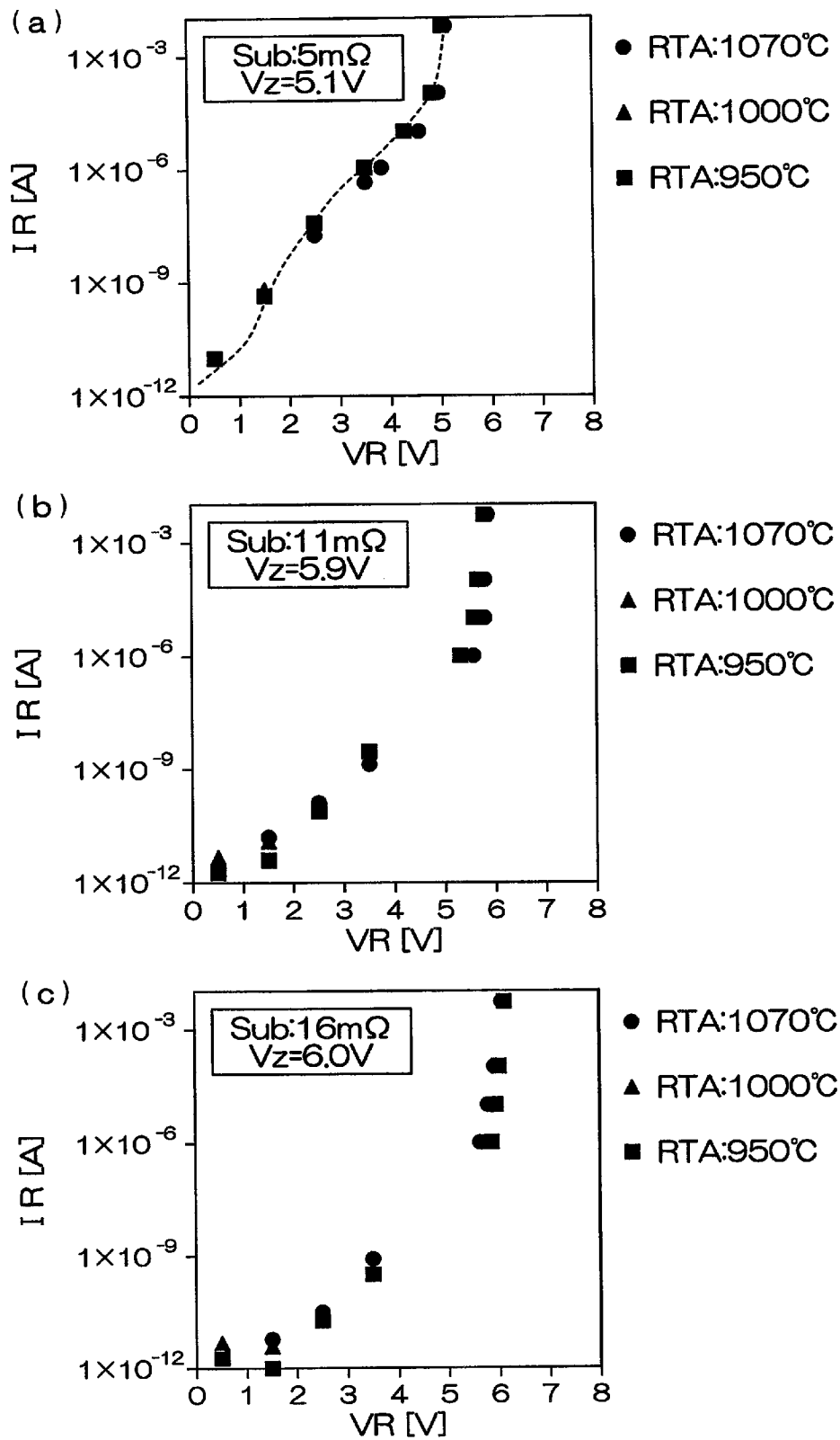
[図19]

図19

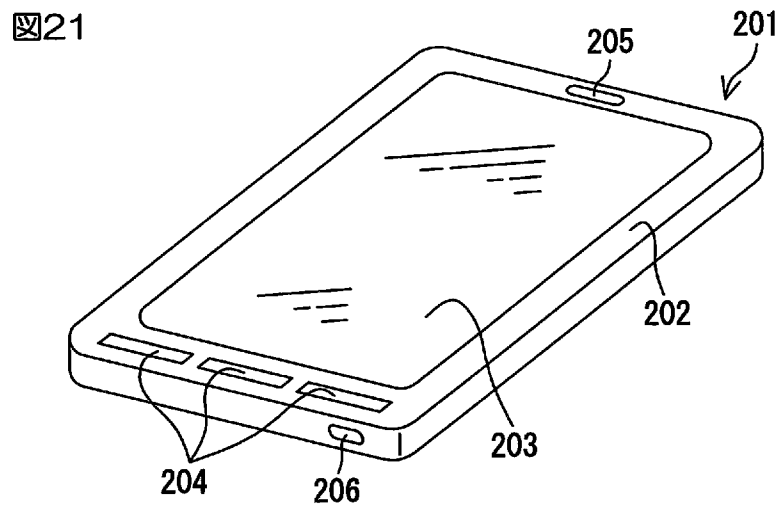


[図20]

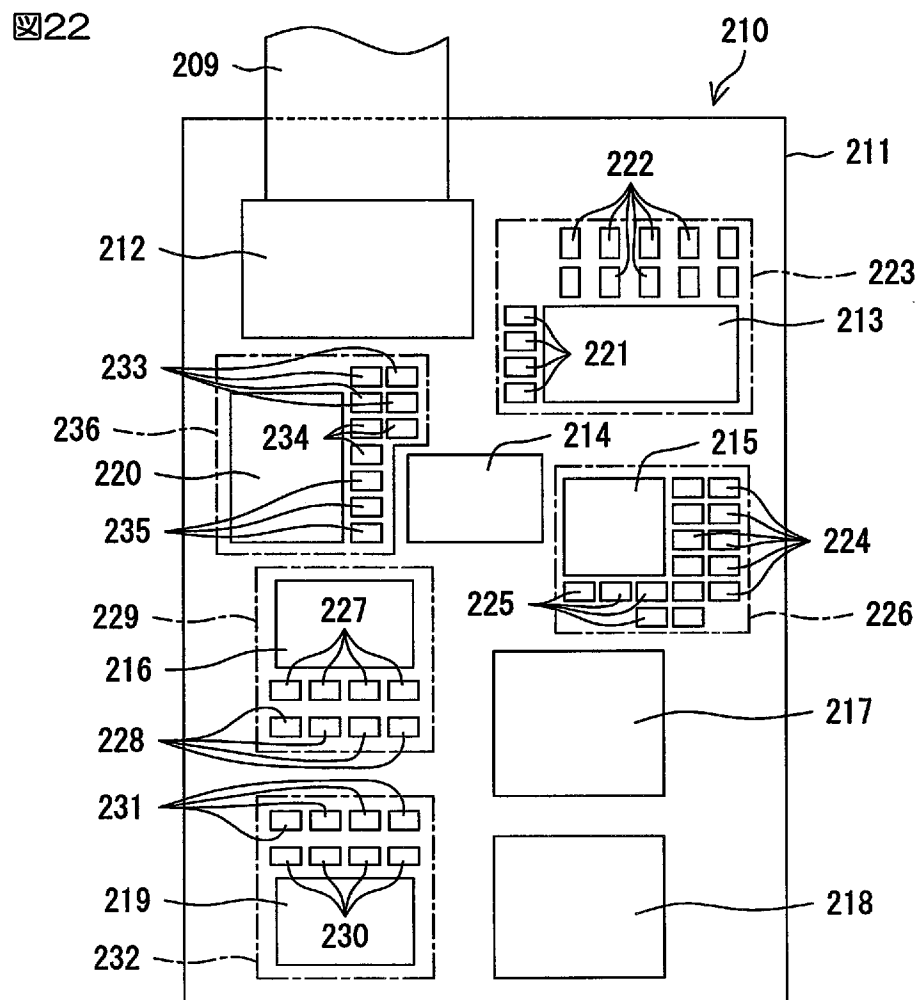
図20



[図21]

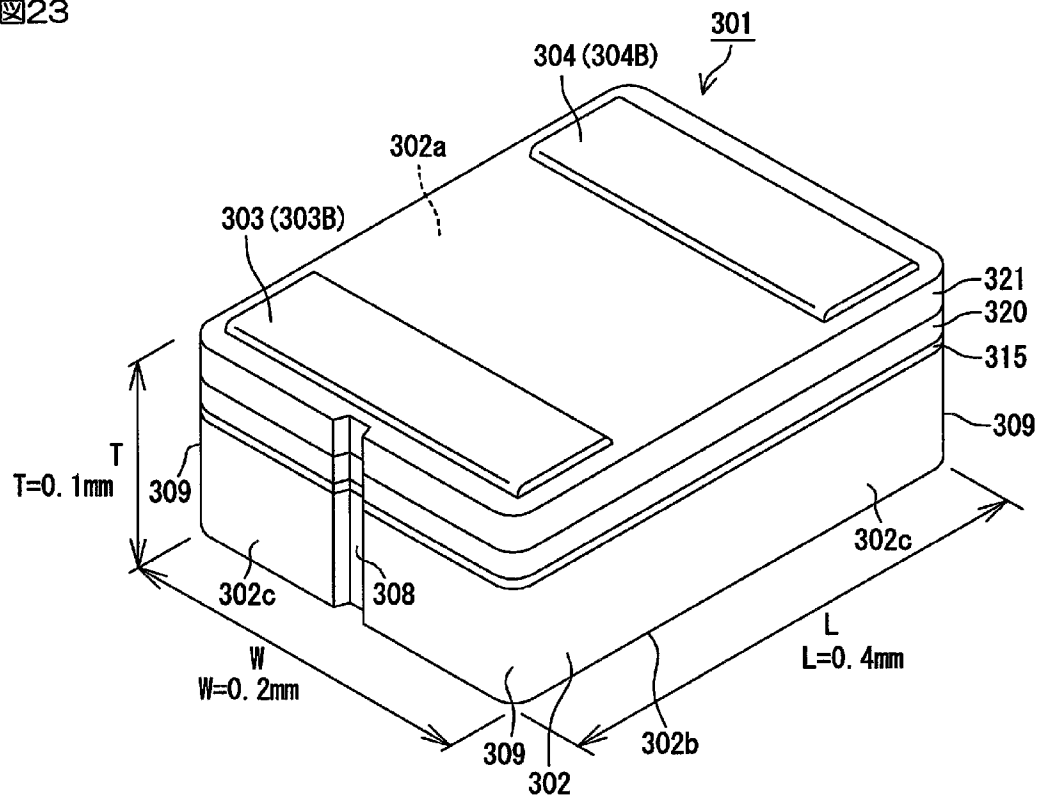


[図22]



[図23]

図23



[図24]

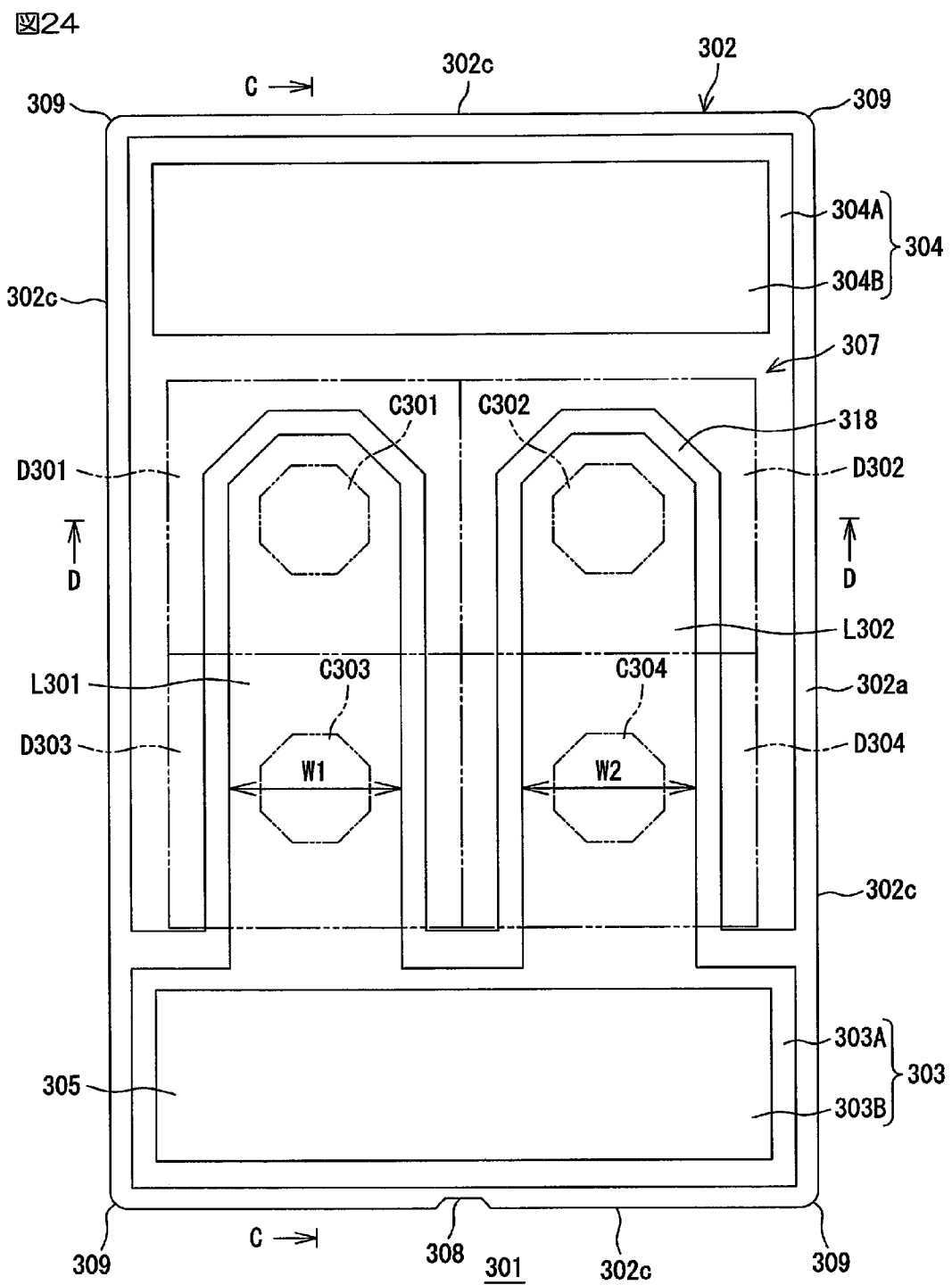
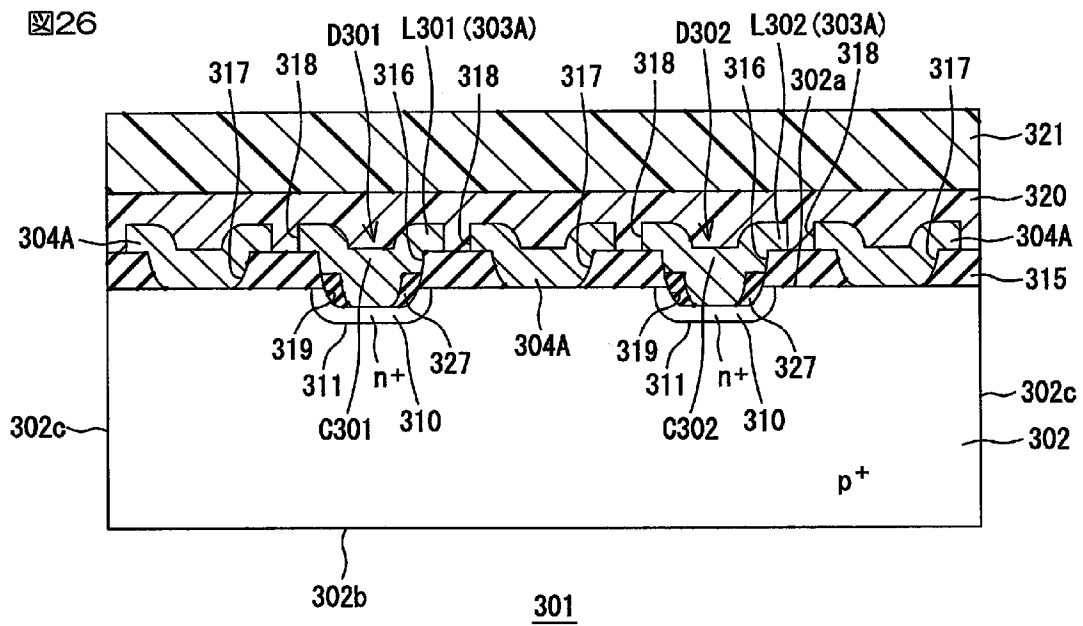
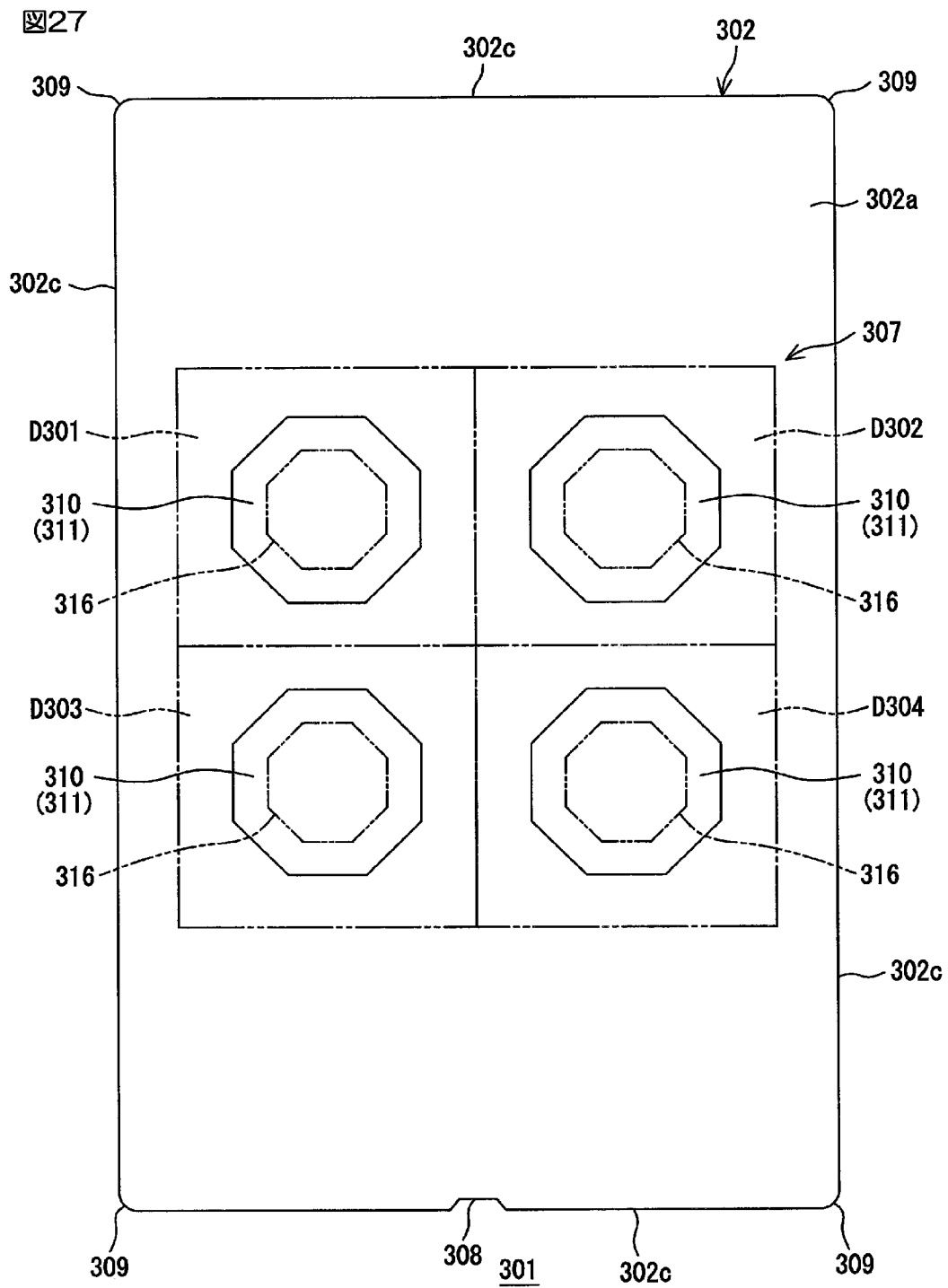


图26

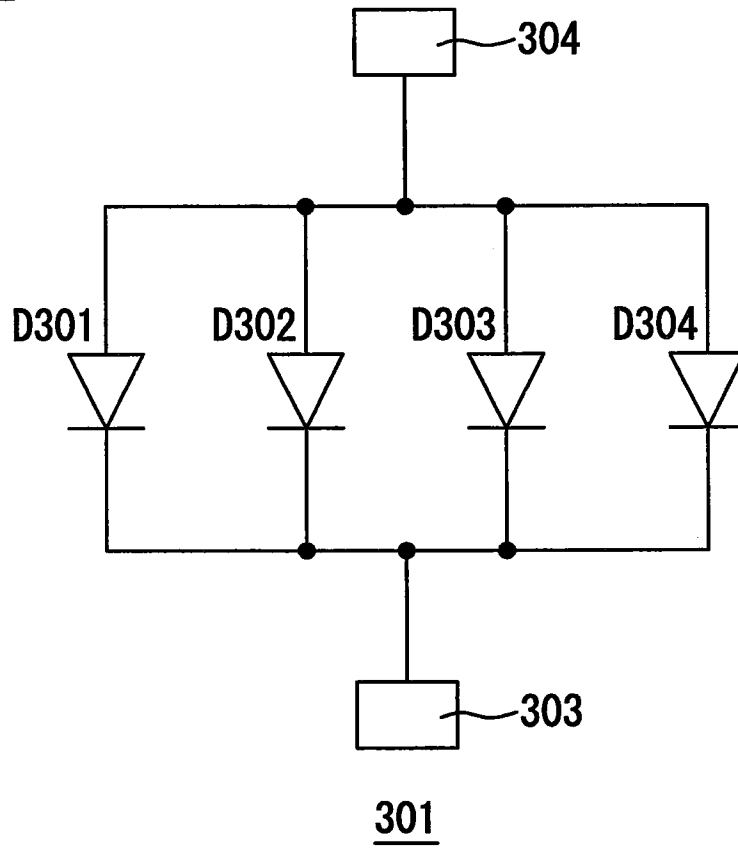


[図27]



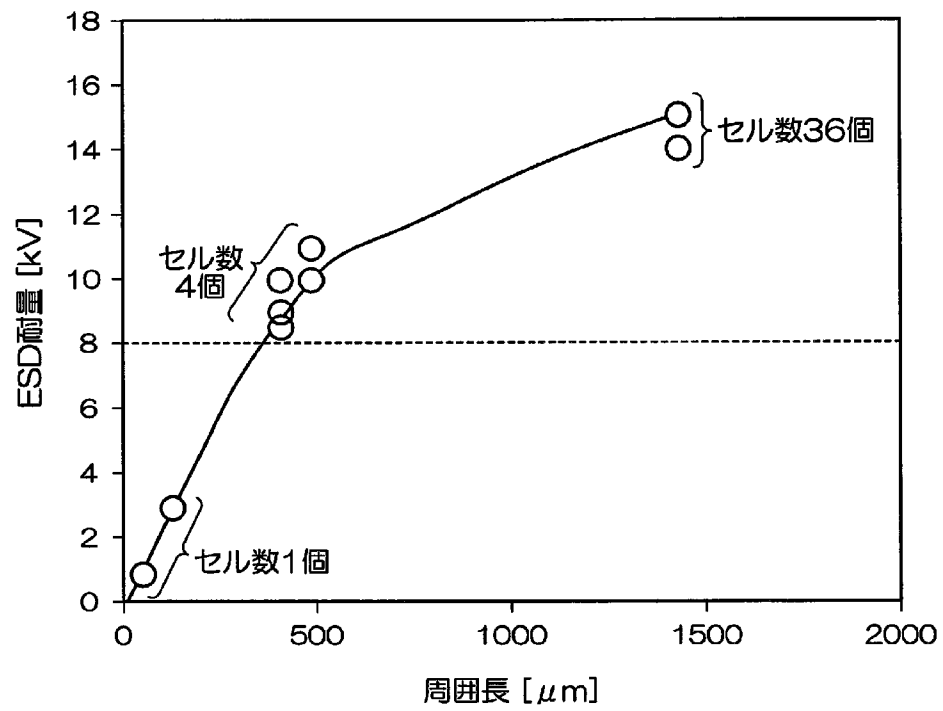
[図28]

図28



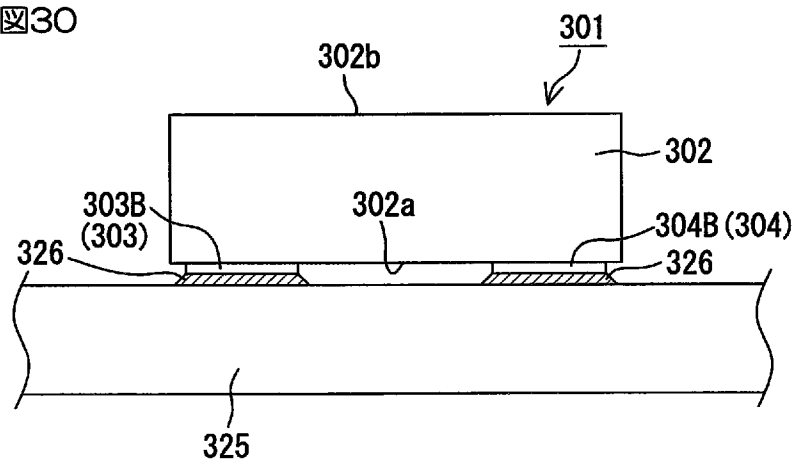
[図29]

図29



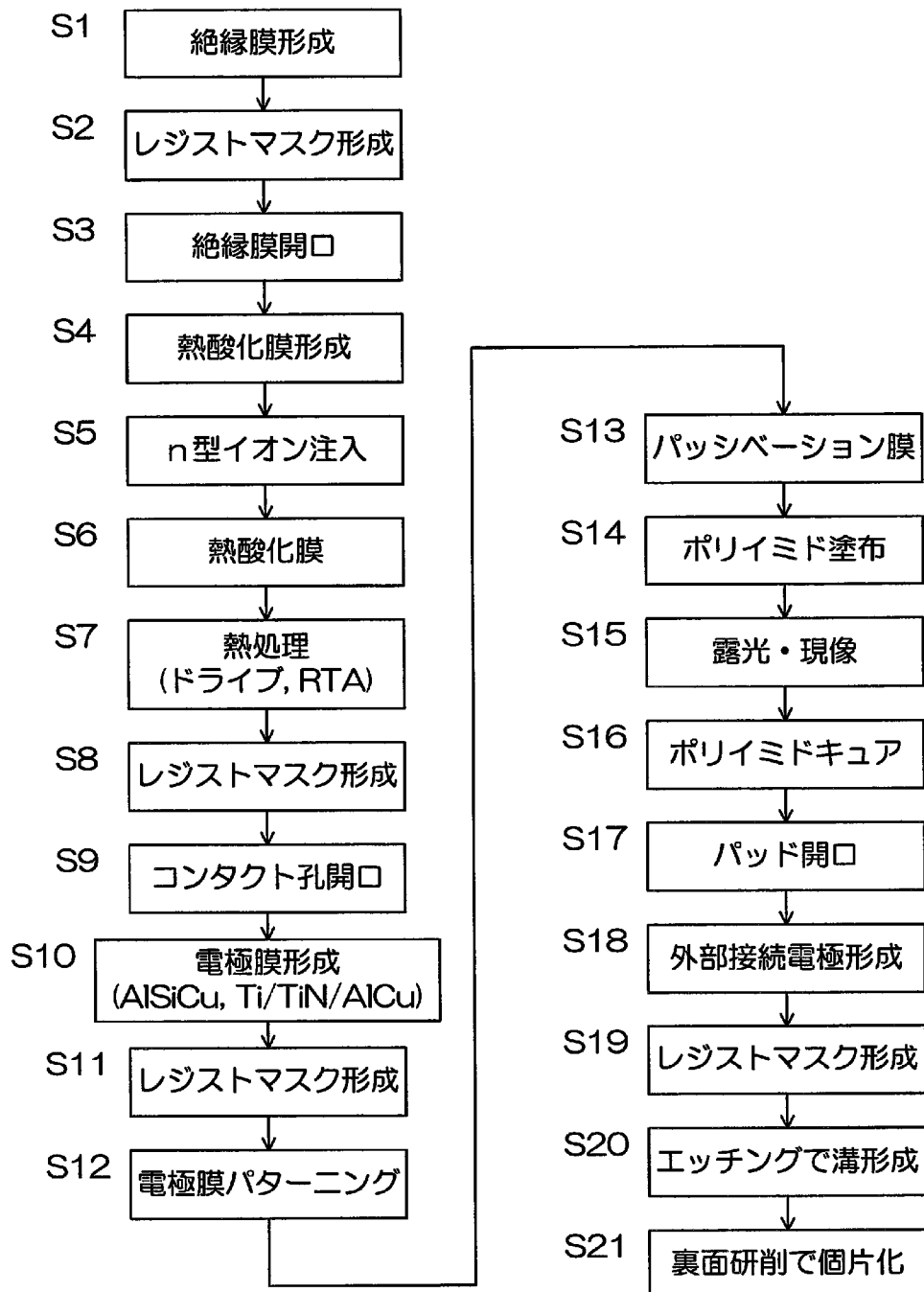
[図30]

図30



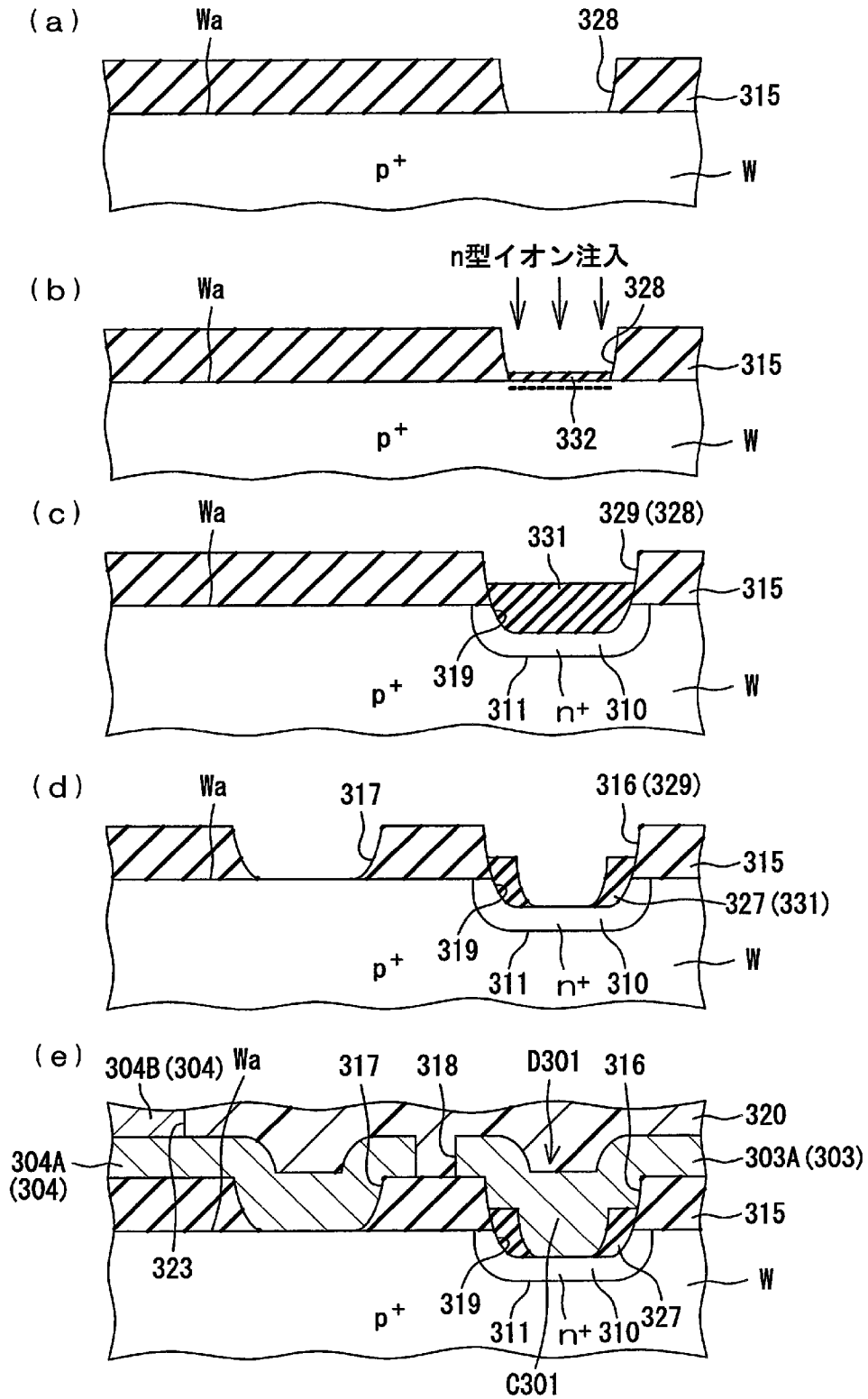
[図31]

図31

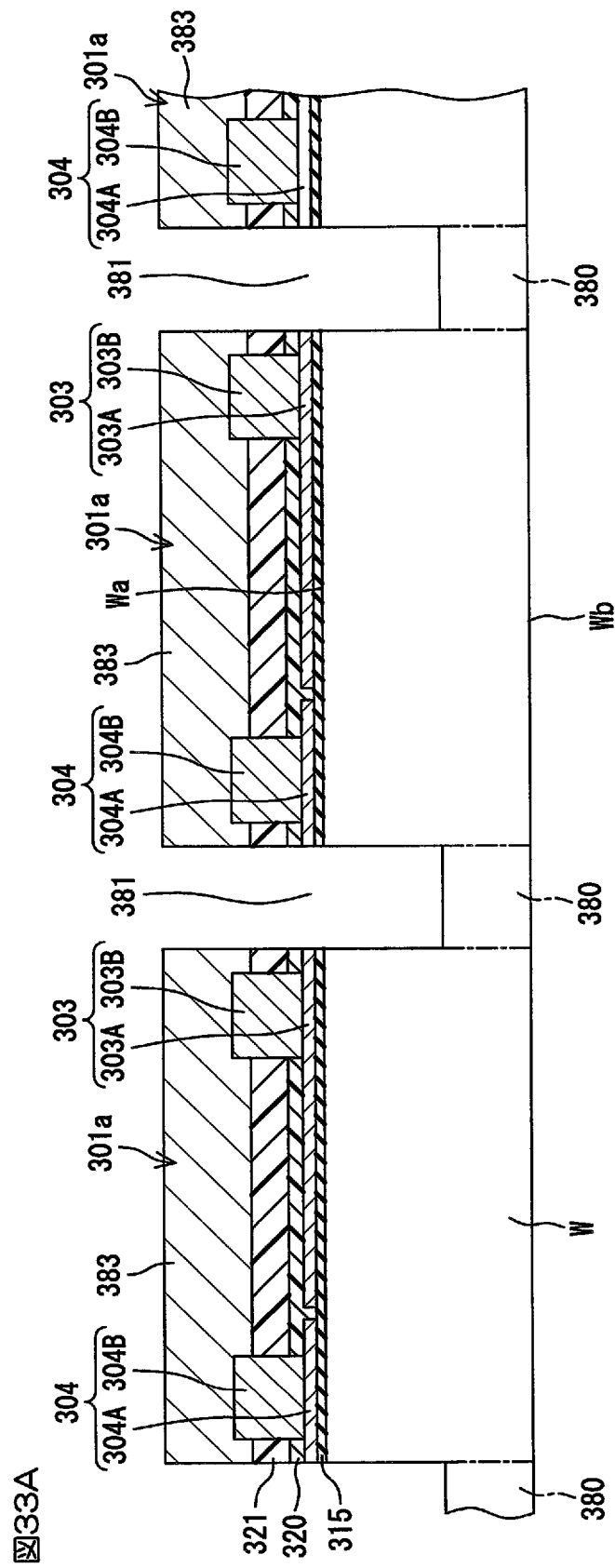


[図32]

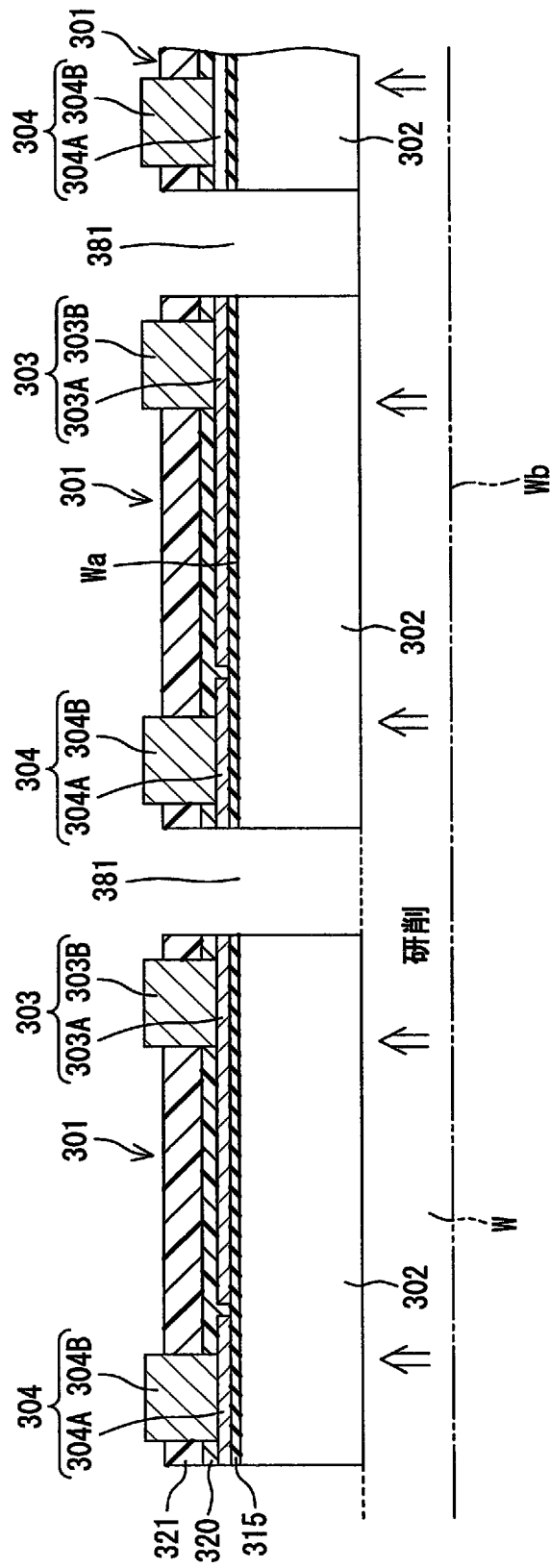
図32



[図33A]

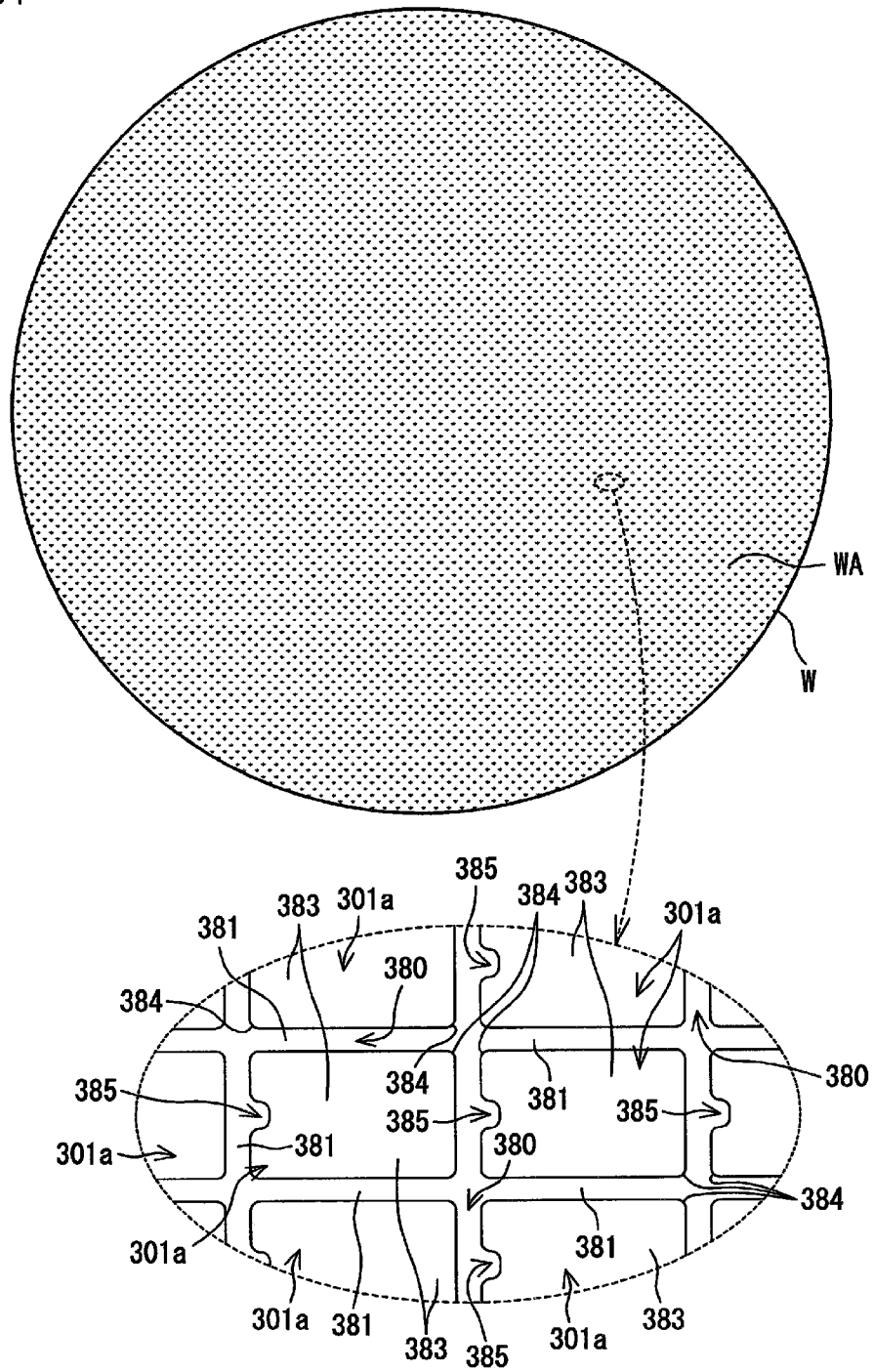


33B

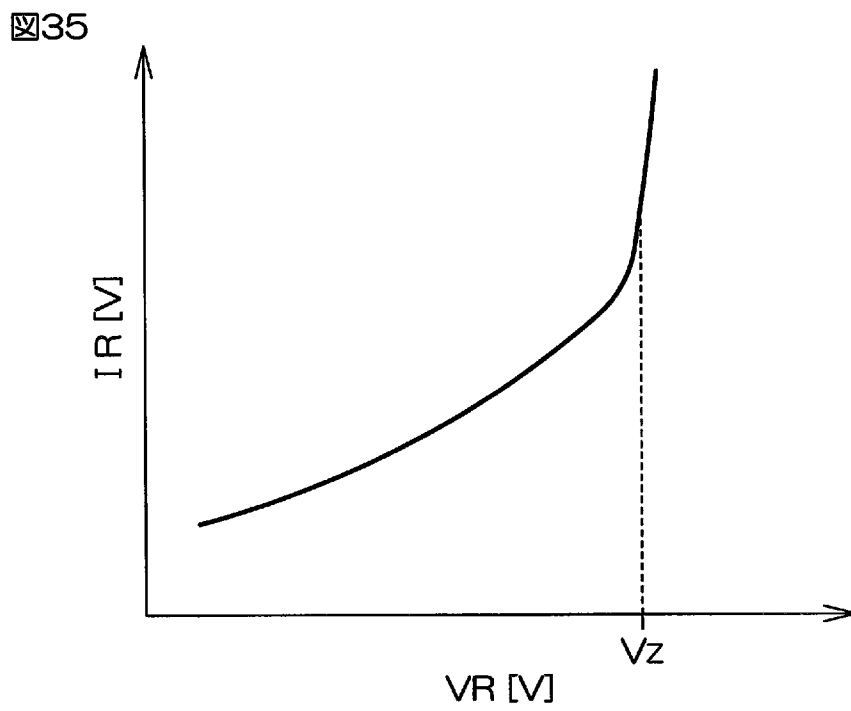


[図34]

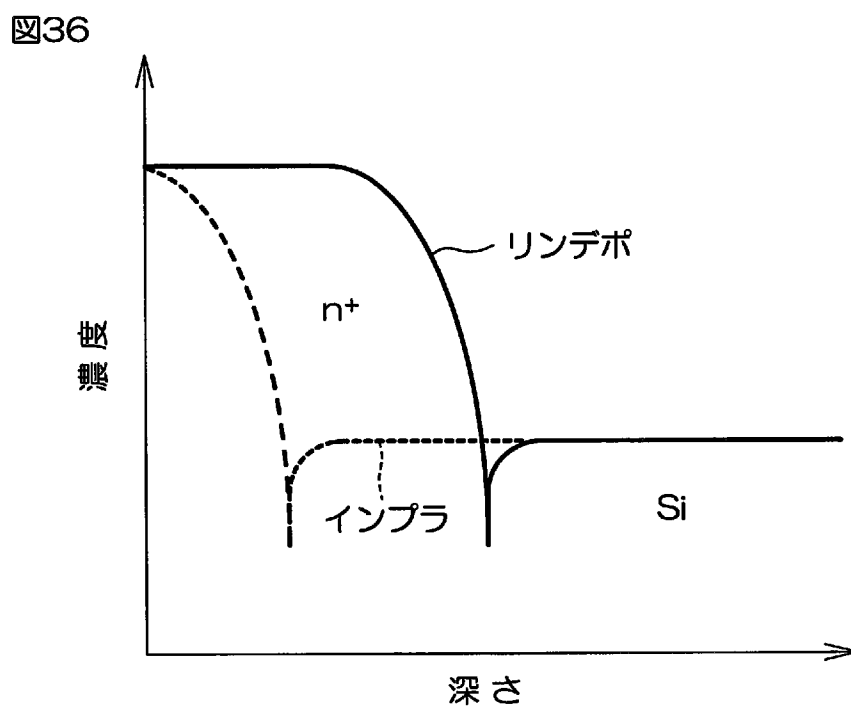
図34



[図35]

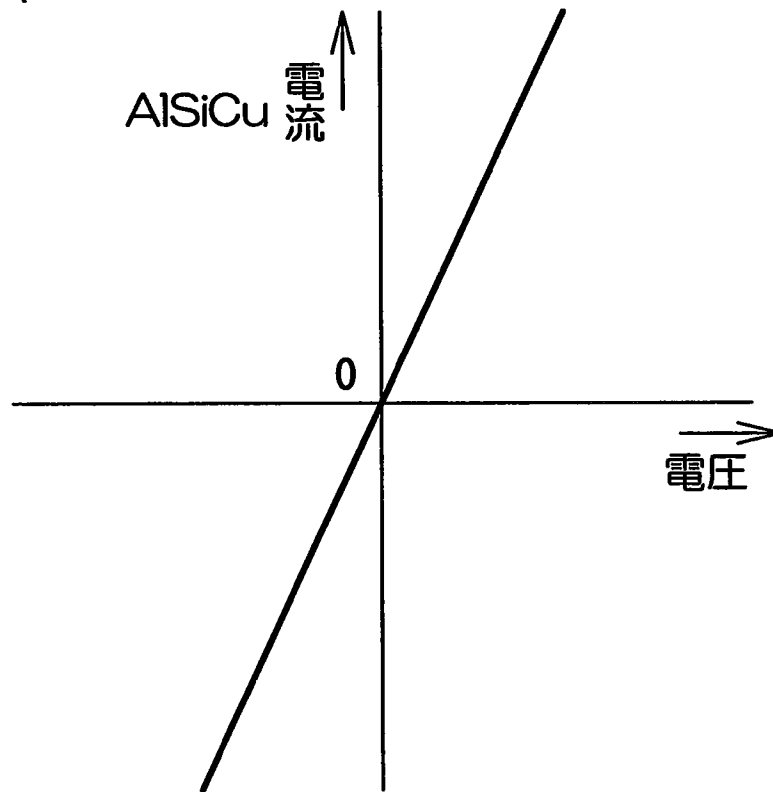


[図36]



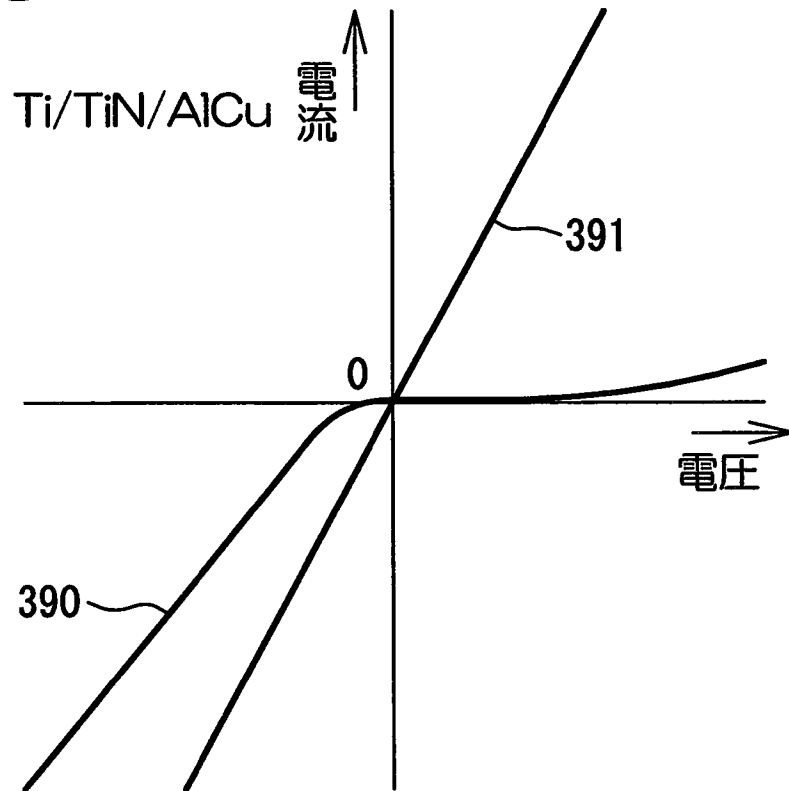
[図37A]

図37A



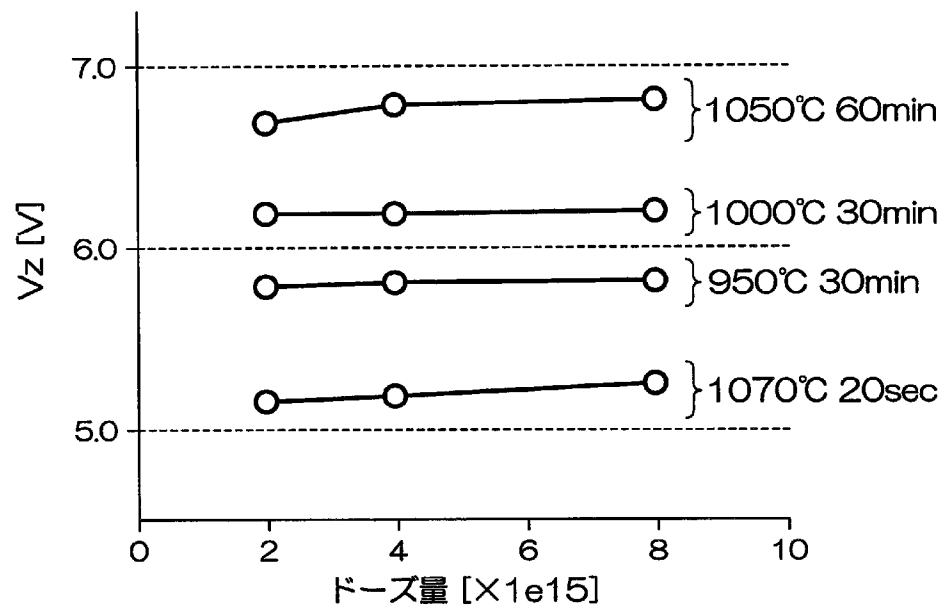
[図37B]

図37B



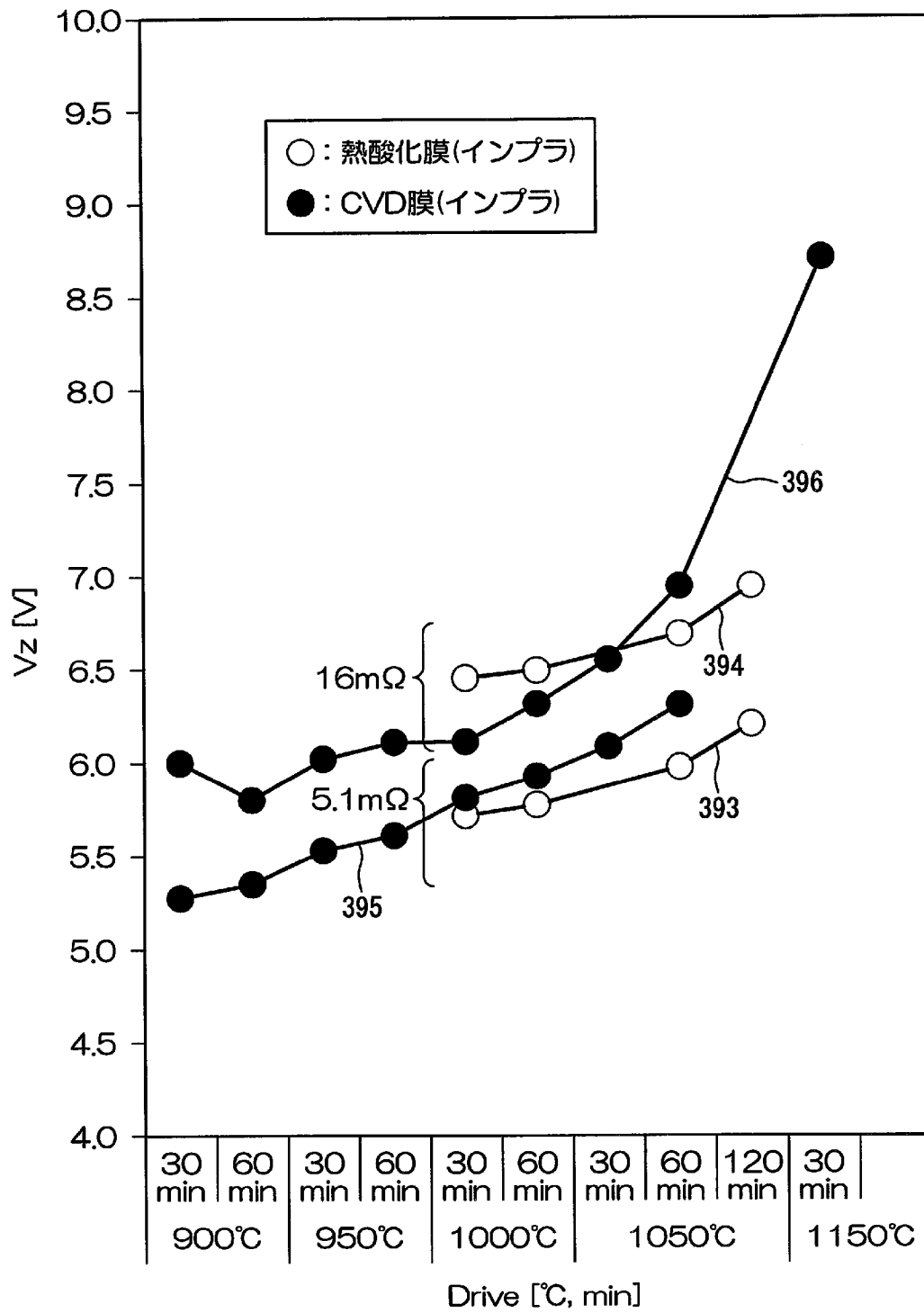
[図38]

図38



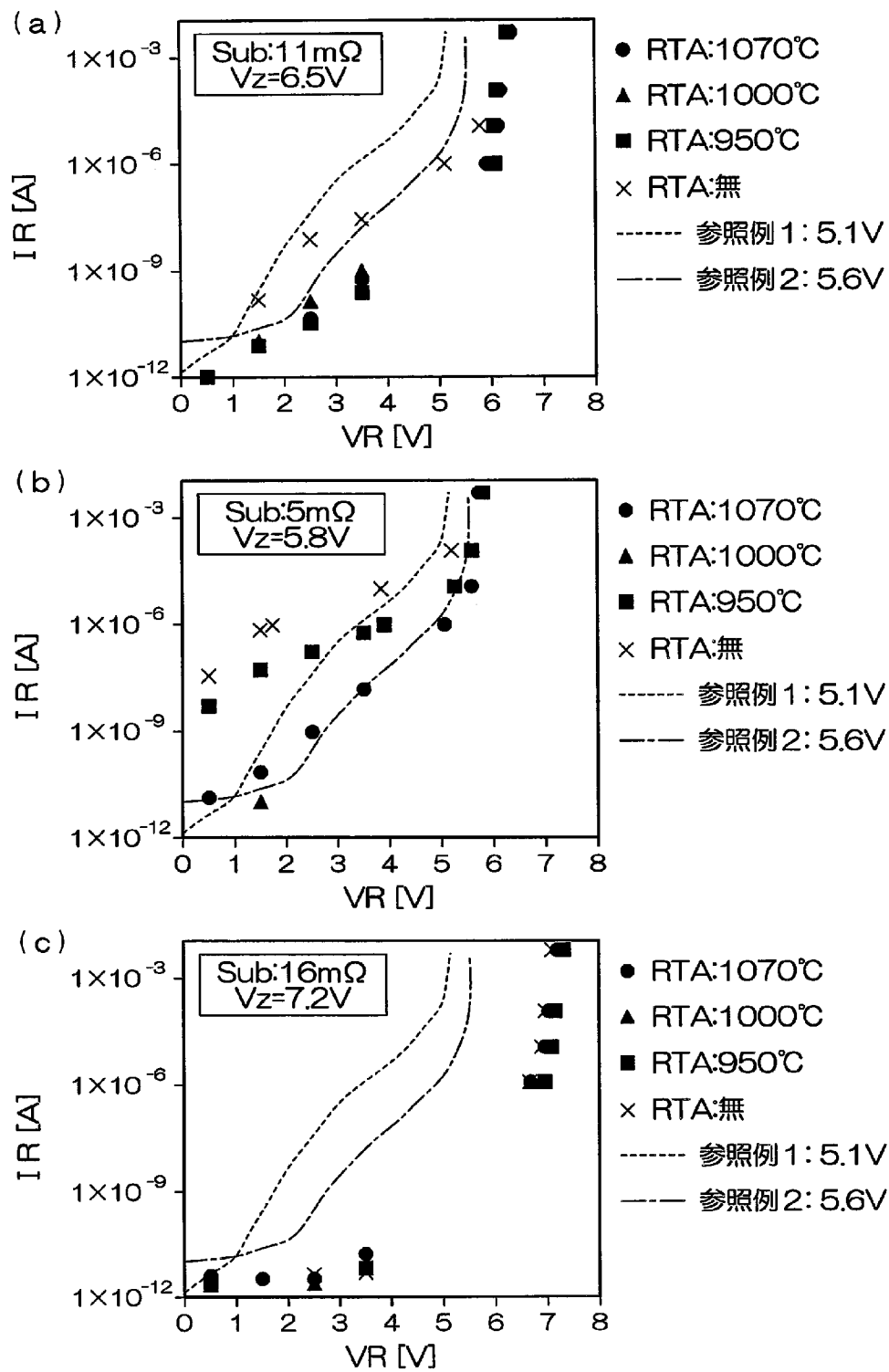
[図39]

図39

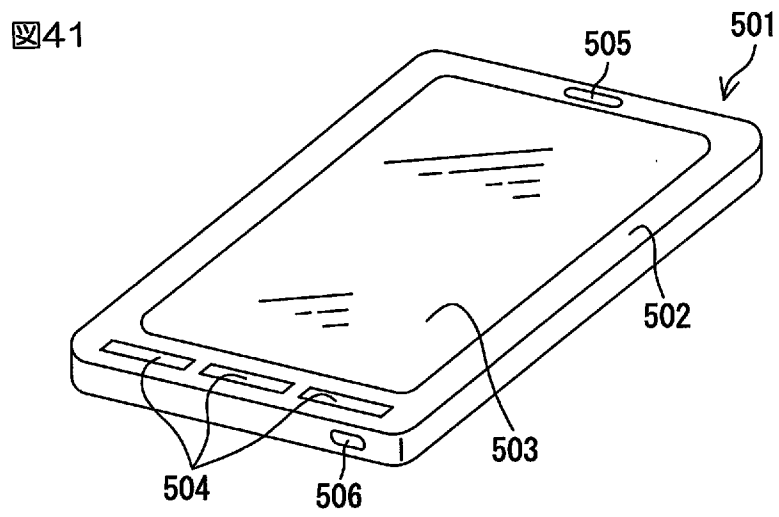


[図40]

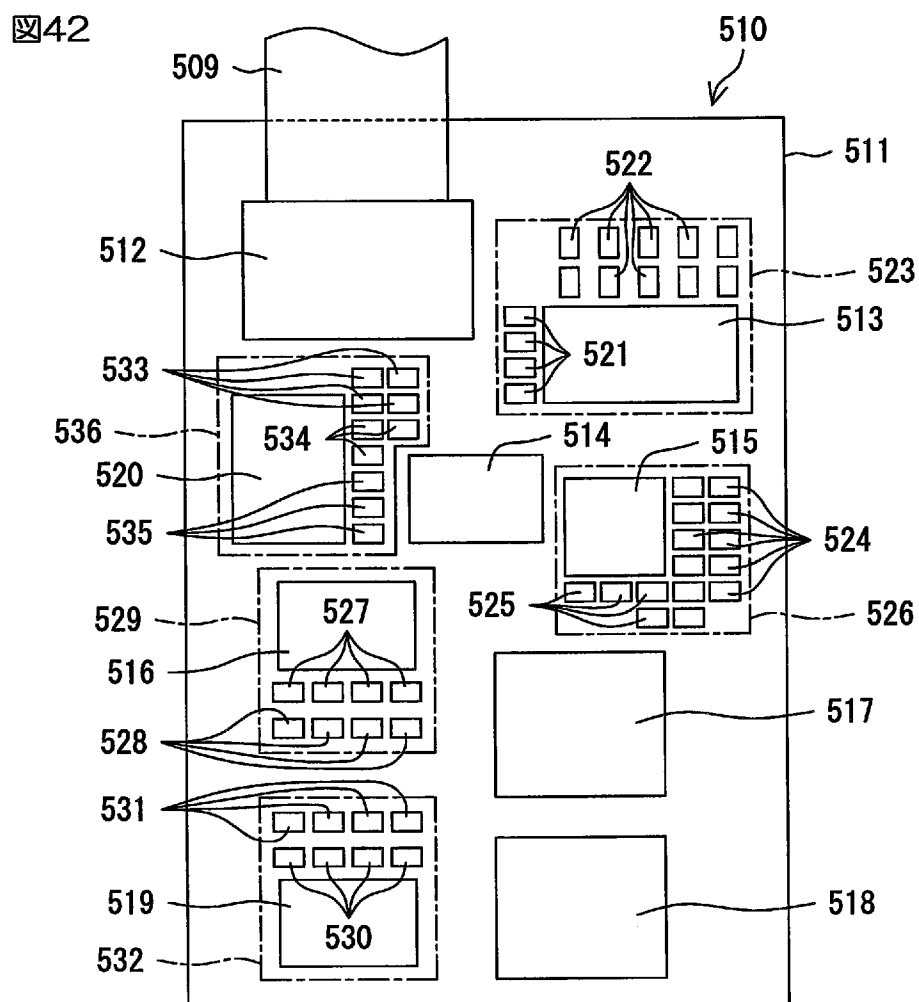
図40



[図41]

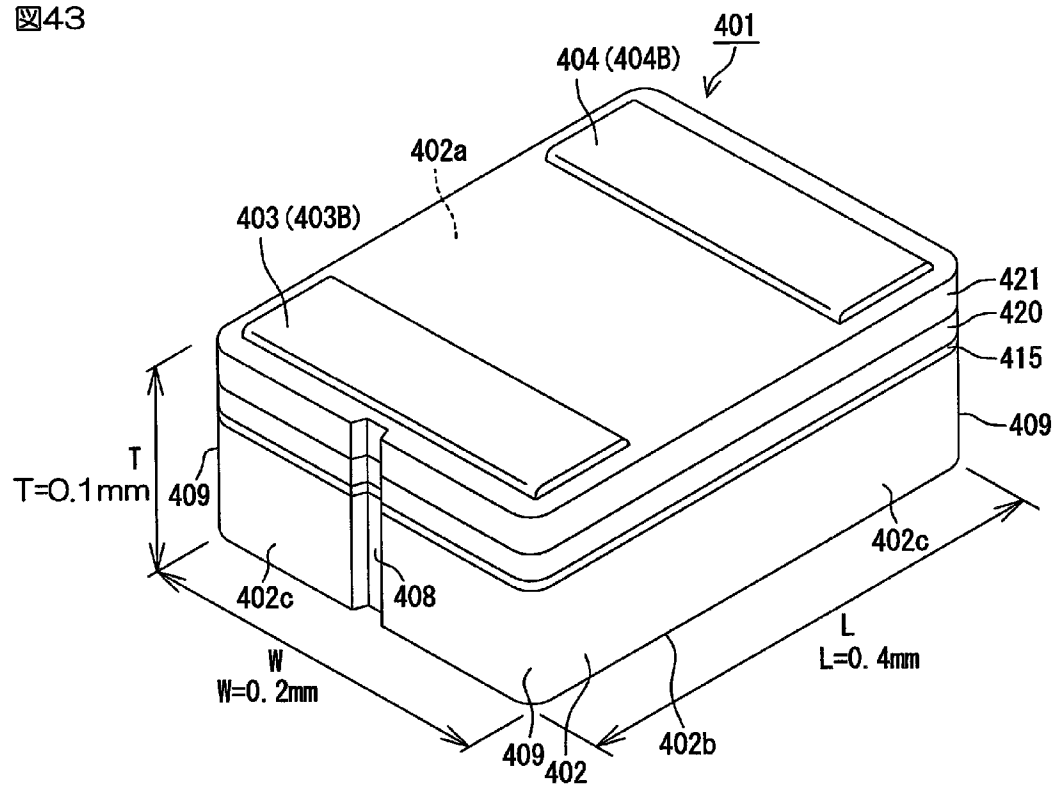


[図42]

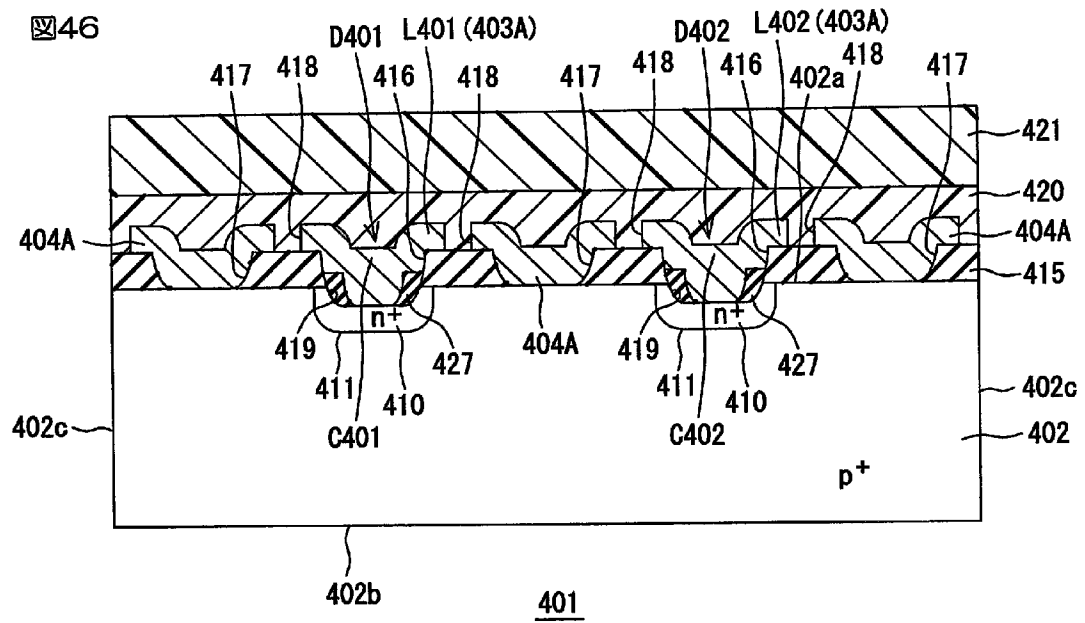


[図43]

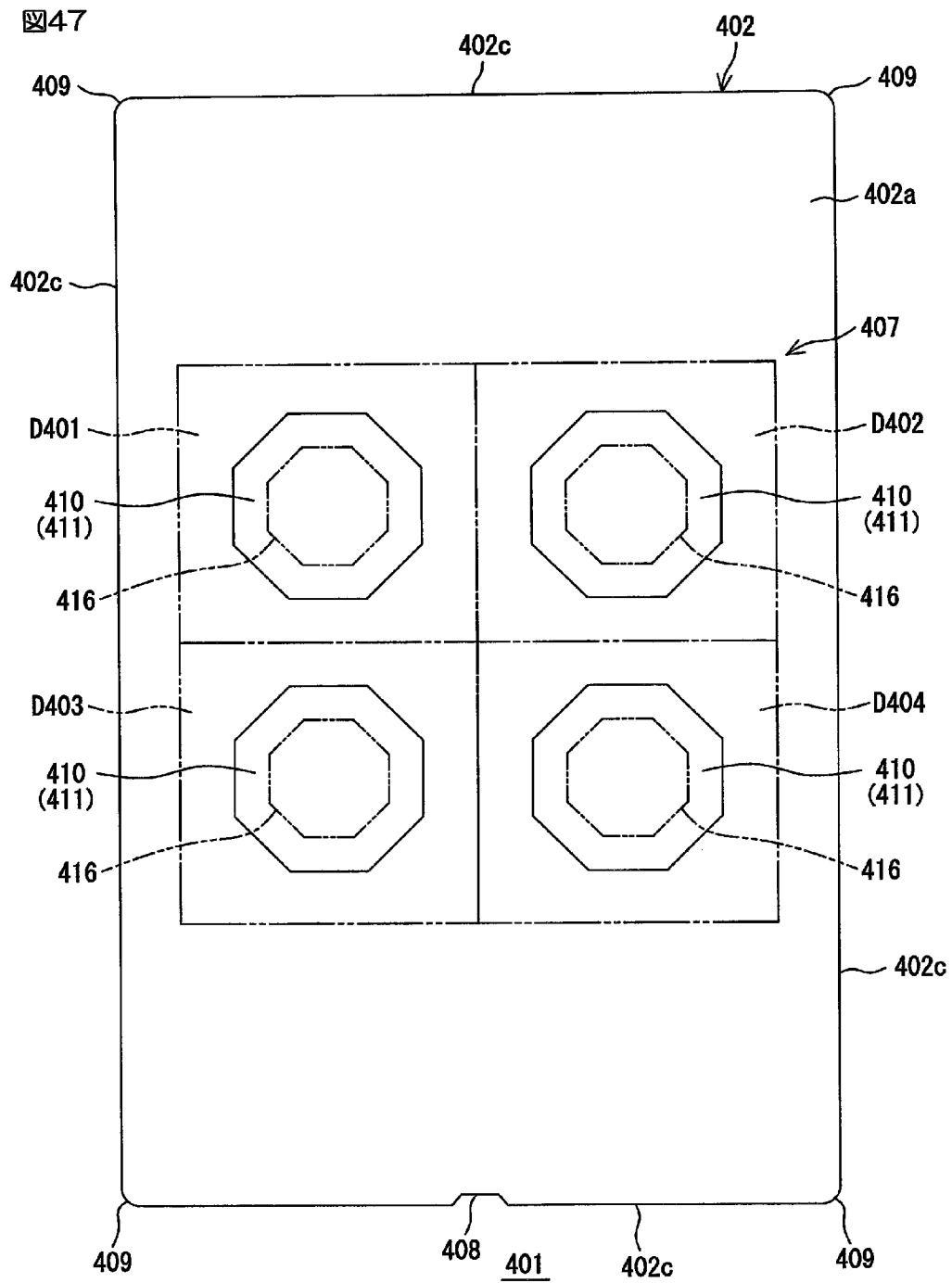
図43



[図46]

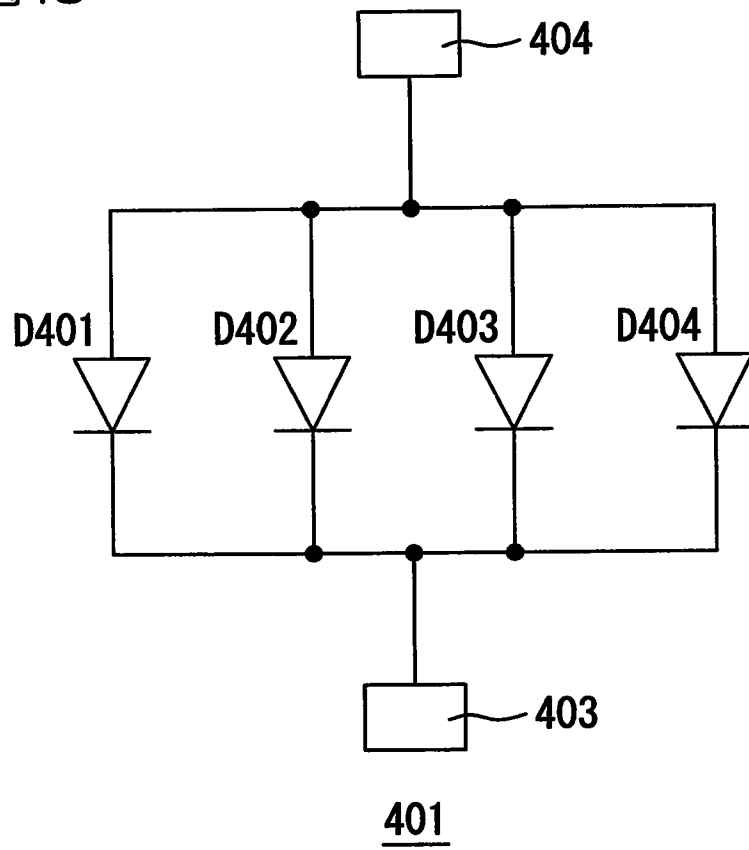


[図47]



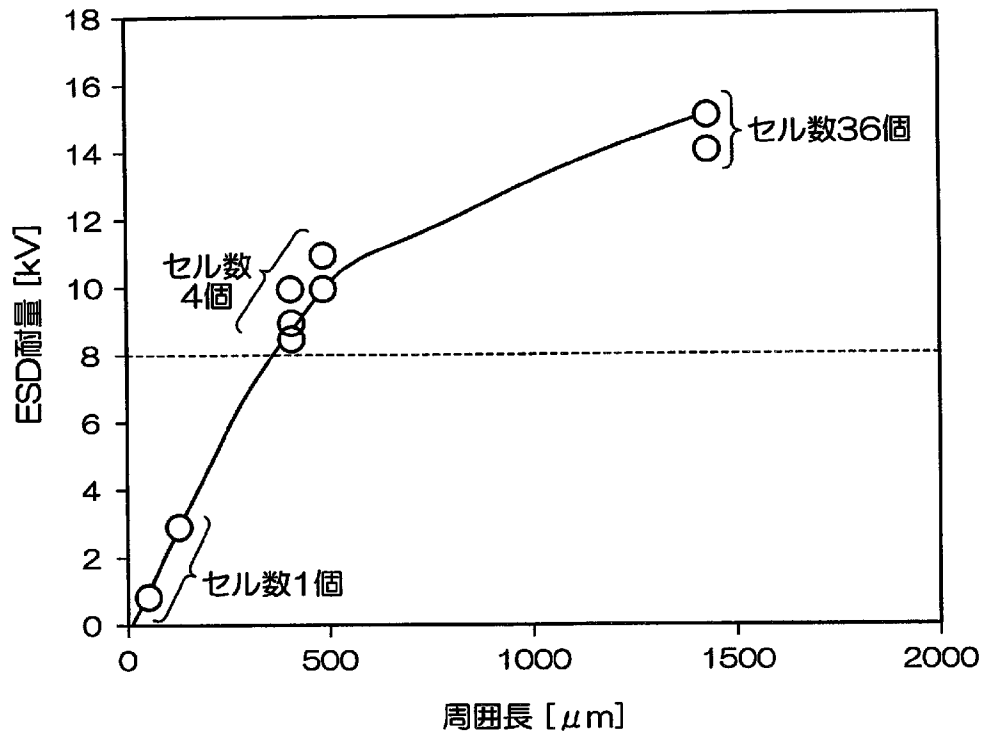
[図48]

図48



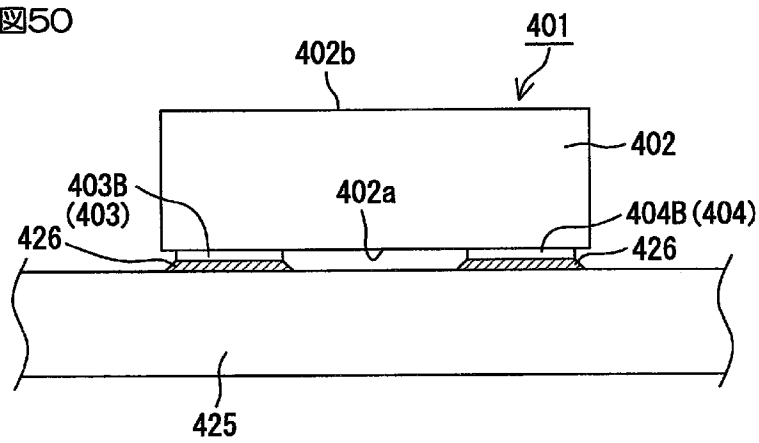
[図49]

図49



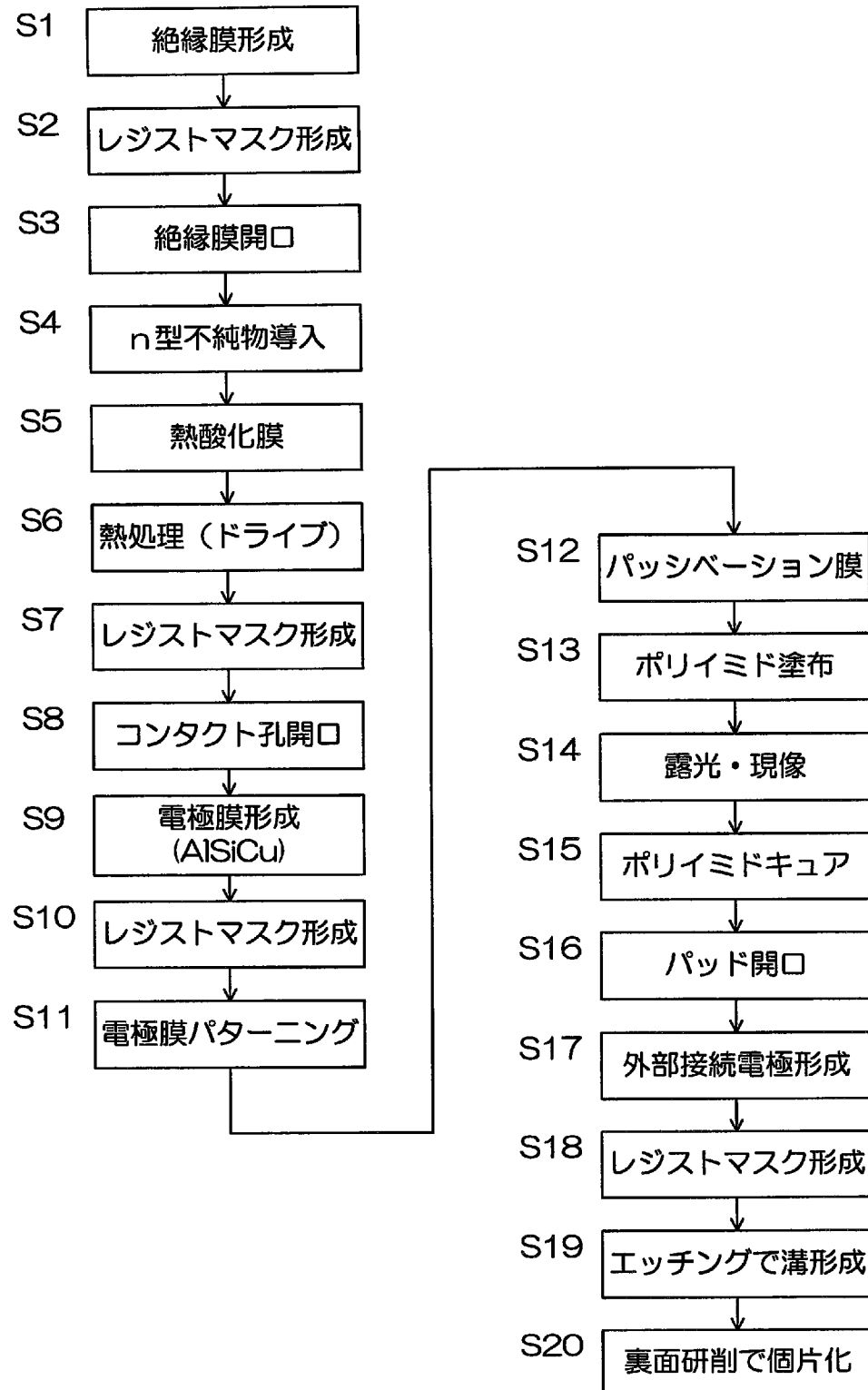
[図50]

図50



[図51]

図51



[図52]

図52

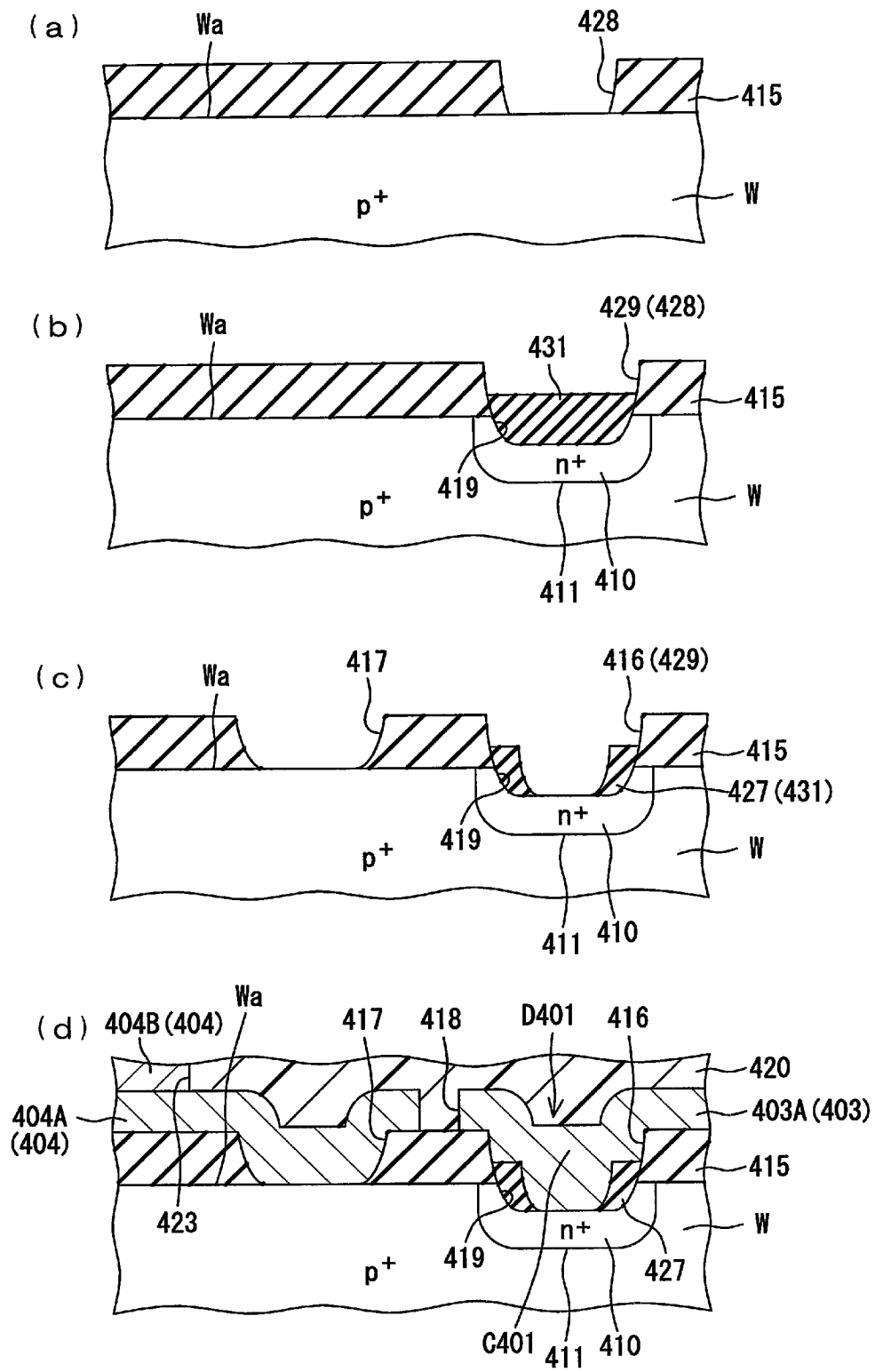
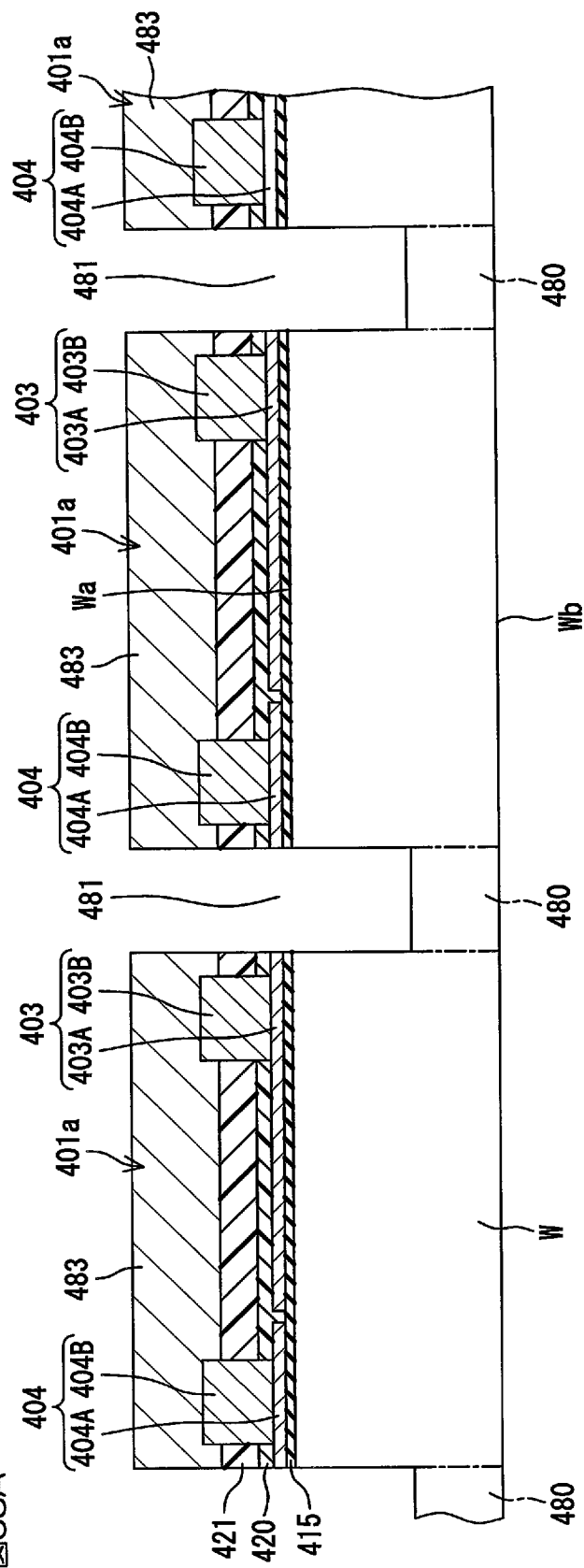
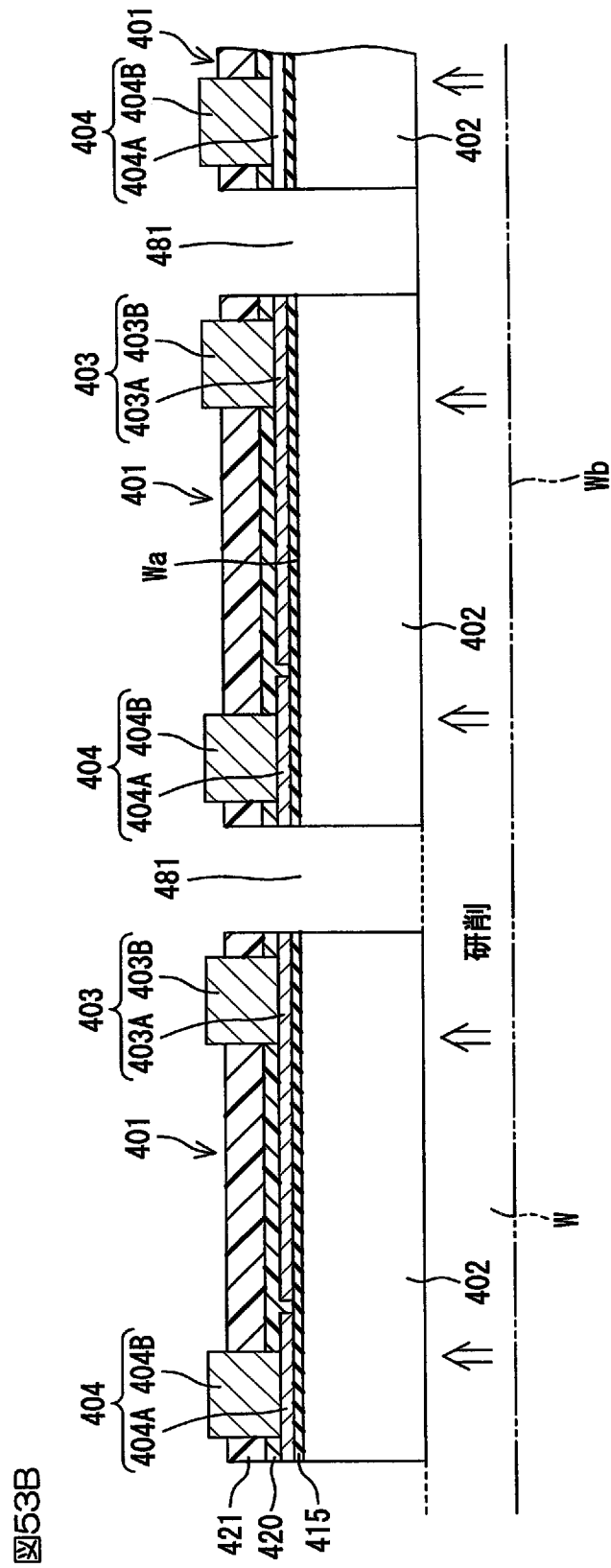


图 53A

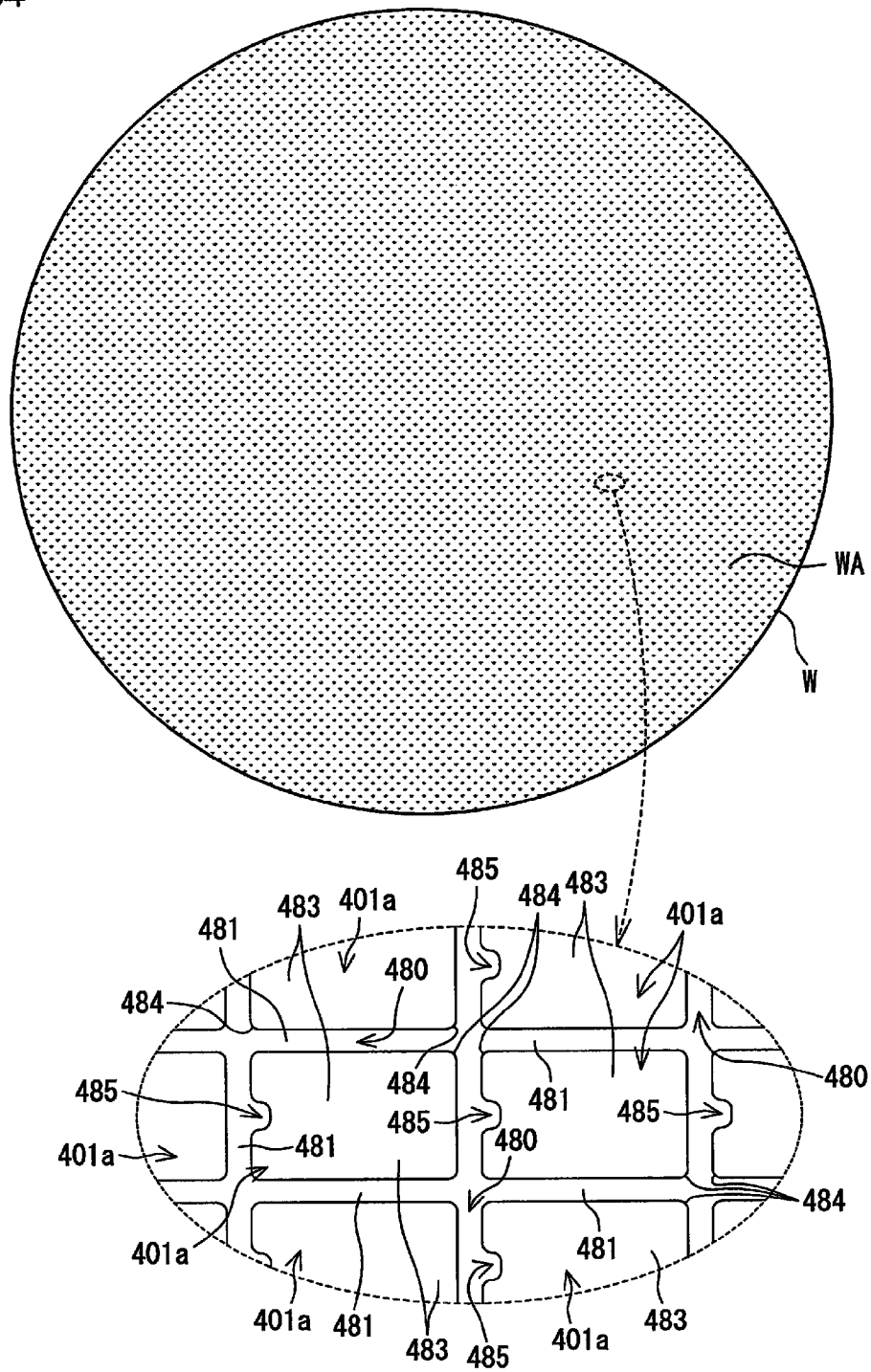


[図53B]

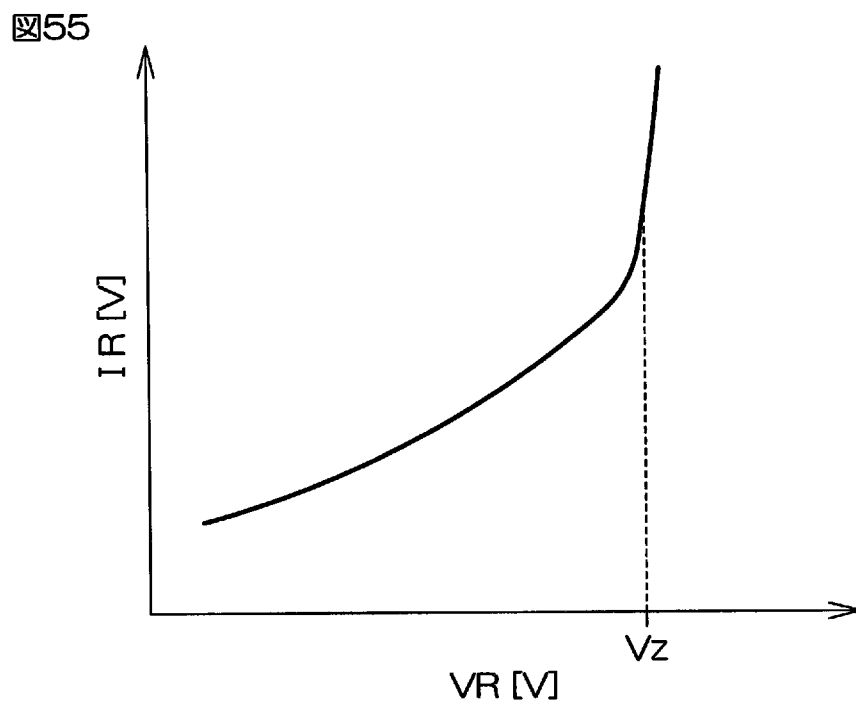


[図54]

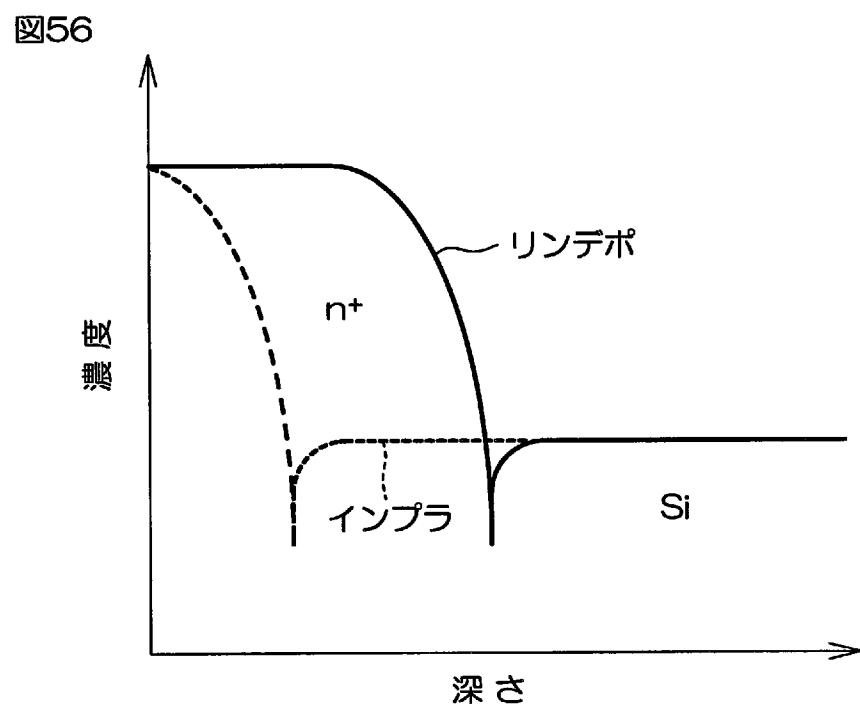
図54



[図55]

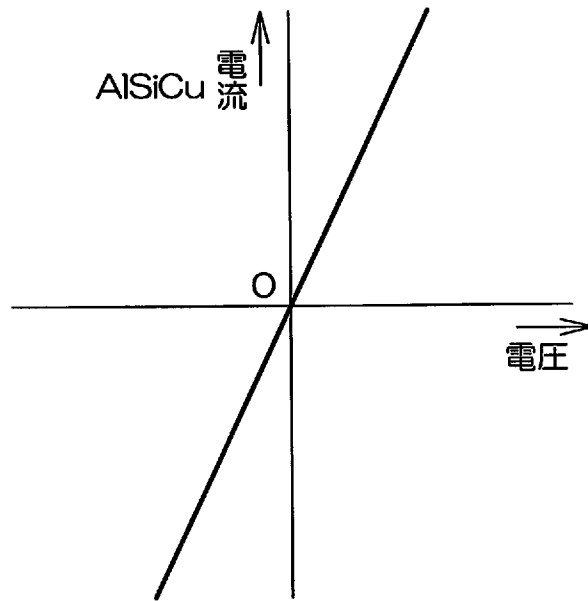


[図56]



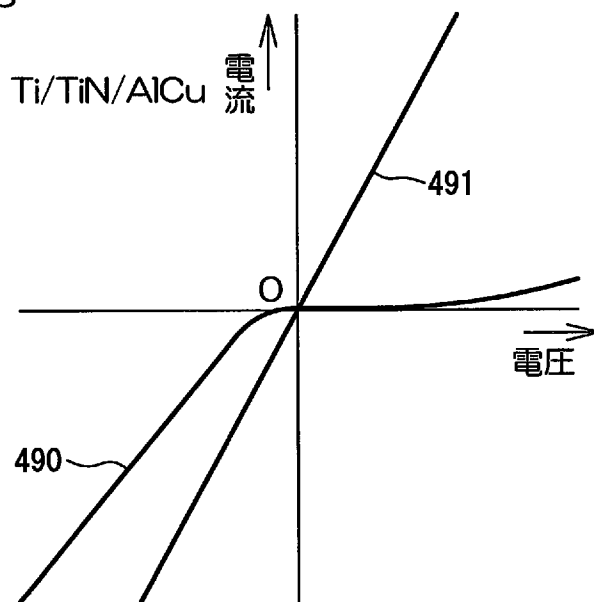
[図57]

図57



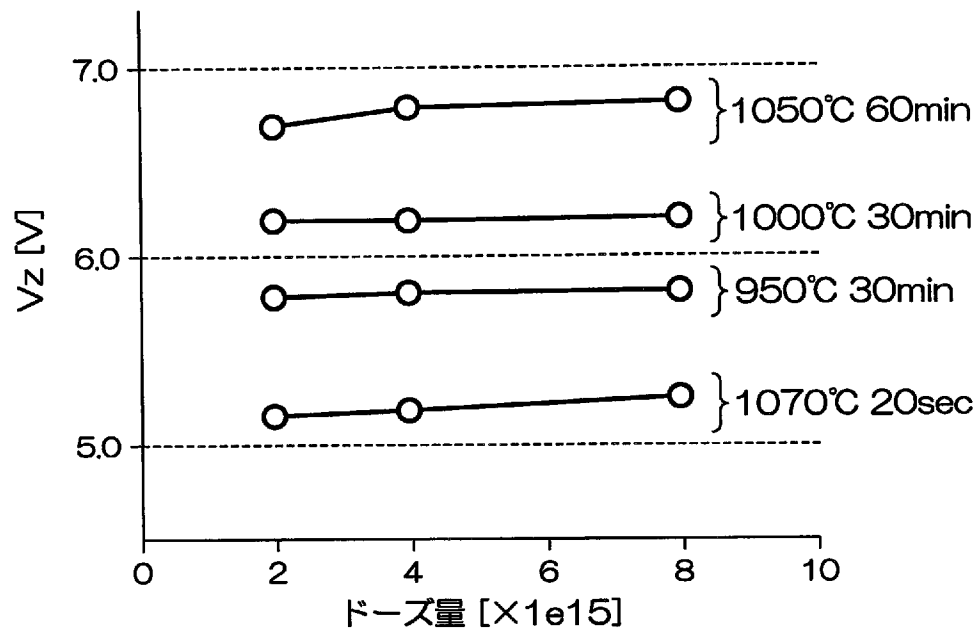
[図58]

図58



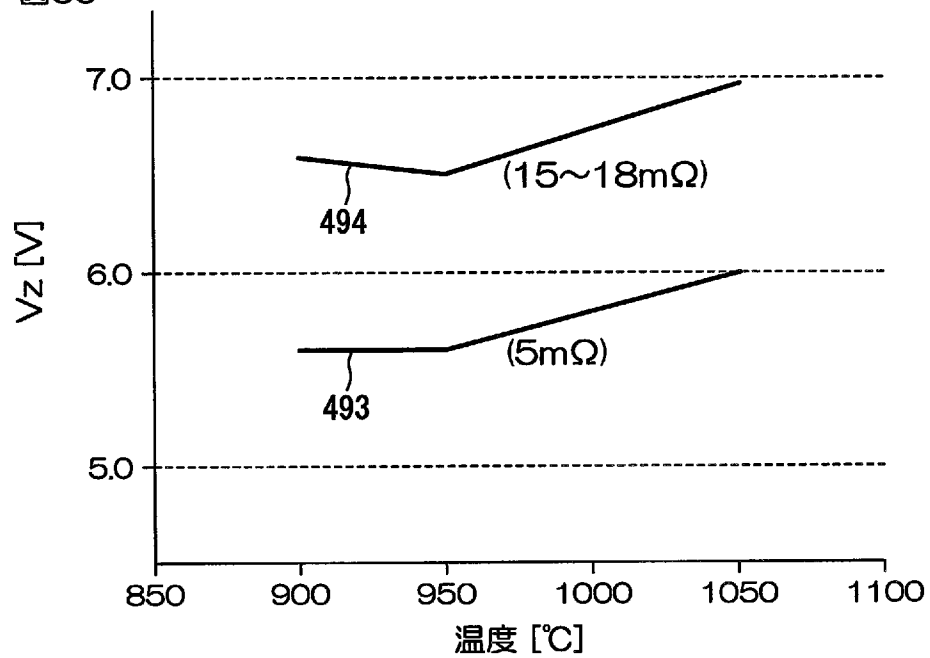
[図59]

図59

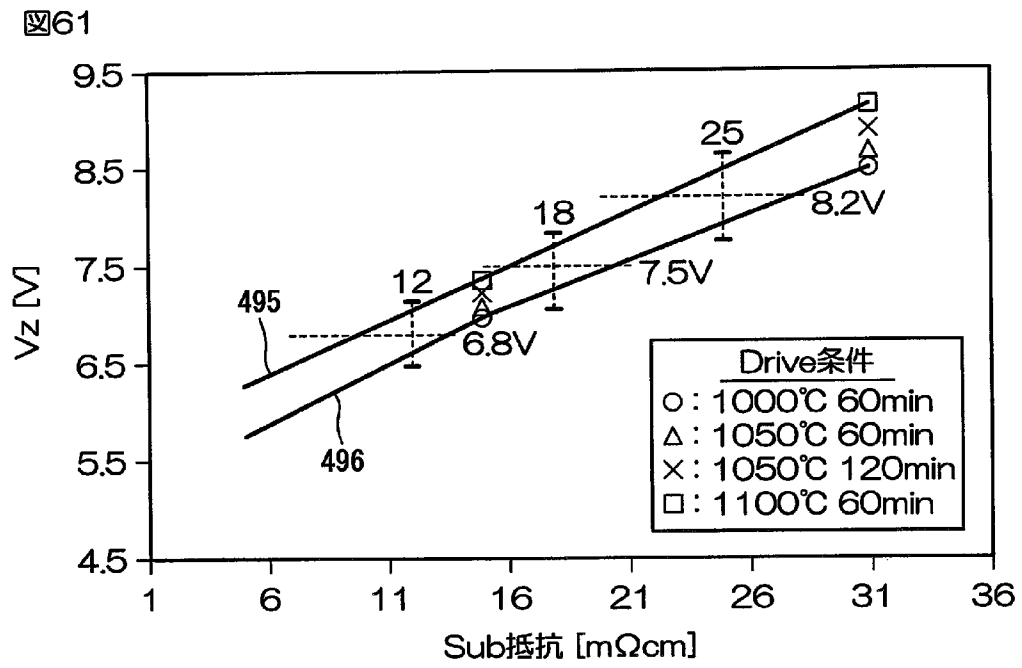


[図60]

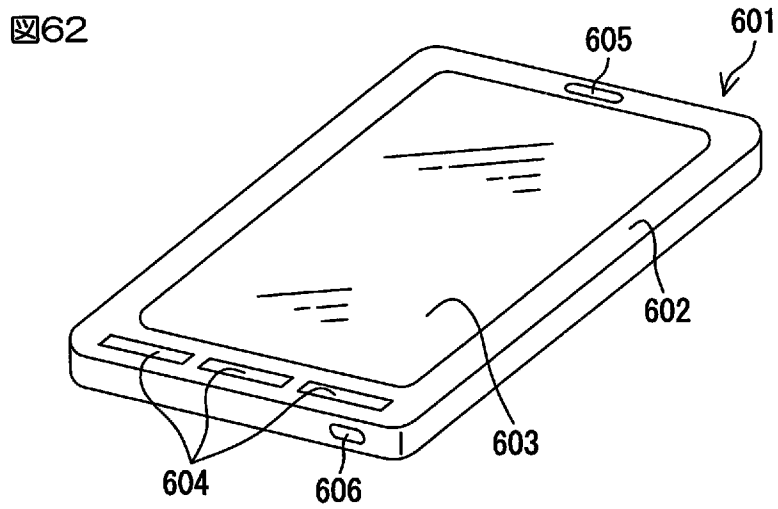
図60



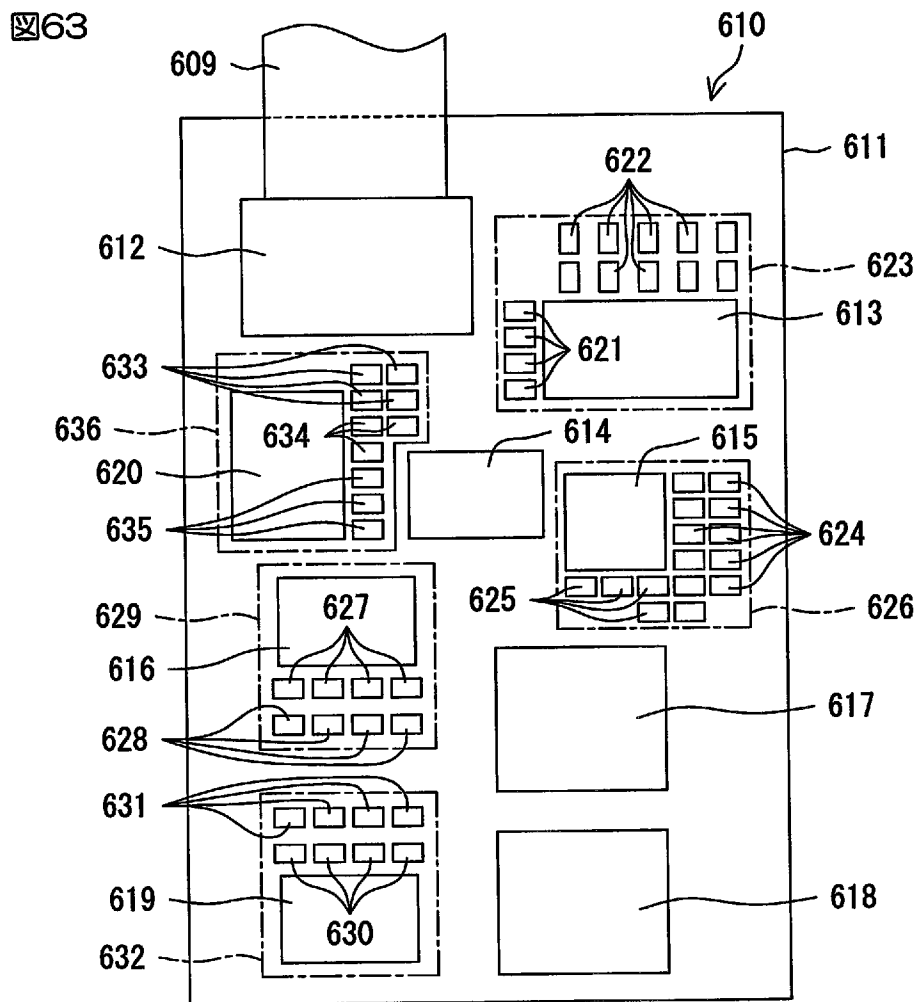
[図61]



[図62]



[図63]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/073166

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/329(2006.01)i, H01L21/28(2006.01)i, H01L29/861(2006.01)i,
H01L29/866(2006.01)i, H01L29/868(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/329, H01L21/28, H01L29/86-29/96

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2013
Kokai Jitsuyo Shinan Koho	1971-2013	Toroku Jitsuyo Shinan Koho	1994-2013

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 7-153975 A (Rohm Co., Ltd.), 16 June 1995 (16.06.1995), paragraphs [0013] to [0014]; fig. 1 (Family: none)	1-12
Y	JP 2009-170731 A (Toshiba Corp.), 30 July 2009 (30.07.2009), paragraphs [0012] to [0029]; fig. 2 (Family: none)	1-12
Y	JP 4-373179 A (NEC Corp.), 25 December 1992 (25.12.1992), entire text; all drawings (Family: none)	1-12

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
17 September, 2013 (17.09.13)

Date of mailing of the international search report
01 October, 2013 (01.10.13)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/073166

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2007-305964 A (Nissan Motor Co., Ltd.), 22 November 2007 (22.11.2007), paragraphs [0011] to [0013]; fig. 1 & US 2007/0235745 A1 & EP 1845561 A2 & KR 10-2007-0101156 A & CN 101055894 A	4-10
Y	JP 2006-120733 A (Sony Corp.), 11 May 2006 (11.05.2006), paragraphs [0019] to [0024]; fig. 1 (Family: none)	5-12
Y	JP 2012-54280 A (Nichia Chemical Industries, Ltd.), 15 March 2012 (15.03.2012), paragraph [0036]; fig. 1 (Family: none)	6-10
A	JP 2007-116058 A (Renesas Technology Corp.), 10 May 2007 (10.05.2007), paragraphs [0022] to [0035]; fig. 1 to 11 (Family: none)	1-12
A	JP 4-112580 A (Fuji Electric Co., Ltd.), 14 April 1992 (14.04.1992), page 1, right column, line 13 to page 2, upper left column, line 18; fig. 5 (Family: none)	1-12
A	JP 5-243442 A (NEC Corp.), 21 September 1993 (21.09.1993), entire text; all drawings (Family: none)	6-10

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H01L21/329(2006.01)i, H01L21/28(2006.01)i, H01L29/861(2006.01)i, H01L29/866(2006.01)i, H01L29/868(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L21/329, H01L21/28, H01L29/86-29/96

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 3 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 3 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 3 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 7-153975 A（ローム株式会社） 1995.06.16, 段落【0013】－【0014】，第1図（ファミリーなし）	1-12
Y	JP 2009-170731 A（株式会社東芝） 2009.07.30, 段落【0012】－【0029】，第2図（ファミリーなし）	1-12
Y	JP 4-373179 A（日本電気株式会社） 1992.12.25, 全文，全図（ファミリーなし）	1-12

☒ C 欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

1 7 . 0 9 . 2 0 1 3

国際調査報告の発送日

0 1 . 1 0 . 2 0 1 3

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）
郵便番号 1 0 0 - 8 9 1 5
東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

土谷 慎吾

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 1 6

5 F

3 1 4 3

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2007-305964 A (日産自動車株式会社) 2007. 11. 22, 段落【0011】－【0013】, 第1図 & US 2007/0235745 A1 & EP 1845561 A2 & KR 10-2007-0101156 A & CN 101055894 A	4-10
Y	JP 2006-120733 A (ソニー株式会社) 2006. 05. 11, 段落【0019】－【0024】, 第1図 (ファミリーなし)	5-12
Y	JP 2012-54280 A (日亜化学工業株式会社) 2012. 03. 15, 段落【0036】, 第1図 (ファミリーなし)	6-10
A	JP 2007-116058 A (株式会社ルネサステクノロジ) 2007. 05. 10, 段落【0022】－【0035】, 第1-11図 (ファミリーなし)	1-12
A	JP 4-112580 A (富士電機株式会社) 1992. 04. 14, 第1頁右欄第13行－第2頁左上欄第18行, 第5図 (フ ァミリーなし)	1-12
A	JP 5-243442 A (日本電気株式会社) 1993. 09. 21, 全文, 全図 (ファミリーなし)	6-10