

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5348632号
(P5348632)

(45) 発行日 平成25年11月20日(2013.11.20)

(24) 登録日 平成25年8月30日(2013.8.30)

(51) Int.Cl.

F 1

HO1L 25/11	(2006.01)	HO1L 25/14	Z
HO1L 25/10	(2006.01)	HO1L 25/04	Z
HO1L 25/18	(2006.01)	HO1L 23/52	C
HO1L 25/04	(2006.01)		
HO1L 23/52	(2006.01)		

請求項の数 8 外国語出願 (全 14 頁)

(21) 出願番号	特願2007-339497 (P2007-339497)
(22) 出願日	平成19年12月28日 (2007.12.28)
(65) 公開番号	特開2008-166816 (P2008-166816A)
(43) 公開日	平成20年7月17日 (2008.7.17)
審査請求日	平成22年12月24日 (2010.12.24)
(31) 優先権主張番号	11/618,806
(32) 優先日	平成18年12月30日 (2006.12.30)
(33) 優先権主張国	米国(US)

(73) 特許権者	506164899 スタッフ・チップパック・リミテッド S T A T S C H I P P A C L T D. シンガポール、768442 シンガポー ^ル 、イーション・ストリート、23、5
(74) 代理人	100064746 弁理士 深見 久郎
(74) 代理人	100085132 弁理士 森田 俊雄
(74) 代理人	100083703 弁理士 仲村 義平
(74) 代理人	100096781 弁理士 堀井 豊
(74) 代理人	100098316 弁理士 野田 久登

最終頁に続く

(54) 【発明の名称】デュアルモールドマルチチップパッケージシステムおよびその製造方法

(57) 【特許請求の範囲】

【請求項 1】

デュアルモールドマルチチップパッケージシステムを製造する方法であって、
第1の集積回路チップとリードとを、それぞれの下面同士が同一平面上に位置するよう
に形成するステップと、

前記リードの側面の上端部から横方向内側に向かって延びる、前記リードの延長部を形
成するステップと、

前記延長部を含む前記リードの上面を露出し、前記延長部を含む前記リードおよびの側
面と前記第1の集積回路チップとを覆うように、第1の封止材を形成するステップと、
によって、埋込型集積回路パッケージシステムを形成するステップを備え、

前記第1の集積回路チップは前記第1の封止材の底面に形成された配線層パターンによ
って前記リードと接続され、

前記方法はさらに、

半導体装置を前記第1の封止材上に実装するとともに、前記半導体装置と前記リードと
を、ワイヤボンディングによって接続するステップと、

前記半導体装置および前記埋込型集積回路パッケージシステム上に第2の封止材を形成
するステップとを備える、デュアルモールドマルチチップパッケージシステムを製造する
方法。

【請求項 2】

前記埋込型集積回路パッケージシステムが実装される外部接続配線と接続するための、

10

20

前記第1の封止材の底面の接合箇所と、前記第1の集積回路チップとを、前記配線層パターンによって接続するステップをさらに備える、請求項1に記載の方法。

【請求項3】

前記埋込型集積回路パッケージシステムの底面にはんだマスクを形成するステップをさらに備える、請求項1に記載の方法。

【請求項4】

前記埋込型集積回路パッケージシステムが実装される外部接続配線と、前記第1の集積回路チップを接続するステップをさらに備える、請求項1に記載の方法。

【請求項5】

10
それぞれの下面が同一平面上に位置する第1の集積回路チップおよびリードと、
前記リードの側面の上端部から横方向内側に向かって延びる、前記リードの延長部と、
前記延長部を含む前記リードの上面を露出し、前記リードの側面と前記第1の集積回路チップとを覆う、第1の封止材と、
を有する埋込型集積回路パッケージシステムと、

前記第1の封止材上の半導体装置と、

前記リードと前記半導体装置との間のワイヤボンディングによる内部接続配線と、

前記リードと前記第1の集積回路チップとを接続する、前記第1の封止材の底面に形成された配線層パターンと、

前記半導体装置および前記埋込型集積回路パッケージシステム上の第2の封止材とを備える、デュアルモールドマルチチップパッケージシステム。

20

【請求項6】

前記配線層パターンは、前記埋込型集積回路パッケージシステムが実装される外部接続配線と接続するための接合箇所、および前記第1の集積回路チップに接続されている、請求項5に記載のデュアルモールドマルチチップパッケージシステム。

【請求項7】

前記配線層パターンは、前記第1の集積回路チップを他の装置と接続する、請求項5に記載のデュアルモールドマルチチップパッケージシステム。

【請求項8】

前記第1の封止材の底面の接合箇所に接続された外部接続配線をさらに備え、前記接合箇所と前記第1の集積回路チップとが、前記配線層パターンによって接続されている、請求項5に記載のデュアルモールドマルチチップパッケージシステム。

30

【発明の詳細な説明】

【技術分野】

【0001】

発明の詳細な説明

技術分野

本発明は、一般に集積回路パッケージに関し、特にマルチチップパッケージシステムに関する。

【背景技術】

【0002】

40
 集積回路パッケージング技術においては、単一の回路基板すなわち基板上に実装される集積回路の数が増加している。新しいパッケージングデザインは、集積回路の物理的な寸法および形状などのフォームファクタの点で一層小型化しており、全体の集積回路密度が著しく向上している。しかし集積回路密度は、個々の集積回路を実装するのに利用可能な基板上の「スペース」によって依然として限定される。さらに大きなフォームファクタシステム、たとえばパーソナルコンピュータ、コンピュートサーバ、およびストレージサーバは、同じまたはより小さい「スペース」に、より多くの集積回路を必要とする。携帯型個人用電子機器、たとえば携帯電話、デジタルカメラ、ミュージックプレーヤ、携帯情報端末、および位置情報装置の必要性が特に切実であるため、集積回路密度の向上が一層必要となっている。

50

【0003】

この集積回路密度の向上により、2つ以上の集積回路をパッケージングすることができるマルチチップパッケージが開発された。各パッケージは、個々の集積回路と、集積回路を周囲の回路に電気的に接続可能にする1つ以上の接続配線層とを機械的に支持する。現在のマルチチップパッケージは、一般にマルチチップモジュールとも呼ばれ、典型的に、1組の別個の集積回路要素が上に取付けられたプリント回路基板からなる。このようなマルチチップパッケージにより、集積回路密度が向上し、微細化が進み、信号伝播速度が向上し、全体の集積回路寸法および重量が減少し、性能が向上し、コストが削減されることがわかっている。これらはすべてコンピュータ業界の主要な目標である。

【0004】

マルチチップパッケージは、垂直配置であろうと水平配置であろうと、通常は、集積回路および集積回路接続をテストする前に予め組立てなくてはならないため、問題も生じ得る。集積回路を実装し、マルチチップモジュールの状態に接続すると、個々の集積回路および接続を個々にテストすることができず、より大きな回路に組立てる前に良品チップ（「KGD」）を識別することは不可能である。したがって、従来のマルチチップパッケージによって、組立プロセスの歩留りの問題が生じる。この製造プロセスはKGDを識別できず、したがって信頼性が低く、組立欠陥が生じやすい。

【0005】

さらに、典型的なマルチチップパッケージにおいて垂直に積層された集積回路は、水平に配置された集積回路パッケージよりも問題が多く、製造プロセスがさらに複雑である。テストすること、したがって、個々の集積回路の実際の故障モードを判断することがより困難である。基板および集積回路は、組立中またはテスト中に損傷するが多く、製造プロセスが複雑になり、コストが上昇する。垂直に積層された集積回路の問題点は、利点よりも多いこともあり得る。

【0006】

また、マルチチップパッケージは一般に集積回路を一層高密度化させるが、さらに他の課題が生じる。現在のところ、マルチチップパッケージにおいて集積回路を接続するには、付加的な構造、たとえば印刷回路基板、インターポーラまたはフレキシブル配線を使用しなくてはならない。これらの付加的な構造によって、コストが上昇し、製造が複雑化し、潜在的な故障領域および潜在的な信頼性の問題が増大する。

【0007】

したがって、集積回路パッケージシステムの製造を低コスト化し、歩留りを向上させ、寸法を小さくしたデュアルモールドマルチチップパッケージシステムが一層必要である。コストの節約および効率の向上がますます必要とされていることに鑑み、これらの問題に対する解決策を見出すことがより一層重要である。

【0008】

これらの問題に対する解決策は長い間追求されてきたが、これまでの発展は如何なる解決策も教示または示唆しておらず、したがって当業者は、これらの問題に対する解決策に長い間想到していない。

【発明の開示】**【課題を解決するための手段】****【0009】****発明の開示**

本発明は、デュアルモールドマルチチップパッケージシステムを提供し、第1の集積回路チップおよびそれに接続されたリードを部分的に覆う第1の封止材を有する埋込型集積回路パッケージシステムを形成するステップと、半導体装置を第1の封止材上に、リードに接続して実装するステップと、第2の封止材を半導体装置および埋込型集積回路パッケージシステム上に形成するステップとを含む。

【0010】

本発明の特定の実施形態は、上述した、もしくは上記から明らかな局面に加えて、また

10

20

30

40

50

はその代わりに、他の局面を有する。当該局面は、添付の図面を参照して以下の詳細な説明を読めば当業者にとって明らかになるであろう。

【発明を実施するための最良の形態】

【0011】

以下の実施形態は、当業者が本発明を作成し使用することができるよう十分詳細に説明される。本開示に基づいて他の実施形態が明白になること、および本発明の範囲から逸脱することなくシステム、プロセスまたは機械的な変更を行なってもよいことが理解されるべきである。

【0012】

以下の説明において、本発明が十分理解できるよう多くの具体的な詳細を示す。しかし、これらの具体的な詳細がなくても本発明を実施することができるることは明らかであろう。本発明が不明瞭になるのを避けるため、一部の周知の回路、システム構成、およびプロセスステップは詳細に開示しない。同様に、本システムの実施形態を示す図面はやや概略的なもので、実際の縮尺とは異なっており、特に一部の寸法は表示を明瞭にするためのものであり、図面の図において大幅に強調して示している。また、複数の実施形態がいくつかの特徴を共有すると開示および説明されている場合は、図示、説明およびその理解を明確かつ容易にするために、互いに類似かつ同様の特徴は、通常同様の参照符号によって説明される。

【0013】

説明の目的で、ここで用いる限りにおいて、「水平」という用語は、集積回路の配向に拘らずその面または表面に平行な面として定義される。「垂直」という用語は、定義したばかりの水平に対して垂直な方向を指す。「上」、「下」、「底面」、「上面」、(「側壁」中のような)「側」、「より高い」、「より低い」、「上方」、「上に」および「下に」などの用語は、水平面に関して定義される。「上」という用語は、要素どうしが直接接触していることを意味する。ここで用いる限りにおいて、「処理」という用語は、材料の堆積、パターニング、露光、現像、エッティング、洗浄、モールディング、および／もしくは材料の除去、または記載されている構造を形成するのに必要なものを含む。ここで用いる限りにおいて、「システム」という用語は、この用語が用いられる文脈に沿った本発明の方法および装置を意味し、これを指す。

【0014】

図1を参照し、本発明のある実施形態におけるデュアルモールドマルチチップパッケージシステム100の底面図を示す。この底面図は、図17に示すはんだマスクがない状態のデュアルモールドマルチチップパッケージシステム100を図示する。この底面図は、本発明の配線層パターンとしてのトレース106によって接続された第1の集積回路チップ102および第2の集積回路チップ104を図示する。

【0015】

トレース106は、第1の集積回路チップ102および第2の集積回路チップ104を、はんだボールまたははんだバンプなどの外部接続配線108にも接続する。トレース106はさらに、第1の集積回路チップ102およびリード110を接続する。第1の集積回路チップ102および第2の集積回路チップ104は、共にリード110の間にある。

【0016】

エポキシモールド化合物などの第1の封止材112が、第1の集積回路チップ102、第2の集積回路チップ104、およびトレース106の周りに存在する。第1の封止材112は、第1の集積回路チップ102の第1の活性面114と、第2の集積回路チップ104の第2の活性面116とを露出させる。

【0017】

次に図2を参照し、図1の線分2-2に沿ったデュアルモールドマルチチップパッケージシステム100の断面図を示す。この断面図は、埋込型集積回路パッケージシステム202を含むデュアルモールドマルチチップパッケージシステム100を図示する。埋込型集積回路パッケージシステム202は、第1の封止材112内に部分的に封止された、第

10

20

30

40

50

1の集積回路チップ102、図1の第2の集積回路チップ104、およびリード110を有する。図1の第1の活性面114および第2の活性面116は、ほぼ同一平面上にある。

【0018】

リード110の各々は、延長部208、第1の表面210、および第2の表面212を有する。たとえば、延長部208はリード110のリードフィンガであり得る。第1の表面210は、延長部208を含む表面である。第2の表面212は、第1の表面210の反対側の表面である。

【0019】

この断面図は、リード110、延長部208、および第1の集積回路チップ102を部分的に覆う第1の封止材112を図示する。第1の封止材112は、リード110の第1の表面210、第2の表面212、および外周面214を露出させる。第1の封止材112、リード110、延長部208、第1の集積回路チップ102、第2の集積回路チップ104、およびトレース106は、外部接続配線108の上にある。

10

【0020】

延長部208を有するリード110はモールドロックを形成することができ、耐湿レベル(MSL)テストにおいてデュアルモールドマルチチップパッケージシステム100を向上させる。第2の表面212および外周面214は、次のシステムレベル(図示せず)、たとえば別の集積回路パッケージシステム、別のデュアルモールドマルチチップパッケージシステム、またはプリント回路基板に対するさらなる接続に用いることができる。図示の目的で、断面図では、リード110どうしの延長部208をほぼ同じように示しているが、延長部208は相違していてもよいと理解される。

20

【0021】

半導体装置216、たとえば集積回路チップは、埋込型集積回路パッケージシステム202の上にある。内部接続配線218、たとえばボンドワイヤまたはリボンボンドワイヤは、半導体装置216とリード110との間にある。延長部208または第1の表面210は、内部接続配線218用のボンドパッドとして機能することができる。リード110は、半導体装置216と第1の集積回路チップ102との間、および半導体装置216と第2の集積回路チップ104との間の通信構造として機能することができる。リード110は従来の電気ビアではない。電気ビアは、相違する伝導レベル間の電導構造として定義され、誘電体などの絶縁材料によって包囲される。

30

【0022】

第2の封止材220は、半導体装置216、内部接続配線218、第1の表面210、および第1の表面210に近接した第1の封止材112の表面を覆う。断面図では、第2の封止材220の封正面222と、リード110の外周面214とをほぼ同一平面上に示す。図示の目的で、封正面222と外周面214とをほぼ同一平面上に示すが、封正面222が傾斜した構造を有する場合のように、封正面222と外周面214とが同一平面上になくてもよいと理解される。

【0023】

次に図3を参照し、本発明のある実施形態におけるリードフレーム300の上面図を示す。リードフレーム300は、ウインドウフレーム302のアレイ、ストリップライン304、および孔306を有する。リードフレーム300は、図1のデュアルモールドマルチチップパッケージシステム100を形成するのに用いられる。

40

【0024】

ウインドウフレーム302の各々は、フレーム310内の開口部308と、フレーム310の対向する辺から開口部308内に延在する延長部208の複数の端部とを有する。ウインドウフレーム302、開口部308および延長部208は、スタンピング、エッチング、ハーフエッチング、予備成形などの複数の異なるプロセスによって形成することができる。図示の目的で、延長部208はフレーム310の端から端まで延在していないように示すが、延長部208はフレーム310の端から端まで延在してもよいと理解される

50

。

【0025】

孔306、たとえばスルーホールまたは溝は、リードフレーム300の角にあり、リードフレーム300をさらに処理するためのアライメントガイドとして機能することができる。孔306は、スタンピング、エッティング、または予備成形などの複数の異なるプロセスによって形成することができる。

【0026】

孔306は、図示の目的でリードフレーム300の角に示すが、孔306はリードフレーム300の異なる位置に存在してもよいと理解される。また図示の目的で、リードフレーム300は潜在的なアライメントガイドとして孔306を有するが、リードフレーム300は、異なるアライメント構造、たとえばリードフレーム300の辺に沿ったノッチを有してもよいと理解される。10

【0027】

ストリップライン304は、ウインドウフレーム302の列の間にある。ストリップライン304は、ハーフエッティングなどの複数の異なるプロセスによって形成することができる。図示の目的で、この上面図では、ストリップライン304がウインドウフレーム302の列の境界を示しているように図示するが、ストリップライン304は、ウインドウフレーム302の行の境界を示してもよいと理解される。

【0028】

次に図4を参照し、図3の線分4-4に沿ったリードフレーム300の第1の断面図を示す。第1の断面図は、フレーム310を有するウインドウフレーム302を図示する。リード110および各リード110の延長部208は、フレーム310から開口部308内に延在する。フレーム310の対向する辺における延長部208の端部は、リードフレーム300の上面402に沿っている。20

【0029】

図示の目的で、延長部208の端部を上面402に示すが、延長部208の端部は、フレーム310の底面404など、上面402になくてもよいと理解される。また図示の目的で、延長部208の端部を上面402に示すが、延長部208の端部は、フレーム310の同じ側面に沿っていなくてもよいと理解される。

【0030】

次に図5を参照し、図3の線分5-5に沿ったリードフレーム300の第2の断面図を示す。第2の断面図は、ストリップライン304をリードフレーム300内の窪みとして示す。ストリップライン304はリードフレーム300の構造的剛性に影響せず、さらなる処理のためのリードフレーム300の取扱に耐える。30

【0031】

次に図6を参照し、テーピング段階における図3の構造を示す。テープ602、たとえばカバーレイテープは、リードフレーム300の図4の底面404に取付けられる。テープ602は開口部308から見ることができる。ストリップライン304は、テープ602によって影響されないものとして示す。

【0032】

次に図7を参照し、図6の線分7-7に沿った図6の構造の断面図を示す。リードフレーム300の底面404に沿ったテープ602は、開口部308とフレーム310とにおいてほぼ同一平面を成す。上面402は、テープ602によって影響されないものとして示す。40

【0033】

次に図8を参照し、チップ取付け段階における図6の構造を示す。第1の集積回路チップ102および第2の集積回路チップ104は、ウインドウフレーム302の各々の開口部308内、かつテープ602の上に配置される。第1の非活性面802を有する第1の集積回路チップ102、および第2の非活性面804を有する第2の集積回路チップ104は、第1の非活性面802および第2の非活性面804が見えるように、かつテープ6

02に対向しないように、下向きになっている。延長部208は、開口部308において第1の集積回路チップ102および第2の集積回路チップ104を妨害しない。

【0034】

次に図9を参照し、図8の線分9-9に沿った図8の構造の断面図を示す。図1の第1の活性面114を有する図8の第1の集積回路チップ102、および第2の活性面116を有する第2の集積回路チップ104は、開口部308において下向きになっている。第1の活性面114および第2の活性面116は、テープ602に対向し、かつその上にある。第1の活性面114、第2の活性面116および底面404は、ほぼ同一平面上にある。上面402は、第1の非活性面802および第2の非活性面804の上にある。

【0035】

次に図10を参照し、第1のモールディング段階における図8の構造を示す。モールド化合物、たとえばエポキシモールド化合物がウインドウフレーム302の各々の開口部308を充填し、第1の封止材112を形成する。第1の封止材112は開口部308の輪郭を示し、フレーム310の延長部208の端部を露出させる。第1の封止材112は複数の異なるプロセス、たとえばスクリーン印刷またはトランスファモールディングによって形成することができる。平坦化プロセスを行なって、延長部208を露出させてもよい。

10

【0036】

次に図11を参照し、図10の線分11-11に沿った図10の構造の断面図を示す。断面図は、底面404に取付けられたテープ602を示す。テープ602は、第1の封止材112を、図1の第1の活性面114および第2の活性面116と同一平面になるように成形するのに役立つ。第1の封止材112は、リードフレーム300の開口部308を充填し、図8の第1の非活性面802と第2の非活性面804とを覆う。第1の封止材112は、延長部208と上面402とを露出させる。

20

【0037】

次に図12を参照し、テープ除去段階における図10の構造を示す。上面図は上面402を示し、図10の上面図と同様である。第1の封止材112は、各ウインドウフレーム302の開口部308内にあって、延長部208の端部を露出させる。孔306は第1の封止材112によって充填されない。ストリップライン304は、第1の封止材112によって影響されないものとして示す。

30

【0038】

次に図13を参照し、図12の底面図を示す。底面図は、図11のテープ602を除去した状態を示す。開口部308は、第1の封止材112、第1の集積回路チップ102、第2の集積回路チップ104、およびリード110を有する。第1の封止材112は、第1の活性面114、第2の活性面116およびリード110を露出させる。

【0039】

次に図14を参照し、図12の線分14-14に沿った図12の構造の断面図を示す。断面図は、第1の封止材112が第2の活性面116を露出させていることを示す。図1の第1の活性面114、第2の活性面116、底面404、リード110、および底面404に沿った第1の封止材112は、ほぼ同一平面上にある。第1の封止材112は開口部308を充填し、第1の活性面114および第2の活性面116を除いて、第1の集積回路チップ102および第2の集積回路チップ104を覆う。第1の封止材112は、延長部208および上面402も露出させる。

40

【0040】

次に図15を参照し、実装段階における図13の構造を示す。図13の構造は、底面404を上向きにした状態で、支持構造1402、たとえばウェハキャリア上に実装される。支持構造1402は、さらなる処理のために図13の構造を平坦に保つのに役立つ。リードフレーム300は、第1の封止材112において露出した第1の集積回路チップ102および第2の集積回路チップ104を有する。第1の封止材112は、リードフレーム300からリード110も露出させている。孔306は、支持構造1402からのピン(

50

図示せず)と共に用いて、リードフレーム300を位置合せすることができる。

【0041】

次に図16を参照し、配線形成段階における図15の構造を示す。接合箇所1602およびトレース106が、第1の封止材112上に形成される。トレース106は、第1の集積回路チップ102および第2の集積回路チップ104を接続する。トレース106は、第1の集積回路チップ102および第2の集積回路チップ104の両方を、接合箇所1602およびリード110にも接続する。接合箇所1602およびトレース106は、複数の異なるプロセス、たとえば導電材料の堆積によって形成することができる。

【0042】

図示の目的で、接合箇所1602を第1の封止材112の周縁部に示すが、接合箇所1602は、第1の封止材112の内部領域などの他の位置にあってもよいと理解される。また図示の目的で、トレース106は第1の集積回路チップ102、第2の集積回路チップ104、リード110および接合箇所1602のための配線として示すが、トレース106は、再分配構造または回路要素を形成するなどの追加的な機能を果たしてもよいと理解される。代替的に、図12の上面402は、トレース106および接合箇所1602も有してもよい。

【0043】

次に図17を参照し、マスキング段階における図16の構造を示す。はんだマスク1702は図16の構造の上に形成される。はんだマスク1702は、図12の孔306と位置合わせされるアライメントガイド1704を有する。はんだマスク1702は、さらなる処理のために接合箇所1602を露出させる。

【0044】

次に図18を参照し、ストリップ形成段階における図17の構造を示す。図17の構造は、ダイシングプロセスを経て、リードフレームストリップ1802を形成する。図15に示すリードフレーム300は、図3に示すストリップライン304で切断される。ダイシングプロセスは、複数の異なるプロセス、たとえばソーイングまたは打ち抜きによって行なうことができる。リードフレームストリップ1802の上面402は、開口部308を有するウインドウフレーム302を示す。第1の封止材112は開口部308内にあり、延長部208を露出させる。

【0045】

次に図19を参照し、図18の底面図を示す。底面図は、はんだマスク1702が接合箇所1602を露出させている状態のリードフレームストリップ1802を示す。

【0046】

次に図20を参照し、図18の線分20-20に沿った図18の構造の断面図を示す。断面図は、第1の封止材112が第2の活性面116を露出させている状態のリードフレームストリップ1802を示す。図1の第1の活性面114、第2の活性面116、底面404、リード110、および底面404に沿った第1の封止材112は、ほぼ同一平面上にある。第1の封止材112は開口部308を充填し、第1の活性面114および第2の活性面116を除いて、図1の第1の集積回路チップ102および第2の集積回路チップ104を覆う。第1の封止材112は、延長部208および上面402も露出させる。

【0047】

次に図21を参照し、装置積層段階における図20の構造を示す。半導体装置216は、リードフレームストリップ1802の上面402に沿って第1の封止材112上に載る。半導体装置216は、ウインドウフレーム302の各々において、チップ取付け接着剤などの接着剤2122によって第1の封止材112上に載る。接着剤2122および半導体装置216は、延長部208およびリード110の上面402を妨害したり汚染したりしない。リードフレームストリップ1802の底面404は、影響されないものとして示す。

【0048】

次に図22を参照し、装置接続段階における図21の構造を示す。リードフレームスト

10

20

30

40

50

リップ 1802 は、電気接続プロセスを経る。内部接続配線 218 は、半導体装置 216 と延長部 208 とを、またはリード 110 の上面 402 とを取付ける。内部接続配線 218 は、複数の異なるプロセス、たとえばワイヤボンディングによって取付けることができる。内部接続配線 218 は、半導体装置 216 と図 1 の第 1 の集積回路チップ 102 との間、および第 2 の集積回路チップ 104 との間に電気的な接続を形成することができる。電気的な接続は、従来の電気ビア（図示せず）なしに、延長部 208、リード 110、図 16 の接合箇所 1602、および図 16 のトレースによって形成することができる。

【0049】

次に図 23 を参照し、第 2 のモールディング段階における図 22 の構造を示す。モールド化合物、たとえばエポキシモールド化合物は、リードフレームストリップ 1802 の上面 402 を覆い、第 2 の封止材 220 を形成する。第 2 の封止材 220 は、半導体装置 216 および内部接続配線 218 を覆う。外部接続配線 108 は、図 19 のはんだマスク 1702 において露出している図 16 の接合箇所 1602 に取付けられる。

10

【0050】

次に図 24 を参照し、ダイシング段階における図 23 の構造を示す。ダイシングは複数の異なるプロセス、たとえばソーイングによって行なうことができる。図 23 の構造は、ダイシングプロセスを経て、デュアルモールドマルチチップパッケージシステム 100 を形成する。断面図は、リード 110 の外周面 214 を第 2 の封止材 220 の封正面 222 と同一平面上に形成するダイシングプロセスを示す。半導体装置 216、内部接続配線 218、および第 2 の封止材 220 は、埋込型集積回路パッケージシステム 202 の上にある。

20

【0051】

次に図 25 を参照し、本発明のある実施形態においてデュアルモールドマルチチップパッケージシステム 100 を製造するためのデュアルモールドマルチチップパッケージシステム 2500 のフローチャートを示す。システム 2500 は、ブロック 2502 において第 1 の集積回路チップおよびそれに接続されたリードを部分的に覆う第 1 の封止材を有する埋込型集積回路パッケージシステムを形成するステップと、ブロック 2504 において半導体装置を第 1 の封止材上に、リードに接続して実装するステップと、ブロック 2506 において半導体装置および埋込型集積回路パッケージシステム上に第 2 の封止材を形成するステップとを含む。

30

【0052】

本発明のさらに別の重要な局面は、コストを抑え、システムを簡略化し、性能を向上させるというこれまでの動向を有益に支援し、これに役立つ点である。

【0053】

したがって本発明のこれらおよび他の有益な局面は、技術水準を少なくとも次のレベルに発展させるものである。

【0054】

本発明のデュアルモールドマルチチップパッケージシステムは、システムの信頼性を向上させるための、重要かつこれまで知られておらず利用できなかった解決策、特性、および機能的局面を提供することがわかっている。この結果得られるプロセスおよび構成は、簡単で、費用対効果が大きく、複雑でなく、汎用性が高く、効果的であり、既知の技術を採用して実施することができ、したがって集積回路パッケージデバイスを効率的かつ経済的に製造するのに容易に適する。

40

【0055】

本発明を具体的なベストモードと合せて記載したが、上記の記載に鑑み、多くの代替例、修正および変更が当業者には明らかであろうと理解されるべきである。したがって、添付の請求項の範囲内に入るこのようなすべての代替例、修正および変更を含むことを意図している。これまでにここに記載した、または添付の図面に示したすべての事項は、例示的かつ非限定的な意味で解釈されるべきである。

【図面の簡単な説明】

50

【0056】

【図1】本発明のある実施形態におけるデュアルモールドマルチチップパッケージシステムの底面図である。

【図2】図1の線分2-2に沿ったデュアルモールドマルチチップパッケージシステムの断面図である。

【図3】本発明のある実施形態におけるリードフレームの上面図である。

【図4】図3の線分4-4に沿ったリードフレームの第1の断面図である。

【図5】図3の線分5-5に沿ったリードフレームの第2の断面図である。

【図6】テーピング段階における図3の構造を示す図である。

【図7】図6の線分7-7に沿った図6の構造の断面図である。

10

【図8】チップ取付け段階における図6の構造を示す図である。

【図9】図8の線分9-9に沿った図8の構造の断面図である。

【図10】第1のモールディング段階における図8の構造を示す図である。

【図11】図10の線分11-11に沿った図10の構造の断面図である。

【図12】テープ除去段階における図10の構造を示す図である。

【図13】図12の底面図である。

【図14】図12の線分14-14に沿った図12の構造の断面図である。

【図15】実装段階における図13の構造を示す図である。

【図16】配線形成段階における図15の構造を示す図である。

【図17】マスキング段階における図16の構造を示す図である。

20

【図18】ストリップ形成段階における図17の構造を示す図である。

【図19】図18の底面図である。

【図20】図18の線分20-20に沿った図18の構造の断面図である。

【図21】装置積層段階における図20の構造を示す図である。

【図22】装置接続段階における図21の構造を示す図である。

【図23】図2のモールディング段階における図22の構造を示す図である。

【図24】ダイシング段階における図23の構造を示す図である。

【図25】本発明の実施形態におけるデュアルモールドマルチチップパッケージシステムを製造するためのデュアルモールドマルチチップパッケージシステムのフローチャートである。

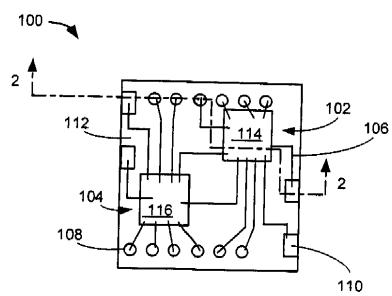
30

【符号の説明】

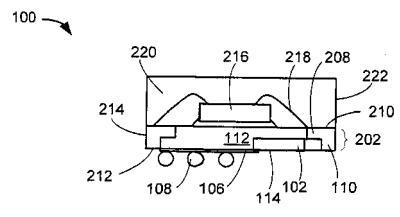
【0057】

2500 デュアルモールドマルチチップパッケージシステム、102 第1の集積回路チップ、110 リード、112 第1の封止材、202 埋込型集積回路パッケージシステム、216 半導体装置、220 第2の封止材

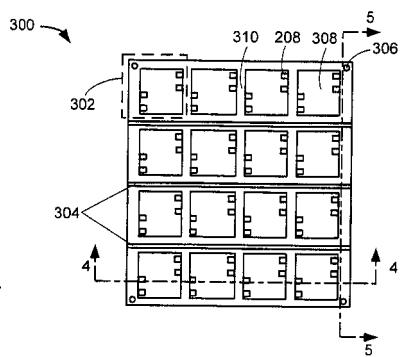
【図1】



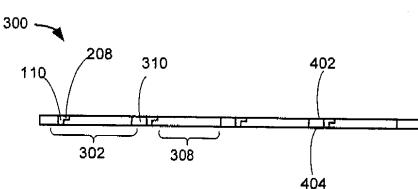
【図2】



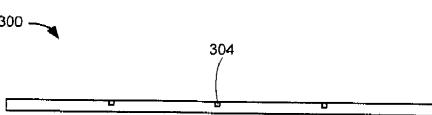
【図3】



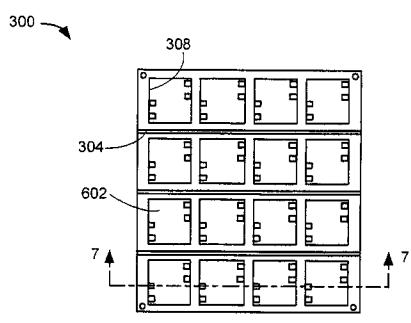
【図4】



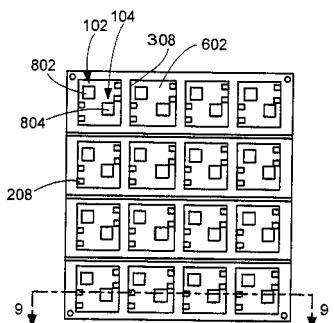
【図5】



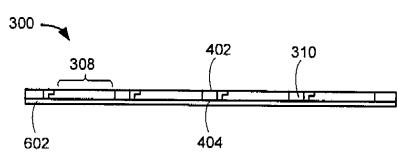
【図6】



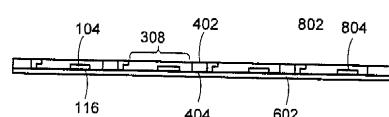
【図8】



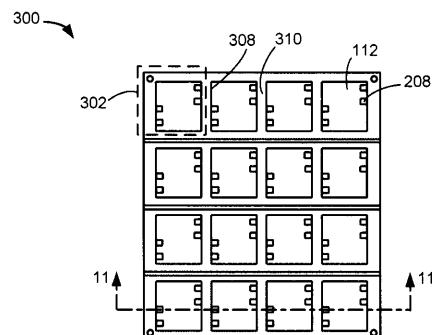
【図7】



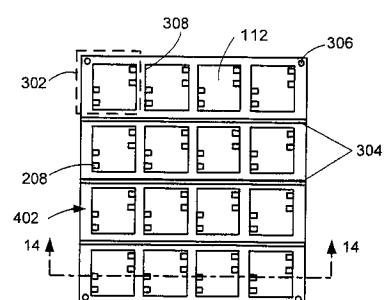
【図9】



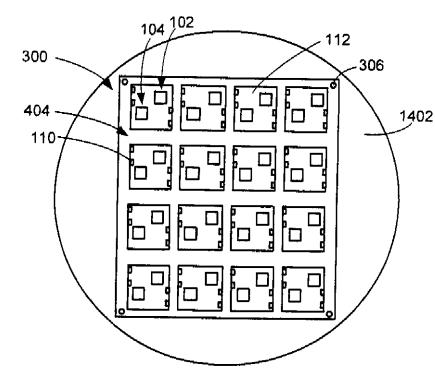
【図10】



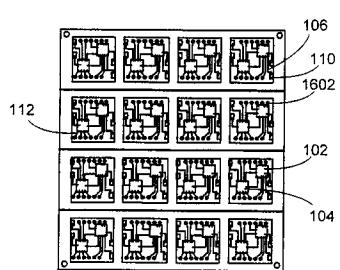
【図12】



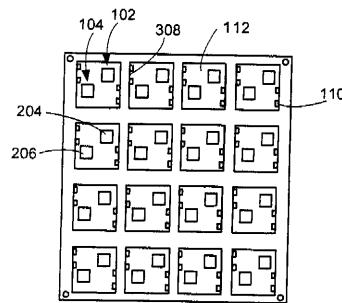
【図15】



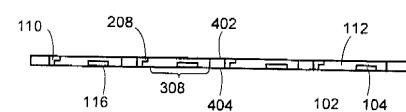
【図16】



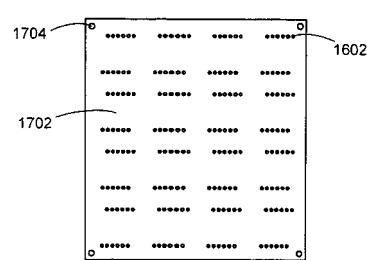
【図13】



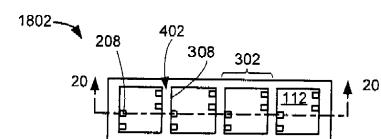
【図14】



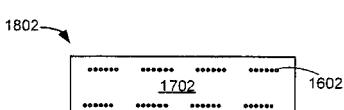
【図17】



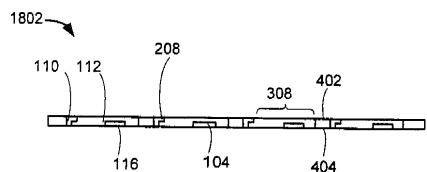
【図18】



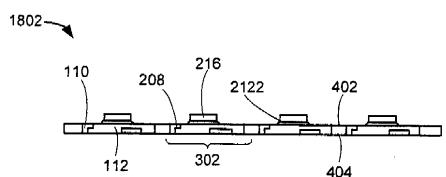
【図19】



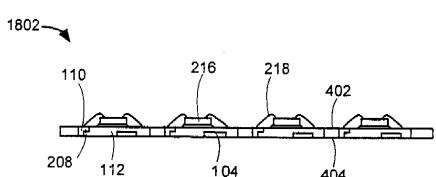
【図20】



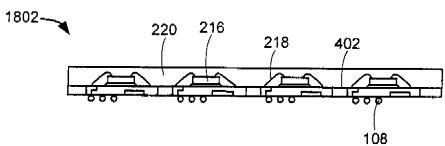
【図21】



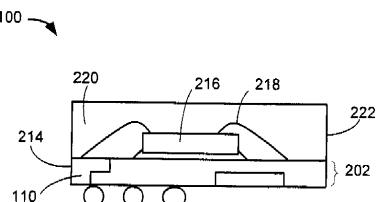
【図22】



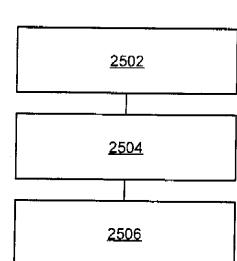
【図23】



【図24】

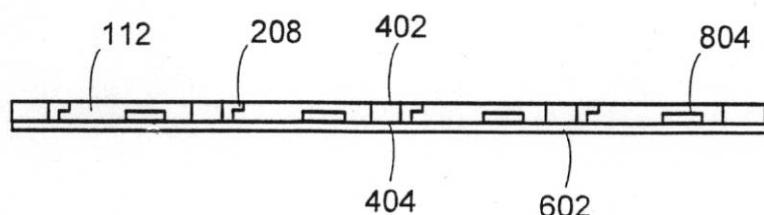


【図25】



【図11】

300



フロントページの続き

(74)代理人 100109162

弁理士 酒井 將行

(74)代理人 100111246

弁理士 荒川 伸夫

(72)発明者 カンパンパティ・ラマクリシュナ

アメリカ合衆国、85225 アリゾナ州、チャンドラー、イースト・フォーレイ・プレイス、1
400

(72)発明者 イル, クウォン・シム

シンガポール、738210 シンガポール、ウッドグローブ・ドライブ、8、ナンバー・03-
29

(72)発明者 セン, グアン・チョウ

シンガポール、760131 シンガポール、イーシュン・ストリート、11、ブロック・131
、ナンバー・07-243

審査官 今井 拓也

(56)参考文献 特開2002-134653 (JP, A)

特開2005-317903 (JP, A)

特開2000-133767 (JP, A)

特開2006-295051 (JP, A)

特開2001-060657 (JP, A)

特開2001-320015 (JP, A)

特開2006-120943 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H01L 25/00 - 25/18