



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2018년01월29일
 (11) 등록번호 10-1823249
 (24) 등록일자 2018년01월29일

(51) 국제특허분류(Int. Cl.)
 H01G 4/232 (2006.01) H01G 2/06 (2006.01)
 H01G 4/30 (2006.01)
 (52) CPC특허분류
 H01G 4/232 (2013.01)
 H01G 2/065 (2013.01)
 (21) 출원번호 10-2016-0085037
 (22) 출원일자 2016년07월05일
 심사청구일자 2016년07월05일
 (65) 공개번호 10-2018-0005075
 (43) 공개일자 2018년01월15일
 (56) 선행기술조사문헌
 KR1020150033392 A*
 KR1020140053562 A*
 KR101532180 B1*
 *는 심사관에 의하여 인용된 문헌

(73) 특허권자
 삼성전기주식회사
 경기도 수원시 영통구 매영로 150 (매탄동)
 (72) 발명자
 윤근정
 경기도 수원시 영통구 매영로 150 (매탄동)
 구원희
 경기도 수원시 영통구 매영로 150 (매탄동)
 (74) 대리인
 특허법인씨엔에스

전체 청구항 수 : 총 13 항

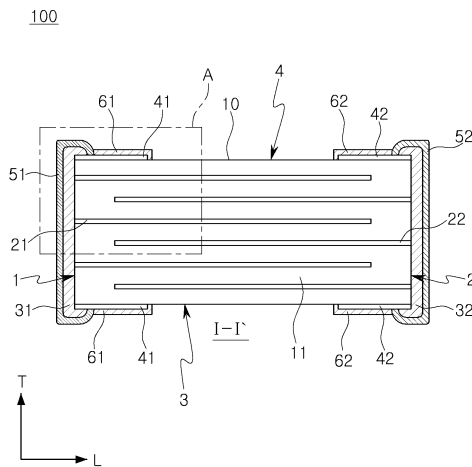
심사관 : 황승희

(54) 발명의 명칭 적층 세라믹 전자 부품 및 적층 세라믹 전자 부품의 실장 기판

(57) 요약

본 발명은 복수의 유전층이 적층되어 형성되고, 제1 방향으로 서로 마주보는 제1면 및 제2면, 상기 적층 방향에 평행한 제2 방향으로 서로 마주보며 상기 제1면 및 제2면과 연결된 제3면 및 제4면, 제3 방향으로 서로 마주보며 상기 제1 내지 제4면과 연결된 제5면 및 제6면을 갖는 세라믹 바디; 상기 유전층을 사이에 두고, 상기 세라믹 바디의 제1면 및 제2면으로 각각 노출되는 제1 및 제2 내부 전극; 상기 세라믹 바디의 제1면 및 제2면에 배치되며, 상기 제1 및 제2 내부 전극과 각각 연결되는 제1 및 제2 외부 전극; 상기 세라믹 바디의 제3면 및 제4면에 배치되며, 상기 제1 및 제2 외부 전극과 각각 연결되고, 상기 제1 및 제2 외부 전극의 두께보다 얇은 두께를 가지는 제1 및 제2 도전성 박막; 및 상기 제1 및 제2 외부 전극 상에 배치된 제1 및 제2 솔더 방지막;을 포함하는 적층 세라믹 전자 부품에 관한 것이다.

대표도 - 도2



(52) CPC특허분류

H01G 4/30 (2013.01)

H05K 2201/10015 (2013.01)

(72) 발명자

최혜영

경기도 수원시 영통구 매영로 150 (매탄동)

이진우

경기도 수원시 영통구 매영로 150 (매탄동)

최재열

경기도 수원시 영통구 매영로 150 (매탄동)

명세서

청구범위

청구항 1

복수의 유전층이 적층되어 형성되고, 제1 방향으로 서로 마주보는 제1면 및 제2면, 상기 적층 방향에 평행한 제2 방향으로 서로 마주보며 상기 제1면 및 제2면과 연결된 제3면 및 제4면, 제3 방향으로 서로 마주보며 상기 제1 내지 제4면과 연결된 제5면 및 제6면을 갖는 세라믹 바디;

상기 유전층을 사이에 두고, 상기 세라믹 바디의 제1면 및 제2면으로 각각 노출되는 제1 및 제2 내부 전극;

상기 세라믹 바디의 제1면 및 제2면에 배치되며, 상기 제1 및 제2 내부 전극과 각각 연결되는 제1 및 제2 외부 전극;

상기 세라믹 바디의 제3면 및 제4면에 배치되며, 상기 제1 및 제2 외부 전극과 각각 연결되고, 상기 제1 및 제2 외부 전극의 두께보다 얇은 두께를 가지는 제1 및 제2 도전성 박막;

상기 제1 및 제2 외부 전극 상에 배치된 제1 및 제2 솔더 방지막; 및

상기 세라믹 바디의 제3면 및 제4면 중 실장면으로 제공되는 면의 상기 제1 및 제2 도전성 박막에 배치되는 제1 및 제2 도금층;을 포함하고,

상기 제1 및 제2 솔더 방지막은 상기 세라믹 바디의 실장면으로부터 상기 제1 및 제2 도금층보다 돌출되는 돌출부를 포함하는 적층 세라믹 전자 부품.

청구항 2

제1항에 있어서,

상기 세라믹 바디의 적층 방향의 중앙부에서 상기 제1 및 제2 외부 전극의 두께를 T1, 상기 제1 및 제2 내부 전극 중 적층 방향으로 최외측 내부 전극이 위치하는 지점에서 상기 제1 및 제2 외부 전극의 두께를 T2라 할때, $0.8 \leq T2/T1 \leq 1.2$ 를 만족하는 적층 세라믹 전자 부품.

청구항 3

제1항에 있어서,

상기 도전성 박막의 두께는 50 내지 5000 nm인 적층 세라믹 전자 부품.

청구항 4

제1항에 있어서,

상기 제1 및 제2 외부 전극은 상기 세라믹 바디의 제3면 및 제4면으로 각각 연장되어, 상기 제1 및 제2 도전성 박막의 일부를 덮도록 배치되는 적층 세라믹 전자 부품.

청구항 5

제1항에 있어서,

상기 제1 및 제2 솔더 방지막은 상기 세라믹 바디의 제3면 및 제4면으로 각각 연장되어 상기 제1 및 제2 도전성 박막의 일부를 덮도록 배치되는 적층 세라믹 전자 부품.

청구항 6

삭제

청구항 7

삭제

청구항 8

제1항에 있어서,

상기 솔더 방지막은 수지 및 절연 물질을 포함하고,

상기 수지는 에폭시 수지 및 아크릴 수지로 이루어진 군에서 선택되는 어느 하나 또는 이들의 혼합물이며,

상기 절연 물질은 Si, Al, Ti, Mn 및 Mg의 산화물로 이루어진 군에서 선택되는 어느 하나 또는 이들의 혼합물인 적층 세라믹 전자 부품.

청구항 9

일면에 제1 전극 패드 및 제2 전극 패드가 배치된 기판; 및

상기 기판에 솔더에 의해 부착된 적층 세라믹 전자 부품;을 포함하고,

상기 적층 세라믹 전자 부품은,

복수의 유전층이 적층되어 형성되고, 제1 방향으로 서로 마주보는 제1면 및 제2면, 상기 적층 방향에 평행한 제2 방향으로 서로 마주보며 상기 제1면 및 제2면과 연결된 제3면 및 제4면, 제3 방향으로 서로 마주보며 상기 제1 내지 제4면과 연결된 제5면 및 제6면을 갖는 세라믹 바디;

상기 유전층을 사이에 두고, 상기 세라믹 바디의 제1면 및 제2면으로 각각 노출되는 제1 및 제2 내부 전극;

상기 세라믹 바디의 제1면 및 제2면에 배치되며, 상기 제1 및 제2 내부 전극과 각각 연결되는 제1 및 제2 외부 전극;

상기 세라믹 바디의 제3면 및 제4면에 배치되며, 상기 제1 및 제2 외부 전극과 각각 연결되고, 상기 제1 및 제2 외부 전극의 두께보다 얇은 두께를 가지는 제1 및 제2 도전성 박막;

상기 제1 및 제2 외부 전극 상에 배치된 제1 및 제2 솔더 방지막; 및

상기 세라믹 바디의 제3면 및 제4면 중 실장면으로 제공되는 면의 상기 제1 및 제2 도전성 박막에 배치되는 제1 및 제2 도금층;을 포함하고,

상기 제1 및 제2 솔더 방지막은 상기 세라믹 바디의 실장면으로부터 상기 제1 및 제2 도금층보다 돌출되는 돌출부를 포함하는 적층 세라믹 전자 부품의 실장 기판.

청구항 10

제9항에 있어서,

상기 세라믹 바디의 적층 방향의 중앙부에서 상기 제1 및 제2 외부 전극의 두께를 T1, 상기 제1 및 제2 내부 전극 중 적층 방향으로 최외측 내부 전극이 위치하는 지점에서 상기 제1 및 제2 외부 전극의 두께를 T2라 할때, $0.8 \leq T2/T1 \leq 1.2$ 를 만족하는 적층 세라믹 전자 부품의 실장 기판.

청구항 11

제9항에 있어서,

상기 도전성 박막의 두께는 50 내지 5000 nm인 적층 세라믹 전자 부품의 실장 기관.

청구항 12

제9항에 있어서,

상기 제1 및 제2 외부 전극은 상기 세라믹 바디의 제3면 및 제4면으로 각각 연장되어, 상기 제1 및 제2 도전성 박막의 일부를 덮도록 배치되는 적층 세라믹 전자 부품의 실장 기관.

청구항 13

제9항에 있어서,

상기 제1 및 제2 솔더 방지막은 상기 세라믹 바디의 제3면 및 제4면으로 각각 연장되어 상기 제1 및 제2 도전성 박막의 일부를 덮도록 배치되는 적층 세라믹 전자 부품의 실장 기관.

청구항 14

삭제

청구항 15

삭제

청구항 16

제9항에 있어서,

상기 솔더는 상기 제1 및 제2 솔더 방지막의 끝부분부터 상기 제1 및 제2 도금층의 내측 끝부분까지 각각 배치되는 적층 세라믹 전자 부품의 실장 기관.

청구항 17

제9항에 있어서,

상기 솔더 방지막은 수지 및 절연 물질을 포함하고,

상기 수지는 에폭시 수지 및 아크릴 수지로 이루어진 군에서 선택되는 어느 하나 또는 이들의 혼합물이며,

상기 절연 물질은 Si, Al, Ti, Mn 및 Mg의 산화물로 이루어진 군에서 선택되는 어느 하나 또는 이들의 혼합물인 적층 세라믹 전자 부품의 실장 기관.

발명의 설명

기술 분야

[0001] 본 발명은 적층 세라믹 전자 부품 및 적층 세라믹 전자 부품의 실장 기관에 관한 것이다.

배경 기술

[0002] 최근 전자제품들의 소형화 추세에 따라, 적층 세라믹 전자 부품 역시 소형화 및 대용량화될 것이 요구되고

있다.

[0003] 이에 따라 유전체와 내부 전극의 박막화, 다층화가 다양한 방법으로 시도되고 있으며, 근래에는 유전층의 두께가 얇아지면서 적층수가 증가하는 적층 세라믹 전자 부품들이 제조되고 있다.

[0004] 또한, 전자 제품의 사이즈는 감소하면서 캐패시터 등의 용량을 증가시키기 위하여 BLCC(Bottom Landed Ceramic Capacitor) 또는 HPCC(High Profile Ceramic Capacitor) 등과 같이 구조적 변화가 시도되고 있다.

[0005] 이와 더불어, 동일한 면적 내에 실장될 수 있는 전자 부품의 수를 증가시켜 고집적화가 가능하도록 기판의 랜드 패턴의 간격 감소가 중요해지고 있다.

선행기술문헌

특허문헌

[0006] (특허문헌 0001) 대한민국 공개특허공보 제2015-0113903호

발명의 내용

해결하려는 과제

[0007] 본 발명의 일 목적은 외부전극의 두께를 얇게하여 높은 용량을 가지고, 동시에 기판 실장 시에 적층 세라믹 전자부품의 양 측면으로 솔더가 부착되는 것을 방지할 수 있는 구조를 제공하는 것이다.

과제의 해결 수단

[0008] 본 발명의 일 실시예에 따른 적층 세라믹 전자부품은 복수의 유전층이 적층되어 형성되고, 제1 방향으로 서로 마주보는 제1면 및 제2면, 상기 적층 방향에 평행한 제2 방향으로 서로 마주보며 상기 제1면 및 제2면과 연결된 제3면 및 제4면, 제3 방향으로 서로 마주보며 상기 제1 내지 제4면과 연결된 제5면 및 제6면을 갖는 세라믹 바디; 상기 유전층을 사이에 두고, 상기 세라믹 바디의 제1면 및 제2면으로 각각 노출되는 제1 및 제2 내부 전극; 상기 세라믹 바디의 제1면 및 제2면에 배치되며, 상기 제1 및 제2 내부 전극과 각각 연결되는 제1 및 제2 외부 전극; 상기 세라믹 바디의 제3면 및 제4면에 배치되며, 상기 제1 및 제2 외부 전극과 각각 연결되고, 상기 제1 및 제2 외부 전극의 두께보다 얇은 두께를 가지는 제1 및 제2 도전성 박막; 및 상기 제1 및 제2 외부 전극 상에 배치된 제1 및 제2 솔더 방지막;을 포함한다.

[0009] 본 발명의 또 다른 실시예에 따른 적층 세라믹 전자부품의 실장 기판은 일면에 제1 전극 패드 및 제2 전극 패드가 배치된 기판; 및 상기 기판에 솔더에 의해 부착된 적층 세라믹 전자 부품;을 포함하고, 상기 적층 세라믹 전자 부품은, 복수의 유전층이 적층되어 형성되고, 제1 방향으로 서로 마주보는 제1면 및 제2면, 상기 적층 방향에 평행한 제2 방향으로 서로 마주보며 상기 제1면 및 제2면과 연결된 제3면 및 제4면, 제3 방향으로 서로 마주보며 상기 제1 내지 제4면과 연결된 제5면 및 제6면을 갖는 세라믹 바디; 상기 유전층을 사이에 두고, 상기 세라믹 바디의 제1면 및 제2면으로 각각 노출되는 제1 및 제2 내부 전극; 상기 세라믹 바디의 제1면 및 제2면에 배치되며, 상기 제1 및 제2 내부 전극과 각각 연결되는 제1 및 제2 외부 전극; 상기 세라믹 바디의 제3면 및 제4면에 배치되며, 상기 제1 및 제2 외부 전극과 각각 연결되고, 상기 제1 및 제2 외부 전극의 두께보다 얇은 두께를 가지는 제1 및 제2 도전성 박막; 및 상기 제1 및 제2 외부 전극 상에 배치된 제1 및 제2 솔더 방지막;을 포함한다.

발명의 효과

[0010] 본 발명의 일 실시예에 따른 적층 세라믹 전자부품은 세라믹 바디의 적층 방향의 양 단면에 종래의 외부 전극 대신 도전성 박막이 배치되어 적층 세라믹 전자 부품의 용량을 증가시키고, 동시에 적층 세라믹 전자부품의 길이 방향의 양 단면에 배치된 외부 전극에 솔더 방지막이 배치되어 실장 시에 적층 세라믹 전자부품의 양 측면으로 솔더가 부착되는 것을 방지할 수 있어 실장 밀도를 증가시킬 수 있다.

도면의 간단한 설명

[0011] 도 1은 본 발명의 일 실시예에 따른 적층 세라믹 전자부품의 사시도를 개략적으로 도시한 것이다.
 도 2는 도 1의 I-I'에 따른 단면도를 개략적으로 도시한 것이다.
 도 3은 도 2의 A의 확대도를 개략적으로 도시한 것이다.
 도 4는 본 발명의 다른 실시예에 따른 적층 세라믹 전자부품의 실장기관의 단면도를 개략적으로 도시한 것이다.

발명을 실시하기 위한 구체적인 내용

[0012] 본 발명의 실시형태는 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 이하 설명하는 실시형태로 한정되는 것은 아니다. 또한, 본 발명의 실시형태는 당업계에서 평균적인 지식을 가진 자에게 본 발명을 더욱 완전하게 설명하기 위해서 제공되는 것이다. 따라서, 도면에서의 요소들의 형상 및 크기 등은 보다 명확한 설명을 위해 과장될 수 있으며, 도면상의 동일한 부호로 표시되는 요소는 동일한 요소이다.

[0013] 그리고 도면에서 본 발명을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하고, 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었으며, 동일한 사상의 범위 내의 기능이 동일한 구성요소는 동일한 참조부호를 사용하여 설명한다.

[0014] 명세서 전체에서, 어떤 부분이 어떤 구성요소를 "포함"한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성요소를 더 포함할 수 있는 것을 의미한다.

[0015] 본 발명의 실시형태들을 명확하게 설명하기 위해 육면체의 방향을 정의하면, 도면 상에 표시된 L, W 및 T는 각각 길이 방향, 폭 방향 및 두께 방향을 나타낸다. 여기서, 두께 방향은 유전체층이 적층되는 적층 방향과 동일한 개념으로 사용될 수 있다. 길이방향은 제1 방향, 적층 방향은 제2 방향 및 폭 방향은 제3 방향으로 정의되어 사용될 수 있다.

[0016] 적층 세라믹 전자부품

[0017] 이하에서는 본 발명의 일 실시예에 따른 적층 세라믹 전자부품을 설명하되, 특히 적층 세라믹 커패시터로 설명하지만 이에 제한되는 것은 아니다.

[0018] 도 1은 본 발명의 일 실시예에 따른 적층 세라믹 전자부품의 사시도를 개략적으로 도시한 것이며, 도 2는 도 1의 I-I'에 따른 단면도를 개략적으로 도시한 것이다.

[0019] 도 1을 참조하면, 본 발명의 일 실시예에 따른 적층 세라믹 전자부품(100)은 세라믹 바디(10), 솔더 방지막(51, 52) 및 도금층(61, 62)을 포함한다.

[0020] 세라믹 바디(10)는 길이 방향(L)의 양 단면인 제1면(1) 및 제2면(2), 적층 방향(T)의 양 단면인 제3면(3) 및 제4면(4), 및 폭 방향(W)의 양 단면인 제5면(5) 및 제6면(6)을 갖는 육면체로 형성될 수 있다.

[0021] 세라믹 바디(10)의 제1면(1) 및 제2면(2)에는 솔더 방지막(51, 52)이 배치된다.

[0022] 솔더 방지막(51, 52)은 세라믹 바디(10)의 제1면(1) 및 제2면(2)에서 인접하는 제3면(3) 및 제4면(4)으로 연장

되어 형성되거나, 세라믹 바디(10)의 제1면(1) 및 제2면(2)에서 인접하는 제3면(4) 내지 제6면(6)으로 연장되어 형성될 수 있다.

- [0023] 슬더 방지막(51, 52)은 절연 페이스트를 이용하여 형성될 수 있다.
- [0024] 슬더 방지막(51, 52)을 형성하는 절연 페이스트는 수지 및 절연 물질을 포함할 수 있다.
- [0025] 절연 페이스트에 포함되는 수지는 에폭시 수지 또는 아크릴 수지 일 수 있으며, 절연 물질은 Si, Al, Ti, Mn 및 Mg의 산화물로 이루어진 군에서 선택되는 어느 하나 또는 이들의 혼합물 일 수 있다.
- [0026] 세라믹 바디(10)의 적층 방향(T)의 양 단면인 제3면(3) 및 제4면(4)에는 도금층(61, 62)이 배치될 수 있다.
- [0027] 후술하는 바와 같이, 세라믹 바디(10)의 제3면(3) 또는 제4면(4)은 기관에 실장시에 실장면으로 제공될 수 있다. 예를 들어, 세라믹 바디(10)의 제3면(3)이 실장면으로 제공될 수 있다. 세라믹 바디(10)의 제3면(3)이 실장면으로 제공되는 경우, 도금층(61, 62)은 제3면(3)에만 형성될 수도 있다.
- [0028] 도 2를 참조하여, 본 발명의 일 실시예에 따른 적층 세라믹 전자부품(100)의 보다 상세한 구조를 살펴보도록 한다.
- [0029] 세라믹 바디(10)는 복수의 유전층(11)을 두께 방향(T)으로 적층한 다음 소성하여 형성되며, 이러한 세라믹 바디(10)의 형상, 치수 및 유전층(11)의 적층 수가 본 실시 형태에 도시된 것으로 한정되는 것은 아니다.
- [0030] 또한, 세라믹 바디(10)를 형성하는 복수의 유전층(11)은 소결된 상태로서, 인접하는 유전층(11) 사이의 경계는 주사전자현미경(SEM: Scanning Electron Microscope)를 이용하지 않고 확인하기 곤란할 정도로 일체화될 수 있다.
- [0031] 유전층(11)은 그 두께를 적층 세라믹 전자부품(100)의 용량 설계에 맞추어 임의로 변경할 수 있으며, 고유전률을 갖는 세라믹 분말, 예를 들어 티탄산바륨($BaTiO_3$)계 또는 티탄산스트론튬($SrTiO_3$)계 분말을 포함할 수 있으며, 본 발명이 이에 한정되는 것은 아니다. 또한, 세라믹 분말에 본 발명의 목적에 따라 다양한 세라믹 첨가제, 유기용제, 가소제, 결합제, 분산제 등이 첨가될 수 있다.
- [0032] 유전층(11) 형성에 사용되는 세라믹 분말의 평균 입경은 특별히 제한되지 않으며, 본 발명의 목적 달성을 위해 조절될 수 있으나, 예를 들어, 400 nm 이하로 조절될 수 있다.
- [0033] 제1 및 제2 내부 전극(21, 22)은 서로 다른 극성을 갖는 한 쌍의 전극으로서, 두께 방향(T)으로 적층되는 복수의 유전층(11) 상에 소정의 두께로 도전성 금속을 포함하는 도전성 페이스트를 인쇄하여 유전층(11)의 적층 방향을 따라 세라믹 바디(10)의 길이 방향(L)의 양 단면인 제1면(1) 및 제2면(2)을 통해 번갈아 노출되도록 형성될 수 있으며, 중간에 배치된 유전층(11)에 의해 서로 전기적으로 절연될 수 있다.
- [0034] 즉, 제1 및 제2 내부 전극(21, 22)은 세라믹 바디(10)의 제1면(1) 및 제2면(2)을 통해 번갈아 노출되는 부분을 통해 세라믹 바디(10)의 길이 방향(L)의 양 단면에 형성된 제1 및 제2 외부 전극(31, 32)과 각각 전기적으로 연결될 수 있다.
- [0035] 세라믹 바디(10)의 제3면(3) 및 제4면(4) 중 적어도 일 면에는 제1 및 제2 도전성 박막(41, 42)이 배치된다. 제1 및 제2 도전성 박막(41, 42)은 제1 및 제2 외부 전극(31, 32)의 두께보다 더 얇은 두께를 가지며, 제1 및 제2 외부 전극(31, 32)과 각각 전기적으로 연결된다.
- [0036] 세라믹 바디(10)의 제3면(3) 및 제4면(4) 중 적어도 일 면이 실장면으로 제공되는 경우, 도전성 박막(41, 42)의 적어도 일부를 덮도록 제1 및 제2 도금층(61, 62)이 배치될 수 있다.
- [0037] 제1 및 제2 도금층(61, 62)은 제3면(3) 및 제4면(4)에 모두 형성되는 것도 가능하다.
- [0038] 도 2에서 알 수 있듯이, 제1 및 제2 외부 전극(31, 32)은 제1 및 제2 슬더 방지막(51, 52)에 의해 외부로부터 차단될 수 있다. 제1 및 제2 슬더 방지막(51, 52)은 절연 재료를 이용하여 형성될 수 있다.
- [0039] 제1 및 제2 슬더 방지막(51, 52)은 후술하는 바와 같이 실장시 슬더가 세라믹 바디(10)의 제1면(1) 및 제2면(2)에 형성되는 것을 방지하는 것과 동시에, 제1 및 제2 외부 전극(31, 32)에 발생한 크랙 등을 통해 전도성 이

물질이 세라믹 바디(10)로 유입되는 것을 방지하는 효과를 가질 수 있다.

- [0040] 제1 및 제2 외부 전극(31, 32)에 전압이 인가되면 서로 대향하는 제1 및 제2 내부 전극(21, 22) 사이에 전하가 축적되고, 이때 적층 세라믹 캐패시터(100)의 정전 용량은 제1 및 제2 내부 전극(21, 22)의 서로 중첩되는 영역의 면적과 비례하게 된다.
- [0041] 또한, 제1 및 제2 내부 전극(21, 22)을 형성하는 도전성 페이스트에 포함되는 도전성 금속은 니켈(Ni), 구리(Cu), 팔라듐(Pd), 은(Ag), 납(Pb) 또는 백금(Pt) 등의 단독 또는 이들의 합금일 수 있으며, 본 발명이 이에 한정되는 것은 아니다.
- [0042] 도 3은 도 2의 A의 확대도를 개략적으로 도시한 것이다. 도 3을 참조하며, 외부 전극(31, 32), 도전성 박막(41, 42), 솔더 방지막(51, 52) 및 도금층(61, 62)의 구조 및 제조 방법을 살펴보도록 한다.
- [0043] 도전성 박막(41, 42)의 형성 방법은 특별히 제한되지 않으나, 박막으로 형성하기 위하여 스퍼터링(sputtering) 공법 등으로 형성할 수 있다.
- [0044] 또는, 도전성 박막(41, 42)은 저점도의 도전성 잉크 페이스트를 이용하여 형성될 수 있다. 저점도의 도전성 잉크 페이스트를 이용하는 경우, 금속 이온이나 나노 입자를 저점도로 분산시켜 기존의 금속의 소성온도보다 낮은 200 내지 500도 정도에서 열처리하여 금속을 성장시켜 도전성 박막(41, 42)을 형성할 수 있다. 이와 같이, 저점도의 도전성 잉크 페이스트를 이용하는 경우에는 금속의 고형분이 적고, 입자 사이즈가 작기 때문에 박막의 금속층을 형성할 수 있다.
- [0045] 박막으로 형성되는 도전성 박막(41, 42)의 두께(T_a)는 50 내지 5000nm 일 수 있다. 도전성 박막(41, 42)을 상기 범위 내로 얇게 형성함에 따라 그 만큼 세라믹 본체(10)의 두께를 향상시키거나, 유전층(11)의 적층수를 증가시킬 수 있다.
- [0046] 도전성 박막(41, 42)의 두께(T_a)가 50 nm 미만일 경우 전도성 박막층이 균일하게 형성되기 어렵고 끊김 현상이 발생할 수 있는 문제점이 있으며, 5000nm 를 초과할 경우 전도성 박막층 형성에 소요되는 시간이 불필요하게 증가하는 문제가 발생할 수 있다.
- [0047] 도전성 박막(41, 42)은 제 1 및 제 2 내부전극(21, 22)과 동일한 도전성 금속으로 형성될 수 있으나, 이에 제한되지 않으며, 예를 들어, 구리(Cu), 니켈(Ni), 팔라듐(Pd), 백금(Pt), 금(Au), 은(Ag), 철(Fe), 티타늄(Ti) 또는 탄소(C) 등의 단독 또는 이들의 합금을 포함할 수 있다.
- [0048] 외부 전극(31, 32)은 디핑(dipping) 방법이나, 시트(sheet) 전사 또는 패드(pad) 전사 방식에 의해 형성될 수 있다.
- [0049] 예를 들어, 외부 전극(31, 32)이 시트 전사 공법으로 형성되는 것을 설명하면 다음과 같다.
- [0050] 먼저, 세라믹 바디(10)의 외측에 외부 전극을 형성하기 위해 상면에 펀칭 탄성재가 부착된 정반을 마련한다. 펀칭 탄성재의 상부에는 외부 전극 형성용 시트를 부착한다.
- [0051] 정반은 받침대 역할을 수행하는 것으로서, 강도가 높고 열변형이 적은 재질이면 제한 없이 사용가능하다. 예를 들어 정반은 석정반을 이용할 수 있다.
- [0052] 외부전극 형성용 시트는 외부전극 형성용 페이스트를 얇게 도포한 후 건조 단계까지 완결된 상태로서, 그런 시트로 칭할 수 있다.
- [0053] 구체적으로, 외부전극 형성용 페이스트는 구리(Cu), 니켈(Ni), 팔라듐(Pd), 백금(Pt), 금(Au), 은(Ag) 또는 납(Pb) 등의 단독 또는 이들의 합금으로 구성된 도전성 금속과 바인더, 가소제 및 분산제 등을 혼합하여 마련될 수 있다.
- [0054] 다음으로, 상기 외부전극 형성용 페이스트를 닥터 블레이드 캐스팅 장비 등을 이용하여 외부전극의 필요한 두께에 따라 도포한 후 건조 과정을 거치면 상기 외부전극 형성용 시트를 마련할 수 있다.

- [0055] 그 후, 세라믹 바디(10)를 상기 외부전극 형성용 시트에 가압 밀착시켜 상기 외부전극 형성용 시트를 세라믹 바디(10)에 부착시킨다. 그 다음, 펀칭 탄성체에 의해 상기 외부전극 형성용 시트가 절단됨으로써, 상기 세라믹 바디의 길이 방향 양 측면에 외부전극(31, 32)이 형성된다.
- [0056] 즉, 펀칭 탄성체는 세라믹 바디의 외측에 부착된 외부 전극 형성용 시트를 절단하는 역할을 할 수 있다.
- [0057] 이와 같이 시트 전사 공법을 이용하는 경우, 세라믹 바디(10)의 두께 방향 중앙부 영역에서의 외부전극(31, 32)의 두께를 T1 및 내부전극 중 최외측 내부전극이 위치하는 지점에서의 외부전극(31, 32)의 두께를 T2라 할 때, $0.8 \leq T2/T1 \leq 1.2$ 를 만족할 수 있다.
- [0058] T2/T1의 비가 $0.8 \leq T2/T1 \leq 1.2$ 를 만족함으로써, 세라믹 바디(10)의 두께 방향 중앙부 영역에서의 상기 외부전극(31, 32)의 두께(T1)와 상기 내부전극 중 최외측 내부전극이 위치하는 지점에서의 외부전극(31, 32)의 두께(T2)의 편차를 줄여서 신뢰성 저하를 방지할 수 있다.
- [0059] T2/T1의 비가 0.8 미만 또는 1.2를 초과하는 경우에는, 외부전극의 두께 편차가 크게 되므로 두께가 얇은 부분으로 도금액이 침투할 수 있어 신뢰성이 저하되는 문제가 있을 수 있다.
- [0060] 외부 전극(31, 32)은 도 3에서 보는 바와 같이, 세라믹 바디(10)의 제3면(3) 및 제4면(4)으로 각각 연장되어, 제1 및 제2 도전성 박막(41, 42)의 일부를 덮도록 배치될 수 있다.
- [0061] 후술하는 바와 같이, 본 발명의 일 실시예에 따른 적층 세라믹 전자 부품(100)은 실장시 외부 전극(31, 32)이 기관의 랜드패턴과 도전성 박막(41, 42)을 통해 연결된다. 따라서, 외부 전극(31, 32)이 도전성 박막(41, 42)의 일부를 덮도록 배치하여, 외부 전극(31, 32)과 도전성 박막(41, 42)의 사이의 연결 불량을 방지할 수 있다.
- [0062] 솔더 방지막(51, 52)은 세라믹 바디(10)의 제1면(1) 및 제2면(2)에 형성된 외부 전극(31,32) 상에 형성된다.
- [0063] 또는, 솔더 방지막(51, 52)은 세라믹 바디(10)의 제1면(1) 및 제2면(2)으로부터 인접하는 제3면(3) 및 제4면(4)으로 연장되어, 도전성 박막(61, 62)의 일부를 덮도록 배치될 수 있다.
- [0064] 즉, 세라믹 바디의 제3면(3) 및 제4면(4)에 외부 전극(31, 32)이 연장되어 형성된 경우, 솔더 방지막(51, 52)은 제3면(3) 및 제4면(4)에 형성된 외부 전극(31, 32)을 덮도록 배치될 수 있다.
- [0065] 도전성 박막(41, 42)에는 실장시 솔더와 접합성을 향상시키기 위해 도금층(61, 62)이 형성될 수 있다. 도금층(61, 62)은 도전성 박막(41, 42)을 시드(seed)층으로 하여 전해 도금 또는 무전해 도금을 이용하여 형성될 수 있다.
- [0066] 솔더 방지막(51, 52)은 세라믹 바디(10)의 제3면(3) 또는 제4면(4)으로부터 도금층(61, 62)보다 돌출되는 돌출부(51')를 포함할 수 있다.
- [0067] 즉, 돌출부(51')는 솔더 방지막(51, 52) 중 세라믹 바디(10)의 제3면(3) 또는 제4면(4)으로부터 외측으로 T_c 만큼 돌출된 부분을 의미 할 수 있다. 도금층(61, 62) 및 도전성 박막(41, 42)의 두께의 합을 T_b라고 할 때, T_c > T_b를 만족할 수 있다.
- [0068] T_c가 T_b보다 큰 경우, 돌출부(51')가 솔더가 세라믹 바디(10)의 제1면(1) 및 제2면(2)으로 번지는 것을 방지하는 방지턱의 역할을 수행할 수 있다.
- [0069] **적층 세라믹 전자 부품의 실장 기관**
- [0070] 도 4는 본 발명의 다른 실시예에 따른 적층 세라믹 전자부품의 실장기관(1000)의 단면도를 개략적으로 도시한 것이다.

- [0071] 도 4에 있어서, 전술한 적층 세라믹 전자 부품(100)에서 설명한 사항과 동일한 것에 대해서는 생략하도록 한다.
- [0072] 도 4를 참조하면, 본 발명의 다른 실시예에 따른 적층 세라믹 전자부품의 실장 기판은 기판(200), 기판(200)의 일면에 배치된 제1 전극 패드(211) 및 제2 전극 패드(212)를 포함한다.
- [0073] 기판(200)에는 솔더(221, 222)에 의해 부착되는 적층 세라믹 전자 부품(100)이 실장된다.
- [0074] 도 4에서 알 수 있듯이, 제1 도금층(61)은 제1 솔더(221)에 의해 제1 전극 패드(211)에 부착 및 전기적으로 연결되고, 제2 도금층(62)은 제2 솔더(222)에 의해 제2 전극 패드(212)에 부착 및 전기적으로 연결된다.
- [0075] 이 때, 제1 솔더(221)는 제1 솔더 방지막(51)의 끝부분으로부터 제1 도금층(61)의 내측 끝부분, 즉 세라믹 바디(10)의 길이 방향의 중심부 방향의 단부까지 형성될 수 있다. 또한, 제2 솔더(222)는 제2 솔더 방지막(52)의 끝부분으로부터 제2 도금층(62)의 내측 끝부분, 즉 세라믹 바디(10)의 길이 방향의 중심부 방향의 단부까지 형성될 수 있다.
- [0076] 본 발명의 또 다른 실시예에 따른 적층 세라믹 전자 부품의 실장 기판(1000)은 적층 세라믹 전자 부품(100)이 솔더 방지막(51, 52)을 포함하고 있기 때문에, 솔더(221, 222)가 세라믹 바디(10)의 길이 방향의 양 단면으로 타고오르는 것을 방지할 수 있다.
- [0077] 따라서, 하기 표 1과 같이 실장시 필요한 면적을 감소시키는 효과가 있다.
- [0078] 표 1은 본 발명의 일 실시예에 따른 적층 세라믹 전자 부품을 이용한 경우에, 각 방향의 양쪽으로 실장시 필요한 길이가 감소한 것을 측정한 것이다.

표 1

세라믹 전자 부품의 종류	감소량 (μm)	
	길이 방향	0402
두께 방향	8	29
폭 방향	4	13
	14	25

- [0080] 즉, 표 1에서 알 수 있듯이, 본 발명의 일 실시예에 따른 적층 세라믹 전자 부품을 이용하면 실장시 필요한 면적을 현저히 감소시킬 수 있음을 알 수 있다.
- [0081] 특히, 적층 세라믹 전자 부품의 실장시 간격을 100 μm 이하로 형성한 경우에도 인접하는 적층 세라믹 전자 부품의 솔더가 서로 연결되는 브릿지 불량 발생이 방지된다는 효과가 있다.
- [0082] 본 발명은 상술한 실시 형태 및 첨부된 도면에 의해 한정되는 것이 아니며 첨부된 청구범위에 의해 한정하고자 한다.
- [0083] 따라서, 청구범위에 기재된 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 당 기술분야의 통상의 지식을 가진 자에 의해 다양한 형태의 치환, 변형 및 변경이 가능할 것이며, 이 또한 본 발명의 범위에 속한다고 할 것이다.

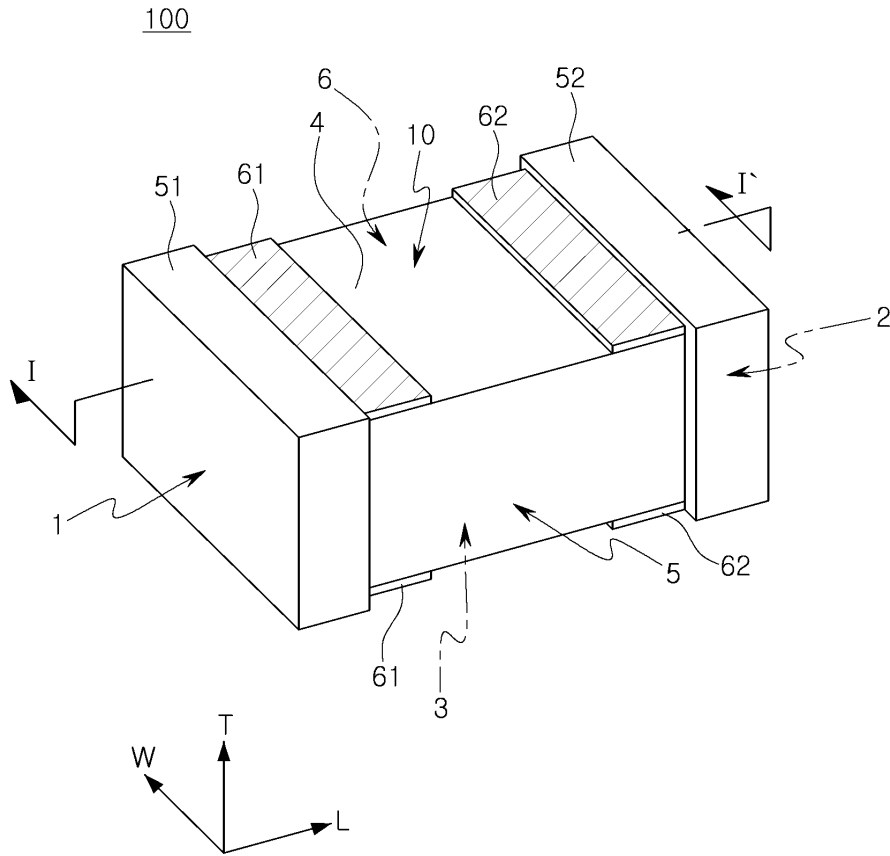
부호의 설명

- [0084] 10: 세라믹 바디
- 11: 유전층
- 21, 22: 내부 전극

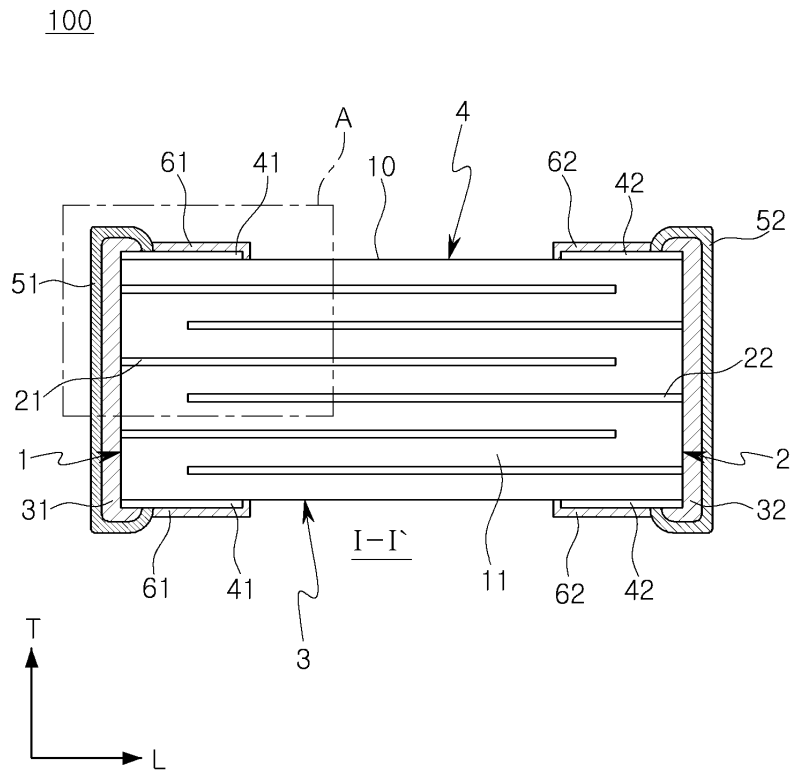
- 31, 32: 외부 전극
- 41, 42: 도전성 박막
- 51, 52: 솔더 방지막
- 61, 62: 도금층

도면

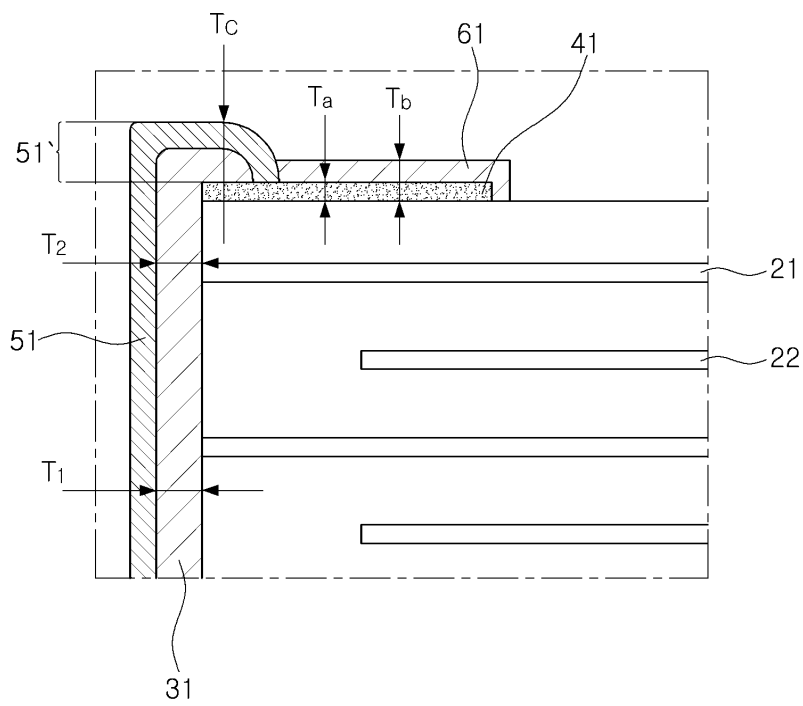
도면1



도면2



도면3



도면4

