

發明專利說明書

200413376

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：92128687

※ 申請日期：92/10/16

※IPC 分類：G05F 1/0

壹、發明名稱：(中文/英文)

(中文) 具動態負載之可變電荷泵電路

(英文) VARIABLE CHARGE PUMP CIRCUIT WITH DYNAMIC LOAD

貳、申請人：(共 1 人)

姓名或名稱：(中文/英文)

(中文) 艾特梅爾公司

(英文) Atmel Corporation

代表人：(中文/英文)

朱莉·Y·瑪-斯皮諾拉 / Julie Y. Mar-Spinola

住居所或營業所地址：(中文/英文)

(中文) 美國加州聖荷西市奧查德林蔭大道 2325 號

(英文) 2325 Orchard Parkway, San Jose, California 95121, USA

國 籍：(中文) 美國 (英文) USA

參、發明人：(共 3 人)

姓 名：(中文/英文)

(1) 羅倫佐貝達里達 / Lorenzo Bedarida

(2) 賽門巴托里 / Simone Bartoli

(3) 史蒂芬諾席維洛 / Stefano Sivero

住居所地址：(中文/英文)

(1) 義大利文默凱特市馬可尼大廈 7A 號

Piazza Marconi 7A, 20059 Vimercate, Italy

(2) 義大利卡比哥市蒙特班哥路 21 號

Via Monte Bianco 21, 20090 Carbiago, Italy

(3) 義大利佛加德市南加科墨路 6 號

Via S. Giacomo 6, 21029 Vergiate, Italy

國 籍：(中文)義大利 (英文) Italy

肆、聲明事項：

☐ 本案係符合專利法第二十條第一項 ☐ 第一款但書或 ☐ 第二款但書規定之期間，其日期為： 年 月 日。

◎本案申請前已向下列國家(地區)申請專利 ☒ 主張國際優先權：

【格式請依：受理國家(地區)；申請日；申請案號數 順序註記】

1. 義大利；2002/10/25；MI2002 A 002268

2.

3.

4.

5.

☐ 主張國內優先權(專利法第二十五條之一)：

【格式請依：申請日；申請案號數 順序註記】

1.

2.

☐ 主張專利法第二十六條微生物：

☐ 國內微生物 【格式請依：寄存機構；日期；號碼 順序註記】

☐ 國外微生物 【格式請依：寄存國名；機構；日期；號碼 順序註記】

☐ 熟習該項技術者易於獲得，不須寄存。

Via S. Giacomo 6, 21029 Vergiate, Italy

國 籍：(中文)義大利 (英文) Italy

肆、聲明事項：

☐ 本案係符合專利法第二十條第一項 ☐ 第一款但書或 ☐ 第二款但書規定之期間，其日期為： 年 月 日。

◎本案申請前已向下列國家(地區)申請專利 ☒ 主張國際優先權：

【格式請依：受理國家(地區)；申請日；申請案號數 順序註記】

1. 義大利；2002/10/25；MI2002 A 002268

2.

3.

4.

5.

☐ 主張國內優先權(專利法第二十五條之一)：

【格式請依：申請日；申請案號數 順序註記】

1.

2.

☐ 主張專利法第二十六條微生物：

☐ 國內微生物 【格式請依：寄存機構；日期；號碼 順序註記】

☐ 國外微生物 【格式請依：寄存國名；機構；日期；號碼 順序註記】

☐ 熟習該項技術者易於獲得，不須寄存。

玖、發明說明：

【發明所屬之技術領域】

本發明概言之係關於電荷泵電路，特別是關於可變電荷泵電路，適用於提供數個目標輸出電壓位準中的任一者。

【先前技術】

許多型式之記憶體裝置需要高電壓用於讀取、程式化及擦除指令。具有頁擦除、大量擦除與區段擦除之記憶體正是如此。

最常見的內部高電壓產生方法，係使用電荷泵電路將供應至記憶體電路之電壓升壓。一電荷泵電路使用一電容陣列來增加供應電壓。一低電壓源係耦接至一電荷泵電路，以產生記憶體擦除、讀取及程式化操作所需的高電壓。

圖 1 顯示典型二級電荷泵電路 100，其可產生一升壓輸出電壓 V_{pump} ，大於電壓源 102，例如記憶體晶片之外部接腳所供應之供應電壓 V_{cc} 。電壓源 102 係耦接至一第一二極體連接 NMOS 電晶體 104。第一 NMOS 電晶體 104 之源極係耦接至一電容 106，並耦接至一第二二極體連接 NMOS 電晶體 110。第二 NMOS 電晶體 110 之源極係耦接至一第二電容 108，並耦接至一第三 NMOS 電晶體 112。第三電晶體 112 之閘極連接至其汲極，且其源極連接至輸出電壓 V_{pump} 。電容 106 與 108 的另一端 114 與 118 分別接收相位相反之時脈信號 CK 與 CKN。內部高電壓的獲得方式，是利用內部供應電壓 V_{cc} 來升壓 106、108 串聯電容。電容 106 與 108 以時脈速率儲存並轉移電荷。節點 A 係為電容 106 與二極體

連接 NMOS 電晶體 110 之源極的接點。節點 B 係為電容 108 與二極體連接 NMOS 電晶體 112 之接點。節點 A 的電壓等於電容 106 之電壓與 V_{cc} 的總和。節點 B 的電壓等於電容 108 之電壓。輸出電壓 (V_{pump}) 為節點 A 與節點 B 之電壓的總和。視電荷泵電路 100 的效率而定，泵輸出電壓 (V_{pump}) 係為電晶體 112 遞送至輸出端的電壓量。一第一調節器可從泵輸出電壓設置回授，快速地開啟與關閉電荷泵，以便減小泵輸出電壓中的漣波。

在圖 1 所示之二級電荷泵電路中，泵輸出電壓 V_{pump} 可小於電荷泵電路 100 所能遞送的最大電壓。例如，電荷泵可能需要供應數個不同輸出電壓 (V_{pump}) 中的任何一者，只有其中之一係接近最大值。更籠統的說法，對於 n -級泵電路，最大的泵輸出 ($V_{out,max}$) 等於 $(n+1)*V_{cc}$ 。電荷泵所能提供之電流為 $I_{out} = f(V_{dd} \cdot N_p \cdot C_p / N_s \cdot T_{ck})$ ，其中 N_p 係為並聯級數、 N_s 係為串聯級數、 C_p 係為電容值、而 T_{ck} 係為電荷泵時脈週期。時脈信號 CK 與 CKN 界定從內部電源供應 114 之電荷轉移速率。同樣地，時脈速率越快，則泵電壓可越快達到目標電壓。

通常，若一電荷泵輸出 (V_{pump}) 顯著地小於最大輸出 (V_{max})，其會遭受一漣波電壓信號，這是由泵電路之電容與負載電路之電容之間的電荷分配所引起。漣波電壓的頻率與時脈之衝放電循環相疊合。在充電循環期間，輸出電壓上升超過(過衝；overshoot)目標電壓，然後再度下降，如同負載之 RC 放電與負載電容 C_L 的函數。電壓過衝的位

準係正比於最大泵輸出電壓 V_{max} 與泵輸出 (V_{pump}) 之間的差異。換言之，電壓過衝係正比於饋送至負載電容中的超額電荷。

當一電荷泵電路 100 必須提供數個不同調節 V_{out} 值中的任一者時，此種漣波現象非常重要。當一單一電荷泵電路 100 必須供應從很低到很高之範圍值的多個 V_{pump} 值時。在此種情況中，泵升壓電容必須較大，以便確保電荷泵電路 100 能夠在最高電壓供應足夠的電流，但是在很低 V_{pump} 值時供應電流的效率過高，在後者情況中產生非常高的漣波。由於電壓過衝純粹是因為內部泵電容與外部負載之間的電荷分配所引起，調節泵輸出越低會使電荷分配越高而使得電壓過衝越高。

參照圖 2A、2B 與 2C，其係從相同電荷泵電路對時間所繪製之三個不同泵電壓輸出 V_A 、 $V_B (=2 \cdot V_A)$ 與 $V_C (=4 \cdot V_A)$ 的圖形，顯示出 V_{pump} 與 I_{out} 係嚴格地取決於目標泵值與電荷泵變化。若已知電荷泵規格，例如 V_{max} 與 $load_{max}$ ，泵的尺寸可被界定，以便達到最佳效率之泵。泵 100 的尺寸係以最小耗損、面積與級數所確認。圖 2A 顯示具有最高過衝問題之最低泵輸出電壓 V_A ，因為電荷泵電路對於給定負載電容的效率過高。圖 2B 顯示較高泵電壓 V_B 具有較低之過衝問題，因為負載與泵電路 100 較為匹配。圖 2C 顯示接近 V_{max} 之最高泵電壓 V_C 幾乎不具有過衝問題，其係為此電荷泵電路之最佳匹配。

一種解決電荷泵之過衝問題的方式，揭示於 Nebrigic

等人之美國專利第 6,370,046 號「運用超電容之動態調節電荷泵電源轉換器 (Ultra-Capacitor Based Dynamically Regulated Charge Pump Power Converter)」，其使用一電源轉換器，並藉由動態控制一包括浮動超電容 (flying ultra capacitor) 之電荷泵的開關陣列，來提供電力。藉由感測輸出電壓、並相應地改變電荷泵之操作頻率，'046 專利可動態地依據需求而提供電源。特別是，動態控制器操作一電容性電源輸出級，以一速率泵唧電荷 (pump charge)，來維持一橫跨一負載電容之輸出電壓 V_{out} 。當輸出電壓下降到低於一參考電壓時，動態控制器將一浮動電容放電至負載電容。藉由浮動超電容之充電與放電，閉迴路動態控制可維持一期望輸出電壓。'046 專利亦揭示一種二級控制器，其以低速率切換一浮動超電容，以產生增加之輸出電源。二級控制器可維持橫跨浮動超電容之一預定電壓漣波，使電荷有效率轉移到輸出電容。

【發明內容】

本發明之目的在於提供一種電荷泵電路，其具有最小之漣波泵輸出電壓，同時可維持電荷泵與調節器之基本結構。

上述目的可利用一具有可變負載之電荷泵電路來達成。電荷泵電路包含一或多個級，可接收一供應電壓並產生一或多個泵電壓。複數個負載可連接至電荷泵輸出，每一負載關聯於一特定目標泵電壓。一負載選擇裝置係根據目標泵電壓而將被選取之負載耦接至輸出。

總結言之，此方法可動態地選取泵之最佳負載，做為一

目標輸出電壓之函數。

在另一具體例中，可設置一調節器來監視輸出之不可接受過衝位準，並在此種不可接受過衝被偵測到的情況下，附接一額外負載。

【實施方式】

參照圖 3，一電荷泵電路 300 包含一泵電路，包括一或多個泵級，可運作接收一供應電壓 V_{cc} ，並產生一或多個泵電壓。所示之電荷泵電路 300 具有二個泵級，但概括而言電荷泵電路 300 可具有 n 級，其中 $n > 1$ 。電荷泵電路 300 包括數個不同的負載 322、326 及 330，分別可經由一個別開關 320、324 及 328 而連接至電荷泵電路之輸出 334。視期望之泵輸出 V_{out} 而定，開關選取一關聯於特定泵電壓之適當負載，使得產生一最小電壓漣波。

泵電路包括三個串聯連接之二極體 304、306、及 308（此處實作上係使用二極體連接之 n -通道電晶體）。第一二極體 304 之輸入端係耦接至一供應電壓 V_{cc} 302。第一二極體之輸出端係連接至第二二極體 306 之輸入端，而第三二極體之輸出端係連接至電荷泵電路 300 之輸出 332。

電荷泵電路 300 亦包括二電容 310 與 312，分別用於各個泵級。第一電容 310 的第一端係耦接至第一二極體 304 之輸出及第二二極體 306 之輸入。第二電容 312 的第一端係耦接至第二二極體 306 之輸出及第三二極體 308 之輸入。在一 n -級電荷泵電路中，最後一個電容係耦接至最後一個二極體之輸入端。

供應於輸入 314 之時脈信號 CLK 係與一組反向器 316 與 318 串聯耦接。第一反向器 316 之輸出係耦接至一第一電容 310 之第二端。第二反向器 318 之輸出係耦接至第二電容 312 之第二端。在一 n-級電荷泵中，串聯電路中的額外反向器係耦接至其他電容級。

本發明之電荷泵電路 300 亦包括數個不同的負載 322、326 與 330。負載可為電容或電流槽 (current sinker)。每一負載係關聯於一個不同的泵輸出電壓 V_{out} 。電路所設置之負載數量係視可設置之目標泵電壓數量而有所不同。一給定負載可關聯於一固定輸出電壓、或關聯於一小電壓區間。第一負載 322 係關聯於一泵輸出電壓 VA，且係連接至一第一開關 320。第一開關係藉由一控制信號 EN_A 而致能。同樣地，第二負載 326 係關聯於一泵輸出電壓 VB，且係連接至一第二開關 324。第二開關 324 係藉由 EN_B 而致能。最後，第三負載 330 係關聯於一泵輸出電壓 VC，且係連接至一開關 328。第三開關 328 係藉由 EN_C 而致能。三開關 320、324、與 328 及其個別控制信號 EN_A、EN_B 與 EN_C 形成一負載選擇裝置，其可使電荷泵輸出 334 的電壓漣波減到最小。

當用於 VA、VB 或 VC 任一者的指令被一控制器 (圖未示) 所接收時，控制器 (圖未示) 產生致能控制信號 EN_A、EN_B 或 EN_C，選取一適合此電壓之負載，以給予最小電壓漣波。一次只能選取一負載。例如，若電壓 VA 被選取，EN_A 可使第一開關 320 關上，將第一負載連接至電荷泵電路 300

的輸出端。其餘負載 326 與 330 均與輸出端斷開，因為其對應開關 324 與 328 均為開啟。

電荷泵電路 300 的輸出係顯示於圖 4A 中。其具有最小之漣波，因為負載係與泵電路之負載電容 322 匹配。如此一來，由於選取負載 A 之加入，上述之電荷分配效果係最小。

同樣地，參照圖 4B，其顯示以控制信號 EN_B 使第二開關 324 關上藉以選取圖 3 之負載 B 326 時，電荷泵電路 300 之反應。當負載 B 326 被選取時，負載 A 322 與負載 C 330 係與電荷泵電路 300 之輸出斷開。對照於圖 2 中的圖 2B，在此情況中電荷泵輸出的電壓漣波係為最小，這是由於，負載 B 所提供的負載使得泵之負載匹配於內部泵電容，故泵唧至負載電容之電荷顯著減少。

參照圖 4C，其顯示以控制信號 EN_C 使第三開關 328 關上藉以選取圖 3 之負載 C 330 時，電荷泵電路 300 之反應。當負載 C 330 被選取時，負載 A 322 與負載 B 326 係與電荷泵電路 300 之輸出斷開。在此情況中電荷泵輸出的電壓漣波亦為最小，這是由於，負載電容與內部電容匹配，故泵唧至負載電容之電荷顯著減少。

參照圖 5A，其顯示 EN_A 開關 320 與負載 A 322 的一具體例。開關 324 與 328 的結構類似。在此具體例中，開關 EN_A 係為一 NMOS 電晶體，其閘極連接至 EN_A 端、源極連接至電性接地 332、而汲極連接至一負載電容 502A。負載電容 502A 的一端連接至泵輸出 (V_{out})。當電壓 VA 被選取

時，EN_A 端為 HIGH，NMOS 電晶體開啟，將負載 A 連接至輸出（ V_{out} ）。

圖 5B 顯示開關 EN_A 320 與負載 A 322 的另一具體例。在此具體例中，開關 EN_A 包含一升降電路 502B，其輸入連接至 EN_A 端、輸出連接至一 NMOS 電晶體 504B 之閘極。NMOS 電晶體 504B 之汲極係連接至泵輸出（ V_{out} ）、而源極係連接至一負載電容 506B。負載電容 506B 的第二端係連接至電性接地 322。當電壓 VA 被選取時，EN_A 端為 HIGH，升降電路 502B 的輸出為高。NMOS 電晶體被開啟，將負載 A 連接至輸出（ V_{out} ）。

參照圖 6，泵輸出電壓 V_{pump} 之一較簡單控制器係為電荷泵電路 600。此電路包含如圖 1 所示之泵電路 100、一比較器 602、一第一電阻網路 604 及一第二電阻網路 606。電荷泵電路 600 可比較泵輸出電壓（ V_{cfra} ）之一樣本與一參考電壓（ V_{ref} ）。每當 V_{cfra} 大於 V_{ref} 時，比較器 602 會經由比較器 602 之 ENAPUMP 端將泵電路 100 禁能。

參照圖 7，其顯示本發明之另一具體例，具有擴充之選擇器裝置，可進一步比較在節點 V_{cfra} 所取樣之泵電壓輸出的最大可接受漣波與參考電壓（ V_{ref} ）。電荷泵電路 700 包括如圖 1 所示之泵電路 100、一第一比較器 702 用以比較取樣目標泵輸出（ V_{cfra} ）與參考電壓（ V_{ref} ）、一第一電阻 704、一第二電阻 706、一第三電阻 708、及一第四電阻 710、一邏輯電路 712、一第二比較器 714、一設定負載（Set_load）開關 716 連接至一設定負載 718、一 EN_A 開

關 720 連接至一負載 A 722、一 EN_B 開關 724 連接至一負載 B 726、及一 EN_C 開關 728 連接至一負載 C 730。第二電阻 706、第四電阻 710、負載 S 718、負載 A 722、負載 B 726、及負載 C 730 之第二端係連接至一電性接地 732。

如上所述，每當以第一電阻網路取樣到的泵輸出電壓 (V_{cfra}) 大於參考電壓 (V_{ref}) 時，第一比較器 702 可將泵 100 禁能。否則，第一比較器 702 使泵電路 100 持續運作。當電壓 V_{cfra} 大於參考電壓 (V_{ref}) 時，電荷泵電路 700 執行第二測試，進一步縮小泵輸出 (V_{out}) 之電壓漣波。每當在節點 V_{cfrb} 所取樣之目標輸出的最大可接受漣波大於參考電壓 (V_{ref}) 時，第二比較器 714 指示邏輯電路 712 將負載 S 718 加入；否則，第二比較器 714 使泵電路 700 在沒有加入任何負載的情況下運作。

再者，可設置一額外回授電路以直接控制泵輸出。以此種方式，亦可以溫度及供應電壓之函數來決定最佳負載。

參照圖 8，一記憶體系統之一方塊圖包括圖 6 之電荷泵電路 600。記憶體系統包括一位址解碼器 802、控制電路 806、及讀取/寫入/擦除/檢驗電路 808 耦接至一記憶體單元陣列 804。此外，位址解碼器 802 係耦接至一位址匯流排 810，控制電路 806 係耦接至一控制匯流排 812，而讀取/寫入/擦除/檢驗電路 808 係耦接至一資料匯流排 814。電荷泵電路 600 所產生的泵輸出電壓 V_p 可供應至記憶體系統中的數個元件。在記憶體系統中，電荷泵電路 600 將泵輸出電壓供應至讀取/寫入/擦除/檢驗電路 808，其可使用此

電壓於一資料緩衝器中，將該緩衝器致能，以便在資料匯流排上傳送或接收完全邏輯位準信號。電荷泵電路 600 亦將泵輸出電壓供應至位址解碼器 802，接著可利用此電壓將升壓字元線電壓供應至陣列。運作時，處理器或記憶體控制器等外部電路將位址、資料、及控制信號供應到個別匯流排 810、812、814 上，將資料來回傳送至記憶體系統 800。當包含於快閃記憶體中時，電荷泵電路 600 典型地將會接收一外部供應電壓 V_{cc} ，並產生複數個可切換電壓 V_p ，用於在陣列中所包含之非揮發性記憶體單元區塊中執行程式化與擦除操作。記憶體單元陣列區段 0、1、...5 中所設置之每一區域解碼器包含至少一 n -型電晶體用於傳遞負電壓、及至少一 p -型 MOS 電晶體用於傳遞正電壓至該區段之一定址列。

圖 9 係為包括含有圖 8 之記憶體裝置 800 之計算電路 802 的電腦系統 900。計算電路 802 及其相關聯之處理器 804 執行各種計算功能，例如執行特定軟體，以進行特定計算或工作。此外，電腦系統包括一或多個輸入裝置 806，例如一鍵盤或一滑鼠，耦接至電腦電路，做為操作者與電腦系統之介面。典型地，電腦系統亦包括一或多個輸出裝置耦接至電腦電路，此種輸出裝置典型係為一印表機或一影像終端機。典型地，亦有一或多個儲存裝置耦接至電腦電路，以儲存資料或從外部儲存媒體擷取資料。典型儲存裝置之範例包括硬碟與軟碟、磁帶、及唯讀記憶體光碟 (CD-ROM)。電腦電路典型係透過適當位址、資料及控制匯

流排而耦接至記憶體裝置，以將資料寫入記憶體裝置及從記憶體裝置讀取資料。

本發明之另一態樣提供一種用於在一記憶體裝置中達到電荷泵操作之最小電壓漣波的方法，其可配合上述之電腦系統及記憶體裝置而使用。參照圖 10，此流程圖所顯示之方法 1000 可特別配合圖 3 與 7 之電路，藉由動態選取最佳可產生期望結果之負載，除了設定負載 A、B 與 C 其中之一外，並包括決定是否設定負載 S，用於在電荷泵電路 600 中達到最小電壓漣波。此方法開始時，選擇一期望輸出泵電壓（步驟 1004），選取關聯於選定輸出泵電壓之負載（步驟 1006），比較（步驟 1008）目標輸出電壓（ V_{cfra} ）與一參考電壓（ V_{ref} ），比較（步驟 1010）最大漣波目標輸出電壓（ V_{cfrb} ）與參考電壓（ V_{ref} ）。對於一給定之輸出電壓 V_{pump} ，此時之電阻網路 V_{cfrb} 可使 $V_{cfrb} < V_{cfra}$ 。每當目標輸出電壓 V_{cfra} 小於 V_{ref} 時，則持續泵唧過程。每當 V_{cfrb} 大於 V_{ref} 時，加入一負載；否則進行下一步驟。每當輸出泵目標 V_{cfrc} 之最小可接受過衝小於 V_{ref} 時（步驟 1014），移除一負載並繼續；否則持續察看電源是否關閉（步驟 1016）。若電源關閉，則結束電荷泵過程。

方法 1000 開始於步驟 1002。指令開始，並命令匯流排控制器指示電荷泵電路 600 開始。

在步驟 1004，指令提供資訊至電荷泵電路 600，接近在輸出節點所需要的電壓。

在步驟 1006，開關致能一對應於選定泵電壓之負載，藉

由上述 EN_A、EN_B 或 EN_C 其中一者功能，切換可提供最佳電壓漣波之負載。泵唧階段（步驟 1007）被致能。

在步驟 1008，泵電路 600 達到期望值之後，為了確保泵輸出在正確的輸出電壓值，電荷泵電路對照於參考電壓而量測泵輸出。每當所量測之泵輸出電壓（ V_{cfra} ）大於參考電壓時，表示有過衝（輸出電壓超過目標電壓）。電荷泵電路的邏輯電路命令電荷泵電路 600 停止運作（步驟 1009）。每當所量測到的泵輸出電壓（ V_{cfra} ）小於參考電壓時，輸出低於期望值，而電路 600 持續致能電荷泵電路之泵唧（步驟 1007）。

在步驟 1010，輸出電壓（ V_{cfrb} ）係與參考電壓（ V_{ref} ）相比較，以便確認是否發生電壓過衝。每當 V_{cfrb} 大於或等於參考電壓（ V_{ref} ）時，表示有電壓過衝，而邏輯進行到次一步驟。

在步驟 1012，電路 600 加入一負載，使得電壓漣波可減小。此步驟持續到電壓漣波減小為止，然後電路 600 進行到次一步驟。

在步驟 1014，電路 600 比較輸出電壓（ V_{cfrc} ）與參考電壓（ V_{ref} ），以確認是否發生輸出電壓之最小下降。對於一給定之 V_{pump} ，電阻網路可使 $V_{cfrc} > V_{cfra}$ 。若 V_{cfrc} 絕對小於參考電壓（ V_{ref} ），表示有電壓過衝，而邏輯進行到次一步驟。

在步驟 1016，電路 600 移除一負載，使得電壓下降可減少。此步驟持續到電壓下降減少為止，然後電路 600 進行

至次一步驟。

在步驟 1016，達到最小電壓漣波時，電路 600 觀察電源是否關閉。若電源未關閉，方法 1000 重複步驟 1008 至 1016，直到電源關閉為止。

在步驟 1018，當電源關閉時，方法結束。

【圖式簡單說明】

圖 1 係為一三級電荷泵電路之示意圖。

圖 2A 繪示圖 1 之電荷泵電路之一反應。

圖 2B 繪示圖 1 之電荷泵電路的另一反應。

圖 2C 繪示圖 1 之電荷泵電路之一反應。

圖 3 係為本發明電荷泵電路之示意圖。

圖 4A 係為圖 3 電荷泵電路在 EN_A 開啟時的反應圖。

圖 4B 係為圖 3 電荷泵電路在 EN_B 開啟時的反應圖。

圖 4C 係為圖 3 電荷泵電路在 EN_C 開啟時的反應圖。

圖 5A 係為圖 3 負載 A 之一具體例的示意圖。

圖 5B 係為圖 3 負載 A 之另一具體例的示意圖。

圖 6 係為電荷泵電路 300 之一替代具體例的方塊圖，其中電荷泵電路 300 耦接有一負載選擇器，用於在 V_{cfra} 小於 V_{ref} 時致能/禁能泵電路 300。

圖 7 係為電荷泵電路 300 之另一具體例的方塊圖。

圖 8 係為使用圖 6 電荷泵電路之記憶體系統的方塊圖。

圖 9 係為使用圖 7 記憶體系統之電腦系統的方塊圖。

圖 10 係為動態選取一最佳負載之方法流程圖，相較於圖 1 之電路，可用於減少電壓漣波。

(元 件 符 號 說 明)

100	電 荷 泵 電 路
102	電 源
104	第 一 N M O S 電 晶 體
106	電 容
108	電 容
110	第 二 N M O S 電 晶 體
112	第 三 N M O S 電 晶 體
114	端
118	端
300	電 荷 泵 電 路
302	供 應 電 壓
304	第 一 二 極 體
306	第 二 二 極 體
308	第 三 二 極 體
310	第 一 電 容
312	第 二 電 容
314	輸 入
316	第 一 反 向 器
318	第 二 反 向 器
320	第 一 開 關
322	第 一 負 載
324	第 二 開 關
326	第 二 負 載

328	第三開關
330	第三負載
332	電性接地
334	輸出
502A	負載電容
502B	升降電路
504A	NMOS電晶體
504B	NMOS電晶體
506B	負載電容
600	電荷泵電路
602	比較器
604	第一電阻網路
606	第二電阻網路
700	電荷泵電路
702	第一比較器
704	第一電阻
706	第二電阻
708	第三電阻
710	第四電阻
712	邏輯電路
714	第二比較器
716	設定負載開關
718	設定負載
720	EN_A開關

722	負 載 A
724	EN_B 開 關
726	負 載 B
728	EN_C 開 關
730	負 載 C
732	電 性 接 地
800	記 憶 體 系 統
802	位 址 解 碼 器
804	記 憶 體 單 元 陣 列
806	控 制 電 路
808	讀 取 / 寫 入 / 擦 除 / 檢 驗 電 路
810	位 址 匯 流 排
812	控 制 匯 流 排
814	資 料 匯 流 排
900	電 腦 系 統
902	計 算 電 路
904	處 理 器
906	輸 入 裝 置
1000	方 法
1002	步 驟
1004	步 驟
1006	步 驟
1007	步 驟
1008	步 驟

- 1 0 0 9 步 驟
- 1 0 1 0 步 驟
- 1 0 1 2 步 驟
- 1 0 1 4 步 驟
- 1 0 1 6 步 驟
- 1 0 1 8 步 驟

伍、中文發明摘要：

一種可變電荷泵電路，使用複數個可選擇之負載，藉由選擇適合於預先選定泵電壓之負載，來最小化泵輸出之電壓漣波。電荷泵電路亦比較泵電壓與一參考電壓，若泵電壓大於參考電壓，則關閉可變電荷泵電路。電荷泵電路亦比較最大電壓輸出與參考電壓，監測電壓輸出上之最大漣波是否大於參考電壓。電荷泵電路包含一或多個級，可操作以接收一供應電壓，並產生一或多個泵電壓，複數個負載各關聯於一特定泵電壓，而一負載選擇裝置耦接至輸出泵與複數個負載，用以選擇一關聯於特定泵電壓之負載。

陸、英文發明摘要：

A variable charge pump circuit uses a plurality of selectable loads to minimize the voltage ripples of the pumped output by selecting the appropriate load for a preselected pump voltage. The charge pump circuit also compares the pump voltage to a reference voltage to shut down the variable charge pump circuit if the pump voltage is larger than the reference voltage. The charge pump circuit also compares the maximum voltage output to the reference voltage to monitor whether the maximum ripple on voltage output is larger than the reference voltage. The charge pump circuit comprises one or more stages operable

to receive a supply voltage and generate one or more pump voltages, a plurality of loads each associated with a specific pump voltage, and a load selector means coupled to the output pump and the plurality of loads for selecting a load associated with a specific pump voltage.

拾、申請專利範圍：

1. 一種電荷泵電路，用於產生一具有最小電壓漣波之電荷泵電壓，包含：

a) 一泵電路，包含一或多個級，可操作以接收一供應電壓，並產生複數個泵電壓中的一選定電壓；

b) 複數個負載，可選擇性地耦接至泵電路之一輸出，每一負載係關聯於一特定泵電壓；及

c) 一負載選擇裝置，用於選擇性地將關聯於一特定泵電壓之一負載耦接至該泵電路之輸出。

2. 如申請專利範圍第 1 項之電荷泵電路，其中，負載選擇裝置包括一目標輸出泵選擇器，用於在目標輸出泵電壓 (V_{cfra}) 大於或等於一參考電壓 (V_{ref}) 時，將可變電荷泵電路關閉。

3. 如申請專利範圍第 2 項之電荷泵電路，其中，負載選擇裝置又包括一目標輸出選擇裝置上之最大漣波，用於加入一負載，每當一目標輸出電壓 (V_{cfrb}) 上之最大漣波大於參考電壓 (V_{ref}) 時，則目標輸出選擇裝置上之最大漣波加入額外負載，直到 V_{cfrb} 電壓小於或等於參考電壓 (V_{ref}) 為止。

4. 如申請專利範圍第 1 項之電荷泵電路，其中，泵電路包含：

a) 複數個串聯耦接之二極體，每一二極體具有一輸入端及一輸出端，串聯電路中的第一二極體之輸入端係耦接至供應電壓，第一二極體之輸出係連接至第二二極體之輸入

端，而最後二極體之輸出端係連接至輸出泵；

b) 複數個電容，具有一第一端及一第二端，其中，第一電容之第一端係耦接至第一二極體之輸出及第二二極體之輸入，第二電容之第一端係耦接至第二二極體之輸出及第三二極體之輸入，最後電容之第一端係耦接至一最後二極體之輸入端；

c) 複數個彼此串聯耦接之反向器，各具有一輸入端及一輸出端，第一反向器之輸出係耦接至第一電容之第二端，形成電荷泵電路之第一級，第二反向器之第二輸出係耦接至第二電容之第二端，形成電荷泵電路之第二級，而最後反向器之輸出係耦接至最後電容之第二端，形成電荷泵電路之最後級；及

d) 一時脈信號，耦接至第一反向器之輸入端。

5. 如申請專利範圍第4項之可變電荷泵電路，其中，每一複數個二極體係為一二極體連接NMOS電晶體，每一電晶體之閘極係連接至其汲極，形成輸入端，而其源極形成第二端。

6. 如申請專利範圍第1項之電荷泵電路，其中，負載選擇裝置係為複數個開關，一開關用於每一該負載，每一開關具有一第一端、一第二端、及一致能端，開關係與每一負載串聯耦接，開關之第一端係耦接至輸出泵，而開關之第二端係耦接至每一負載。

7. 如申請專利範圍第1項之電荷泵電路，其中，每一負載選擇裝置包含一NMOS電晶體，其具有一閘極、一汲極及

一源極，NMOS 負載電晶體之閘極係耦接至一致能信號，負載 NMOS 負載電晶體之源極係耦接至一電性接地，而汲極係耦接至一負載。

8. 如申請專利範圍第 7 項之電荷泵電路，其中，每一負載係為一電容或一電流槽，其具有一第一端及一第二端，第一端係耦接至泵電壓，而第二端係耦接至 NMOS 電晶體之汲極。

9. 如申請專利範圍第 1 項之電荷泵電路，其中，每一負載選擇裝置包含一升降電路，其具有一輸入端及一輸出端，輸入端係耦接至一致能信號，輸出端係耦接至一負載 NMOS 電晶體，負載 NMOS 電晶體之閘極係連接至升降電路之輸出端，NMOS 電晶體之汲極係耦接至泵輸出，而源極係耦接至負載。

10. 如申請專利範圍第 9 項之電荷泵電路，其中，每一負載係為一電容或一電流槽，其具有一第一端及一第二端，第一端係耦接至 NMOS 電晶體之源極，而第二端係耦接至一電性接地。

11. 如申請專利範圍第 2 項之電荷泵電路，其中，目標輸出泵選擇器包含：

a) 一第一比較器，具有二輸入端、一輸出端、及一第一致能端，二輸入端其中一者係連接至參考電壓 (V_{ref})；

b) 一第一電阻網路，具有二端，第一端係耦接至輸出泵，第二端係耦接至第一比較器之輸入端之其中一者；

c) 一第二電阻網路，具有二端，第一端係耦接至第一電

阻網路之第二端，第二電阻網路之第二端係耦接至一電性接地；及

d)一參考電壓源 (V_{ref})，耦接至第一比較器之輸入端之其中一者。

12.如申請專利範圍第11項之電荷泵電路，其中，目標輸出選擇裝置上之最大過衝包含：

a)一第三電阻網路，具有二端，第一端係耦接至輸出泵；

b)一第四電阻網路，具有二端，第一端係耦接至第三電阻網路之第二端，而第四電阻網路之第二端係耦接至一電性接地；

c)一第二比較器，其具有二輸入端、一輸出端、及一致能端，輸入端之其中一者係耦接至第四電阻網路之輸入端，而輸入端之另一者係耦接至參考電壓 V_{ref} ；

d)一邏輯電路，具有二端，第一端係耦接至第二比較器之輸出端；及

e)一設定負載，耦接至泵輸出，並由邏輯電路控制，用於在輸出泵具有一過衝大於一輸出端上之最大允許值時，將一額外負載加入到輸出泵。

13.一種記憶體裝置，包含：

一位址匯流排；

一控制電路；

一資料匯流排；

一位址解碼器，耦接至位址匯流排；

一讀取/寫入電路，耦接至資料匯流排；

一記憶體單元陣列，耦接至位址解碼器、控制電路、及讀取/寫入電路；及

一電荷泵電路，其在耦接至位址解碼器、讀取/寫入電路、及記憶體單元陣列之一輸出節點上，產生一具有最小漣波之升壓輸出電壓，電荷泵電路包含：

a)一泵電路，包含一或多個級，可操作以接收一供應電壓，並產生一或多個泵電壓；

b)複數個負載，每一負載係關聯於一特定泵電壓，並可選擇性地耦接至泵電路之一輸出（輸出泵）；及

c)一負載選擇器，耦接至輸出泵，用於選取滿足一特定泵電壓之一負載；

d)一目標輸出泵選擇器，取樣泵電路之輸出，用於在取樣輸出電壓（ V_{cfra} ）大於或等於一參考電壓（ V_{ref} ）時將可變電荷泵電路關閉；及

e)一目標輸出選擇裝置上之最大漣波，取樣泵電路之輸出，用於加入一負載，每當取樣輸出電壓（ V_{cfrb} ）上之一最大漣波大於或等於參考電壓（ V_{ref} ）時，則輸出選擇裝置上加入額外負載，直到 V_{cfrb} 電壓小於參考電壓（ V_{ref} ）為止。

14.如申請專利範圍第13項之記憶體系統，其中，泵電路包含：

a)複數個串聯耦接之二極體，每一二極體具有一輸入端及一輸出端，串聯電路中的第一二極體之輸入端係耦接至供應電壓，第一二極體之輸出係連接至第二二極體之輸入

端，而最後二極體之輸出端係連接至輸出泵電壓；

b) 複數個電容，具有一第一端及一第二端，其中，第一電容之第一端係耦接至第一二極體之輸出，第二電容之第一端係耦接至第二二極體之輸出，而最後電容之第一端係耦接至最後二極體之輸入端；

c) 複數個彼此串聯耦接之反向器，各具有一輸入端及一輸出端，第一反向器之輸出係耦接至第一電容之第二端及第二反向器之輸入，形成電荷泵電路之第一級，第二反向器之第二輸出係耦接至第二電容之第二端，形成電荷泵電路之第二級，而最後反向器之輸出係耦接至最後二極體之輸入；及

d) 一時脈信號，耦接至第一反向器之輸入端。

15. 如申請專利範圍第 13 項之記憶體系統，其中，複數個二極體係為一 NMOS 電晶體，連接成一二極體，每一電晶體之閘極係連接至其汲極，形成輸入端，而其源極形成第二端。

16. 如申請專利範圍第 13 項之記憶體系統，其中，負載選擇裝置係為一開關，其具有一第一端及一第二端，與每一負載串聯耦接，開關之第一端係耦接至輸出泵，而開關之第二端係耦接至負載。

17. 如申請專利範圍第 13 項之記憶體系統，其中，每一負載選擇裝置包含一 NMOS 電晶體，其具有一閘極、一汲極及一源極，NMOS 負載電晶體之閘極係耦接至一致能信號，負載 NMOS 負載電晶體之源極係耦接至一電性接地，而汲極

係耦接至一負載。

18. 如申請專利範圍第 17 項之記憶體系統，其中，負載係為一電容，其具有一第一端及一第二端，第一端係耦接至泵電壓，而第二端係耦接至 NMOS 電晶體之汲極。

19. 如申請專利範圍第 13 項之記憶體系統，其中，每一負載選擇裝置包含一升降電路，其具有一輸入端及一輸出端，輸入端係耦接至一致能信號，輸出端係耦接至一負載 NMOS 電晶體，負載 NMOS 電晶體之閘極係連接至升降電路之輸出端，NMOS 電晶體之汲極係耦接至泵輸出。

20. 如申請專利範圍第 19 項之記憶體系統，其中，每一負載係為一電容，其具有一第一端及一第二端，第一端係耦接至 NMOS 電晶體之源極，而第二端係耦接至一電性接地。

21. 如申請專利範圍第 13 項之記憶體系統，其中，負載選擇裝置包含：

a) 一第一比較器，具有二輸入端、一輸出端、及一第一致能端，二輸入端其中一者係連接至參考電壓 (V_{ref})；

b) 一第一電阻網路，具有二端，第一端係耦接至輸出泵，第二端係耦接至第一比較器之輸入端；

c) 一第二電阻網路，具有二端，第一端係耦接至第一電阻網路之第二端，第二電阻網路之第二端係耦接至一電性接地；

d) 一第三電阻網路，具有二端，第一端係耦接至輸出泵；

e) 一第四電阻網路，具有二端，第一端係耦接至第三電

阻網路之第二端，而第四電阻網路之第二端係耦接至接地；

f) 一第二比較器，其具有二輸入端、一輸出端、及一效能端，輸入端之其中一者係耦接至第四電阻網路之輸入端，而輸入端之另一者係耦接至參考電壓 V_{ref} ；及

g) 一邏輯電路，具有二端，第一端係耦接至第二比較器。

22. 如申請專利範圍第 21 項之記憶體系統，其中，泵電路包含：

a) 複數個電容或電流槽，具有一第一端及一第二端，其中，第一電容之第一端係耦接至第一二極體之輸出，第二電容之第一端係耦接至第二二極體之輸出，而最後電容之第一端係耦接至最後二極體之輸入端；

b) 複數個彼此串聯耦接之反向器，各具有一輸入端及一輸出端，第一反向器之輸出係耦接至第一電容之第二端及第二反向器之輸入，形成電荷泵電路之第一級，第二反向器之第二輸出係耦接至第二電容之第二端，形成電荷泵電路之第二級，而最後反向器之輸出係耦接至最後二極體之輸入；及

c) 一時脈信號，耦接至第一反向器之輸入端。

23. 如申請專利範圍第 13 項之記憶體系統，其中，記憶體單元係為一快閃記憶體單元。

24. 一種在電荷泵電路中產生一具有最小漣波之輸出電壓之方法，包含：

a) 選取一輸出泵電壓 (V_{pump})；

b) 開啟一關聯於選定 V_{pump} 之負載；及

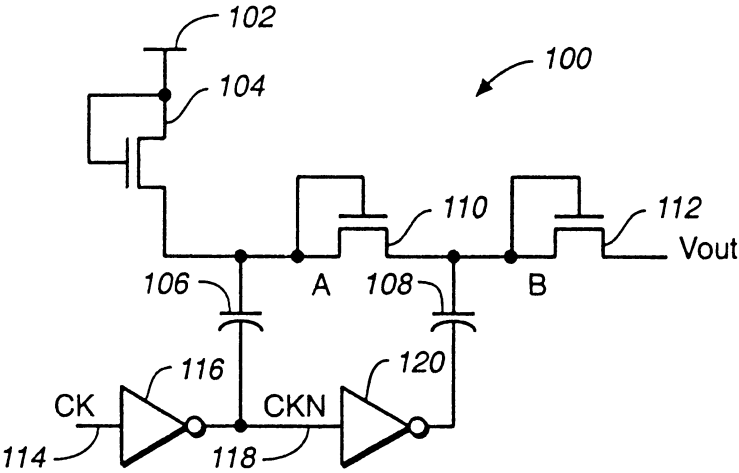
c) 比較一目標輸出電壓 (V_{cfra}) 與一參考電壓 (V_{ref})，
每當目標輸出電壓大於參考電壓時，將電荷泵電路進能；
每當目標輸出電壓小於或等於電壓參考時，使電荷泵電路
維持開啟。

25. 如申請專利範圍第 24 項之方法，其又包含下列步驟：

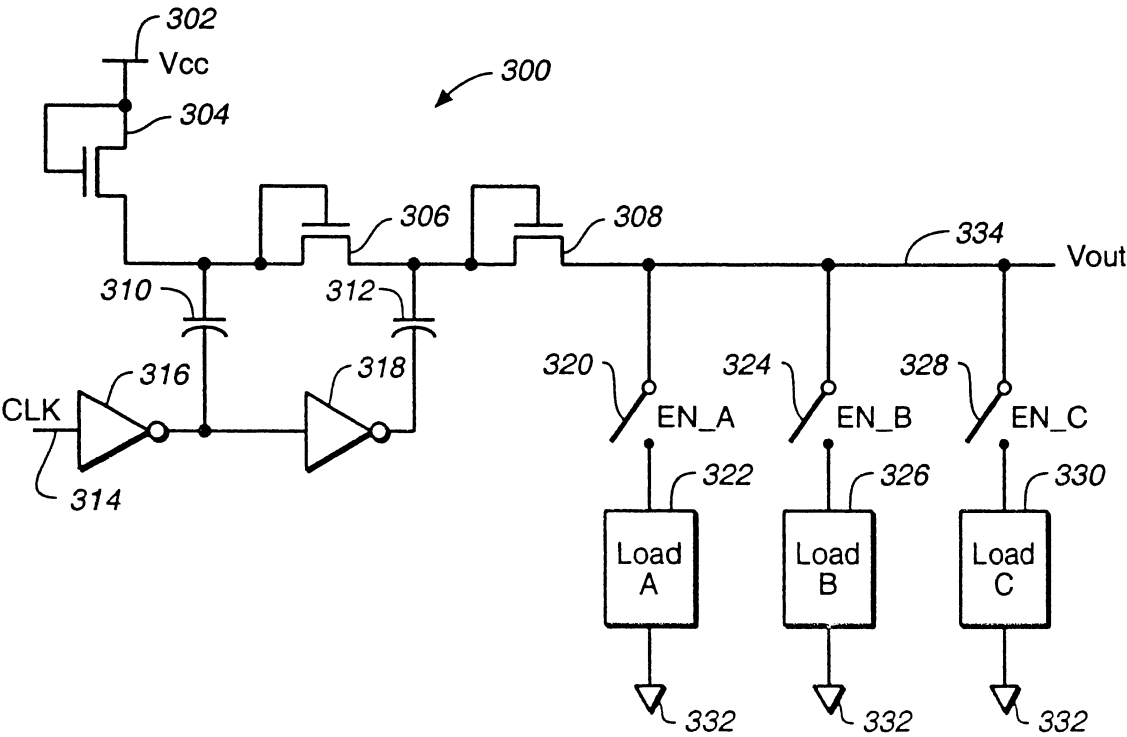
a) 比較輸出電壓值 (V_{cfrb}) 上之一最大可接受漣波與
一參考電壓 (V_{ref})，每當最大可接受漣波輸出電壓值大於
參考電壓時，連接一負載，直到 V_{cfrb} 電壓值小於或等於
參考電壓為止；

b) 比較輸出電壓值 (V_{cfrc}) 上之一最小可接受下降與
參考電壓 (V_{ref})，每當輸出電壓值上之最小可接受下降小
於參考電壓時，將一負載移除，直到 V_{cfrc} 電壓值大於參
考電壓為止。

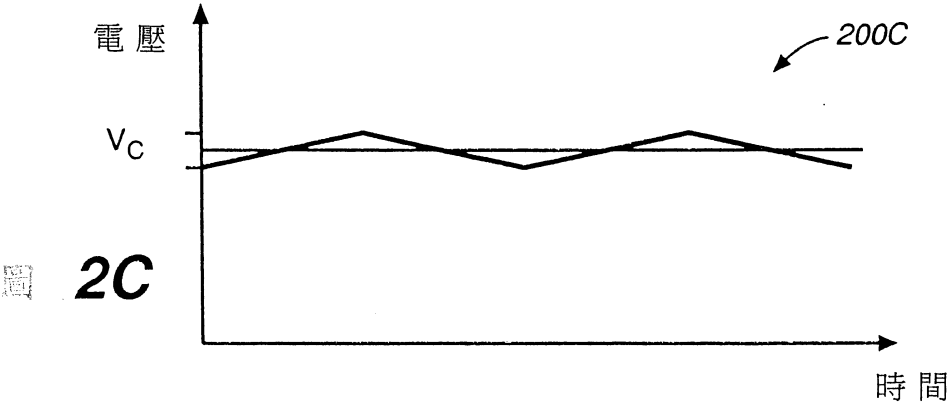
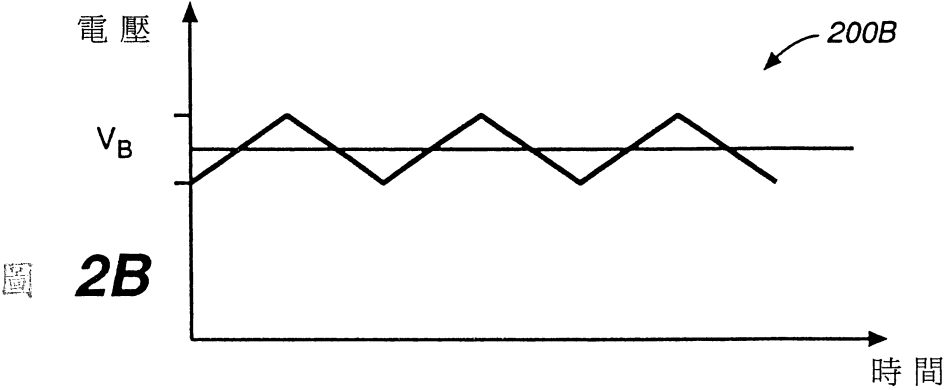
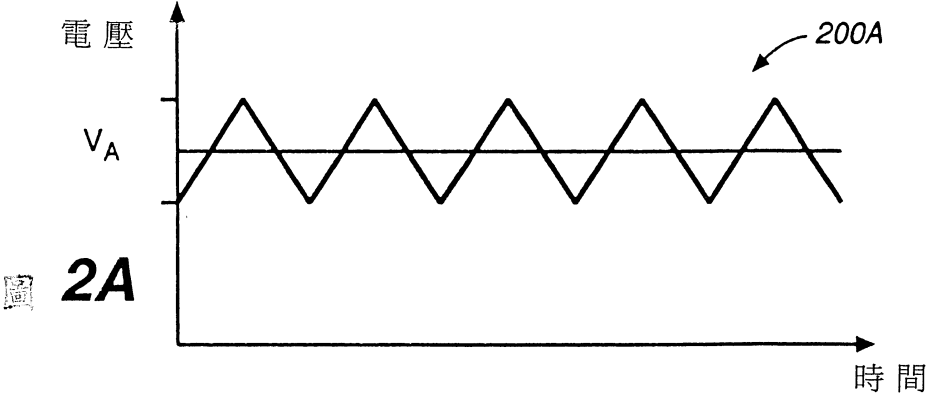
1 / 7

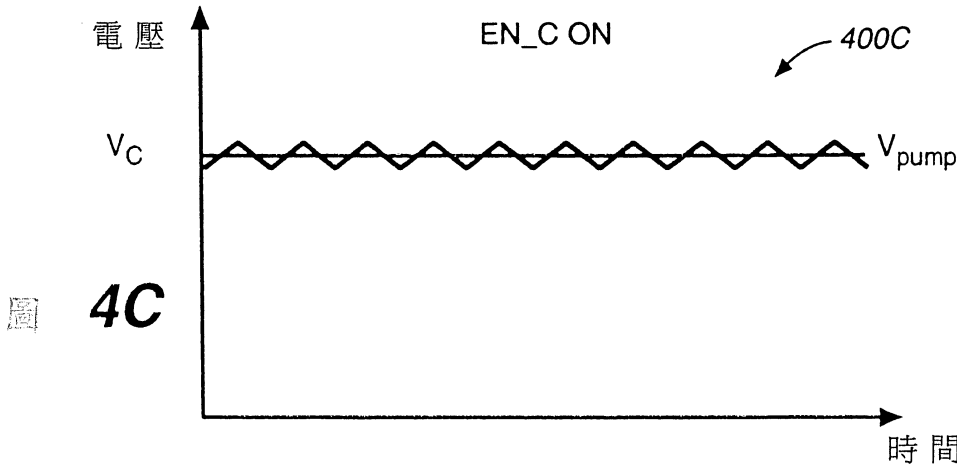
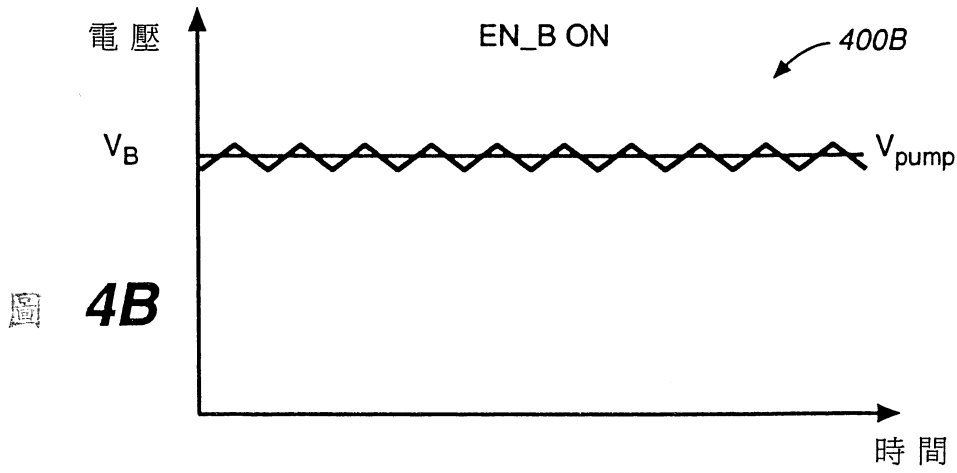
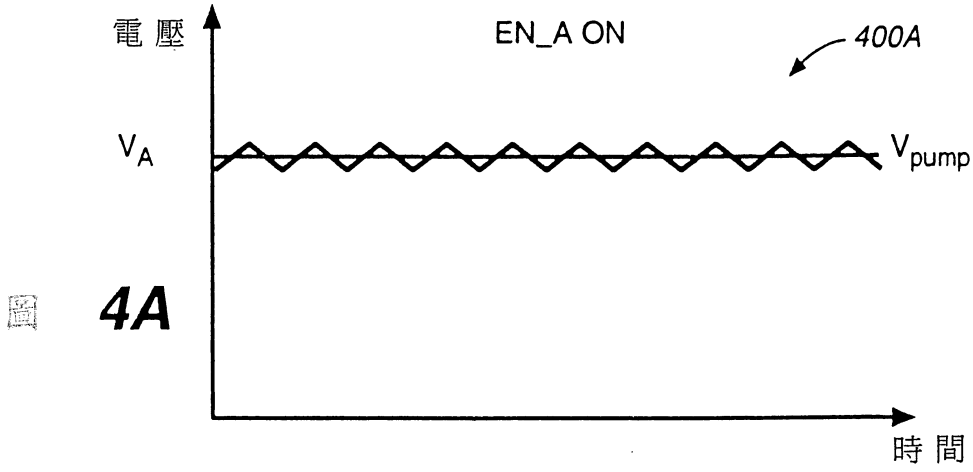


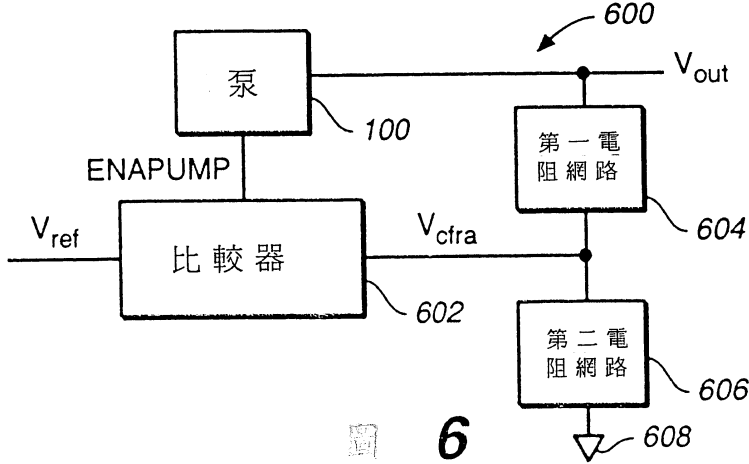
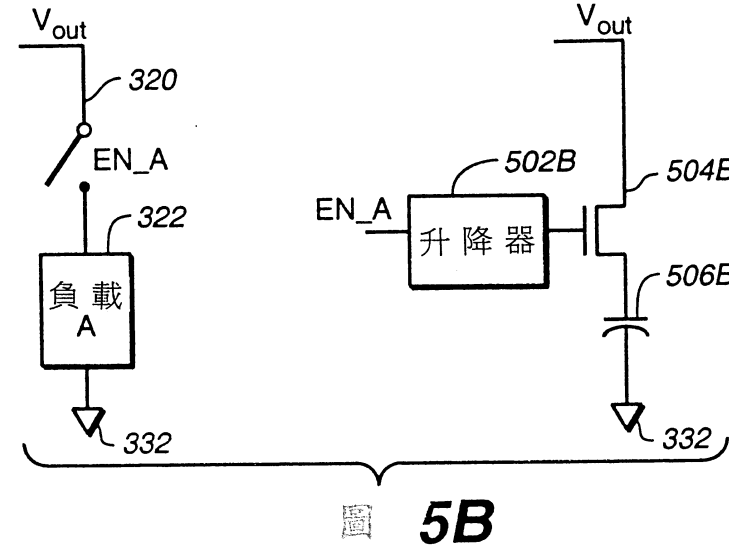
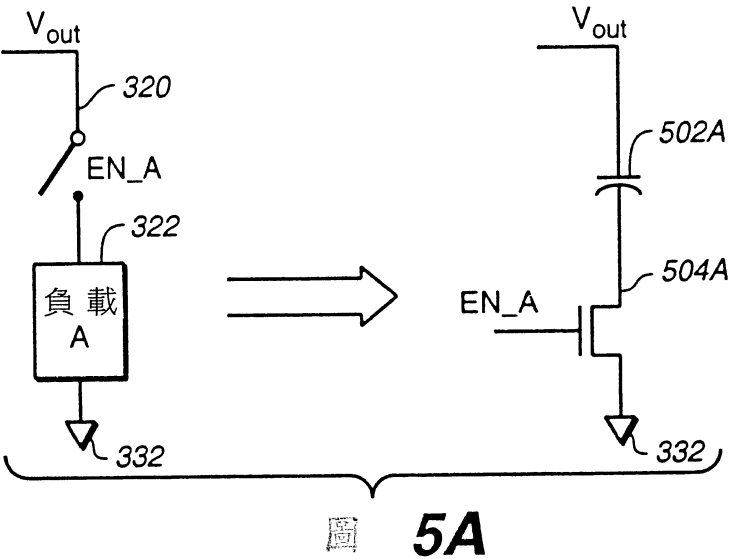
1

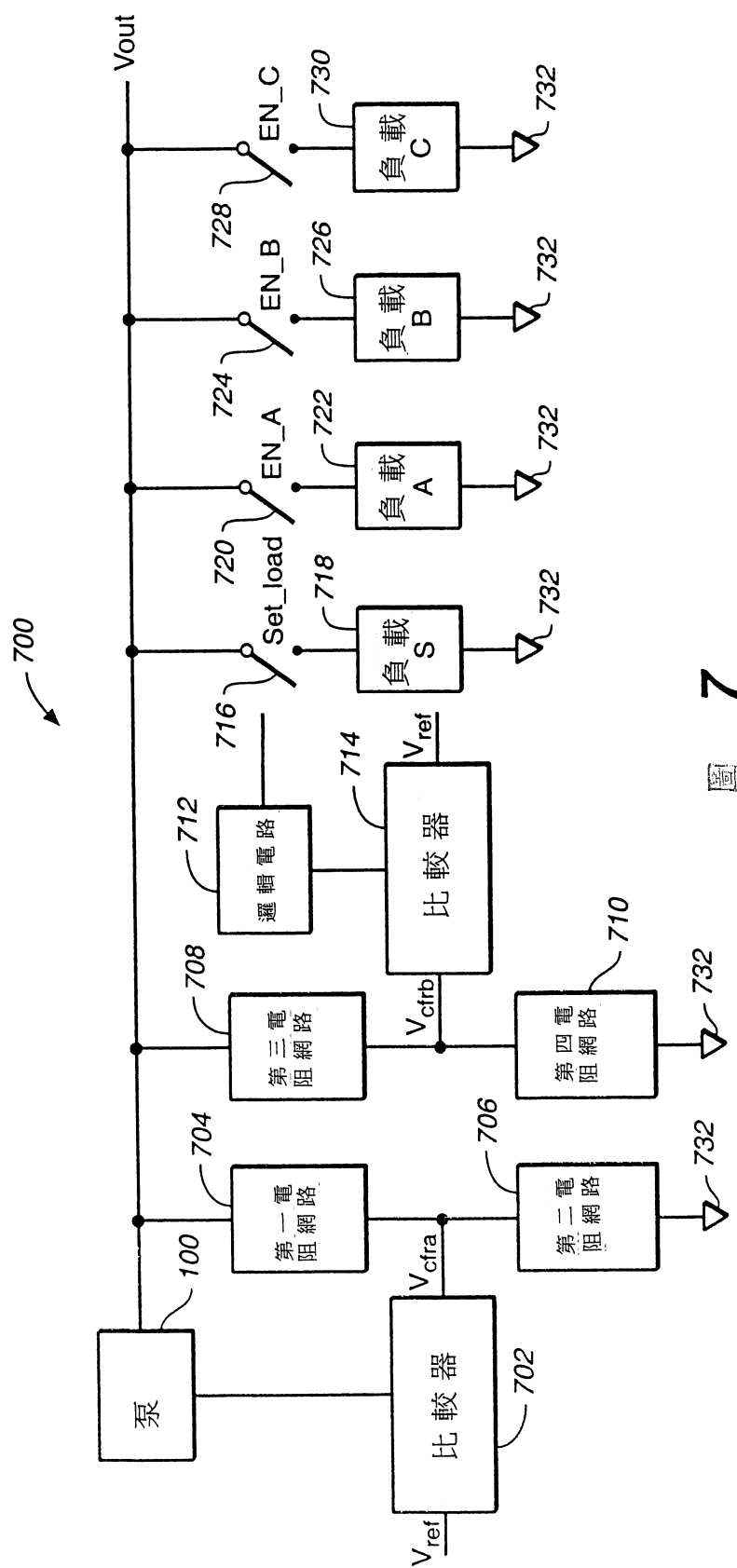


3









2

CHET

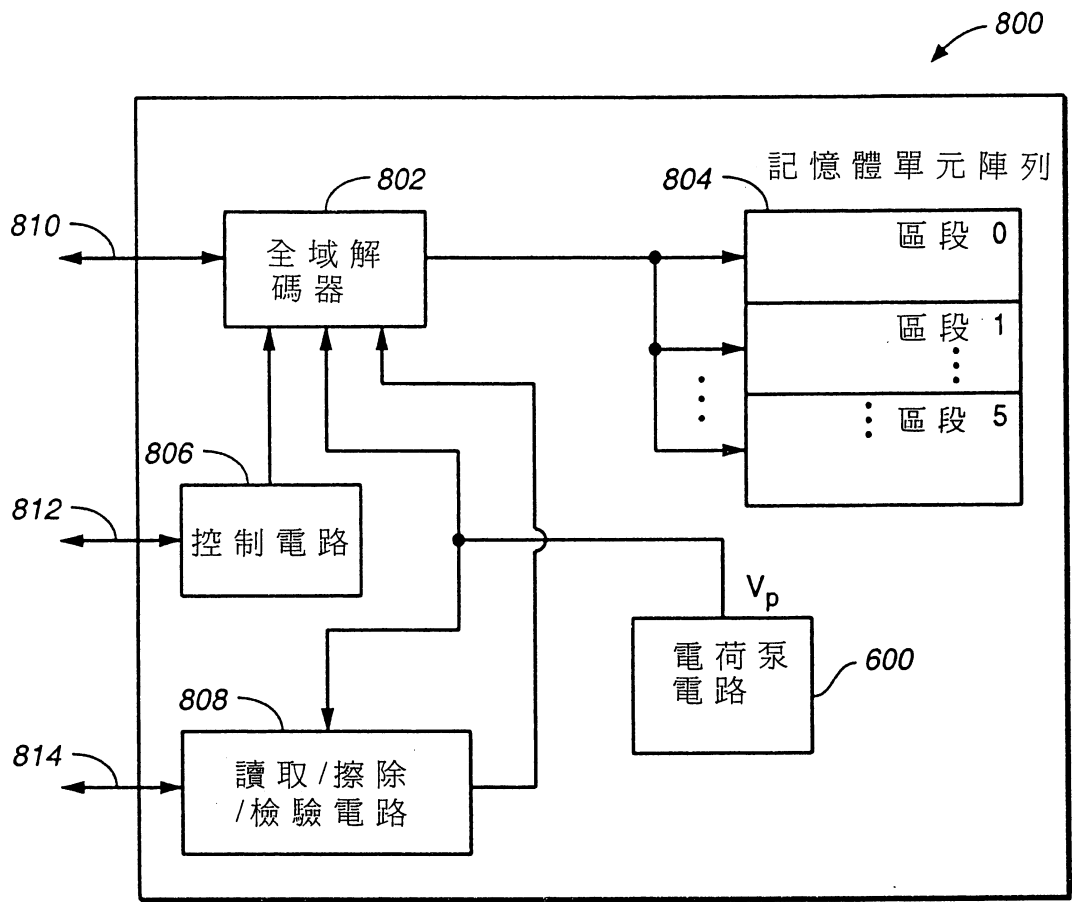


圖 8

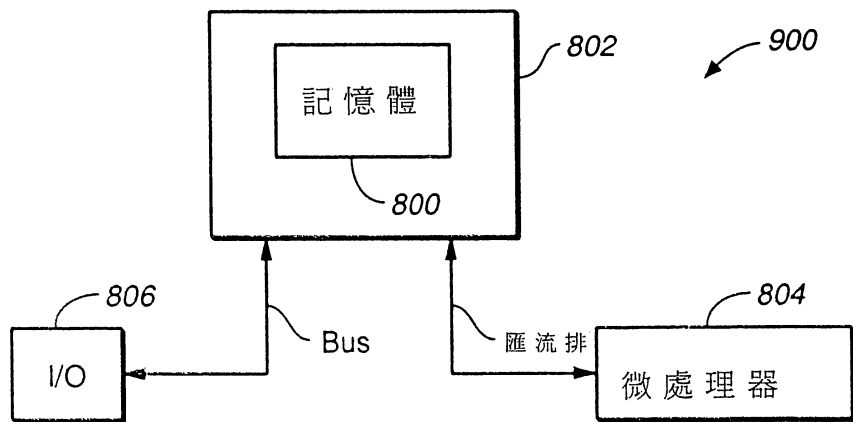


圖 9

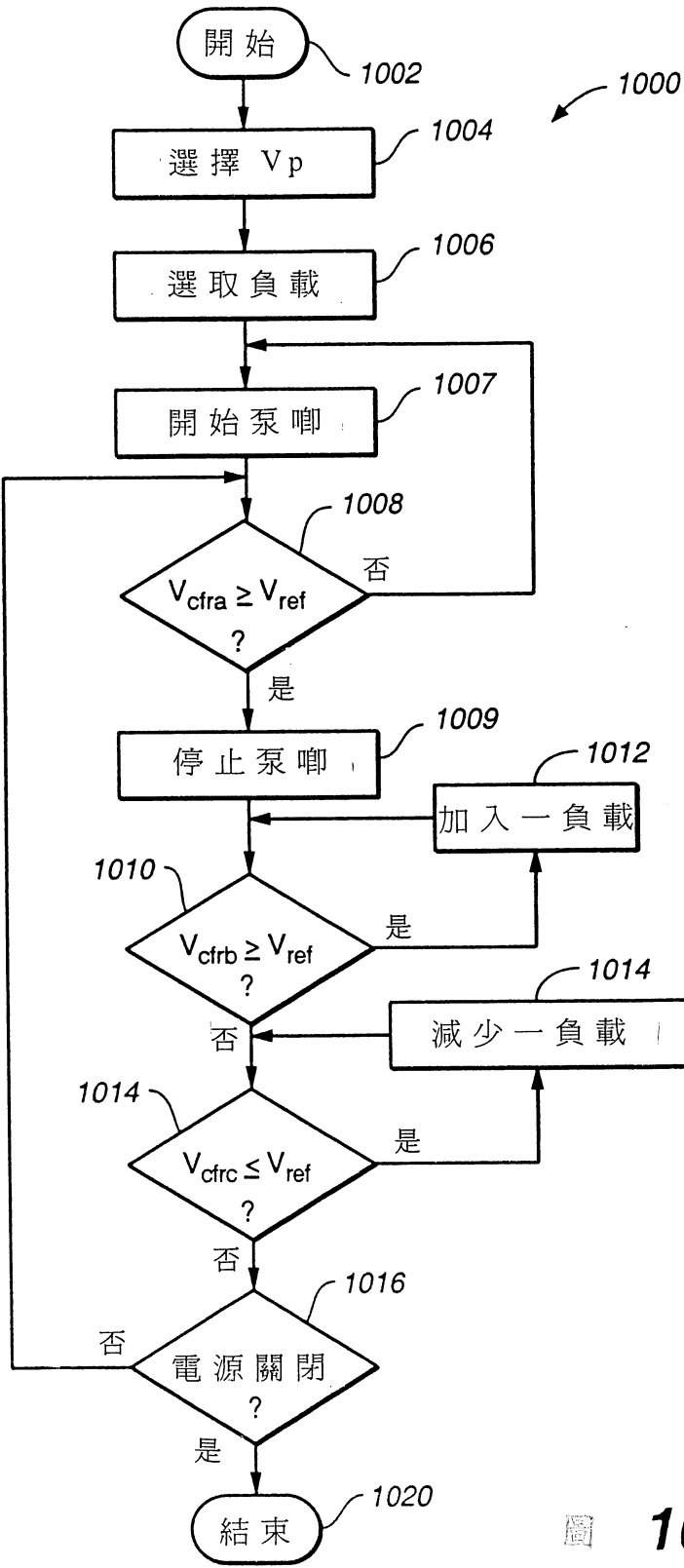


圖 10

柒、指定代表圖：

(一)本案指定代表圖為：第（ 3 ）圖。

(二)本代表圖之元件代表符號簡單說明：

300	電荷泵電路	302	供應電壓
304	第一二極體	306	第二二極體
308	第三二極體	310	第一電容
312	第二電容	314	輸入
316	第一反向器	318	第二反向器
320	第一開關	322	第一負載
324	第二開關	326	第二負載
328	第三開關	330	第三負載
332	電性接地	334	輸出

捌、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無