[19] 中华人民共和国国家知识产权局

[51] Int. Cl[7]
H04L 29/02

[12] 发明专利说明书

[21] ZL 专利号 99126509.2

[45] 授权公告日 2004 年 6 月 16 日

[11] 授权公告号 CN 1154321C

[22] 申请日 1999.12.22 [21] 申请号 99126509.2

[30] 优先权

[32] 1998.12.23 [33] US [31] 09/219，775

[71] 专利权人 朗迅科技公司

地址 美国新泽西州

[72] 发明人 托尼·S·埃尔－金克

唐纳德·R·拉图尔

莱恩·A·史密斯

审查员 贾丹明

[74] 专利代理机构 中国国际贸易促进委员会专利商标事务所

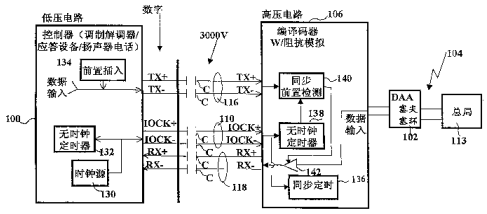
代理人 蒋世迅

权利要求书 3 页 说明书 10 页 附图 7 页

[54] 发明名称 用于同步第一装置和编译码器之间的定时的模块和方法

[57] 摘要

本发明提供一种同步数据协议，它包括经过一个高压接口传递的一个或多个串行输入－输出(SIO)控制字和数据，允许消除帧同步信号(以及相应的 AC 耦合电容)。 本发明特别可应用于例如时分多路复用(TDM)数据、串行数据通讯装置或一般的同步串行通讯接口，以及根据 AC 的 97 规范在声频编译码器装置中的控制器和编译码器之间的通讯，即 AC 链路。 经过发射数据信号线路实现同步数据协议以提供两个通讯装置之间的间或同步(即非逐帧同步)。



ISSN1008-4274

1. 一种同步第一装置和编译码器之间的定时的模块，该第一装置包含一个主时钟，该模块包括：

一个在所述第一装置中的前置插入模块，它适用于将一个前置码字插入到数据流中选择的帧中，用于传输到所述编译码器，该前置码字在所述第一装置和所述编译码器之间同步定时；以及

一个在所述编译码器装置中的同步前置检测模块，它适用于检测所述数据流中所述前置码字的存在，

其中只有当所述第一装置和所述编译码器或者被初始同步或者需要被再同步时，所述前置码字才被插入到所述选择的帧中。

2. 如权利要求1所述的同步第一装置和编译码器之间的定时的模块，该第一装置包含一个主时钟，其中：

所述选择的帧是非邻接的。

3. 如权利要求1所述的同步第一装置和编译码器之间的定时的模块，该第一装置包含一个主时钟，其中：

根据所述数据流中所述前置码字检测的定时同步所述编译码器中的定时。

4. 如权利要求1所述的同步第一装置和编译码器之间的定时的模块，该第一装置包含一个主时钟，还包括：

适用于以所述前置码字传输的控制地址和数据信息，所述控制地址和数据信息与所述编译码器中的系统参数有关。

5. 如权利要求1所述的同步第一装置和编译码器之间的定时的模块，该第一装置包含一个主时钟，还包括：

一个中断模块，它的操作基于从所述第一装置到所述编译码器的时钟信号的改变。

6. 如权利要求5所述的同步第一装置和编译码器之间的定时的模块，该第一装置包含一个主时钟，其中所述中断模块包括：

在所述编译码器中的第一无时钟定时器，它适用于检测所述无

时钟信号至少一个预定的时间长度。

7. 如权利要求6所述的同步第一装置和编译码器之间的定时的模块，该第一装置包含一个主时钟，其中所述中断模块还包括:

在所述第一装置中的第二无时钟定时器，它给所述第一装置提供一个所述预定时间长度的指示。

8. 如权利要求5所述的同步第一装置和编译码器之间的定时的模块，该第一装置包含一个主时钟，其中:

所述时钟信号的所述改变是一个至少在一个预定时间长度无变化的时钟信号。

9. 如权利要求1所述的同步第一装置和编译码器之间的定时的模块，该第一装置包含一个主时钟，还包括:

一个适用于根据所述前置码字的检测被使能的编译码器中的缓冲器。

10. 一种经过串行数据总线将编译码器同步于第一装置的方法，该第一装置包含一个主时钟，所述方法包括:

提供一个中断信号给所述编译码器;

监控由所述编译码器接收的数据流中同步前置码字的存在; 以及

所述编译码器的定时基于所述编译码器检测的所述同步前置码字的定时，

其中只有当所述编译码器和所述串行数据总线或者被初始同步或者需要被再同步时，所述同步前置码字才被使用。

11. 如权利要求10所述的经过串行数据总线将编译码器同步于第一装置的方法，该第一装置包含一个主时钟，其中所述提供步骤包括:

停止时钟信号经过所述串行数据总线的传输达至少一个预定时间长度。

12. 如权利要求10所述的经过串行数据总线将编译码器同步于第一装置的方法，该第一装置包含一个主时钟，其中:

所述同步是关于帧信号偶尔进行的。

13. 如权利要求11所述的经过串行数据总线将编译码器同步于第一装置的方法，该第一装置包含一个主时钟，其中：

所述预定时间长度大于25微秒。

用于同步第一装置和编译码器之间的定时的模块和方法

技术领域

本发明涉及一种改进的串行接口。尤其涉及用一个同步数据协议代替如同步的串行数据流或时分多路复用串行数据流中的帧同步信号而消除同步信号。

背景技术

串行通讯是一种在两个数字部件之间通讯的有效方法，特别在对成本敏感的应用中可将硬件需求减至最小，否则要求并行通讯。例如，提供发射线、接收线、数据时钟线和帧同步线（以及复位线）的串行接口技术已经在常规的多用途编译码器中实现。

编译码器是一种装置，该装置多年来提供有效的和便宜的电话等级声频的数字化。一般的编译码器（编码器和译码器的缩写）是一个集成电路或其他电子装置，它组合了转换模拟信号为数字信号例如脉码调制（PCM）数字信号和将该数字信号转换为模拟信号所需的电路。

用在电话中的早期编译码器以8 KHz速率转换模拟信号为8位PCM，但不能够处理调制解调器输入。最近，编译码器的经济性和低成本优点已经扩展到以48 KHz采样速率转换模拟信号为16位立体声（甚至高到20位立体声），可用于电话要求以外的较高质量使用。由于较高质量和较宽的带宽性能，今天的编译码器可实际应用于如话音频带调制解调器的消费者设备中。

随着这些更复杂用途的编译码器的开发，要求改进模拟信噪比（S/N）至少为75到90 dB。获得这个高S/N比的一个主要步骤是最近通过将常规的编译码器分为两个单独的子系统完成的：控制器子系统或集成电路（IC）主要处理到主处理器的数字接口，模拟子系统

或IC主要处理模拟信号混频和转换的接口。最近已经由“声频编译码器的97部件规范”，修订版1.03，1996年9月15日（AC的97规范）对这种分开的数字/模拟结构提供了资料。整个AC的97规范特别在此作为参考。

图3示出一个常规的分开结构的声频编译码器，它连接到一个装置如根据AC的97规范的低速话音频带调制解调器510。

特别地，在图3中，AC控制器子系统700经过一个称为AC链路504的五线同步串行数据总线（即一个时分多路复用（TDM）总线）连接到AC模拟子系统702。AC链路504的五线TDM总线包括一个同步信号712、一个复位信号520、一个从AC控制器子系统700到AC模拟子系统702的串行TDM数据流SDATA_OUT 716、一个时钟信号BIT_CLK 714以及一个从AC模拟子系统702到AC控制器700的串行TDM数据流SDATA_IN 718。由控制器700中或与控制器700有关的时钟源506得到时钟信号BIT_CLK 714。

连接到一个如低速话音频带调制解调器的外部模拟装置的常规AC模拟子系统702中的电路包括一个模数转换器（ADC）522和一个数模转换器（DAC）524。ADC 522采样输入到AC模拟子系统702的模拟调制解调器信号，并且以48 Ks/s提供16、18或20位数据到AC链路504，用于在输入到AC控制器子系统700的串行TDM数据流SDATA_IN 718中插入一个适当的时隙（例如时隙5）。相反地，DAC 524接收来自AC链路504的AC控制器子系统700的来自串行TDM数据流SDATA_OUT 716的16、18或20位数据，并且将它转换为一个模拟信号输出到低速话音频带调制解调器510。常规的解调和调制技术如正交调幅（QAM）或无载波幅度和相位（CAP）可以结合ADC 522和/或DAC 524由数字信号处理器（DSP）和/或其他处理器实现。

图4描述了如根据AC的97规范，在分开结构的声频编译码器的模拟和控制器子系统702、700之间的十二个时隙TDM双向数据流中的常规的同步信号712、串行TDM数据流SDATA_OUT 716以及串行TDM数据流SDATA_IN 718。串行TDM数据流

SDATA_OUT 716和SDATA_IN 718的十二个时隙1到12由常规的同步信号712组织成帧。从时隙0期间接收的TAG阶段600得到同步信号712。所有的时隙是20位宽。

同步信号712根据时钟信号BIT_CLK 714同步SDATA_OUT 716和SDATA_IN 718的接收和发射。在图5中更详细地示出数据线和时钟信号之间的这种同步。

特别地，图5示出参照同步信号712的时钟信号BIT_CLK 714和串行TDM数据流SDATA_OUT 716。同步信号712基于时钟信号BIT_CLK 714，BIT_CLK 714是一个固定的12.288 MHz时钟信号。

图6示出一个使用常规的串行接口的差分装置，连接到低压电路一端控制器700的AC模拟子系统（即编译码器）702的装置。如所示，编译码器702一般承受的电压超过电源电压，因此在这里称为高压电路。在一些情况下，最好在串行接口中AC耦合一个时钟信号使得编译码器或其他高压电路702可以与低压电路700的地电隔离。同样地最好AC耦合发射数据信号716、接收数据信号718、帧同步信号712以及复位信号520。如果低压控制器700和高压编译码器702之间的所有信号是AC耦合的，则实质上不需要在低压控制器700的地和高压编译码器702的地之间存在一个连接。

然而，在实际情况下，一旦低压控制器700和高压编译码器702之间的地被断开，则一个大的共模电压可能存在于低压控制器700的地电位和高压编译码器702的地电位之间。这个大的共模电压可能干扰隔离的高压编译码器702中的AC耦合的数字信号。另外，隔离变压器791的成本可能是较高的，并且如果编译码器702要实现与总局的阻抗模拟，则变压器791可能恶化编译码器702和电话线路之间的阻抗匹配。

这样，开发了串行接口的另一种装置，其中编译码器（它可能连接到电话线、调制解调器、声频源，等等）放置在图7所示系统的高压部分中以去除昂贵的和大的变压器791，在其他情况下它传统地用于将低压一端耦合到高压一端。这种技术消除了对变压器

791的需求，但由于其他原因，例如因为它要求附加的硬件如AC耦合电容C（一般额定在3000 V AC）而存在缺点。

这样一个串行接口的例子可以与LUCENT TECHNOLOGIES CSP1034多处理器模式SIO接口一起使用。在这样一个例子中，一般需要5根串行线来提供接口，并且相应于5根串行线的五个信号的每一个需要转换为差分信号对。为了电压隔离，五个信号对的每一个将需要每个都与相应的电容对隔离，因此需要总共十（10）个高压电容。

由于硬件的相对成本和每个单独线路所要求的空间，减少电路之间接口所需的通讯线路的数量是很重要的，特别在电路中的一个要承受较高电压时，例如一个编译码器。这样，需要减少如AC的97规范的时分多路复用（TDM）串行接口的同步串行接口中的信号线数量。

发明内容

根据本发明的原理，用在主装置和从属装置之间间或同步定时的同步数据协议包括一个在主定时装置中的前置插入模块，它适用于将一个前置码字插入到数据流中用于传输到从属装置。在从属装置中的同步前置检测模块适用于检测数据流中前置码字的存在。

根据本发明的另一个方面经过一个串行数据总线将从属装置同步于主装置的方法包括提供一个中断信号到从属装置。监控从属装置接收的数据流中同步前置码字的存在。从属装置中的定时是根据从属装置检测的同步前置码字的定时。

附图说明

对于本领域的技术人员来说，参照附图从下面的描述中，本发明的特性和优点将变得很明显，其中：

图1示出一个根据本发明原理使用的示范同步数据协议，它不需要帧同步。

图2是图1所示同步数据协议的更详细示意图。

图3示出一个根据AC的97规范的两个分开的电路之间常规的四信号（加上复位）串行接口。

图4描述如图3所示分开结构的声频编译码器的模拟和控制器子系统之间的一个常规的同步信号、十二个时隙、串行TDM发射和接收数据流。

图5更详细地示出如图3所示的串行接口中使用的，以同步信号为基准的位时钟信号和串行TDM数据流的实现。

图6示出一个常规的变压器隔离电路。

图7示出一个常规的数字AC耦合电容隔离电路。

具体实施方式

本发明提供一种同步数据协议，它包括经过一个高压接口传递的一个或多个串行输入-输出（SIO）控制字和数据，它消除了对帧同步信号的需求。

图6示出和描述了经过高压接口传递编译码器数据的传统方法，即将编译码器702放置在接口的低压一端，经过变压器791提供的具有高压隔离（例如3000伏隔离）的高压势垒传递模拟信号。变压器791也将编译码器702与例如电话线104的双绞线上的低频共模噪声隔离开。另外，变压器791将总局113的电话系统与控制器700和编译码器702中数字子系统产生的高频共模噪声隔离开。然而，由于变压器791引入的幅度和相位失真，变压器791的使用使得编译码器702与总局113的阻抗匹配更加困难。

另一方面，为了消除对于变压器791的需求，编译码器702可以放置在如图7所示的高压电路一端。在这种情况下，编译码器702被AC耦合到差分数字SIO信号712、714、716、718和520。使用这种技术，差分接收机传递数字信号并且抑制大部分共模噪声，高压电容C和差分接收机的组合代替了在其他情况下由变压器791（图6）提供的功能。

图7示出的本发明原理的常规技术还消除了对于同步信号712的需求。

消除同步信号712节省了控制器700和编译码器702中每一个上的两个管脚，例如由于消除两个昂贵的AC耦合电容C而省去了所需的板空间，并且减少了整个系统成本。

根据图1所示本发明的公开实施例，通过在接口一端增加电路或软件消除常规的同步信号712，例如在低压一端将一个预定的同步码字插入到一个数据流，而在高压一端，识别预定的同步码字的存在。虽然描述的实施例涉及低压一端的装置控制的同步，由于高压一端的装置同步于低压一端的装置的时钟，所以本发明的原理涉及低压一端的装置（例如控制器100）或高压一端的装置（例如编译码器106）控制的同步。

另外，虽然公开的实施例涉及经过AC链路通讯的控制器和声频编译码器，该AC链路一般符合AC的97规范，但是本发明的原理同样涉及任何串行通讯链路，在其他情况下这些通讯链路要求同步脉冲，例如在同步串行数据流或在时分多路复用（TDM）同步串行数据流通讯系统中的成帧脉冲。

根据公开的实施例，实现一种数据协议，该协议代替了对于帧同步信号的需求。该数据协议对于非常稳定的TDM通讯线路是特别有用的。

在公开的实施例中，1位ΣΔ（sigma delta）数据在控制器和声频编译码器之间传送。经过提供发射系统（例如图1的编译码器106）发射的数据和接收系统（例如图1的控制器100）接收的数据之间间或同步的数据线路实现数据协议。

本发明的原理还可应用于实现进一步减少数字部件之间，例如控制器100和编译码器106之间所需的信号。例如，通过将根据本发明原理的同步数据协议与使用二相编码将发射信号和数据时钟一起编码的信号组合，所需的信号数量和相应的AC耦合电容可以进一步减少，二相编码如美国专利申请No. 09/013,943于1998年1月27日申请的名称为“用于将串行数据与时钟信号组合的方法和设备”描述的，它的规范特别地整个在此作为参考。

图1示出一个根据AC的97规范形成的基本AC链路的串行TDM接口的实施例。然而，在图1中，在其他情况下常规的帧同步信号（例如，在图7中的712）被去除并且由根据本发明原理的控制器100中的同步数据协议代替。

特别地，图1示出在高压电路一端的编译码器106和低压电路一端的控制器100 的装置。在公开的实施例中，编译码器106与DAA 102连接，DAA 102接着经过电话线路104连接到电话公司总局113。然而，根据本发明的原理和AC的97规范，编译码器106实际上可以连接任何模拟装置，特别是那些与消费者声频和电话装置有关的装置。

控制器100和编译码器106之间的串行接口包括三个基本的通讯信号，即一个数据发射TDM信号116、一个数据接收TDM信号118以及一个数据时钟信号110。如果需要的话，也可以根据特定应用的需要实现复位信号（未示出）。

在公开的实施例中，发射信号116、接收信号118以及时钟信号110是差分信号，每个在相应差分信号线路的每一端包括至少一个AC耦合电容C。然而，本发明的原理同样可应用于单端串行线路。另外，发射信号116和时钟信号110可以组合为一个单个编码信号，如美国专利申请No. 09/013,943描述的，该专利的规范特别在此作为参考。

低压电路即控制器100包括一个前置插入模块134、一个无时钟定时器132以及一个时钟源130。高压电路即编译码器106包括一个同步前置检测模块140、一个无时钟定时器138、一个同步定时模块136以及一个缓冲器142，该缓冲器142根据无时钟信号之后数据流中前置码字的检测而被激活。

特别地，前置插入模块 134 适用于将一个预定的前置码字，例如‘11101’插入到在发射信号线路 116 上发射的数据流中。根据特定的应用，前置码字可以是任何代码并且可以是任何长度。最好前置码字是至少五位长，并且最好以‘111’开始。

前置码字插入到无时钟信号之后的数据流。这样，为了启动再同步，控制器 100 有意地将时钟源 130 停止一个预定的时间周期，例如至少 700 ms，然后将前置码字插入到发射数据流 116。

控制器 100 中的无时钟定时器 132 与控制器 100 的自监控功能有关，以确定控制器 100 已经停止时钟源 130 在时钟信号线路 110 上输出有多长时间。在一个足够的时间量不让编译码器 106 得到时钟之后，例如 700 ms 之后，前置插入模块 134 将前置码字插入到在发射信号线路 116 上发射的数据流的适当时隙中。

相对于串行TDM接口，控制器100是主要的而编译码器106是从属的。这样，在编译码器中，由同步定时模块136接收和同步定时。同时由无时钟定时器138监控时钟信号。一旦检测到时钟信号的缺少大于一个门限时间量，例如大于700 ms，则无时钟定时器138激活同步前置检测功能140。一旦激活，同步前置检测功能140监控在发射线路116上接收的数据流中预定前置码字的存在。

本发明人在本发明的研制中了解到一般TDM串行接口以及特别的AC链路的稳定性。例如，经验地确定经过一个常规发射信号线路716（图7）传递的典型的误码率（BER）大约小于每十（10）年一个误码。这样，由于在串行TDM数据通讯中的这种稳定性，确定不需要在每帧进行帧同步来保持这种稳定性。因此确定通过唯一数据协议的识别进行的间或同步将提供足够的同步来保持非常稳定的通讯链路（即具有一个低的比特率），同时将消除对于附加同步信号（例如，图7所示常规接口中的712）所需的成本和空间。根据本发明的原理，在同步之后，将允许数据通讯仅仅使用发射信号116、接收信号118以及时钟信号110自由进行。

图2示出一个同步前置检测功能140的实施例，其中控制信息可以与前置码字一起从控制器100传递到编译码器106。

特别地，数据流缓冲器210可以被分开分析以确定地址和/或数据信息与前置码字的存在。前置码字202可以例如是一个8位码字如‘11000110’，并且可以在第一缓冲器210c中接收。第二缓冲器210b

可以接收地址信息，例如多达256个寄存器，每个寄存器包含一个8位地址。同样地，一般数据信息例如16位数据字可以在第三缓冲器210a中接收。

一旦识别到前置码字202，比较器和锁存控制器204可以记录包含在数据缓冲器210a中的数据到适当寄存器208的时间，以及记录包含在地址缓冲器210b中的数据到适当寄存器206的时间。锁定到寄存器206、208的数据和地址信息可能与一般在系统启动或在定时同步启动时的系统参数有关。

为了将控制字与信号数据区分开，可以建立一个中断过程以消除对于中断线路的需求。在公开的实施例中，当无时钟定时器138检测到无时钟信号时触发这个中断过程。当时钟停止至少一个预定时间长度时，同步前置检测功能140被复位以监控前置码字202的存在。一旦检测到前置码字202，数据和地址将被锁存到适当寄存器206、208中。直到接收到另一个中断，即直到时钟停止并且再次开始之前，数据和地址寄存器206、208将不接收新的数据。

一旦所有需要的寄存器都被编程，则设置位143使得缓冲器142能够将数据，例如ΣΔ数据传送到编译码器。只要时钟信号继续在编译码器106存在，则数据被传送到编译码器滤波器。

这样，根据本发明的原理，在某些应用中同步数据协议仅仅需要在通讯处理的开始发射一次。然而，如特定的应用所要求的，最好间或激活同步数据协议以进一步确保可靠和无差错的通讯。例如，一旦检测到编译码器106接收的无时钟信号至少一个最小时间量，例如无时钟信号大于25微秒（μs），则可以激活一个热同步，这样很可能使得存储寄存器和其他存储器驻留参数保持稳定。在这样一种热同步中，由控制器100中前置插入模块134将前置插入到数据流中，由编译码器106中同步前置检测器140检测前置，并且从那时起进行数据通讯。

另外，在另一个实施例中，可以检测到来自电话线路的供电电流的丢失。在某些国家，电话线路可利用的电流可能经常中断达到

700毫秒（ms），这样由线路电流供电的电路必须适应供电电流中的这种间断。然而，在规范之外电流中断大于700ms的情况下，编译码器106和其他电路（如果由电话线路104供电）可能经受一个无电源的不可预见的时间间隔。在这种情况下，一旦从缺电流中恢复，可以实现根据本发明原理的同步数据协议以再同步通讯。

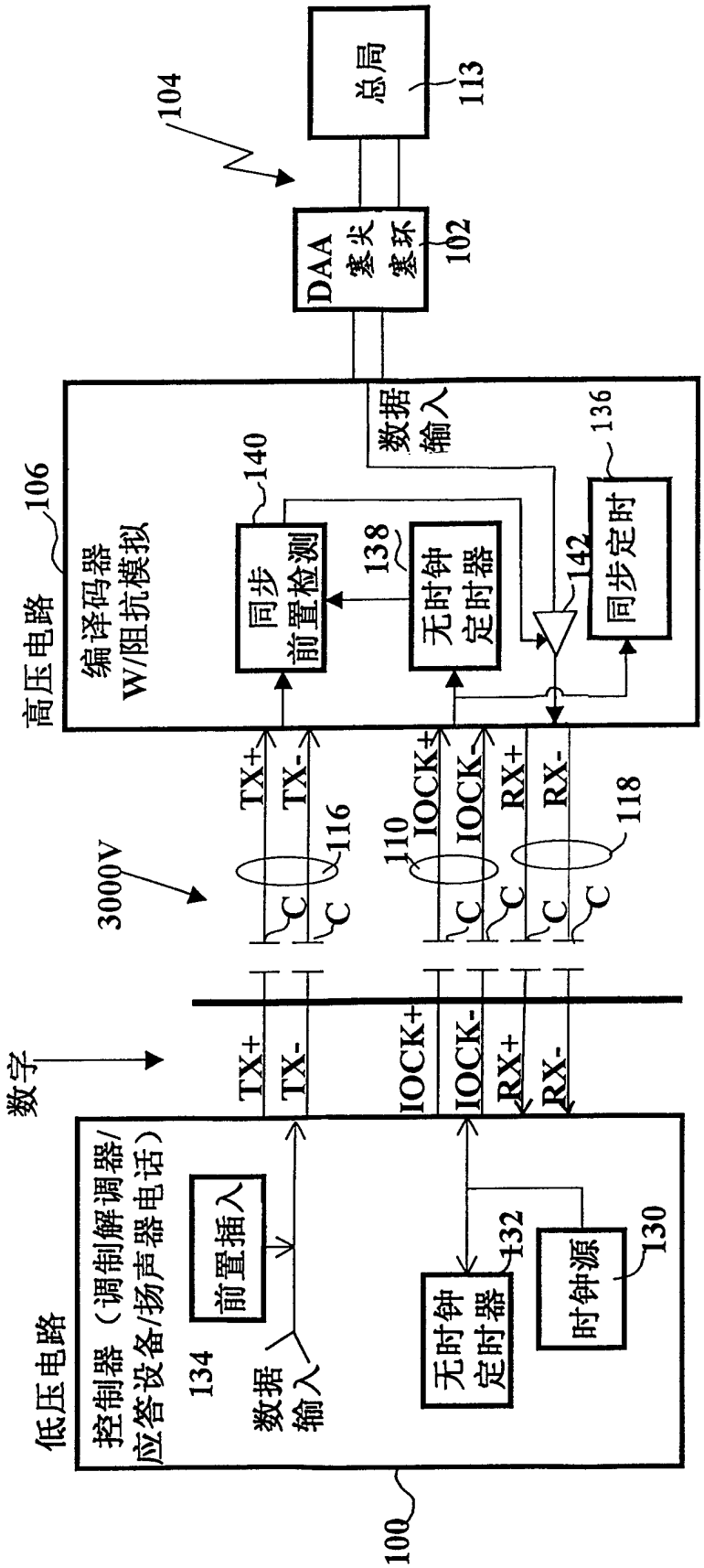
即使通讯线路呈现出一个大的噪声量，试验已经证明根据本发明原理用同步数据协议代替同步信号是非常可靠的。

本发明的原理一般可应用于同步的串行数据流，而不仅仅是时分多路复用的串行数据流。例如，本发明能够以连续的同步串行传输数据流实现，在其他情况下一般利用成帧信号或其他信号以将接收装置与串行数据传输同步。

另外，虽然本发明参照一种特定的编译码器，即一个符合 AC 的 97 的编译码器进行了描述，但是本发明的原理涉及具有任何编译码器装置的通讯。

虽然已经参照示范的优选实施例描述了本发明，但本领域的技术人员将能够对于本发明描述的实施例做出各种修改而不会背离本发明真正的精神和范围。

图1


总局
113
104
DAA
塞尖
塞环
102
高压电路
106
编译码器
W/阻抗模拟
数据
输入
136
140
同步
前置检测
138
无时钟
定时器
142
同步定时
3000V
TX+
TX-
116
IOCK+
IOCK-
RX+
RX-
118
110
C
数字
低压电路
控制器（调制解调器/
应答设备/扬声器电话）
前置插入
134
数据
输入
无时钟
定时器
132
时钟源
130
100

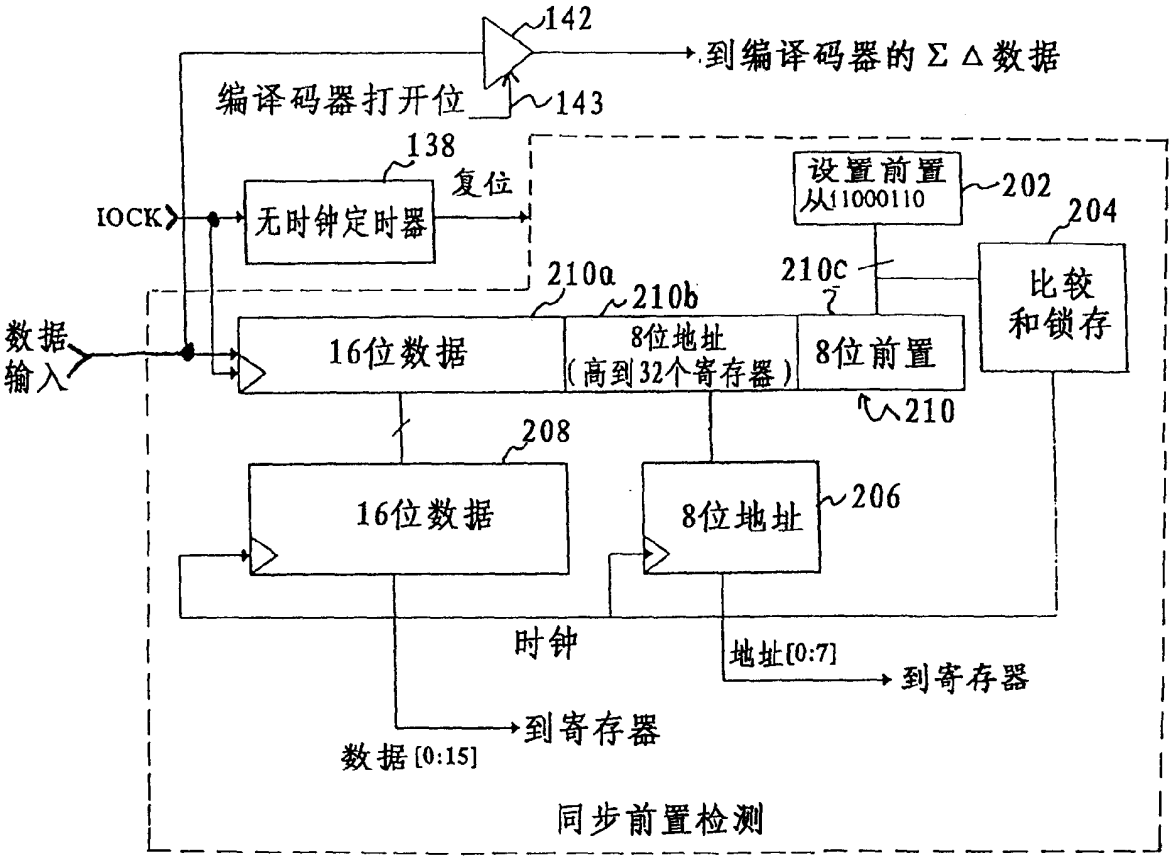

142
到编译码器的ΣΔ数据
编译码器打开位
143
138
复位
IOCK
无时钟定时器
设置前置
从11000110
202
204
比较
和锁存
210a
210b
210c
数据
输入
16位数据
8位地址
(高到32个寄存器)
8位前置
210
208
16位数据
8位地址
206
时钟
地址[0:7]
到寄存器
数据[0:15]
到寄存器
同步前置检测

图2

图3
现有技术

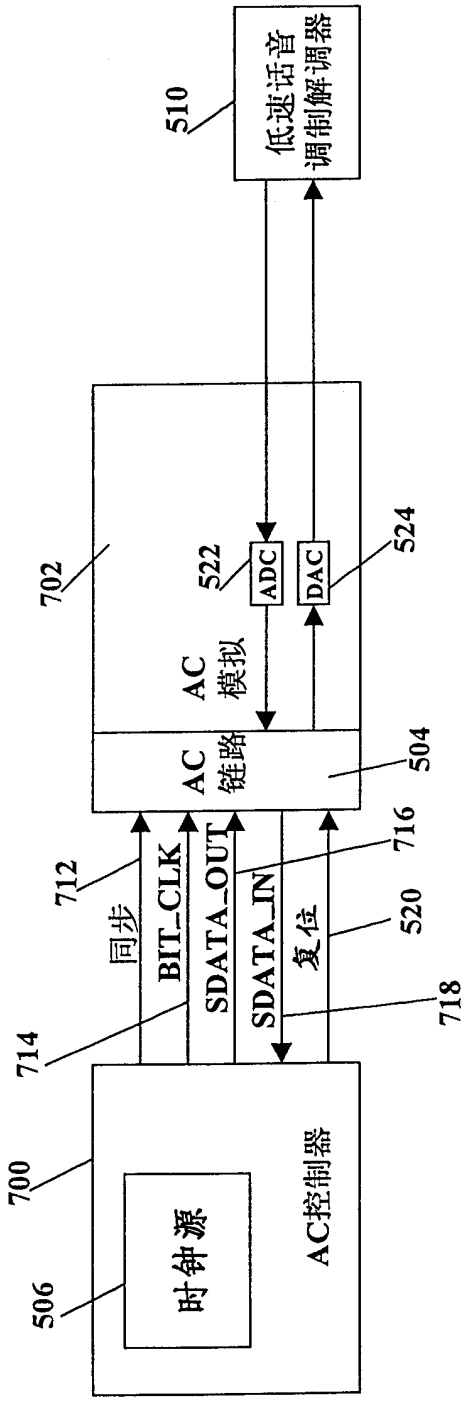

低速话音
调制解调器
510
702
522
ADC
DAC
524
AC
模拟
AC
链路
504
712
同步
BIT_CLK
SDATA_OUT
716
SDATA_IN
520
复位
718
714
700
506
时钟源
AC控制器

图4
现有技术

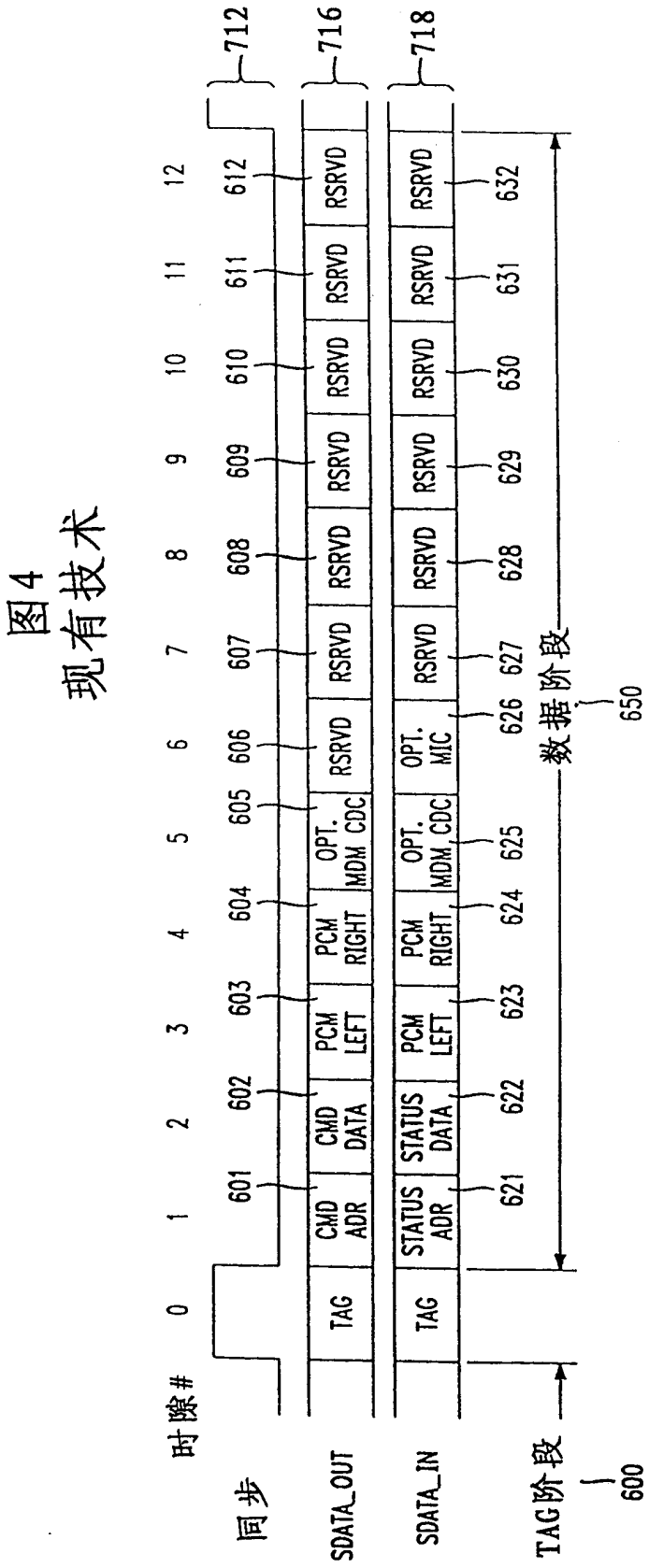
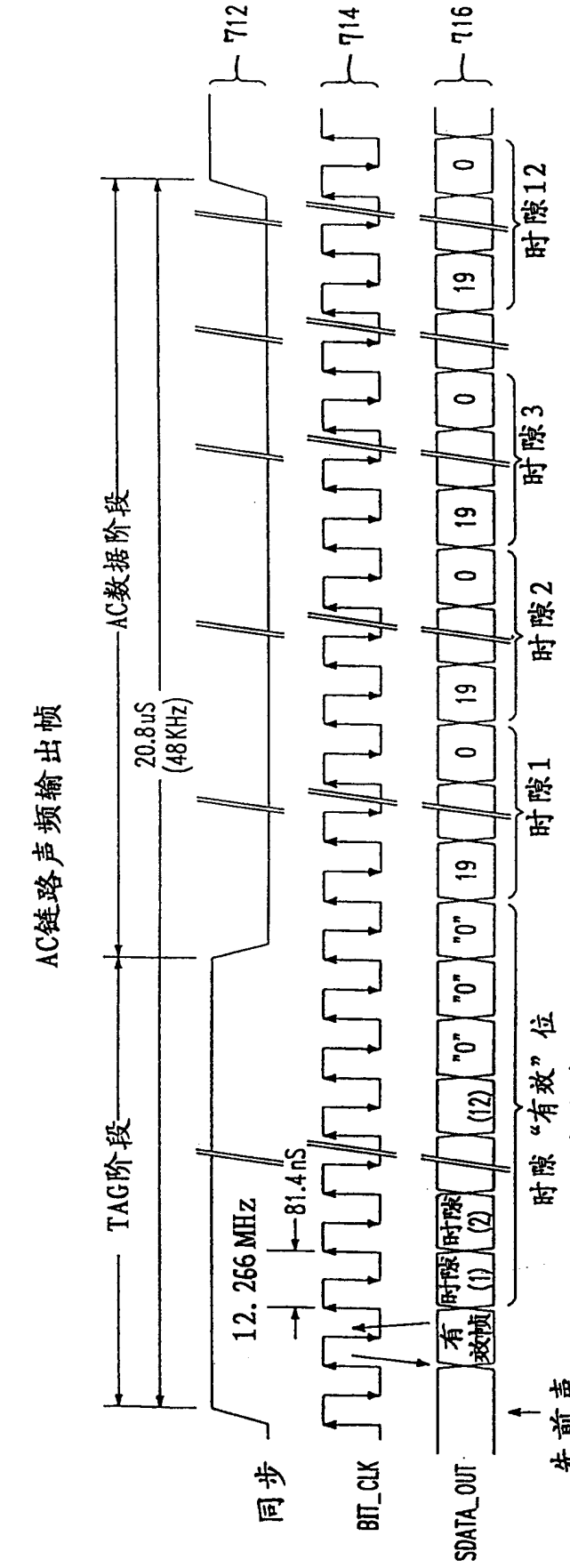

时隙#
0
1
2
3
4
5
6
7
8
9
10
11
12
同步
SDATA_OUT
SDATA_IN
TAG阶段
600
TAG
CMD ADR
CMD DATA
PCM LEFT
PCM RIGHT
OPT. MDM CDC
RSRVD
OPT. MIC
STATUS ADR
STATUS DATA
601
602
603
604
605
606
607
608
609
610
611
612
621
622
623
624
625
626
627
628
629
630
631
632
712
716
718
数据阶段
650

图5 现有技术


AC链路声频输出帧
TAG阶段
AC数据阶段
20.8uS
(48KHz)
712
714
716
12.266 MHz
81.4nS
同步
BIT_CLK
SDATA_OUT
有效帧
时隙(1)
时隙(2)
(12)
"0"
19
时隙1
时隙2
时隙3
时隙12
先前声频帧末尾
时隙"有效"位
("1"=时隙包含有效PCM数据)

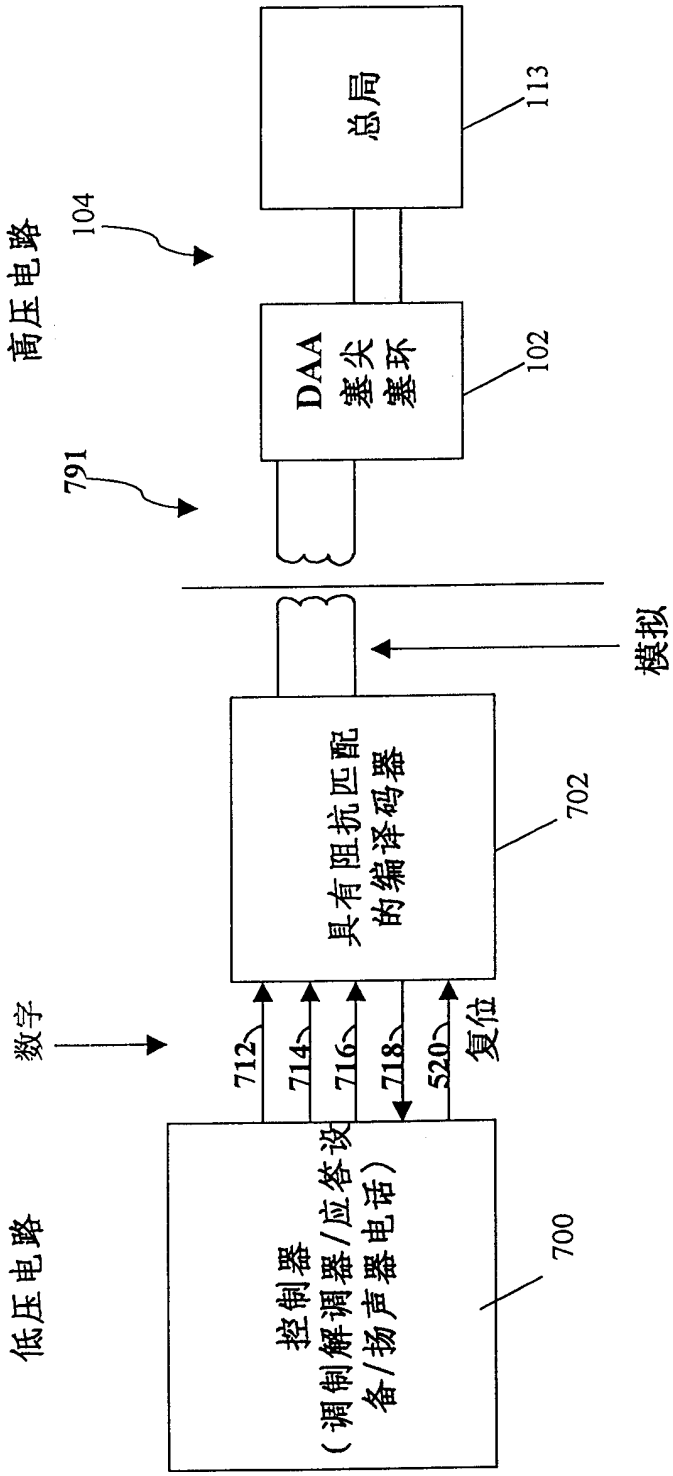

高压电路
104
791
总局
113
DAA
塞尖
塞环
102
模拟
具有阻抗匹配
的编译码器
702
数字
712
714
716
718
520
复位
低压电路
控制器
（调制解调器/应答设
备/扬声器电话）
700

图6
现有技术

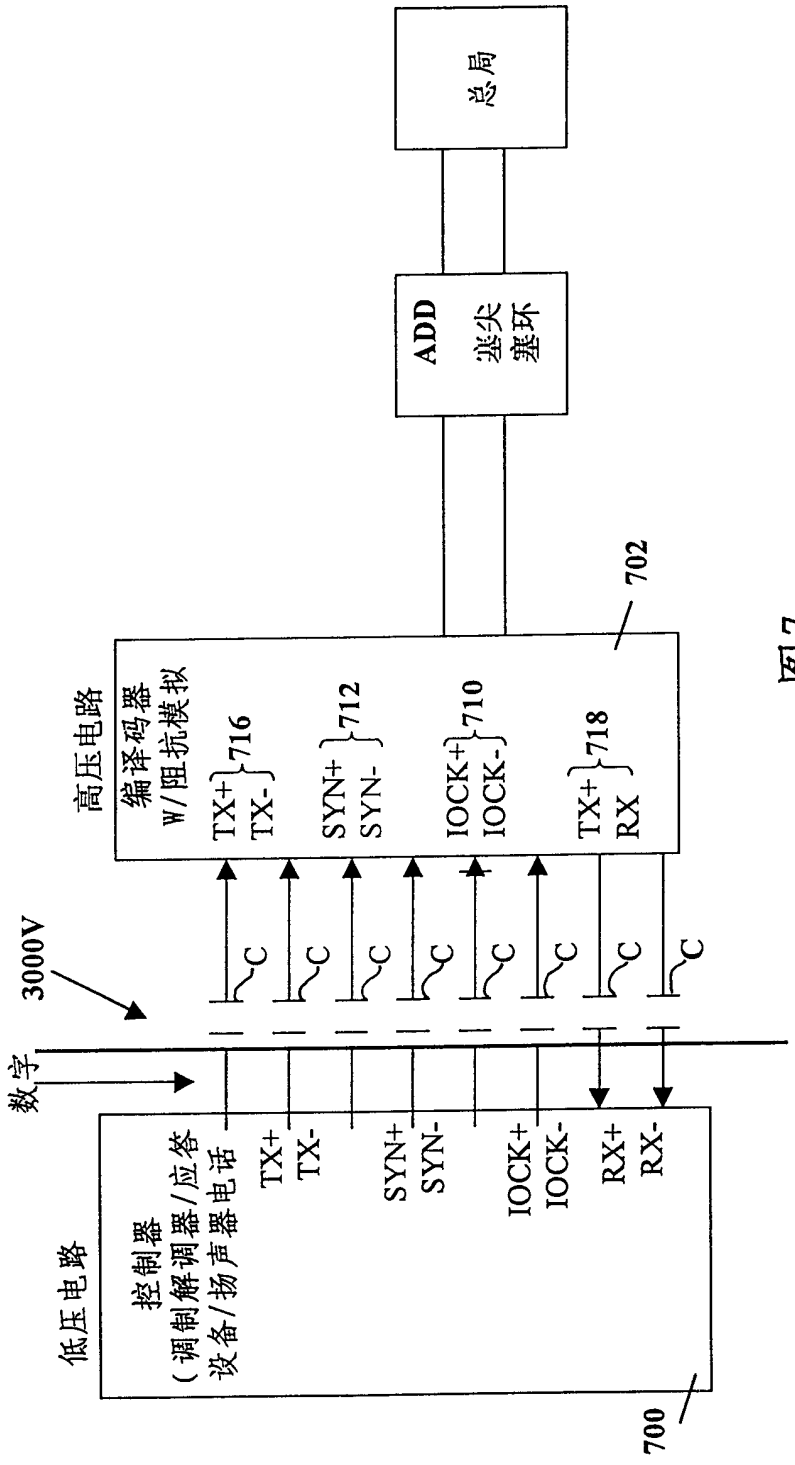

总局
ADD
塞尖
塞环
高压电路
编译码器
W/阻抗模拟
TX+
TX-
716
SYN+
SYN-
712
IOCK+
IOCK-
710
TX+
RX
718
702
3000V
C
数字
低压电路
控制器
(调制解调器/应答
设备/扬声器电话
TX+
TX-
SYN+
SYN-
IOCK+
IOCK-
RX+
RX-
700

图7
现有技术