

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2018年9月7日(07.09.2018)



(10) 国際公開番号

WO 2018/159332 A1

(51) 国際特許分類:

H03K 19/0175 (2006.01) H01L 27/04 (2006.01)
H01L 21/822 (2006.01)

(21) 国際出願番号: PCT/JP2018/005542

(22) 国際出願日: 2018年2月16日(16.02.2018)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:

特願 2017-040625 2017年3月3日(03.03.2017) JP

(71) 出願人:株式会社ソシオネクスト(SOCIONEXT INC.) [JP/JP]; 〒2220033 神奈川県横浜市港北区新横浜二丁目10番23 Kanagawa (JP).

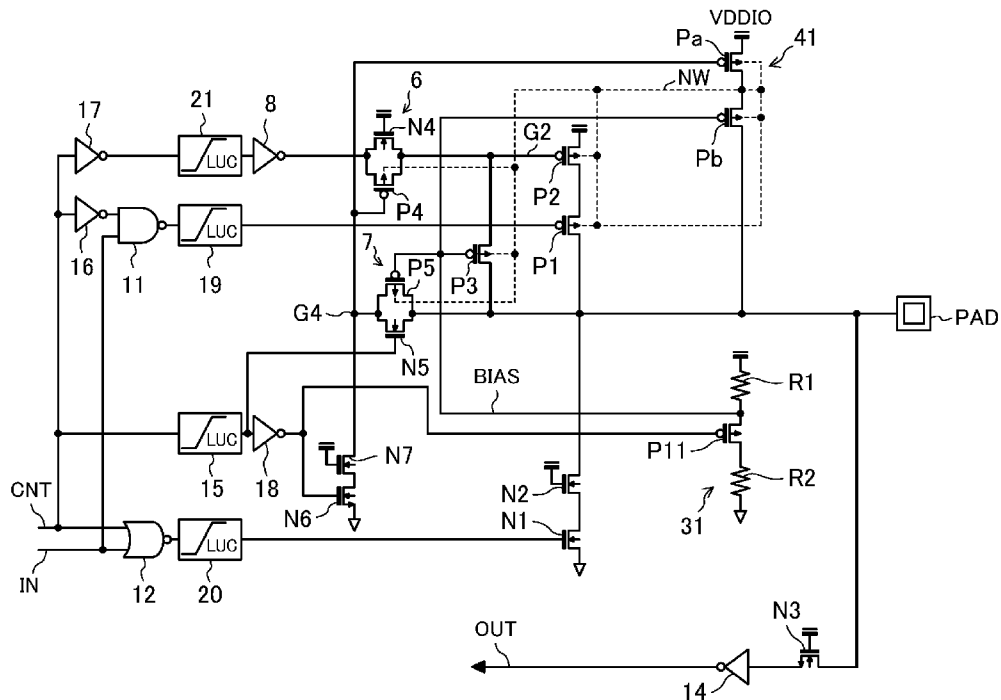
(72) 発明者:飯田 真久(HIDA Masahisa).

(74) 代理人: 特許業務法人前田特許事務所 (MAEDA & PARTNERS); 〒5300004 大阪府大阪市北区堂島浜1丁目2番1号 新ダイビル23階 Osaka (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,

(54) Title: SEMICONDUCTOR INTEGRATED CIRCUIT

(54) 発明の名称: 半導体集積回路



(57) Abstract: The present invention is provided with a power supply terminal for receiving a power supply voltage VDDIO, an external terminal (PAD), an output PMOS transistor (P2) connected between the power supply terminal and the external terminal, an auxiliary PMOS transistor (P3) connected between a gate of the output PMOS transistor (P2) and the external terminal, and a bias voltage generation circuit (31) connected to the gate of the auxiliary PMOS transistor (P3). When an off state of the output PMOS transistor (P2) is to be maintained by supplying, to the gate of the output PMOS



QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 国際調査報告(条約第21条(3))

transistor (P2), the voltage received from outside by the external terminal (PAD), the bias voltage generation circuit (31) supplies a voltage that is lower than the power supply voltage VDDIO to the gate of the auxiliary PMOS transistor (P3).

(57) 要約: 電源電圧VDDIOを受ける電源端子と、外部端子(PAD)と、電源端子と外部端子との間に接続された出力PMOSトランジスタ(P2)と、出力PMOSトランジスタ(P2)のゲートと外部端子との間に接続された補助PMOSトランジスタ(P3)と、補助PMOSトランジスタ(P3)のゲートに接続されたバイアス電圧生成回路(31)とを備える。バイアス電圧生成回路(31)は、外部端子(PAD)に外部から受けた電圧を出力PMOSトランジスタ(P2)のゲートへ供給することで出力PMOSトランジスタ(P2)のオフ状態を保持すべきときには、電源電圧VDDIOよりも低い電圧を補助PMOSトランジスタ(P3)のゲートに供給する。

明 細 書

発明の名称：半導体集積回路

技術分野

[0001] 本開示は、自己の電源電圧よりも高い電圧を外部から受け得る外部端子を備えた半導体集積回路に関するものである。

背景技術

[0002] 半導体システムをMOS（metal-oxide-semiconductor）トランジスタで構築するにあたり、互いに異なる電源電圧で動作する2つの半導体集積回路の外部端子同士を直接接続することがある。この場合、一方の半導体集積回路は、自己の電源電圧よりも高い電圧を外部端子に受ける。ある従来技術によれば、この場合でも出力回路を構成するPMOS（PチャネルMOS）トランジスタの耐圧問題を回避し、かつ外部端子から電源端子への漏れ電流を回避することを目的として、外部端子に外部から受ける電圧が制御系へフィードバックされる（特許文献1参照）。

先行技術文献

特許文献

[0003] 特許文献1：国際公開第2004／107578号

発明の概要

発明が解決しようとする課題

[0004] 上記従来技術では、自己の電源電圧よりも高い電圧を外部から受け、かつ両電圧の差が小さい場合に、出力回路を構成するPMOSトランジスタのゲート電圧の変化が遅くなる結果、外部端子から電源端子へ過渡的に大きな漏れ電流が流れることがあった。

課題を解決するための手段

[0005] 本開示は、出力回路を構成するPMOSトランジスタのゲート電圧の変化を高速化することで、自己の電源電圧よりも高い電圧を外部から受けた場合の過渡的な漏れ電流を抑制する。

[0006] 本開示の半導体集積回路は、出力モードと非出力モードとの切り換えを制御する制御信号を受ける第1の入力端子と、入力データ信号を受ける第2の入力端子と、電源電圧を受ける電源端子と、非出力モードにて電源電圧よりも高い電圧を外部から受け得る外部端子と、電源端子と外部端子との間に直列に接続された第1のPMOSトランジスタ及び第2のPMOSトランジスタとを備え、第1のPMOSトランジスタのゲートは、出力モードにて入力データ信号に応じた信号で駆動され、非出力モードにて電源電圧で駆動され、第2のPMOSトランジスタのゲートは、出力モードにて接地電圧で駆動され、非出力モードでは、電源電圧にMOSトランジスタのしきい値電圧を加えた電圧よりも低い電圧を臨界電圧とすると、外部端子に外部から受ける電圧が臨界電圧よりも低い場合には電源電圧で駆動され、外部端子に外部から受ける電圧が臨界電圧以上である場合には外部端子に外部から受ける電圧で駆動されることを特徴とする。

[0007] また、本開示の他の半導体集積回路は、出力モードと非出力モードとの切り換えを制御する制御信号を受ける第1の入力端子と、入力データ信号を受ける第2の入力端子と、電源電圧を受ける電源端子と、非出力モードにて電源電圧よりも高い電圧を外部から受け得る外部端子と、電源端子と外部端子との間に接続された出力PMOSトランジスタとを備え、出力PMOSトランジスタのゲートは、出力モードにて入力データ信号に応じた信号で駆動され、非出力モードでは、電源電圧にMOSトランジスタのしきい値電圧を加えた電圧よりも低い電圧を臨界電圧とすると、外部端子に外部から受ける電圧が臨界電圧よりも低い場合には電源電圧で駆動され、外部端子に外部から受ける電圧が臨界電圧以上である場合には外部端子に外部から受ける電圧で駆動されることを特徴とする。

[0008] また、本開示の他の半導体集積回路は、電源端子と、外部端子と、電源端子と外部端子との間に接続された出力PMOSトランジスタと、出力PMOSトランジスタのゲートと外部端子との間に接続された補助PMOSトランジスタと、補助PMOSトランジスタのゲートに接続されたバイアス電圧生

成回路とを備え、バイアス電圧生成回路は、外部端子に外部から受けた電圧を出力PMOSトランジスタのゲートへ供給することで出力PMOSトランジスタのオフ状態を保持すべきときには、電源電圧よりも低い電圧を補助PMOSトランジスタのゲートに供給することを特徴とする。

発明の効果

[0009] 本開示によれば、自己の電源電圧よりも高い電圧を外部から受けた場合の過渡的な漏れ電流が抑制される。

図面の簡単な説明

[0010] [図1]第1の実施形態に係る半導体集積回路を示す回路図である。

[図2]図1の半導体集積回路の非出力モード（入力モード）にて外部端子に外部から受ける電圧と第4のPMOSトランジスタのゲート電圧との関係を示すグラフである。

[図3]図1の半導体集積回路の非出力モード（入力モード）にて外部端子に外部から受ける電圧と第2のPMOSトランジスタのゲート電圧との関係を示すグラフである。

[図4]図1の半導体集積回路の動作を示すタイムチャートである。

[図5]第2の実施形態に係る半導体集積回路を示す回路図である。

[図6]図5の半導体集積回路の動作を示すタイムチャートである。

[図7]第3の実施形態に係る半導体集積回路を示す回路図である。

[図8]第4の実施形態に係る半導体集積回路を示す回路図である。

[図9]第5の実施形態に係る半導体集積回路を示す回路図である。

発明を実施するための形態

[0011] 以下、本開示の5つの実施形態を、図面を参照しながら説明する。

[0012] 《第1の実施形態》

図1は、第1の実施形態に係る半導体集積回路を示す回路図である。図1の半導体集積回路は、出力モードと非出力モード（入力モード）との切り換えを制御する制御信号CNTを受ける第1の入力端子と、入力データ信号INを受ける第2の入力端子と、電源電圧VDDIOを受ける電源端子と、接

地電圧を受ける接地端子と、非出力モードにて電源電圧 V_{DDIO} よりも高い電圧を外部から受け得る外部端子 PAD と、出力データ信号 OUT を出力する出力端子とを有する入出力セルを備えたものである。以下の説明では、一例として、制御信号 CNT 、入力データ信号 IN 及び出力データ信号 OUT が $0.9V$ 振幅の論理信号であり、電源電圧 V_{DDIO} が $1.8V$ であり、接地電圧が $0V$ であり、外部端子 PAD が $2.5V$ 振幅の論理信号電圧を外部から受けるものとする。また、電源電圧だけでなく、電源端子をも「 V_{DDIO} 」で表す。更に、外部端子だけでなく、外部端子の電圧（外部電圧）をも「 PAD 」で表す。

[0013] 図1の半導体集積回路では、出力回路として、外部端子 PAD と電源端子 V_{DDIO} との間に第1のPMOSトランジスタ $P1$ 及び第2のPMOSトランジスタ $P2$ が直列に接続され、接地端子と外部端子 PAD との間に第1のNMOS（NチャネルMOS）トランジスタ $N1$ 及び第2のNMOSトランジスタ $N2$ が直列に接続されている。また、入力回路として、外部端子 PAD と出力端子との間に第3のNMOSトランジスタ $N3$ とインバータ14とが介在している。なお、本開示は、入力回路を有しない出力セルを備えた半導体集積回路に変形可能である。

[0014] 第2のPMOSトランジスタ $P2$ のゲート $G2$ と外部端子 PAD との間に、第3のPMOSトランジスタ $P3$ が接続されている。第4のPMOSトランジスタ $P4$ と第4のNMOSトランジスタ $N4$ とは第1のトランスファゲート6を、第5のPMOSトランジスタ $P5$ と第5のNMOSトランジスタ $N5$ とは第2のトランスファゲート7をそれぞれ構成している。外部端子 PAD は第2のトランスファゲート7の入力に、第2のトランスファゲート7の出力は第4のPMOSトランジスタ $P4$ のゲート $G4$ に、第1のトランスファゲート6の出力は第2のPMOSトランジスタ $P2$ のゲート $G2$ に、第4のNMOSトランジスタ $N4$ のゲートは電源端子 V_{DDIO} にそれぞれ接続されている。また、接地端子と第4のPMOSトランジスタ $P4$ のゲート $G4$ との間に第6のNMOSトランジスタ $N6$ 及び第7のNMOSトランジ

スタ N 7 が直列に接続されている。

[0015] 図 1 の半導体集積回路は、各々 0.9 V 振幅の論理信号を 1.8 V 振幅の論理信号に変換するための第 1、第 2、第 3 及び第 4 の L U C (レベルアップコンバータ) 15, 19, 20, 21 を備える。第 1 の L U C 15 は、制御信号 C N T を受ける入力と、第 5 の N M O S トランジスタ N 5 のゲートに接続された出力とを有する。第 1 の L U C 15 の出力はまた、インバータ 18 を介して第 6 の N M O S トランジスタ N 6 のゲートに接続されている。第 7 の N M O S トランジスタ N 7 のゲートは、電源端子 V D D I O に接続されている。第 2 の L U C 19 は、制御信号 C N T をインバータ 16 にて反転して得られた信号と入力データ信号 I N とを入力する N A N D ゲート 11 の出力に接続された入力と、第 1 の P M O S トランジスタ P 1 のゲートに接続された出力とを有する。第 3 の L U C 20 は、制御信号 C N T と入力データ信号 I N とを入力する N O R ゲート 12 の出力に接続された入力と、第 1 の N M O S トランジスタ N 1 のゲートに接続された出力とを有する。第 2 の N M O S トランジスタ N 2 のゲートは、電源端子 V D D I O に接続されている。第 4 の L U C 21 は、制御信号 C N T をインバータ 17 にて反転して得られた信号を受ける入力と、インバータ 8 を介して第 1 のトランスファゲート 6 の入力に接続された出力とを有する。

[0016] 図 1 の半導体集積回路は、電源端子 V D D I O と外部端子 P A D との間に直列に接続された第 1 のウェル電圧生成 P M O S トランジスタ P a 及び第 2 のウェル電圧生成 P M O S トランジスタ P b からなる N ウェル電圧生成回路 41 を更に備える。第 1 のウェル電圧生成 P M O S トランジスタ P a のゲートは、第 4 の P M O S トランジスタ P 4 のゲート G 4 に接続されている。第 1 のウェル電圧生成 P M O S トランジスタ P a と第 2 のウェル電圧生成 P M O S トランジスタ P b との接続ノードの電圧が N ウェル電圧 N W であって、当該 N ウェル電圧 N W が、第 1 ～第 5 の P M O S トランジスタ P 1 ～P 5 の各々のバックゲートと、第 1 及び第 2 のウェル電圧生成 P M O S トランジスタ P a, P b の各々のバックゲートとに供給されている。

[0017] 図1の半導体集積回路は、電源端子VDDIOと接地端子との間に直列に接続された第1の抵抗素子R1、第1のバイアスPMOSトランジスタP11及び第2の抵抗素子R2を用いて構成された分圧回路からなるバイアス電圧生成回路31を更に備える。第1のバイアスPMOSトランジスタP11のゲートは、インバータ18を介して第1のLUT15の出力に接続されている。第1の抵抗素子R1と第1のバイアスPMOSトランジスタP11との接続ノードの電圧がバイアス電圧BIASであって、当該バイアス電圧BIASが、第3のPMOSトランジスタP3、第5のPMOSトランジスタP5及び第2のウェル電圧生成PMOSトランジスタPbの各々のゲートに供給されている。

[0018] 次に、図1の半導体集積回路の動作を説明する。ここでは、説明の簡単化のため、PチャネルであるとNチャネルであるとを問わずMOSトランジスタのしきい値電圧を V_{th} とする。また、第1のバイアスPMOSトランジスタP11がオフ状態であればバイアス電圧BIASが電源電圧VDDIOと等しく、つまり $BIAS = VDDIO$ であるが、第1のバイアスPMOSトランジスタP11がオン状態になったときには、バイアス電圧BIASが電源電圧VDDIOよりも差分 α だけ低くなる、つまり $BIAS = VDDIO - \alpha$ になるものとする。ただし、 $0 < \alpha < V_{th}$ である。また、以下の説明では、第2のPMOSトランジスタP2のゲートそのものだけでなく、その電圧をも「G2」で表す。また、第4のPMOSトランジスタP4のゲートそのものだけでなく、その電圧をも「G4」で表す。

[0019] 1. CNT=L (=0V)、すなわち出力モードの場合

第1のLUC15はL出力を、第4のLUC21はH出力をそれぞれ保持し、第2及び第3のLUC19, 20はそれぞれ入力データ信号INを反転した論理信号を出力する。したがって、第5のNMOSトランジスタN5がオフ状態を保持する。また、第1のバイアスPMOSトランジスタP11がオフ状態を保持するので、第1の抵抗素子R1にて電圧降下が生じることはなく、 $BIAS = VDDIO (=1.8V)$ となる。その結果、第3のPM

OSトランジスタP3、第5のPMOSトランジスタP5及び第2のウェル電圧生成PMOSトランジスタPbは、いずれもオフ状態を保持する。一方、第6及び第7のNMOSトランジスタN6、N7がオン状態を保持するので、 $G4 = L (= 0V)$ となり、第4のPMOSトランジスタP4及び第1のウェル電圧生成PMOSトランジスタPaがいずれもオン状態となる。したがって、 $NW = VDDIO (= 1.8V)$ となる。第1のトランスファゲート6を構成する第4のPMOSトランジスタP4及び第4のNMOSトランジスタN4がいずれもオン状態であるので、インバータ8のL出力を受けて、 $G2 = L (= 0V)$ となる。この結果、第2のPMOSトランジスタP2がオン状態を保持する。一方、第2のNMOSトランジスタN2はオン状態を保持し、第1のPMOSトランジスタP1及び第1のNMOSトランジスタN1は入力データ信号INに応じて相補的にオン・オフが決定される。その結果、 $IN = H (= 0.9V)$ ならば $PAD = VDDIO (= 1.8V)$ となり、 $IN = L (= 0V)$ ならば $PAD = L (= 0V)$ となる。

[0020] 2. $CNT = H (= 0.9V)$ 、すなわち非出力モード（入力モード）の場合

入力モードでは、外部端子PADに外部から受ける論理電圧に応じた出力データ信号OUTが得られる。一方、入力データ信号INのH/Lにかかわらず、第1及び第3のLUC15、19はH出力を、第2及び第4のLUC20、21はL出力をそれぞれ保持する。したがって、第1のNMOSトランジスタN1及び第6のNMOSトランジスタN6は、いずれもオフ状態を保持する。また、第1のバイアスPMOSトランジスタP11がオン状態を保持するので、第1及び第2の抵抗素子R1、R2並びに第1のバイアスPMOSトランジスタP11の直列合成抵抗で決まる電流が流れて、第1の抵抗素子R1に電圧降下が生じる結果、 $Bias = VDDIO - \alpha$ となる。

[0021] 以下、外部端子PADに外部から受ける電圧の大きさに応じて、動作説明の場合分けをする。

[0022] 2a. $PAD < VDDIO - V_{th}$ の場合

第5のNMOSトランジスタN5がオン状態となることから、 $G4 = PAD$ である。その結果、第1のウェル電圧生成PMOSトランジスタPaがオン状態を、第2のウェル電圧生成PMOSトランジスタPbがオフ状態をそれぞれ保持し、 $NW = VDDIO (= 1.8V)$ となる。また、第3のPMOSトランジスタP3がオフ状態を、第4のPMOSトランジスタP4がオン状態をそれぞれ保持するので、 $G2 = VDDIO (= 1.8V)$ であり、第2のPMOSトランジスタP2がオフ状態を保持する。一方、第2のLUC19の出力を受けて、第1のPMOSトランジスタP1もオフ状態を保持する。

[0023] 2b. $VDDIO - V_{th} \leq PAD < VDDIO + V_{th} - \alpha$ の場合

第5のNMOSトランジスタN5の作用により、 $G4 = VDDIO - V_{th}$ となる。その結果、第1及び第2のウェル電圧生成PMOSトランジスタPa, Pbがいずれもオフ状態を保持し、Nウェル電圧NWのノードがフローティング状態となる。この場合のNウェル電圧NWは、直前の状態を維持する。また、第3のPMOSトランジスタP3がオフ状態を、第4のPMOSトランジスタP4がオン状態をそれぞれ保持するので、 $G2 = VDDIO (= 1.8V)$ であり、第2のPMOSトランジスタP2がオフ状態を保持する。一方、第2のLUC19の出力を受けて、第1のPMOSトランジスタP1もオフ状態を保持する。

[0024] 2c. $PAD \geq VDDIO + V_{th} - \alpha$ の場合

高い外部電圧PADの影響を受けて、バイアス電圧BIASを共通のゲート電圧として受ける第3のPMOSトランジスタP3、第5のPMOSトランジスタP5及び第2のウェル電圧生成PMOSトランジスタPbがいずれもオン状態となる。したがって、 $G2 = PAD$ 、かつ $G4 = PAD$ である。第1のウェル電圧生成PMOSトランジスタPaはオフ状態となり、 $NW = PAD$ である。一方、第1のPMOSトランジスタP1は高い外部電圧PADの影響を受けてオン状態となるが、第2のPMOSトランジスタP2はオフ状態を保持しようとする。

[0025] 図2は、図1の半導体集積回路の非出力モード（入力モード）にて外部端子PADに外部から受ける電圧と第4のPMOSトランジスタP4のゲートG4の電圧との関係を示すグラフである。ここで、臨界電圧 V_{DDX} を、 $V_{DDX} = V_{DDIO} + V_{th} - \alpha$ により定義する。上記のように $0 < \alpha < V_{th}$ であるから、 $V_{DDIO} < V_{DDX} < V_{DDIO} + V_{th}$ である。上記2a項～2c項にて説明したように、 $PAD < V_{DDIO} - V_{th}$ では $G4 = PAD$ であり、 $V_{DDIO} - V_{th} \leq PAD < V_{DDX}$ では $G4 = V_{DDIO} - V_{th}$ であり、 $PAD \geq V_{DDX}$ では $G4 = PAD$ である。 $\alpha = 0$ の場合に比べて外部端子PADに外部から受ける電圧が比較的低い段階で、第4のPMOSトランジスタP4のゲートG4の電圧が立ち上がることが判る。

[0026] 図3は、図1の半導体集積回路の非出力モード（入力モード）にて外部端子PADに外部から受ける電圧と第2のPMOSトランジスタP2のゲートG2の電圧との関係を示すグラフである。上記2a項～2c項にて説明したように、 $PAD < V_{DDX}$ では $G2 = V_{DDIO}$ であり、 $PAD \geq V_{DDX}$ では $G2 = PAD$ である。 $\alpha = 0$ の場合に比べて外部端子PADに外部から受ける電圧が比較的低い段階で、第2のPMOSトランジスタP2のゲートG2の電圧が立ち上がることが判る。

[0027] 以上のように、第1のPMOSトランジスタP1のゲートは、出力モードにて入力データ信号INに応じた信号で駆動され、非出力モード（入力モード）にて電源電圧 V_{DDIO} で駆動される。一方、第2のPMOSトランジスタP2のゲートG2は、出力モードにて接地電圧で駆動され、非出力モード（入力モード）では、図3に示されるように、外部電圧PADが臨界電圧 V_{DDX} よりも低い場合には電源電圧 V_{DDIO} で駆動され、外部電圧PADが臨界電圧 V_{DDX} 以上である場合には外部電圧PADで駆動される。

[0028] 図4は、図1の半導体集積回路の動作を示すタイムチャートである。時刻 t_1 まで $CNT = L$ （ $= 0V$ ）であり、時刻 t_1 から時刻 t_4 まで $CNT = H$ （ $= 0.9V$ ）であるものとしている。

[0029] 図4の例によれば、時刻 t_1 まで、 $CNT=L (=0V)$ であるので、図1の半導体集積回路は、出力モードで動作する。 $G2=G4=L (=0V)$ 、 $Bias=VDDIO (=1.8V)$ である。また、時刻 t_0 までは $IN=L (=0V)$ なので $PAD=L (=0V)$ であり、時刻 t_0 から時刻 t_1 までは $IN=H (=0.9V)$ なので $PAD=VDDIO (=1.8V)$ である。

[0030] 時刻 t_1 から時刻 t_4 までは、 $CNT=H (=0.9V)$ であるので、図1の半導体集積回路は、非出力モード（入力モード）で動作する。この期間（ $t_1 \sim t_4$ ）を通じて、入力データ信号 IN の H/L にかかわらず、 $Bias=VDDIO-\alpha$ である。上記のように $0<\alpha<V_{th}$ であるから、 $VDDIO-V_{th}<Bias<VDDIO$ である。

[0031] 図4の例によれば、時刻 t_1 から時刻 t_2 まで、外部から $PAD=L (=0V)$ の論理低レベルの電圧を外部端子に受ける。 $PAD<VDDIO-V_{th}$ の場合であるので、上記2a項にて説明したように、 $G2=VDDIO (=1.8V)$ 、 $G4=PAD (=0V)$ である。時刻 t_2 から時刻 t_3 までは、外部から $PAD=H (=2.5V)$ の論理高レベルの電圧を外部端子に受ける。 $PAD \geq VDDIO+V_{th}-\alpha$ を満たすように α と V_{th} との関係が設定されたものとする、上記2c項にて説明したように、 $G2=G4=PAD (=2.5V)$ である。時刻 t_3 から時刻 t_4 までは、時刻 t_1 から時刻 t_2 までと同じ状態に戻る。

[0032] 図1の半導体集積回路では、非出力モード（入力モード）にて第3のPMOSトランジスタP3のゲートに供給されるバイアス電圧 $Bias$ を、電源電圧 $VDDIO$ よりも α （ $\alpha>0$ ）だけ低くしている。したがって、図4中の時刻 t_2 の近傍にて、外部電圧 PAD が電源電圧 $VDDIO (=1.8V)$ を若干だけ上回った段階でも、 $\alpha=0$ の場合に比べて第3のPMOSトランジスタP3を流れる電流が大きくなる結果、第2のPMOSトランジスタP2のゲート電圧 $G2$ の上昇が高速化されて、速やかに $G2=PAD (=2.5V)$ となる。したがって、第2のPMOSトランジスタP2における過

渡的な漏れ電流を抑制することができる。また、図4中の時刻 t_3 の近傍における第2のPMOSトランジスタP2のゲート電圧 G_2 の下降も高速化される。

[0033] 本実施形態によれば、図1中に表示された全てのMOSトランジスタに1.8V耐圧トランジスタを使用すれば、外部から2.5Vの電圧が外部端子に印加されても、耐圧の問題は生じない。また、自己の電源電圧(=1.8V)よりも高い2.5Vの電圧が外部から外部端子に印加されても、出力PMOSトランジスタにおける過渡的な漏れ電流を効果的に抑制することができる。

[0034] 《第2の実施形態》

図5は、第2の実施形態に係る半導体集積回路を示す回路図である。図5の半導体集積回路におけるバイアス電圧生成回路32では、図1中の第1のバイアスPMOSトランジスタP11と第2の抵抗素子R2との間に第2のバイアスPMOSトランジスタP12が挿入され、かつ電源端子VDDIOとバイアス電圧BIASのノードとの間に第3のバイアスPMOSトランジスタP13が挿入されている。第2のバイアスPMOSトランジスタP12のゲートは、インバータ14から出力データ信号OUTを受ける。第3のバイアスPMOSトランジスタP13のゲートは、第4のPMOSトランジスタP4のゲートG4に接続されている。第3のバイアスPMOSトランジスタP13のバックゲートには、Nウェル電圧NWが供給されている。その他の構成は、図1の半導体集積回路と同様である。

[0035] 図6は、図5の半導体集積回路の動作を示すタイムチャートである。図4では非出力モード(入力モード)にて時刻 t_1 から時刻 t_4 まで $BIAS = VDDIO - \alpha$ であったが、図6では時刻 t_2 から時刻 t_3 までの期間のみ $BIAS = VDDIO - \alpha$ となる。つまり、ゲートに出力データ信号OUTを受ける第2のバイアスPMOSトランジスタP12を第1のバイアスPMOSトランジスタP11と第2の抵抗素子R2との間に挿入したことにより、 $BIAS = VDDIO - \alpha$ となる期間が、外部からPAD=H(=2.5

V) の論理高レベルの電圧を外部端子に受ける期間 ($t_2 \sim t_3$) に限定されるのである。一方、第3のバイアスPMOSトランジスタP13は、当該期間 ($t_2 \sim t_3$) 以外の期間にオン状態を保持することでBIAS=VDDIOを保証する。

[0036] 本実施形態によれば、第1の実施形態の場合に比べてBIAS=VDDIO- α とされる期間が短くなるので、バイアス電圧生成回路等における消費電力が低減される。

[0037] 《第3の実施形態》

図7は、第3の実施形態に係る半導体集積回路を示す回路図である。図7の半導体集積回路におけるバイアス電圧生成回路33では、図5中の第1の抵抗素子R1がダイオード接続されたNMOSトランジスタN11に、図5中の第2の抵抗素子R2が各々ダイオード接続された2個のNMOSトランジスタN12, N13の直列接続にそれぞれ置き換えられている。その他の構成は、図5の半導体集積回路と同様である。

[0038] 本実施形態によれば、第2の実施形態の場合に比べてバイアス電圧生成回路が小面積化される。

[0039] 《第4の実施形態》

図8は、第4の実施形態に係る半導体集積回路を示す回路図である。図8の半導体集積回路におけるバイアス電圧生成回路34では、図7中のダイオード接続されたNMOSトランジスタN11に対して並列に他のダイオード接続されたNMOSトランジスタN14が接続され、かつ前者のNMOSトランジスタN11と電源端子VDDIOとの間に第4のバイアスPMOSトランジスタP14が挿入されている。第4のバイアスPMOSトランジスタP14のゲートは、外部端子PADに接続されている。その他の構成は、図7の半導体集積回路と同様である。

[0040] 本実施形態によれば、非出力モード（入力モード）にて外部端子PADに外部から受ける電圧が論理高レベルを保持している間はダイオード接続されたNMOSトランジスタN11を流れる電流が第4のバイアスPMOSトラ

ンジスタ P 1 4 により遮断されるので、第 3 の実施形態の場合に比べてバイアス電圧生成回路における消費電力が低減される。なお、トランジスタサイズを適切に選択することで、第 4 のバイアス PMOS トランジスタ P 1 4 のオン・オフに伴うバイアス電圧 B I A S の変動を抑えることができる。

[0041] 《第 5 の実施形態》

図 9 は、第 5 の実施形態に係る半導体集積回路を示す回路図である。図 9 の半導体集積回路では、図 1 中の第 1 の PMOS トランジスタ P 1、第 4 の L U C 2 1 及び 2 個のインバータ 8, 1 7 の配設が省略され、かつ、第 1 のトランスファゲート 6 の入力、2 段のインバータ 8 a, 8 b を介して第 2 の L U C 1 9 の出力から供給されるように変更されている。その他の構成は、図 8 の半導体集積回路と同様である。

[0042] 第 2 の PMOS トランジスタ P 2 のゲート G 2 は、出力モードにて入力データ信号 I N に応じた信号で駆動され、非出力モード（入力モード）では、外部電圧 P A D が臨界電圧 V D D X よりも低い場合には電源電圧 V D D I O で駆動され、外部電圧 P A D が臨界電圧 V D D X 以上である場合には外部電圧 P A D で駆動される。

[0043] このように、図 9 の半導体集積回路では、出力回路を構成する電源側トランジスタは第 2 の PMOS トランジスタ P 2 のみである。このようにしても耐圧の問題は生じない。例えば、V D D I O = 1. 8 V のとき、外部端子 P A D に外部から 2. 5 V の電圧を印加しても、第 2 の PMOS トランジスタ P 2 のゲート酸化膜に 1. 8 V 以上の電圧は掛からない。

[0044] 本実施形態によれば、各々大きい面積を占める第 1 の PMOS トランジスタ P 1 及び第 4 の L U C 2 1 が削減されるので、第 4 の実施形態の場合に比べて半導体集積回路が小面積化される。なお、上記第 1 ～第 3 の実施形態の半導体集積回路でも同様に、第 1 の PMOS トランジスタ P 1 及び第 4 の L U C 2 1 を削減することが可能である。

産業上の利用可能性

[0045] 以上説明してきたとおり、本発明に係る半導体集積回路は、自己の電源電

圧よりも高い電圧を外部から受けた場合の過渡的な漏れ電流が抑制される効果を有し、直結可能な外部端子を備えた半導体集積回路として有用である。

符号の説明

- [0046] 6, 7 トランスファゲート
8, 8 a, 8 b, 14, 16, 17, 18 インバータ
11 NANDゲート
12 NORゲート
15, 19, 20, 21 レベルアップコンバータ
31～34 バイアス電圧生成回路
41 Nウェル電圧生成回路
BIAS バイアス電圧
CNT 制御信号
G2 第2のPMOSトランジスタP2のゲート端子（ゲート電圧）
G4 第4のPMOSトランジスタP4のゲート端子（ゲート電圧）
IN 入力データ信号
N1～N7, N11～N14 NMOSトランジスタ
NW Nウェル電圧
OUT 出力データ信号
P1～P5, P11～P14, Pa, Pb PMOSトランジスタ
PAD 外部端子（外部電圧）
R1, R2 抵抗素子
VDDIO 電源電圧（電源端子）
VDDX 臨界電圧

請求の範囲

- [請求項1] 出力モードと非出力モードとの切り換えを制御する制御信号を受ける第1の入力端子と、
 入力データ信号を受ける第2の入力端子と、
 電源電圧を受ける電源端子と、
 前記非出力モードにて前記電源電圧よりも高い電圧を外部から受け得る外部端子と、
 前記電源端子と前記外部端子との間に直列に接続された第1のPMOSトランジスタ及び第2のPMOSトランジスタとを備え、
 前記第1のPMOSトランジスタのゲートは、前記出力モードにて前記入力データ信号に応じた信号で駆動され、前記非出力モードにて前記電源電圧で駆動され、
 前記第2のPMOSトランジスタのゲートは、前記出力モードにて接地電圧で駆動され、前記非出力モードでは、前記電源電圧にPMOSトランジスタのしきい値電圧を加えた電圧よりも低い電圧を臨界電圧とすると、前記外部端子に外部から受ける電圧が前記臨界電圧よりも低い場合には前記電源電圧で駆動され、前記外部端子に外部から受ける電圧が前記臨界電圧以上である場合には前記外部端子に外部から受ける電圧で駆動されることを特徴とする半導体集積回路。
- [請求項2] 請求項1記載の半導体集積回路において、
 前記臨界電圧は、前記電源電圧よりも高いことを特徴とする半導体集積回路。
- [請求項3] 請求項1記載の半導体集積回路において、
 前記第2のPMOSトランジスタのゲートと前記外部端子との間に接続された第3のPMOSトランジスタと、
 前記第3のPMOSトランジスタのゲートに接続された出力を有するバイアス電圧生成回路とを更に備え、
 前記バイアス電圧生成回路は、前記出力モードにて前記電源電圧を

、前記非出力モードにて前記外部端子に外部から受ける電圧が論理高レベルの電圧である場合には前記電源電圧よりも低い電圧をそれぞれ出力することを特徴とする半導体集積回路。

[請求項4] 請求項3記載の半導体集積回路において、
前記バイアス電圧生成回路は、前記非出力モードにて前記外部端子に外部から受ける電圧が論理高レベルの電圧である場合には、前記電源電圧よりも低く、かつ前記電源電圧から前記MOSトランジスタのしきい値電圧を減じた電圧よりも高い電圧を出力することを特徴とする半導体集積回路。

[請求項5] 請求項3記載の半導体集積回路において、
前記バイアス電圧生成回路は、前記非出力モードにて前記外部端子に外部から受ける電圧が論理低レベルの電圧である場合にも前記電源電圧よりも低い電圧を出力することを特徴とする半導体集積回路。

[請求項6] 請求項3記載の半導体集積回路において、
前記バイアス電圧生成回路は、前記非出力モードにて前記外部端子に外部から受ける電圧が論理低レベルの電圧である場合には前記電源電圧を出力することを特徴とする半導体集積回路。

[請求項7] 請求項3記載の半導体集積回路において、
前記バイアス電圧生成回路は、抵抗素子又はダイオード接続されたMOSトランジスタを用いて構成された分圧回路を有することを特徴とする半導体集積回路。

[請求項8] 請求項3記載の半導体集積回路において、
前記バイアス電圧生成回路は、前記非出力モードにて前記外部端子に外部から受ける電圧が前記論理高レベルを保持している間の当該バイアス電圧生成回路の消費電流を低減する構成を有することを特徴とする半導体集積回路。

[請求項9] 出力モードと非出力モードとの切り換えを制御する制御信号を受ける第1の入力端子と、

入力データ信号を受ける第2の入力端子と、
電源電圧を受ける電源端子と、
前記非出力モードにて前記電源電圧よりも高い電圧を外部から受け得る外部端子と、
前記電源端子と前記外部端子との間に接続された出力PMOSトランジスタとを備え、
前記出力PMOSトランジスタのゲートは、前記出力モードにて前記入力データ信号に応じた信号で駆動され、前記非出力モードでは、前記電源電圧にMOSトランジスタのしきい値電圧を加えた電圧よりも低い電圧を臨界電圧とすると、前記外部端子に外部から受ける電圧が前記臨界電圧よりも低い場合には前記電源電圧で駆動され、前記外部端子に外部から受ける電圧が前記臨界電圧以上である場合には前記外部端子に外部から受ける電圧で駆動されることを特徴とする半導体集積回路。

[請求項10] 請求項9記載の半導体集積回路において、
前記臨界電圧は、前記電源電圧よりも高いことを特徴とする半導体集積回路。

[請求項11] 請求項9記載の半導体集積回路において、
前記出力PMOSトランジスタのゲートと前記外部端子との間に接続された補助PMOSトランジスタと、
前記補助PMOSトランジスタのゲートに接続された出力を有するバイアス電圧生成回路とを更に備え、
前記バイアス電圧生成回路は、前記出力モードにて前記電源電圧を、前記非出力モードにて前記外部端子に外部から受ける電圧が論理高レベルの電圧である場合には前記電源電圧よりも低い電圧をそれぞれ出力することを特徴とする半導体集積回路。

[請求項12] 請求項11記載の半導体集積回路において、
前記バイアス電圧生成回路は、前記非出力モードにて前記外部端子

に外部から受ける電圧が論理高レベルの電圧である場合には、前記電源電圧よりも低く、かつ前記電源電圧から前記MOSトランジスタのしきい値電圧を減じた電圧よりも高い電圧を出力することを特徴とする半導体集積回路。

[請求項13] 請求項11記載の半導体集積回路において、
前記バイアス電圧生成回路は、前記非出力モードにて前記外部端子に外部から受ける電圧が論理低レベルの電圧である場合にも前記電源電圧よりも低い電圧を出力することを特徴とする半導体集積回路。

[請求項14] 請求項11記載の半導体集積回路において、
前記バイアス電圧生成回路は、前記非出力モードにて前記外部端子に外部から受ける電圧が論理低レベルの電圧である場合には前記電源電圧を出力することを特徴とする半導体集積回路。

[請求項15] 請求項11記載の半導体集積回路において、
前記バイアス電圧生成回路は、抵抗素子又はダイオード接続されたMOSトランジスタを用いて構成された分圧回路を有することを特徴とする半導体集積回路。

[請求項16] 請求項11記載の半導体集積回路において、
前記バイアス電圧生成回路は、前記非出力モードにて前記外部端子に外部から受ける電圧が前記論理高レベルを保持している間の当該バイアス電圧生成回路の消費電流を低減する構成を有することを特徴とする半導体集積回路。

[請求項17] 電源端子と、
外部端子と、
前記電源端子と前記外部端子との間に接続された出力PMOSトランジスタと、
前記出力PMOSトランジスタのゲートと前記外部端子との間に接続された補助PMOSトランジスタと、
前記補助PMOSトランジスタのゲートに接続されたバイアス電圧

生成回路とを備え、

前記バイアス電圧生成回路は、前記外部端子に外部から受けた電圧を前記出力PMOSトランジスタのゲートへ供給することで前記出力PMOSトランジスタのオフ状態を保持すべきときには、電源電圧よりも低い電圧を前記補助PMOSトランジスタのゲートに供給することを特徴とする半導体集積回路。

[請求項18] 請求項17記載の半導体集積回路において、

前記バイアス電圧生成回路から前記補助PMOSトランジスタのゲートに供給される電圧は、前記電源電圧からMOSトランジスタのしきい値電圧を減じた電圧よりも高いことを特徴とする半導体集積回路。

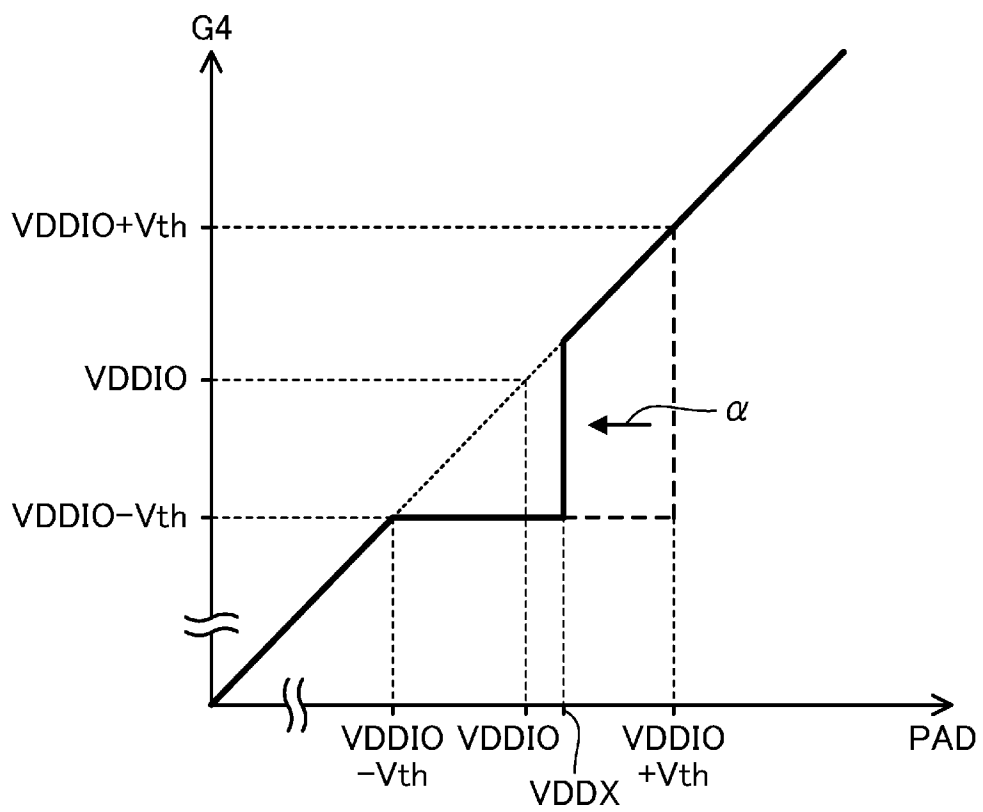
[請求項19] 請求項17記載の半導体集積回路において、

前記バイアス電圧生成回路は、抵抗素子又はダイオード接続されたMOSトランジスタを用いて構成された分圧回路を有することを特徴とする半導体集積回路。

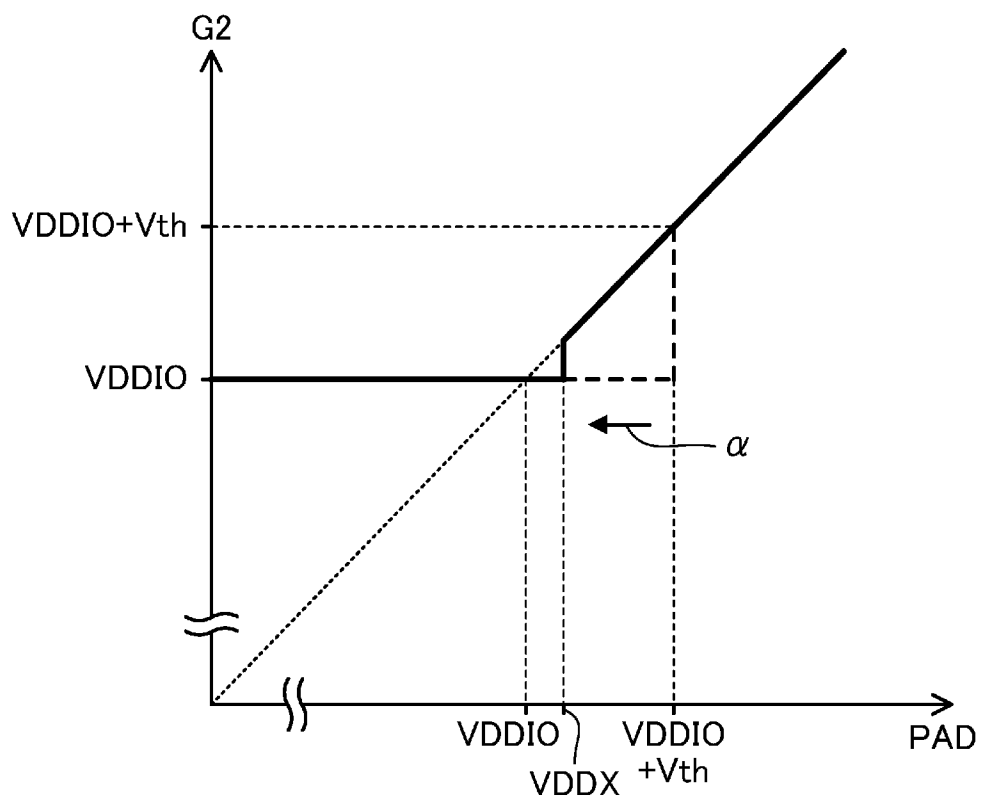
[請求項20] 請求項17記載の半導体集積回路において、

前記バイアス電圧生成回路は、前記外部端子に外部から受ける電圧が論理高レベルを保持している間の当該バイアス電圧生成回路の消費電流を低減する構成を有することを特徴とする半導体集積回路。

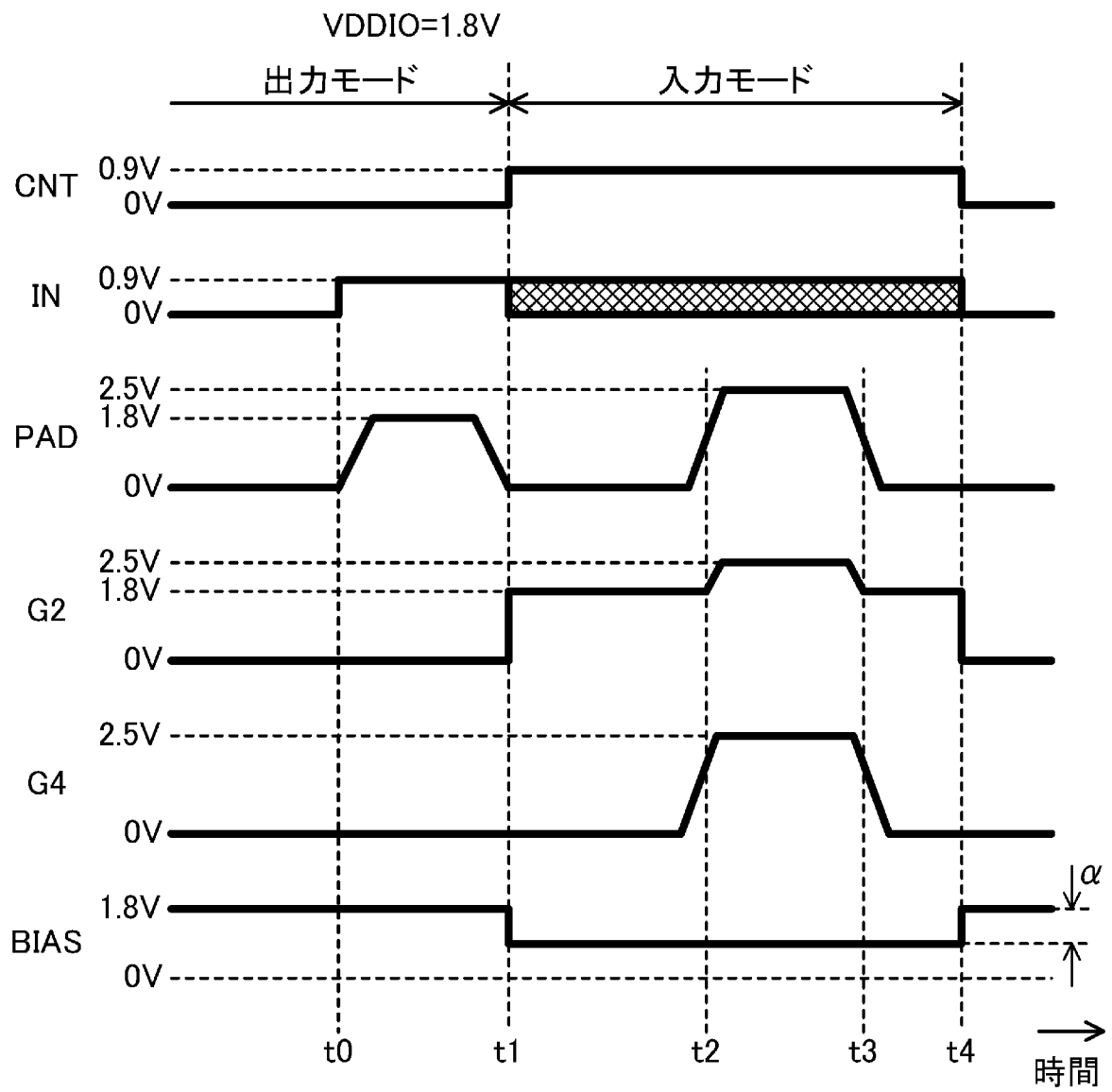
[図2]



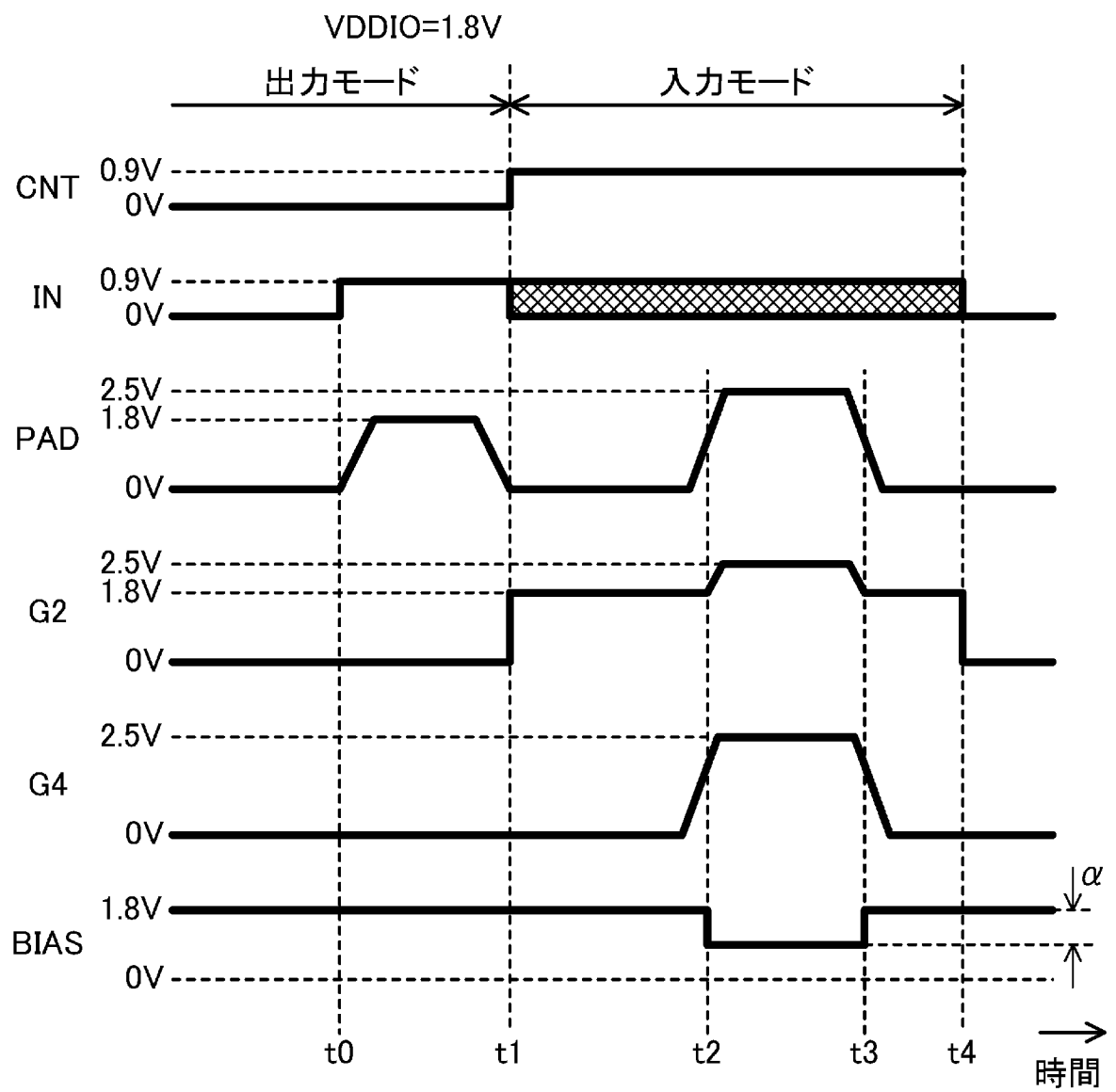
[図3]



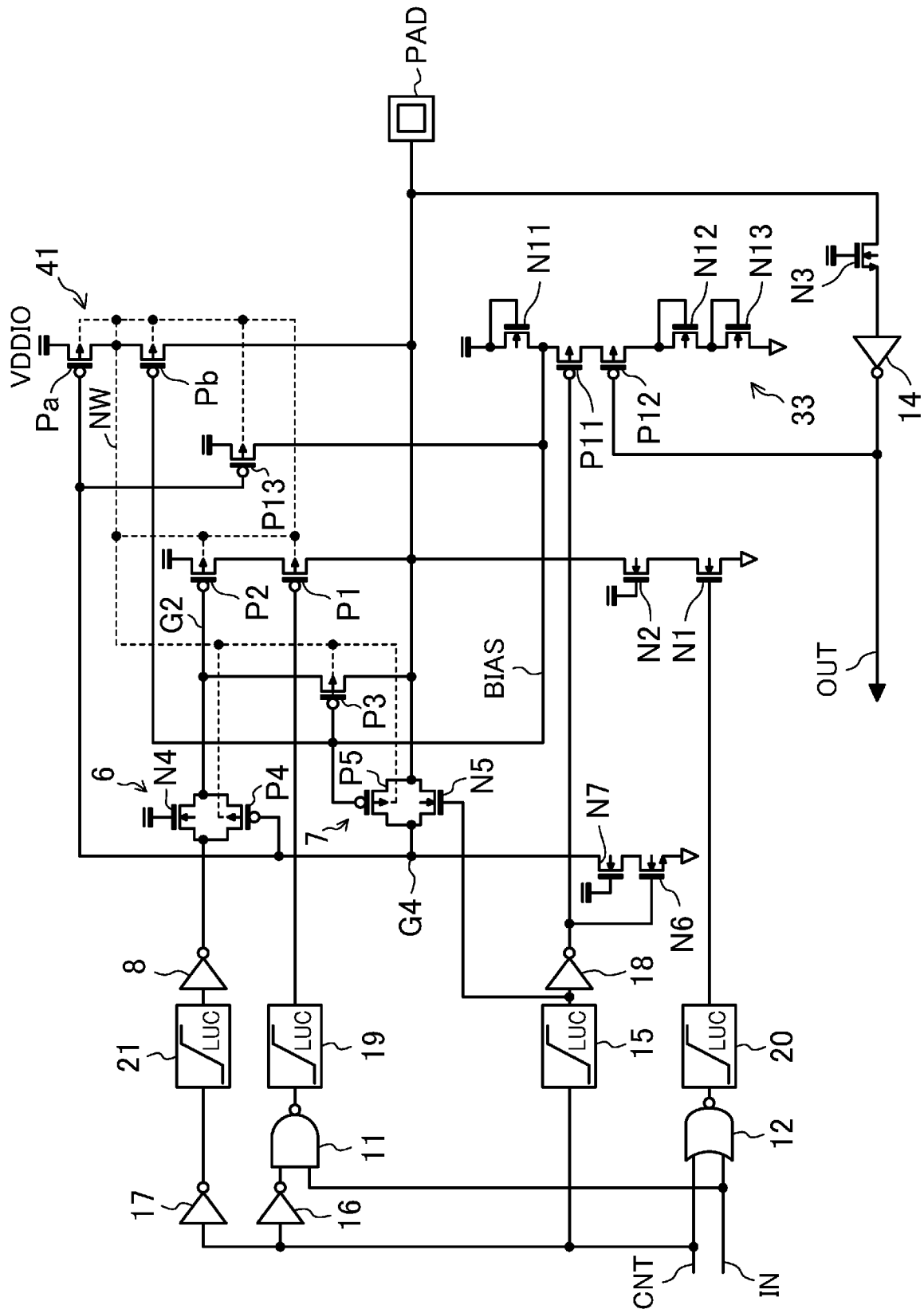
[図4]



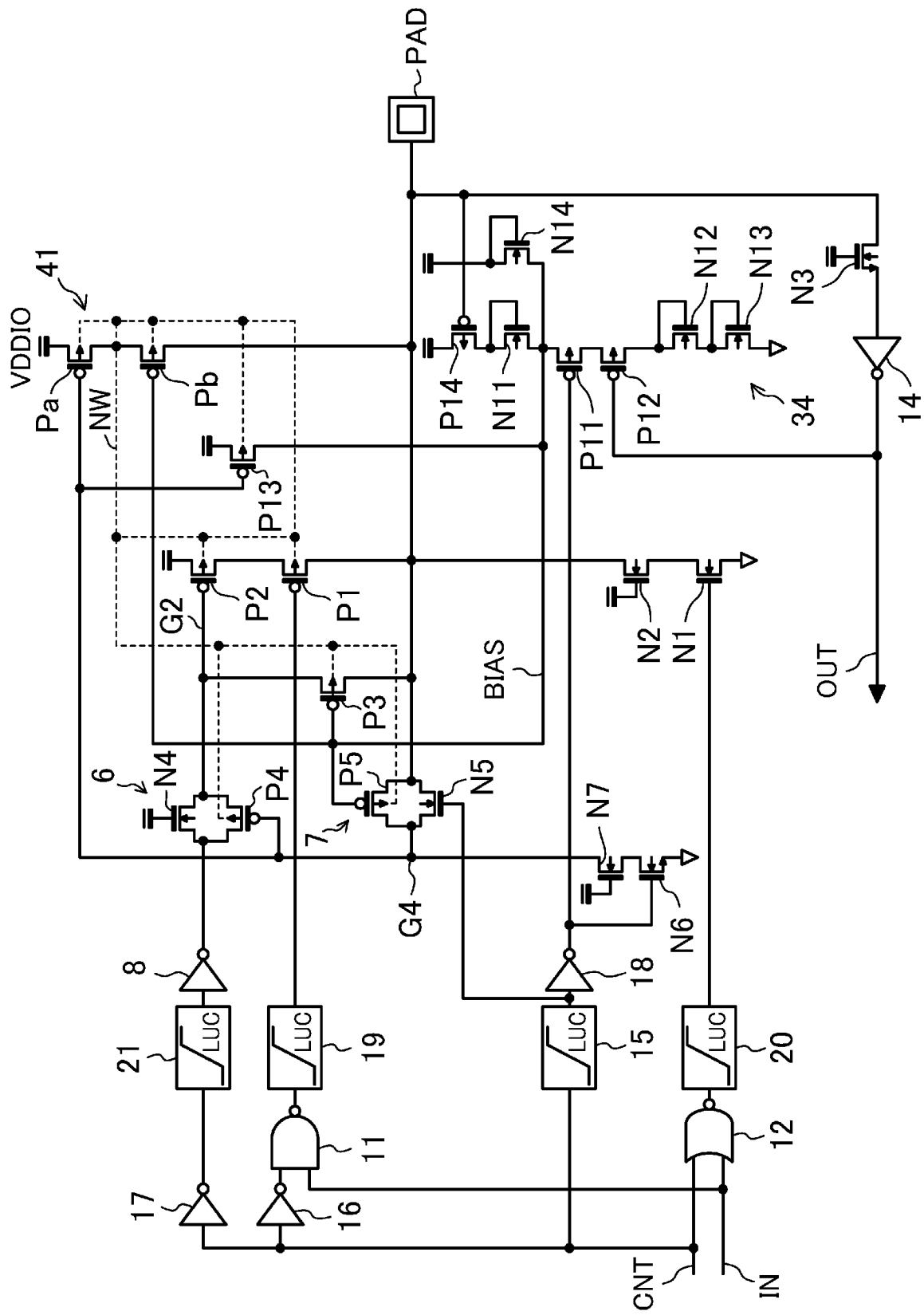
[図6]



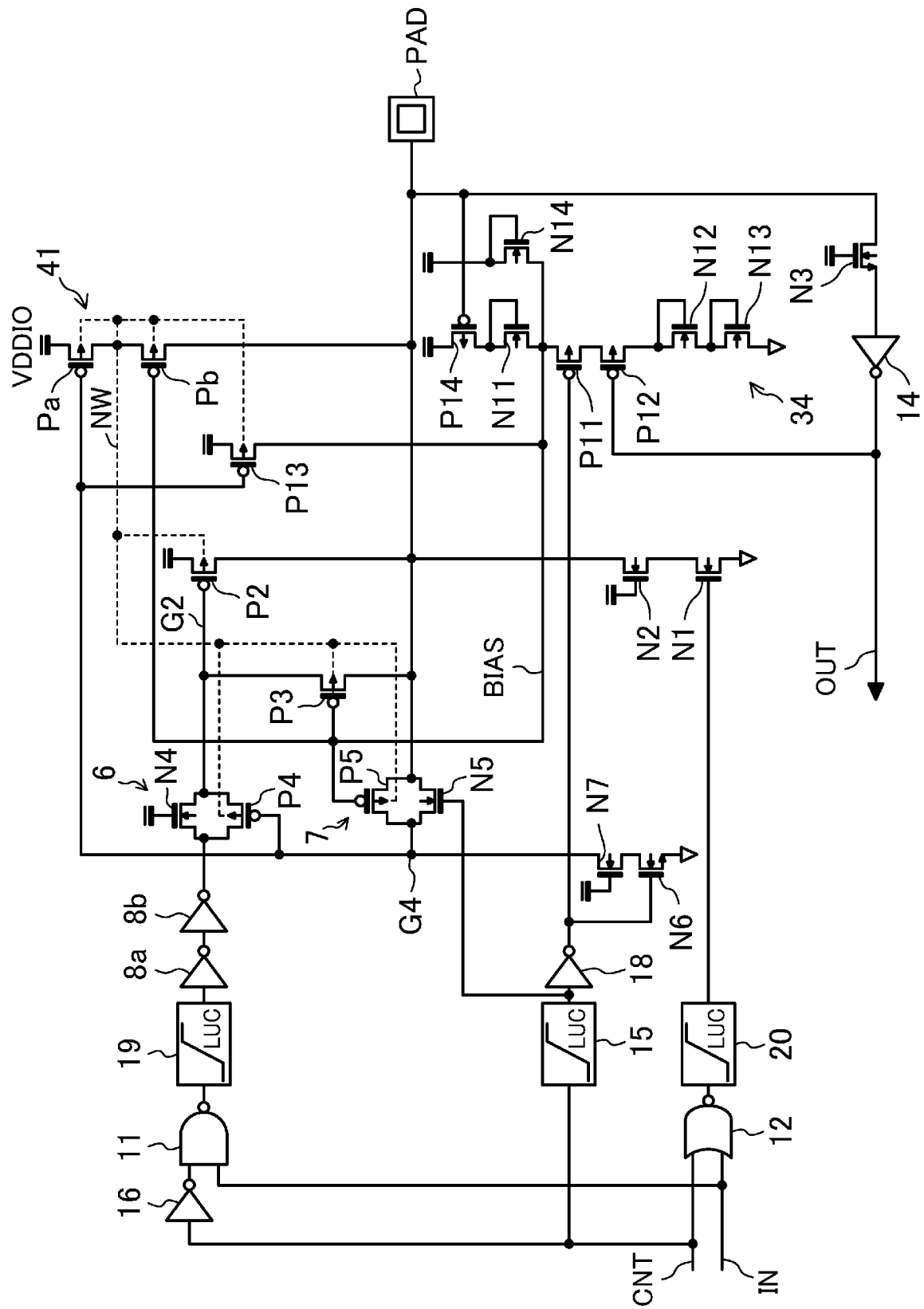
[図7]



[図8]



[図9]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2018/005542

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. H03K19/0175 (2006.01) i, H01L21/822 (2006.01) i, H01L27/04 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. H03K19/0175, H01L21/822, H01L27/04

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2018
Registered utility model specifications of Japan	1996-2018
Published registered utility model applications of Japan	1994-2018

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2005-260587 A (OKI ELECTRIC INDUSTRY CO., LTD.) 22 September 2005, fig. 1, 10, 11 & US 2005/0200381	9-12, 14, 15, 17-19
Y	A1, fig. 1, 10, 11	1-4, 6, 7
A		5, 8, 13, 16, 20
Y	WO 2004/107578 A1 (FUJITSU LTD.) 09 December 2004, fig. 1 & US 2005/0189963 A1, fig. 1 & EP 1628399 A1	1-4, 6, 7
A	& CN 1701511 A	5, 8

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
08 May 2018 (08.05.2018)

Date of mailing of the international search report
15 May 2018 (15.05.2018)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H03K19/0175(2006.01)i, H01L21/822(2006.01)i, H01L27/04(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H03K19/0175, H01L21/822, H01L27/04

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2018年
日本国実用新案登録公報	1996-2018年
日本国登録実用新案公報	1994-2018年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y A	JP 2005-260587 A（沖電気工業株式会社）2005.09.22, 図1, 10, 11 & US 2005/0200381 A1, 図1, 10, 11	9-12, 14, 15, 17-19 1-4, 6, 7 5, 8, 13, 16, 20
Y A	WO 2004/107578 A1（富士通株式会社）2004.12.09, 第1図 & US 2005/0189963 A1, 図1 & EP 1628399 A1 & CN 1701511 A	1-4, 6, 7 5, 8

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

08.05.2018

国際調査報告の発送日

15.05.2018

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

白井 亮

5W

3363

電話番号 03-3581-1101 内線 3576