



(12) 发明专利

(10) 授权公告号 CN 103095302 B

(45) 授权公告日 2016. 04. 13

(21) 申请号 201210555692. 7

(22) 申请日 2012. 12. 19

(73) 专利权人 天津大学

地址 300072 天津市南开区卫津路 92 号

(72) 发明人 赵毅强 岳森 张杨 庞瑞龙

夏璠

(74) 专利代理机构 天津市北洋有限责任专利代

理事务所 12201

代理人 李丽萍

(51) Int. Cl.

H03M 1/54(2006. 01)

(56) 对比文件

CN 102608421 A, 2012. 07. 25,

CN 102118171 A, 2011. 07. 06,

CN 101977046 A, 2011. 02. 16,

US 2006202736 A1, 2006. 09. 14,
wang zhaogang et al. a 71mW 8b
125MSample/s A/D converter. 《半导体学
报》. 2004, 第 25 卷 (第 1 期), 第 6-11 页.

审查员 孟祥宏

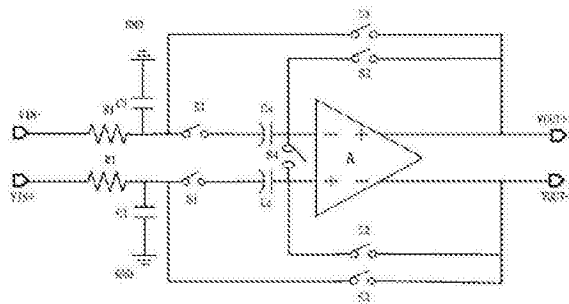
权利要求书1页 说明书5页 附图6页

(54) 发明名称

一种应用于高速高精度电路的采样保持电路

(57) 摘要

本发明公开了一种应用于高速高精度电路的采样保持电路, 包括一个全差分式运算放大器、两个采样电容 C_s 、两个采样开关 S_1 和五个选择开关, 电阻 R_1 和电容 C_1 构成的低通滤波电路; 全差分式运算放大器为增益增强型折叠共源共栅全差分式运算放大器, 采样开关 S_1 为栅压自举开关; 全差分式运算放大器正负输入端相连接的结构完全相同, 信号输入端经过低通滤波电路, 由采样开关 S_1 连接到采样电容 C_s 的下极板; 选择开关 S_3 连接采样电容 C_s 下极板与全差分式运算放大器输出端; 采样电容 C_s 的上极板连接全差分式运算放大器的输入端; 选择开关 S_4 连接两个采样电容 C_s 上极板; 选择开关 S_2 连接全差分式运算放大器输入端与输出端。本发明采样保持电路在高速高精度电路中, 可以实现对输入信号的采样保持。



1. 一种应用于高速高精度电路的采样保持电路,其特征在于,包括一个全差分式运算放大器、两个采样电容、两个采样开关和五个选择开关,两个采样电容均分别为一个采样电容 C_s ,两个采样开关均分别为一个采样开关 S_1 ,五个选择开关包括两个选择开关 S_2 、两个选择开关 S_3 和一个选择开关 S_4 ;由电阻 R_1 和电容 C_1 构成的低通滤波电路;所述全差分式运算放大器为增益增强型折叠共源共栅全差分式运算放大器;全差分式运算放大器正负输入端相连接的结构完全相同,信号输入端通过低通滤波电路与采样开关 S_1 以及选择开关 S_3 连接,采样开关 S_1 的另一端连接采样电容 C_s 的下极板,选择开关 S_3 实现采样电容 C_s 下极板与全差分式运算放大器输出端的连接;采样电容 C_s 的上极板连接选择开关 S_2 和选择开关 S_4 以及全差分式运算放大器的输入端,选择开关 S_4 实现两个采样电容 C_s 上极板之间的连接,选择开关 S_3 连接全差分式运算放大器输入端与输出端;

所述采样开关 S_1 为栅压自举开关,包括5个电容 C_2 、 C_3 、 C_4 、 C_5 和 C_6 ,2个电阻 R_2 和 R_3 ,8个NMOS管 MN_1 、 MN_2 、 MN_3 、 MN_4 、 MN_5 、 MN_6 、 MN_7 、 MN_8 ,4个PMOS管 MP_1 、 MP_2 、 MP_3 、 MP_4 ;其中:NMOS管 MN_1 连接电源 V_{DD} 与电容 C_2 上极板,为电容 C_2 提供充电通路,电容 C_2 上极板与NMOS管 MN_2 和 MN_3 的栅极相连,用以控制NMOS管 MN_2 和 MN_3 的开启与关闭,电容 C_2 的下极板与时钟信号 CLK 相连,NMOS管 MN_2 连接电源 V_{DD} 与电容 C_3 的上极板,同时电容 C_3 的上极板还与电阻 R_2 和NMOS管 MN_1 的栅极连接,电容 C_3 的下极板连接NMOS管 MN_7 的漏极,NMOS管 MN_7 的栅极连时钟控制信号 CLK ,NMOS管 MN_7 的源极与地 GND 相连;PMOS管 MP_1 的栅极连接时钟控制信号 CLK ,PMOS管 MP_1 的源极和PMOS管 MP_1 的漏极分别连接电源 V_{DD} 和电容 C_3 下极板,提供电容 C_3 的放电复位通路;PMOS管 MP_2 的栅极连接时钟控制信号 CLK_{-} ,PMOS管 MP_2 的源极和PMOS管 MP_2 的漏极分别连接电源 V_{DD} 和电容 C_6 上极板,提供电容 C_6 的充电通路,同时电容 C_6 的上极板与PMOS管 MP_3 的栅极连接,用以控制PMOS管 MP_3 的开启与关闭,电容 C_6 下极板连接时钟控制信号 CLK ;NMOS管 MN_3 的漏、源极分别连接电源 V_{DD} 与电容 C_4 的上极板,电容 C_4 的下极板连接NMOS管 MN_8 的漏极与NMOS管 MN_5 的源极;电容 C_5 上极板与电阻 R_3 和NMOS管 MN_4 栅极连接,NMOS管 MN_4 的漏、源极分别连接NMOS管 MN_5 、 MN_6 的栅极,PMOS管 MP_3 的漏极和时钟控制信号 CLK_{-} ;PMOS管 MP_3 的衬底与源极接在一起,并连接在电容 C_4 的上极板;NMOS管 MN_5 的漏极与NMOS管 MN_6 的源极连在一起,接输入电压信号 V_{IN} ,其中NMOS管 MN_6 作为开关管,与采样电容 C_s 下极板相连;

所述采样电容 C_s 对输入电压信号 V_{IN} 进行采样,采样电容 C_s 上极板电荷为 $Q_{bottom} = -C_s \cdot V_{IN}$;采样结束后,选择开关 S_2 和选择开关 S_4 首先关闭,选择开关 S_1 延迟短暂时间后关闭,同时选择开关 S_3 开启,电路进入保持模式;采样电容 C_s 下极板与全差分式运算放大器输出端连接,采样电容 C_s 上极板电荷为 $Q_{bottom} = -C_s \cdot V_{IN}$;在保持模式, $Q_{bottom} = -C_s \cdot V_{OUT}$,输出电压信号 V_{OUT} 与输入电压信号 V_{IN} 相等。

一种应用于高速高精度电路的采样保持电路

技术领域

[0001] 本发明涉及数据采集领域,特别涉及一种模拟信号与数字信号转换装置。

背景技术

[0002] 采样保持电路在模拟信号处理领域广泛应用,特别是在模拟信号与数字信号转换电路中,需要前端输入电压信号能够被采集,并保持一段时间,供后续电路对信号进行处理,要求采样保持电路能够快速反应,采样和保持精度足够高,能满足整个电路系统的要求,并且保持时间足够长,线性度好。

[0003] 传统的采样保持电路,如图1所示,通常是由一个运算放大器,一个采样电容,一个采样开关,两个选择开关组成,它的工作分为两个阶段,由一个两相时钟控制。其中,第一阶段,开关S1和开关S2导通,开关S3关闭,电路处于采样阶段,采样电容Cs对输入电压信号进行采样。第二阶段,开关S1和开关S2关闭,开关S3导通,电路处于保持阶段,采样电容Cs翻转,输出采样值。

[0004] 与采样精度和采样速度有关的主要部分有:

[0005] 采样开关,理想开关应该关断电阻为无穷大,导通电阻为零。开关的导通电阻大小,以及线性度会对输入电压信号造成很大的影响,导致采样电容采样得到的信号幅值不够或者产生二次谐波。

[0006] 采样电容,采样电容的大小,能够影响采样速度和精度,采样电容过小,会导致电荷泄放对采样信号幅值影响较大,采样电容过大,采样速度无法满足要求。

[0007] 运算放大器,当采样保持电路处于保持模式时,由运放有限的直流增益造成的输出电压误差为: $V_{\text{error}} = \frac{V}{1+A}$,其中,A为运放的直流增益。运算放大器的增益和带宽能够影响采样的精度。

[0008] 传统的采样保持电路,存在的不足主要体现在以下几条:

[0009] (1)由于电路采用单端结构,其输出摆幅小,共模信号影响大,易受二次谐波影响。

[0010] (2)传统采样保持电路,输入电压信号与采样开关之间没有连接低通滤波电路,输入电压信号易受到后端驱动电路影响,产生瞬态尖峰。

[0011] (3)采样开关常采用MOS开关或者CMOS开关,导通电阻大,且随输入电压信号幅值发生变化。导通电阻的变化,决定了采样保持电路输出电压建立速度不同,在采样电容上产生不同建立精度的电压,输出电压中会有偶次谐波干扰,降低采样保持电路的SNDR(无杂散动态范围)。

[0012] (4)传统采样保持电路常采用普通折叠共源共栅运算放大器,放大器直流增益较小,实现精度有限。

发明内容

[0013] 针对上述现有技术,本发明提供一种应用于高速高精度电路的采样保持电路,本发明采样保持电路在高速高精度电路中,可以实现对输入电压信号的采样,同时,能够对采

样信号进行保持一段时间,方便后端电路对此信号进一步处理。

[0014] 为了解决上述技术问题,本发明一种应用于高速高精度电路的采样保持电路,包括一个全差分式运算放大器、两个采样电容 C_s 、两个采样开关 S_1 和五个选择开关 S_2 、 S_3 和 S_4 ,由电阻 R_1 和电容 C_1 构成的低通滤波电路;所述全差分式运算放大器为增益增强型折叠共源共栅全差分式运算放大器;全差分式运算放大器正负输入端相连接的结构完全相同,信号输入端通过低通滤波电路与采样开关 S_1 以及选择开关 S_3 连接,采样开关 S_1 的另一端连接采样电容 C_s 的下极板,选择开关 S_3 实现采样电容 C_s 下极板与全差分式运算放大器输出端的连接;采样电容 C_s 的上极板连接选择开关 S_2 和选择开关 S_4 以及全差分式运算放大器的正负输入端,所述选择开关 S_4 实现两个采样电容 C_s 上极板之间的连接,选择开关 S_3 构成全差分式运算放大器输入与输出之间的连接;

[0015] 所述采样开关 S_1 为栅压自举开关,包括5个电容 C_2 、 C_3 、 C_4 、 C_5 和 C_6 ,2个电阻 R_2 和 R_3 ,8个NMOS管 MN_1 、 MN_2 、 MN_3 、 MN_4 、 MN_5 、 MN_6 、 MN_7 、 MN_8 ,4个PMOS管 MP_1 、 MP_2 、 MP_3 、 MP_4 ;其中:NMOS管 MN_1 连接电源 V_{DD} 与电容 C_2 上极板,为电容 C_2 提供充电通路,电容 C_2 上极板与NMOS管 MN_2 和 MN_3 的栅极相连,用以控制NMOS管 MN_2 和 MN_3 的开启与关闭,电容 C_2 的下极板与时钟信号 CLK 相连,NMOS管 MN_2 连接电源 V_{DD} 与电容 C_3 的上极板,同时电容 C_3 的上极板还与电阻 R_2 和NMOS管 MN_1 的栅极连接,电容 C_3 的下极板连接NMOS管 MN_7 的漏极,NMOS管 MN_7 的栅极连时钟控制信号 CLK ,NMOS管 MN_7 的源极与地 GND 相连;PMOS管 MP_2 的栅极连接时钟控制信号 CLK ,PMOS管 MP_2 的源极和PMOS管 MP_2 的漏接分别连接电源 V_{DD} 和电容 C_6 上极板,提供电容 C_6 的充电通路,同时电容 C_6 的上极板与PMOS管 MP_3 的栅极连接,用以控制PMOS管 MP_3 的开启与关闭,电容 C_6 下极板连接时钟控制信号 CLK ;NMOS管 MN_3 的漏、源极分别连接电源 V_{DD} 与电容 C_4 的上极板,电容 C_4 的下极板连接NMOS管 MN_8 的漏极与NMOS管 MN_5 的源极;电容 C_5 上极板与电阻 R_3 和NMOS管 MN_4 栅极连接,NMOS管 MN_4 的漏、源极分别连接NMOS管 MN_5 、 MN_6 的栅极,PMOS管 MP_3 的漏极和时钟控制信号 CLK ;PMOS管 MP_3 的衬底与源极接在一起,并连接在电容 C_4 的上极板;NMOS管 MN_5 的漏极与NMOS管 MN_6 的源极连在一起,接输入电压信号 V_{IN} ,其中NMOS管 MN_6 作为开关管,与采样电容 C_s 下极板相连;

[0016] 所述采样电容 C_s 对输入电压信号 V_{IN} 进行采样,采样电容 C_s 上极板电荷为 $Q_{bottom} = -C_s \cdot V_{IN}$;采样结束后,选择开关 S_2 和选择开关 S_4 低电平首先关闭,选择开关 S_1 延迟短暂时间后关闭,同时选择开关 S_3 开启,电路进入保持模式;采样电容 C_s 下极板与全差分式运算放大器输出短接,采样电容 C_s 上极板电荷为 $Q_{bottom} = -C_s \cdot V_{IN}$;在保持模式, $Q_{bottom} = -C_s \cdot V_{OUT}$,输出电压信号 V_{OUT} 与输入电压信号 V_{IN} 相等。

[0017] 与现有技术相比,本发明的有益效果是:

[0018] 本发明采样保持电路整体采用全差分结构,如图2所示,具有更大的输出摆幅,而且能够有效抑制电路的共模信号,减小电路偶次谐波失真。采样保持电路前端,图2中的电阻 R_1 和电容 C_1 构成无源网路,在采样保持电路的输入端形成一个低通滤波器,对与输入电压信号不匹配的高频信号进行过滤,能够有效的减小由输出驱动源影响产生的瞬态尖峰,同时,并联小电容可以提供动态电荷,有效的提高了采样保持电路的精度。电路中采样开关,图2中的 S_1 ,采用栅压自举开关,结构如图3所示,有效的提高了开关管的栅源电压,使其达到电源电压 V_{DD} ,明显降低导通电阻,提高了采样速度和精度。除此之外,开关管栅源电压保持不变,导通电阻不随输入电压信号变化,有效的减小了偶次谐波对信号的干扰。电路中

采用的全差分式运算放大器为增益增强型折叠共源共栅运算放大器,图5所示,实现了两级放大器增益的叠加,得到了较高的直流增益,满足电路对高精度的要求,同时设计相应的共模反馈电路,图8所示,保证了运算放大器工作的稳定性。本发明的采样保持电路,能够实现50MSPS,最小分辨电压0.12mv,以在流水线模数转换器中的应用为例,可以实现50M采样率,最高精度可以达到14位。

附图说明

- [0019] 图1是传统的采样保持电路原理图;
- [0020] 图2是本发明采样保持电路原理图;
- [0021] 图3是本发明中栅压自举开关结构示意图;
- [0022] 图4是本发明中栅压自举开关控制时钟产生电路示意图;
- [0023] 图5是本发明中增益增强型折叠共源共栅全差分式运算放大器结构示意图;
- [0024] 图6是本发明中增益增强型折叠共源共栅全差分式运算放大器A1部分电路图;
- [0025] 图7是本发明中增益增强型折叠共源共栅全差分式运算放大器A2部分电路图;
- [0026] 图8是本发明中开关电容共模反馈电路图;
- [0027] 图9是本发明中采样电容对输入电压信号进行采样的时钟时序图。

具体实施方式

[0028] 下面结合具体实施方式对本发明作进一步详细地描述。

[0029] 如图2所示,本发明一种应用于高速高精度电路的采样保持电路,其特征在于,包括一个全差分式运算放大器、两个采样电容 C_s 、两个采样开关 S_1 和五个选择开关两个 S_2 、两个 S_3 、一个 S_4 和两个由电阻 R_1 和电容 C_1 构成的低通滤波电路;所述全差分式运算放大器为增益增强型折叠共源共栅全差分式运算放大器;本发明采样保持电路全差分式运算放大器正负输入端相连接的结构完全相同,以全差分式运算放大器一端输入端连接结构为例,信号输入端通过低通滤波电路与采样开关 S_1 以及选择开关 S_3 连接,采样开关 S_1 的另一端连接采样电容 C_s 的下极板,选择开关 S_3 实现采样电容 C_s 下极板与全差分式运算放大器输出端的连接;采样电容 C_s 的上极板连接选择开关 S_2 和选择开关 S_4 以及全差分式运算放大器的输入端,选择开关 S_4 实现两个采样电容 C_s 上极板之间的连接,选择开关 S_3 构成全差分式运算放大器输入端与输出端之间的连接。

[0030] 如图2所示,所述采样电容 C_s 对输入电压信号 V_{IN} 进行采样,采样电容 C_s 上极板电荷为 $Q_{bottom} = -C_s \cdot V_{IN}$;采样结束后,选择开关 S_2 和选择开关 S_4 首先关闭,选择开关 S_1 延迟短暂时间后关闭,同时选择开关 S_3 开启,电路进入保持模式;采样电容 C_s 下极板与全差分式运算放大器输出端连接,采样电容 C_s 上极板电荷为 $Q_{bottom} = -C_s \cdot V_{IN}$,在保持模式,由于采样电容 C_s 上极板与地之间没有阻性通路,采样电容 C_s 上极板上电荷是恒定的。因此, $Q_{bottom} = -C_s \cdot V_{OUT} = -C_s \cdot V_{IN}$,即, $V_{OUT} = V_{IN}$,输出电压信号与输入电压信号相等,完成采样保持功能。

[0031] 图3所示,所述采样开关 S_1 为栅压自举开关,包括5个电容 C_2 、 C_3 、 C_4 、 C_5 和 C_6 ,2个电阻 R_2 和 R_3 ,8个NMOS管 MN_1 、 MN_2 、 MN_3 、 MN_4 、 MN_5 、 MN_6 、 MN_7 、 MN_8 ,4个PMOS管 MP_1 、 MP_2 、 MP_3 、 MP_4 ;其中:NMOS管 MN_1 连接电源 V_{DD} 与电容 C_2 上极板,为电容 C_2 提供充电通路,电容 C_2 上极板与NMOS

管MN2和MN3的栅极相连,用以控制NMOS管MN2和MN3的开启与关闭,电容C2的下极板与时钟信号CLK相连,NMOS管MN2连接电源VDD与电容C3的上极板,同时电容C3的上极板还与电阻R2和NMOS管MN1的栅极连接,电容C3的下极板连接NMOS管MN7的漏极,NMOS管MN7的栅极连时钟控制信号CLK,NMOS管MN7的源极与地GND相连;PMOS管MP2的栅极连接时钟控制信号CLK_,PMOS管MP2的源极和PMOS管MP2的漏接分别连接电源VDD和电容C6上极板,提供电容C6的充电通路,同时电容C6的上极板与PMOS管MP3的栅极连接,用以控制PMOS管MP3的开启与关闭,电容C6下极板连接时钟控制信号CLK;NMOS管MN3的漏、源极分别连接电源VDD与电容C4的上极板,电容C4的下极板连接NMOS管MN8的漏极与NMOS管MN5的源极;电容C5上极板与电阻R3和NMOS管MN4栅极连接,NMOS管MN4的漏、源极分别连接NMOS管MN5、MN6的栅极,PMOS管MP3的漏极和时钟控制信号CLK_;PMOS管MP3的衬底与源极接在一起,并连接在电容C4的上极板;NMOS管MN5的漏极与NMOS管MN6的源极连在一起,接输入电压信号VIN,其中NMOS管MN6作为开关管,与采样电容Cs下极板相连。

[0032] 如图3所示,在钟信号控制下,假设开始时,时钟信号CLK为高电平,则CLK_为低电平,电容C2下极板接CLK信号,电容C2上极板电压会瞬时被抬升为2VDD,NMOS管MN2和MN3管导通,给电容C3、C4上极板进行充电,电容C4上极板电压为VDD.PMOS管MP2导通,电容C6上下极板电压均为VDD,则PMOS管MP3截止。电容C5上极板电压从2VDD逐渐降为VDD,在此期间,NMOS管MN4一直导通,CLK_信号通过NMOS管MN4传输到NMOS管MN5和MN6栅极,NMOS管MN5和MN6截止,VIN输入电压信号,不能对采样电容Cs进行充电,此时电路处于保持模式。

[0033] 当CLK信号转变为低电平,CLK_变为高电平,电容C2上极板电压为VDD,NMOS管MN2和MN3导通,PMOS管MP1导通,电容C3下极板被充电到VDD,则电容C3上极板电压暂时抬升为2VDD,PMOS管MP2截止,电容C6上下极板均为VSS,PMOS管MP3导通,NMOS管MN8截止,电容C4上极板电压暂时仍为VDD,NMOS管MN4导通,CLK_高电平信号通过NMOS管MN4传输至NMOS管MN5和MN6的栅极,NMOS管MN5和MN6导通,输入电压信号VIN通过NMOS管MN5传输至电容C4下极板,则电容C4上极板变为VDD+VIN,上极板电压通过导通的PMOS管MP3,传回NMOS管MN5和MN6栅极,则NMOS管MN6栅极电压变为VDD+VIN,NMOS管MN6的栅源电压 $V_{gs}=VDD+VIN-VIN=VDD$ 。由

导通电阻的公式 $R_{on}=\frac{1}{\mu C_{ox}(W/L)(V_{gs}-V_{th})}$ (其中 R_{on} 为导通电阻,单位为 Ω , μ 为MOS管沟道迁移率,单位为 $cm^2/V/s$, C_{ox} 为单位面积的栅氧化层电容,单位为 $fF/\mu m^2$, V_{gs} 为栅源电压,单位为V, V_{th} 为阈值电压,单位为V)。

[0034] 可以得出,NMOS管导通电阻 R_{on} 保持不变,且由于 $V_{gs}=VDD$,NMOS管导通电阻 R_{on} 保持最小值,满足电路系统对采样开关的要求。电容C5上极板电压控制NMOS管MN4的开启与关闭,NMOS管MN4的源极接时钟信号,能够保证在保持阶段,NMOS管MN5和MN6保持关闭状态。电阻R2和R3充电电路,也可以有效防止高频振荡,保护MOS管栅极。栅压自举开关中的NMOS管MN6导通电阻不随输入电压信号的幅值变化,且保持为最小值,在输入电压信号变化过程中,能够将NMOS管的导通电阻控制在 10Ω 左右,导通电阻变化控制在 2Ω 以内。由于体效应会影响阈值电压,寄生电容存在等非理想因素,会导致开关管的导通电阻随输入电压信号发生微小的变化,但是,NMOS管的性能已经能够满足高速高精度采样保持电路要求。

[0035] 本发明采样保持电路,采样开关S1对时钟的要求比较高,本发明中栅压自举开关采用的时钟产生电路如图4所示,主时钟CK(即图9中的 θ_1)信号通过反相器产生反相信号

时,由于反相器的时间延迟,可能导致CK_信号和CK_信号到达控制开关的时间不同,造成影响。采用图4电路,CK信号通过一个CMOS传输门在经过反相器产生的CLK_与通过两个反相器产生的CLK信号,这样可以保证CLK和CLK_延迟时间基本一致,能够有效避免采样值得不确定性。

[0036] 本发明采样保持电路,所述全差分式运算放大器为增益增强型折叠共源共栅全差分式运算放大器,如图5所示,其中该运算放大器中的A1部分结构和A2部分结构分别在图6和图7中给出,其中A1部分结构和A2部分结构分别是以NMOS作为输入管的折叠共源共栅放大器和以PMOS为输入管的折叠共源共栅放大器;A1部分结构的输出连接在运算放大器中PMOS管MP9和MP10的栅极,A2部分结构的输出连接在运算放大器中NMOS管MN9和MN10的栅极,图5中IN+和IN-是输入端,VCMFB是共模反馈电压,VOUT+和VOUT-是输出端,VBP、VBPA1、VBPA2、VCPA1、VCPA2是PMOS管的偏置电压,VBNA1、VBNA2、VCNA1、VCNA2是NMOS管偏置电压,上述结构的全差分式运算放大器能有效地消除了偶数阶的增益误差,相比于单端放大器,误差更小。该全差分式运算放大器采用PMOS管作为输入管,可以降低放大器的噪声,保证噪声对于信号转换精度的影响最小。

[0037] 本发明中的全差分式运算放大器需要共模反馈电路,以保证放大器的稳定,共模反馈电路采用的是开关电容共模反馈电路,如图8所示。图中VCMFB为共模反馈输出,VOUT+和VOUT-是运放正负输出端,VBIAS是偏置电压,VCMREF是输出共模电平标准值,CLK1和CLK2是控制开关时钟信号,其中高电平开启,低电平断开。

[0038] 当CLK1为高电平,CLK2为低电平时,有: $Q=2C8*(VBIAS-VCMREF)$;当CLK1为低电平,CLK2为高电平时,有: $Q=2C7*(VCMFB-VCM)$, (其中 $VCM=(VOUT++VOUT-)/2$);因此最终得到: $VCMFB=VCM+(C8/C7)*(VBIAS-VCMREF)$ 。当VCM增大,VCMFB也跟随增大,又因为VCMFB作为偏置电压,调节NMOS管MN11和MN12的栅极电压,导致VCM下降,实现稳定放大器输出共模电平的作用。

[0039] 图9为本发明采样保持电路工作时钟时序,其中Φ1是控制采样开关S1的时序,Φ2、Φ3、Φ4分别是控制相应的选择开关S2、S3、S4的时序,CLK1和CLK2是控制共模反馈电路的时序。

[0040] 在图9时序控制下,本发明采样保持电路的工作过程如下:开关时序Φ1、Φ2、Φ4高电平,开关时序Φ3为低电平,采样开关S1导通,电路处于采样模式,由采样电容Cs对输入电压信号进行采样,采样电容上极板电荷为 $Q_{bottom}=-C_s \cdot V_{IN}$ 。采样结束后,开关时序Φ1、Φ2、Φ4变为低电平,开关时序Φ3变为高电平,选择开关S2和选择开关S4首先关闭,采样开关S1延迟短暂时间后关闭,同时选择开关S3开启,电路进入保持模式。采样电容Cs下极板与全差分式运算放大器的输出端连接,采样电容Cs上极板电荷为 $Q_{bottom}=-C_s \cdot V_{IN}$,在保持模式,由于采样电容Cs上极板与地之间没有阻性通路,采样电容Cs上极板上电荷是恒定的。因此, $Q_{bottom}=-C_s \cdot V_{OUT}=-C_s \cdot V_{IN}$,即, $V_{OUT}=V_{IN}$,输出电压信号与输入电压信号相等,至此完成采样保持功能。

[0041] 尽管上面结合图对本发明进行了描述,但是本发明并不局限于上述的具体实施方式,上述的具体实施方式仅仅是示意性的,而不是限制性的,本领域的普通技术人员在本发明的启示下,在不脱离本发明宗旨的情况下,还可以作出很多变形,这些均属于本发明的保护之内。

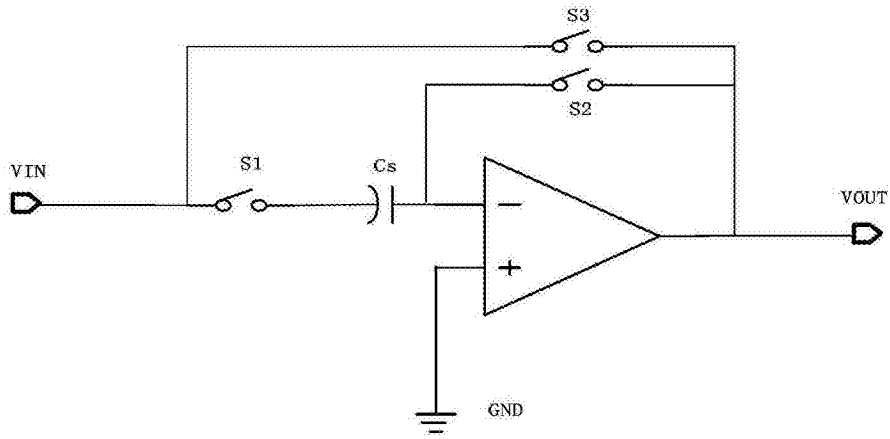


图1

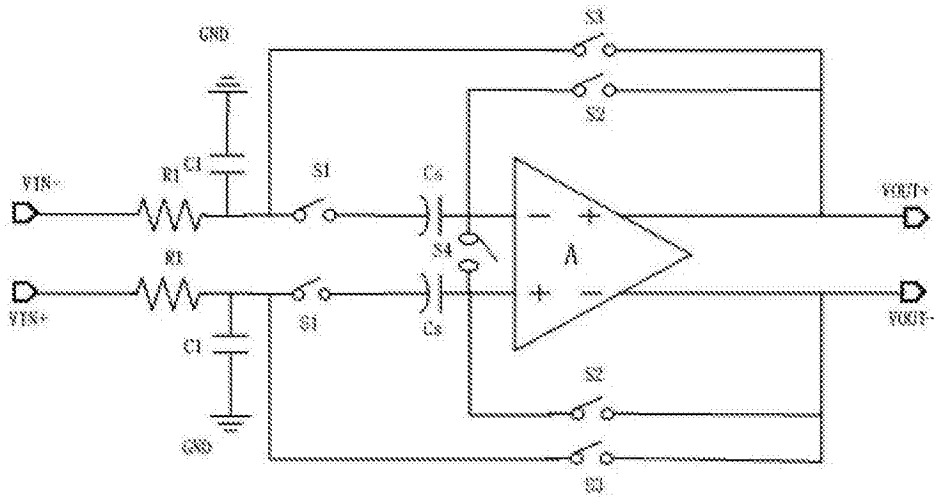


图2

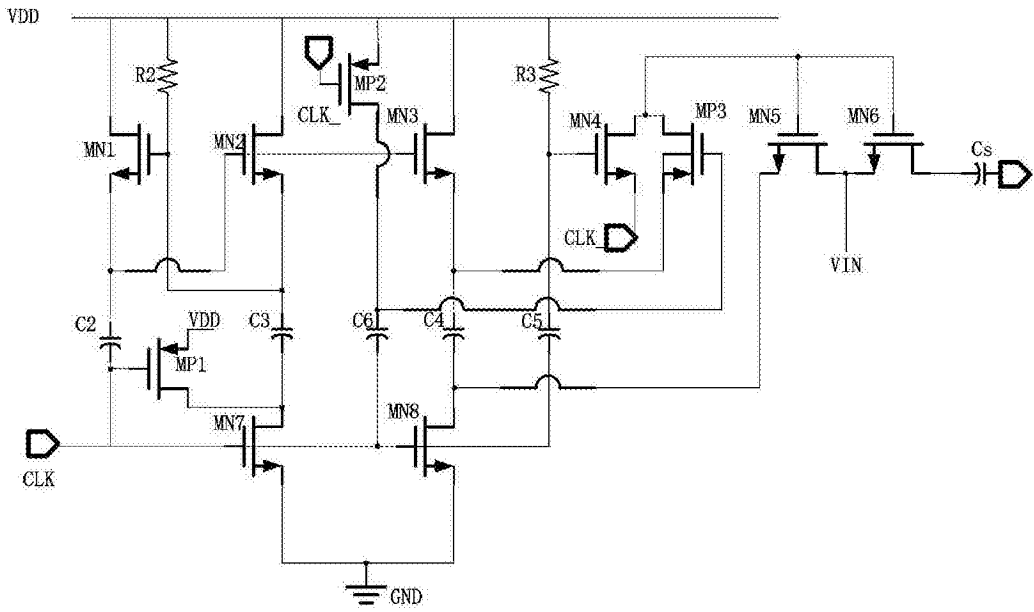


图3

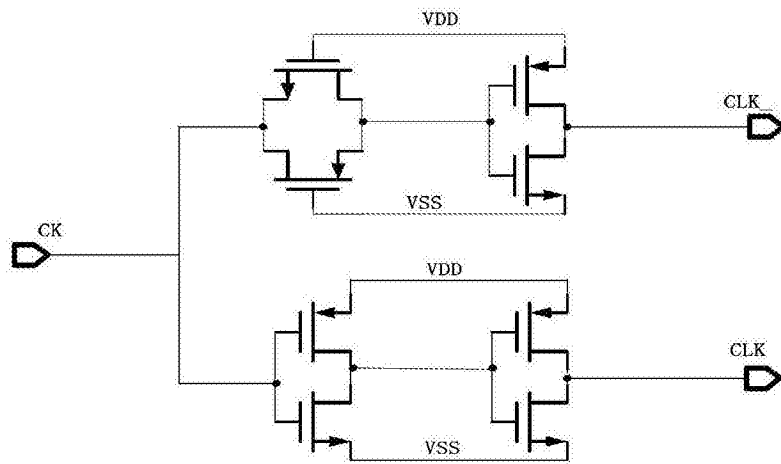


图4

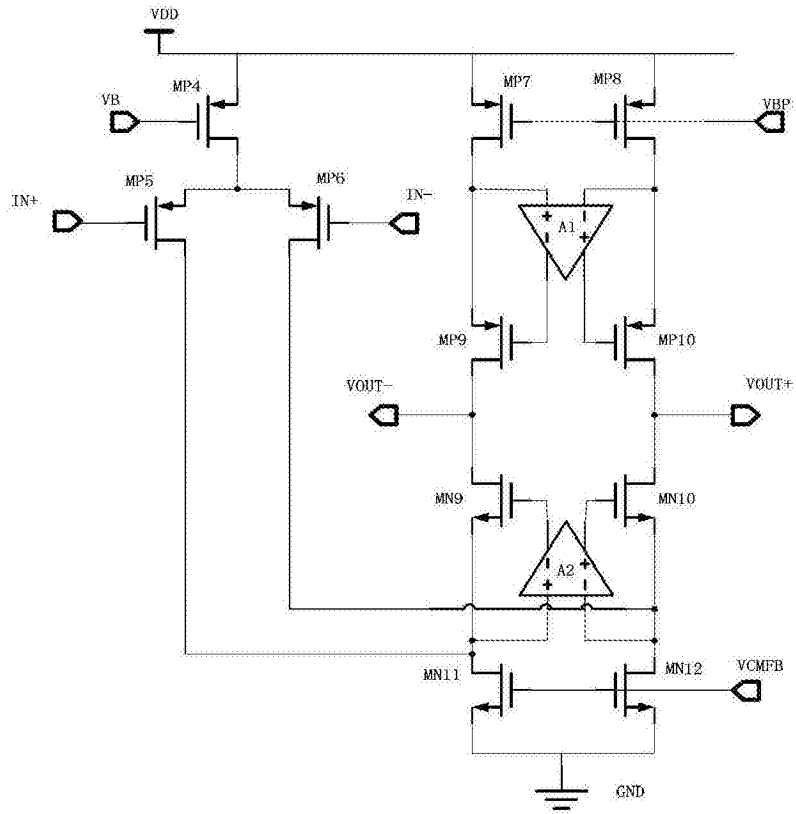


图5

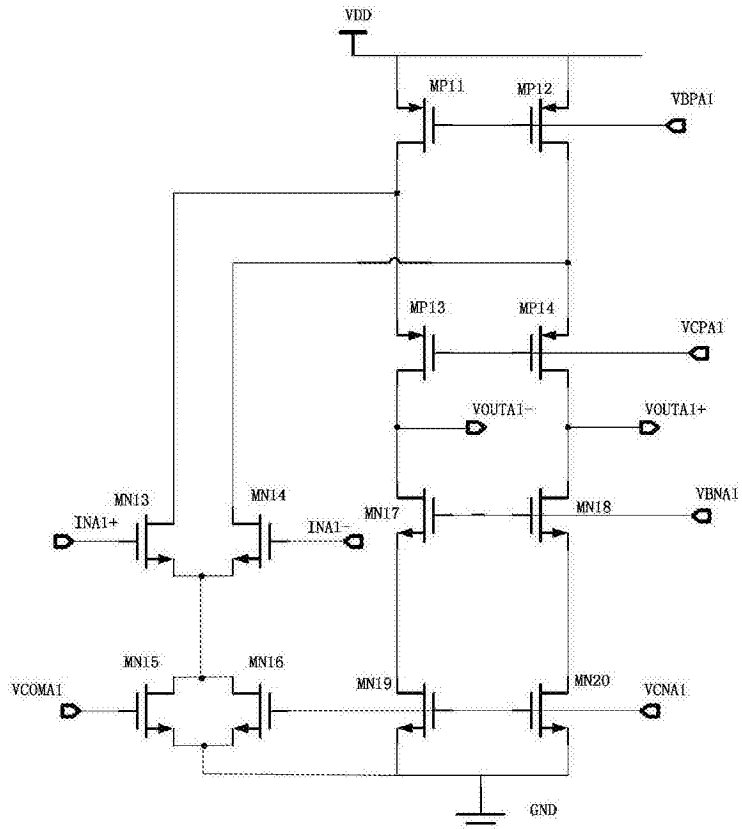


图6

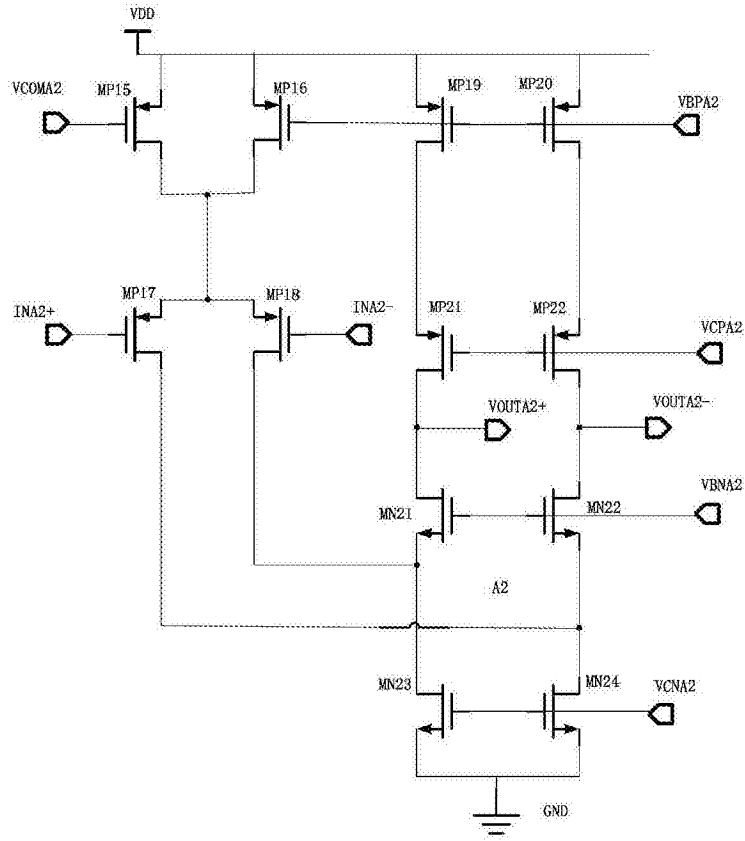


图7

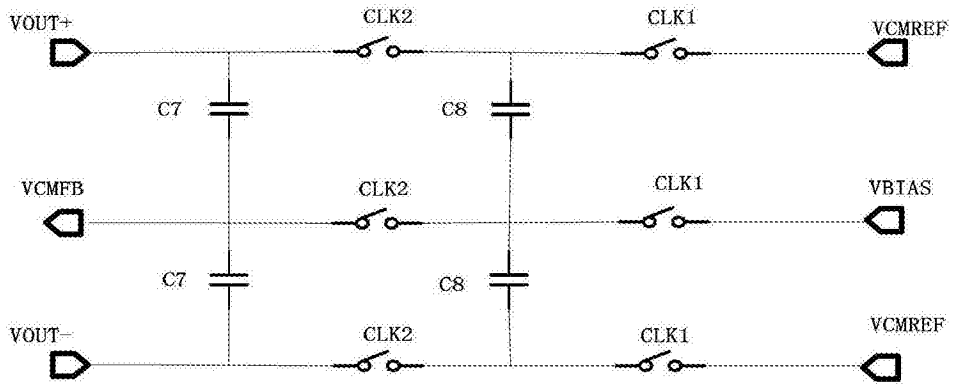


图8

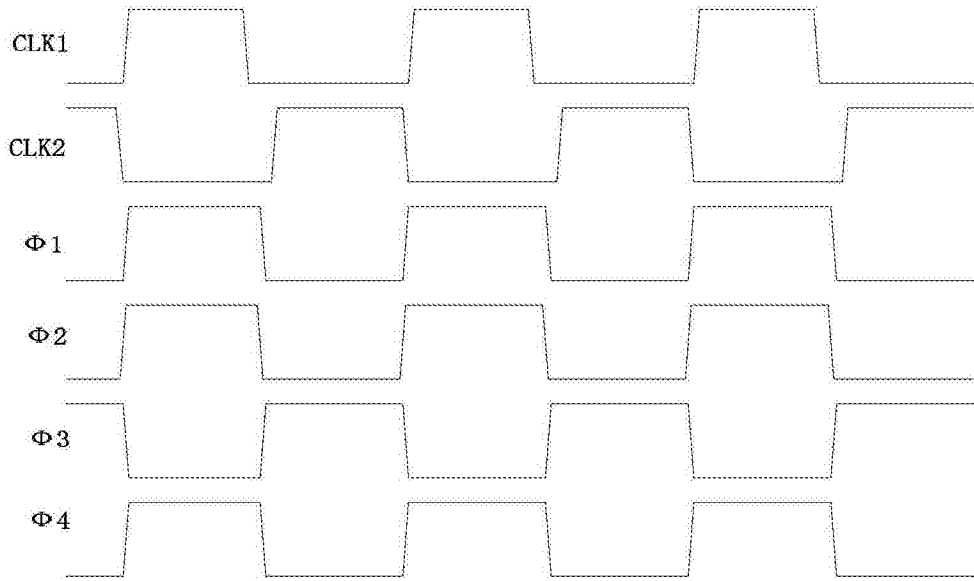


图9