



**URZĄD
PATENTOWY
PRL**

Patent tymczasowy dodatkowy
do patentu nr _____

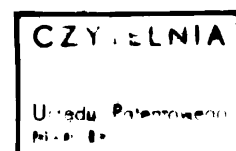
Int. Cl.³ G01D 9/02
G08C 19/16

Zgłoszono: 04.03.81 (P. 230025)

Pierwszeństwo _____

Zgłoszenie ogłoszono: 18.01.82

Opis patentowy opublikowano: 01.10.1984



Twórcy wynalazku: Andrzej Kusiuk, Ryszard Wójtowicz

Uprawniony z patentu tymczasowego: Politechnika Gdańska,
Gdańsk (Polska)

Urządzenie do zbierania i rejestracji danych statystycznych z wielu niezależnych źródeł

Przedmiotem wynalazku jest urządzenie do zbierania i rejestracji danych statystycznych z wielu niezależnych źródeł umożliwiające również rejestrację cyfrową danych pomiarowych.

Znany jest z patentu polskiego nr 98 120 układ umożliwiający drukowanie wyników z kilku przyrządów cyfrowych na rejestratorze. Układ ten składa się z multipleksera sterowanego przez licznik, układu badania obecności przecinka, układu badania końca przesyłania informacji, układu sterującego drukarką i układu sterującego poprzez bramki typu NAND, multiplekserem i generatorem taktującym, połączonych następująco. Wyjście strobujące generatora taktującego połączone jest z odpowiednimi wejściami multipleksera i układu badania obecności przecinka. Wyjście generatora taktującego sprawdzania kolejnych stanów licznika oraz wyjście układu badania obecności przecinka połączone są ze wejściami bramki, której wyjście połączone jest z wejściem licznika. Wyjście badania konieczności wydruku przecinka generatora taktującego połączone jest z odpowiednim wejściem układu badania obecności przecinka. Wyjście przesyłania informacji generatora jest połączone z układem sterowania drukarką, a wyjście zakończenia cyklu przetwarzania połączone jest wejściem układu badania końca przetwarzania informacji, którego wyjście połączone jest z pierwszym wejściem bramki. Drugie wejście bramki połączone jest z odpowiadającym mu wyjściem układu sterującego, natomiast wyjście tej bramki połączone jest z wejściem generatora taktującego.

Wyjścia cyfr 1, 2, 4 licznika są dołączone do odpowiadających im wejść multipleksera, układu badania obecności przecinka oraz układu badania końca przesyłania informacji. Natomiast wyjście cyfry 8 licznika połączone jest poprzez inwerter z pierwszym wejściem bramki, której wejścia drugie i trzecie połączone są odpowiednio z wejściami układu sterującego strefami wejść multipleksera, układu badania obecności przecinka i układu badania końca przesyłania informacji odpowiadającymi wyjściami cyfry 8 licznika.

Opisane urządzenie nie nadaje się do zbierania i rejestracji danych statystycznych. Istnieje wprawdzie możliwość przystosowania go do zbierania i rejestracji danych poprzez dołączenie liczników informacji oraz znaczne skomplikowanie układu sterującego, jednakże takie rozwiązanie posiada wiele wad. Jedną z nich jest rozbudowanie urządzenia, ponieważ dołączenie większej liczby źródeł informacji wiąże się nie tylko ze zwiększeniem liczby multiplekserów ale z rozbudową całego

urządzenia sterującego. Ponadto synchronizm pracy całego urządzenia oraz brak pamięci pośredniczącej powoduje, że czas odczytu informacji z wejść jest uzależniony od czasu pracy konkretnej drukarki, który jest stosunkowo długi. W związku z tym podczas wydruku informacje z poszczególnych źródeł mogą się zmieniać.

Urządzenie według wynalazku zawiera zespół informacji wejściowej, który składa się z zegara cyfrowego, liczników danych, układu detekcji informacji na wejściach liczników oraz zakodowanych na stałe znaków sterujących drukarką, przy czym układ detekcji połączony jest z układem decyzyjnym znacznika czasu, natomiast wyjścia zegara, liczników danych oraz zakodowane znaki stałe dołączone są do wejść zespołów multiplekserów. Wyjścia zespołów multiplekserów dołączone są do wejść odpowiednich pamięci RAM zaś wyjścia tych pamięci dołączone są równolegle do wejść transkodera BCD na kod dalekopisowy. Wymieniony transkoder jest połączony poprzez rejestr równoległo-szeregowy z modulatorem częstotliwości, do którego dołączony jest magnetofon. Urządzenie jest również przystosowane do współpracy z dalekopisem. Wyjście rejestru równoległo-szeregowego jest połączone z dalekopisem poprzez wzmacniacz prądu stałego. Ponadto magnetofon jest połączony z dalekopisem poprzez demodulator FM i wzmacniacz prądu stałego.

Pracą urządzenia steruje zespół sterowania centralnego zawierający generator wpisu do pamięci, którego wyjście poprzez pierwszą bramkę iloczynową jest doprowadzone do wejścia drugiej bramki iloczynowej oraz do wejść pamięci RAM sterujących wpisem i odczytem informacji oraz generator odczytu informacji, którego wyjście dołączone jest do licznika modulo 8 zaś wyjścia tego licznika dołączone są również do wejścia trzeciej bramki iloczynowej. Wyjście tej bramki połączone jest z pozostałym wejściem drugiej bramki iloczynowej, której wyjście doprowadzone jest do wejścia czwartej bramki iloczynowej. Drugie wejście czwartej bramki połączone jest z wyjściem Q przerzutnika RS sterowanego przez układ znacznika czasu natomiast wyjście czwartej bramki jest dołączone poprzez piątą bramkę iloczynową do wejścia dzielnika przez 16. Wyjścia dzielnika przez 16 są dołączone do wejść adresowych zespołów multiplekserów i pamięci RAM a ostatnie wyjście tego dzielnika jest dodatkowo połączone z wejściem dzielnika przez 10. Wyjścia dzielnika przez 10 są połączone z wejściami dekodera BCD na kod jeden z dziesięciu. Kolejne wyjścia dekodera połączone są następująco. Pierwsze wyjście połączone jest z wejściem trzeciej bramki iloczynowej oraz z wejściem pierwszej bramki sumy, następnie wyjścia są dołączone do wejść kolejnych bramek sumy a ostatnie wyjście jest doprowadzone do wejścia sterującego S_2 przerzutnika RS. Wyjście pierwszej bramki sumy jest dołączone do drugiego wejścia pierwszej bramki iloczynowej, do wejścia zerującego licznika modulo 8 oraz do drugich wejść pozostałych bramek sumy, których wyjścia są dołączone odpowiednio do wejść kolejnych pamięci RAM.

Urządzenie według wynalazku wykazuje korzystne skutki techniczno-użytkowe pozwala w sposób automatyczny zbierać oraz rejestrować dane statystyczne z wielu źródeł. Urządzenie może być stosowane w różnych warunkach eksploatacyjnych, ponieważ jest lekkie i łatwe do przenoszenia, dzięki wykorzystaniu do rejestracji danych magnetofonu. Ponadto nowo opracowane urządzenie umożliwia rejestrację takich danych jak zliczanie liczby impulsów pojawiających się w określonym przedziale czasu z jednoczesną rejestracją tego momentu czasu, rejestrację momentów czasu pomiędzy zdarzeniami itp. Opisane urządzenie może być również wykorzystane do pomiaru oraz wydruku częstotliwości.

Przedmiot wynalazku jest pokazany w przykładzie wykonania na rysunku, na którym fig. 1 przedstawia schemat blokowy urządzenia do zbierania i rejestracji danych statystycznych z wielu niezależnych źródeł a fig. 2 — schemat blokowy zespołu sterowania centralnego urządzenia z fig. 1.

Jak pokazano na fig. 1 urządzenie zawiera zespół informacji wejściowej I składający się z zegara cyfrowego 1, liczników danych 2 oraz układów detekcji 3 informacji na wejściach liczników oraz zakodowane na stałe znaki sterujące drukarką. Układ detekcji 3 połączony jest z układem decyzyjnym 11 znacznika czasu i sygnału start — stop magnetofonu. Natomiast wyjścia zegara cyfrowego 1, liczników danych 2 i zakodowane znaki stałe dołączone są do wejść zespołów multiplekserów $M_1, \dots, M_N$. Wyjścia zespołów multiplekserów $M_1, \dots, M_N$ dołączone są do wejść odpowiednich pamięci RAM $RAM_1, \dots, RAM_N$. Wyjścia wszystkich pamięci RAM doprowadzone są równolegle do transkodera 4 kodu BCD na kod dalekopisowy, który z kolei jest połączony poprzez rejestr

równoległo — szeregowy 5 z modulatorem częstotliwości 6. Do wyjścia modulatora częstotliwości 6 dołączony jest magnetofon 7.

Urządzenie według wynalazku jest również przystosowane do współpracy z dalekopisem 9, który jest dołączony do wyjścia rejestru równoległo — szeregowego 5 poprzez wzmacniacz prądu stałego 8 oraz wyjścia magnetofonu 7 poprzez demodulator FM 10 i wzmacniacz prądu stałego 8. Pracą urządzenia steruje zespół sterowania centralnego 12 połączony z układem decyzyjnym 11 znacznika czasu. Jak pokazano na fig. 2 zespół sterowania centralnego 12 zawiera generator F1 wpisu do pamięci, którego wyjście poprzez bramkę iloczynową B1 jest doprowadzone do drugiej bramki iloczynowej B2 oraz do wejść w pamięci $RAM_1, \dots, RAM_N$ sterujących wpisem i odczytem informacji. W skład zespołu sterowania centralnego 12 wchodzi również generator F2 odczytu informacji, którego wyjście dołączone jest do licznika modulo 8 L1. Wyjścia licznika modulo 8 L1 są dołączone do wejść adresowych A_d rejestru równoległo-szeregowego 5, przy czym ostatnie wyjście licznika dołączone jest również do wejścia trzeciej bramki iloczynowej B3. Wyjście trzeciej bramki iloczynowej B3 jest doprowadzone do drugiego wejścia drugiej bramki iloczynowej B2 natomiast wyjście bramki iloczynowej B2 połączone jest z wejściem czwartej bramki iloczynowej B4. Pozostałe wejście bramki iloczynowej B4 jest połączone z wyjściem Q przerzutnika RS sterowanego przez układ decyzyjny 11. Wyjście czwartej bramki iloczynowej B4 poprzez piątą bramkę iloczynową B5 dołączone jest do wejścia dzielnika przez 16 D1. Wyjścia tego dzielnika są dołączone do wejść adresowych A_r zespołów multiplekserów $M_1, \dots, M_N$ i pamięci $RAM_1, \dots, RAM_N$ przy czym ostatnie wyjście dzielnika przez 16 D1 dołączone jest do wejścia dzielnika przez 10 D2. Natomiast wyjście dzielnika przez 10 D2 połączone jest z wejściami dekodera DK kodu BCD na kod jeden z dziesięciu. Wyjścia dekodera DK są dołączone odpowiednio do jednego wejścia każdej z bramek sumy $BR_0, BR_1, \dots, BR_N$, przy czym wyjście pierwszej bramki sumy BR_0 jest dołączone do drugiego wejścia każdej z pozostałych bramek sumy $BR_1, \dots, BR_N$ a wyjścia tych bramek $BR_1, \dots, BR_N$ są dołączone odpowiednio do wejść $SC_1, \dots, SC_N$ kolejnych pamięci $RAM_1, \dots, RAM_N$. Wyjście pierwszej bramki sumy BR_1 jest również połączone z wejściem pierwszej bramki iloczynowej B1 oraz z wejściem zerującym R licznika modulo 8 L1. Ostatnie wyjście dekodera DK jest połączone z wejściem wpisującym S_2 przerzutnika RS, którego wyjście zanegowane Q jest doprowadzone do wejść zerujących R dzielników D1 i D2. Działanie urządzenia jest następujące. Dla przypadku pracy cyklicznej w układzie decyzyjnym 11 znacznika czasu ustala się przedział czasu pomiędzy kolejnymi momentami wydruku informacji. W tym okresie napływające impulsy zliczane są w licznikach danych 2. Po upływie ustalonego przedziału czasu układ decyzyjny 11 włącza magnetofon 7 a następnie podaje sygnał „0” logicznego do układu sterującego 12. Wówczas impulsy z generatora F1 wpisu do pamięci przechodzą przez bramkę iloczynową B4 i dzielniki D1 i D2. Impulsy te wytwarzają w dzielniku przez 16 D1 kolejne adresy A_r komórek pamięci $RAM_1, \dots, RAM_N$ oraz adresy A_r wejść do zespołów multiplekserów $M_1, \dots, M_N$. Jednocześnie stan „0” logicznego istniejący na pierwszym wyjściu dekodera DK powoduje, że impulsy z generatora F2 odczytu informacji są zablokowane. Natomiast kolejne impulsy z generatora F1 wpisu do pamięci powodują przepisanie informacji z wyjść multiplekserów $M_1, \dots, M_N$ do pamięci $RAM_1, \dots, RAM_N$. Po wypełnieniu pamięci, szesnasty impuls z dzielnika przez 16 D1 po przejściu przez dzielnik przez 10 D2 przesuwają stan „0” logicznego z wyjścia pierwszego dekodera DK na wyjście drugie. Wówczas na wyjściu pierwszej bramki sumy BR_0 pojawia się stan „0” logicznego. W wyniku tego generator F2 zostaje odblokowany, a impulsy z generatora F2 po przejściu przez licznik modulo 8 L1 oraz kolejne bramki wytwarzają w dzielniku przez 16 D1 adresy A_r pamięci. Po pojawieniu się sygnału „0” logicznego na wyjściu pierwszej bramki sumy BR_0 następuje odczytanie z pamięci kolejnych słów o adresach A_r wytworzonych przez impulsy z generatora F2. Jednocześnie sygnały z wyjść licznika modulo 8 L1 podawane do wejść adresowych A_d rejestru równoległo — szeregowego 5 sterują zmianą informacji podawanych z pamięci RAM w postaci słów 4-bitowych na kod dalekopisowy w transkoderze 4 i następnie zmianę postaci równoległej kodu na postać szeregową w rejestrze 5. Po czym impulsy z rejestru równoległo-szeregowego 5 są podawane na modulator częstotliwości 6 i następnie rejestrowane na magnetofonie 7. Każdy ósmy impuls generatora F2 zmienia adres A_r pamięci. Po odczytaniu stanu pierwszej pamięci RAM_1 sygnał „0” logicznego dekodera DK przesuwają się na następne pozycje, co umożliwia odczytanie stanu kolejnych pamięci $RAM_1, \dots, RAM_N$. Po odczytaniu stanu wszystkich pamięci sygnał „0” logicznego przesunięty na

ostatnie wyjście dekodera **DK** blokuje przerzutnik **RS** kończąc cykl pracy urządzenia. W przypadku pracy niecyklicznej urządzenie rozpoczyna pracę po przyjsciu na układ decyzyjny **11** sygnału z układu detekcji **3**. Dalsze działanie urządzenia przebiega analogicznie jak przy pracy cyklicznej.

Z a s t r z e ż e n i a p a t e n t o w e

1. Urządzenie do zbierania i rejestracji danych statystycznych z wielu niezależnych źródeł zawierające zespół multiplekserów oraz zespół sterowania centralnego, **znamiennie tym**, że posiada zespół informacji wejściowej składający się z zegara cyfrowego (**1**) liczników danych (**2**), układów detekcji (**3**) informacji na wejściach liczników oraz zakodowanych na stałe znaków sterujących drukarką, przy czym układ detekcji (**3**) połączony jest z układem decyzyjnym (**11**) znacznika czasu zaś wyjścia zegara cyfrowego (**1**), liczników danych (**2**) i zakodowane znaki stałe dołączone są poprzez zespół multiplekserów ($M_1, \dots, M_N$) do wejść odpowiednich pamięci ($RAM_1, \dots, RAM_N$) a wyjścia wszystkich pamięci dołączone są równolegle do wejść transkodera (**4**) kodu BCD na kod dalekopisowy, połączony z kolei z rejestratorem równoległo-szeregowym (**5**), którego wyjście jest dołączone poprzez modulator częstotliwości (**6**) do wejścia magnetofonu (**7**), ponadto wejścia adresowe (**A_r**) zespołu multiplekserów ($M_1, \dots, M_N$), wejścia adresowe (**A_r**), wejścia (**w**) sterujące wpisem i odczytem informacji i wejścia ($SC_1, \dots, SC_N$) pamięci $RAM_1, \dots, RAM_N$ oraz wejścia adresowe (**Ad**) rejestru równoległego szeregowego (**5**) połączone są z odpowiednimi wejściami zespołu sterowania centralnego (**12**), do którego dołączony jest układ decyzyjny (**11**) znacznika czasu.

2. Urządzenie według zastrzeżenia 1, **znamiennie tym**, że zespół sterowania centralnego (**12**) zawiera dwa generatory, generator (**F1**) wpisu do pamięci oraz generator (**F2**) odczytu informacji, przy czym wyjście generatora (**F1**) jest doprowadzone poprzez pierwszą bramkę iloczynową (**B1**) do wejść (**w**) pamięci ($RAM_1, \dots, RAM_N$) sterujących wpisem i odczytem informacji i do wejścia drugiej bramki iloczynowej (**B2**) natomiast wyjście generatora (**F2**) jest połączone z licznikiem modulo 8 (**L1**), którego wejścia są dołączone do wejść adresowych (**Ad**) rejestru równoległo-szeregowego (**5**) a ponadto ostatnie wyjście tego licznika jest połączone poprzez trzecią bramkę iloczynową (**B3**) z pozostałym wejściem drugiej bramki iloczynowej (**B2**), której wyjście poprzez bramki iloczynowej czwartą i piątą (**B4** i **B5**) jest połączone z dzielnikiem przez 16 (**D1**), którego wyjścia są dołączone do wejść adresowych (**A_r**) zespołów multiplekserów ($M_1, \dots, M_N$) i pamięci ($RAM_1, \dots, RAM_N$) a ostatnie wyjście tego licznika jest ponadto połączone z wejściem dzielnika przez 10 (**D2**) zaś wyjścia tego dzielnika są połączone z dekodern (**DK**) kodu BCD na kod jeden z dziesięciu, natomiast kolejne wyjścia dekodera (**DK**) są dołączone odpowiednio do jednego wejścia każdej z bramek sumy (**BR₀**, **BR₁**, ..., **BR_N**) a ostatnie wyjście dekodera (**DK**) jest połączone z wejściem wpisującym s_2 przerzutnika (**RS**), którego wyjścia Q jest połączone z drugim wejściem czwartej bramki iloczynowej (**B4**) a wyjście zanegowane Q jest doprowadzone do wejść zerujących (**R**) dzielników (**D1** i **D2**), przy czym wyjście pierwszej bramki sumy (**BR₀**) jest połączone z wejściem pierwszej bramki iloczynowej (**B1**) oraz z pozostałymi wejściami kolejnych bramek sumy (**BR₁**, ..., **BR_N**), których wyjścia są doprowadzone do wejść ($SC_1, \dots, SC_N$) pamięci ($RAM_1, \dots, RAM_N$).

