



(12) 发明专利申请

(10) 申请公布号 CN 102354531 A

(43) 申请公布日 2012. 02. 15

(21) 申请号 201110204417. 6

代理人 刘国伟

(22) 申请日 2004. 09. 16

(51) Int. Cl.

(30) 优先权数据

G11C 16/34 (2006. 01)

10/665, 685 2003. 09. 17 US

G11C 29/00 (2006. 01)

(62) 分案原申请数据

200480026763. 8 2004. 09. 16

(71) 申请人 桑迪士克股份有限公司

地址 美国加利福尼亚州

申请人 株式会社东芝

(72) 发明人 杰弗里·卢策 陈建 李彦

金箱一德 田中友治

(74) 专利代理机构 北京律盟知识产权代理有限

责任公司 11287

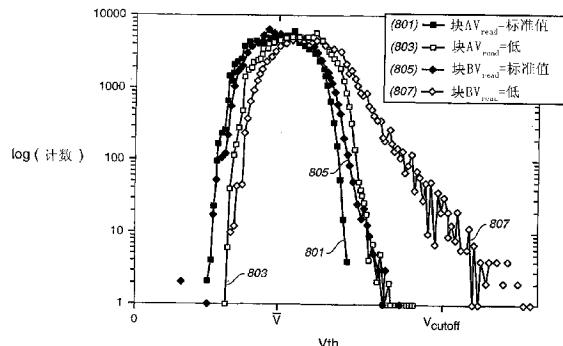
权利要求书 2 页 说明书 9 页 附图 8 页

(54) 发明名称

识别具有较差的亚阈斜率或较弱的跨导的非易失存储器元件的方法

(57) 摘要

本发明涉及识别具有较差的亚阈斜率或较弱的跨导的非易失存储器元件的方法。本发明提出用于对具有较差的亚阈斜率与降低的跨导的单元进行识别的若干方法。第一组技术集中于降级的存储元件的较差的亚阈特性，其通过使单元循环，随后将所述单元编程为高于接地状态的一状态，随后用低于此状态的阈电压的一控制栅极电压读取所述单元，以检验所述单元是否仍导通。第二组实施例集中于较弱的跨导特性，其是通过用超过所述阈电压很多的一控制栅极电压读取已编程的单元。第三组实施例改变所述存储元件的源极-漏极区域处的电压电平。在偏压条件的此偏移下，好的存储元件的电流-电压曲线是相对稳定的，而降级的元件则显示一较大的偏移。所述偏移量可用于区分好的元件与坏的元件。



1. 一种用于确定包含多个存储元件的一非易失存储器中的有缺陷存储元件的方法，其中所述元件的数据状态是所述元件的电流 - 电压特征的一函数，所述方法包含：

将所述存储元件的第一个编程为一状态，其中由响应第一组偏压条件的施加而流过所述存储元件的第一电流电平确定所述状态；

施加与所述第一组偏压条件不同的第二组偏压条件至所述第一存储元件；

确定一参数，所述参数可指示响应于所述第二组偏压条件的施加而流过所述第一存储元件的所述电流电平；和

基于所述参数的值确定所述第一存储元件是否是有缺陷的。

2. 根据权利要求 1 所述的方法，其中所述第二组偏压条件包含低于所述第一组偏压条件中的所述控制栅极电压的一控制栅极电压，且所述确定所述第一存储元件是否是有缺陷的包含：

确定响应于所述第二组偏压条件的施加的流过所述第一存储元件的所述电流电平是否高于一第一电流电平。

3. 根据权利要求 2 所述的方法，进一步包含：

在对所述第一存储元件进行编程之前，使所述第一存储元件经受一定数目的程序擦除循环。

4. 根据权利要求 3 所述的方法，其中程序擦除循环的所述数目大于一千。

5. 根据权利要求 3 所述的方法，其中所述方法是作为所述存储器的一初始测试的部分而执行。

6. 根据权利要求 2 所述的方法，其中所述第二组偏压条件的所述控制栅极电压大约为零伏特。

7. 根据权利要求 1 所述的方法，其中所述第二组偏压条件包含高于所述第一组偏压条件中的所述控制栅极电压的一控制栅极电压，且所述确定所述第一存储元件是否是有缺陷的包含：

确定响应于所述第二组偏压条件的施加而流过所述第一存储元件的所述电流电平是否低于一第一电流电平。

8. 根据权利要求 7 所述的方法，其中所述第二组偏压条件的所述控制栅极电压大约是所述第一组偏压条件中的所述控制栅极电压的两倍。

9. 根据权利要求 1 所述的方法，其中所述第二组偏压条件包含一源极 - 漏极区域电压，所述源极 - 漏极区域电压不同于所述第一组偏压条件中的一源极 - 漏极区域电压。

10. 根据权利要求 9 所述的方法，其中所述确定所述第一存储元件是否是有缺陷的包含：

确定获得与响应于所述第一组偏压条件的施加而流过所述第一存储元件的电流电平相同的一电流电平所需的控制栅极电压的改变。

11. 根据权利要求 10 所述的方法，其中所述确定所述第一存储元件是否是有缺陷的包含：

与一固定标准比较控制栅极电压的改变。

12. 根据权利要求 9 所述的方法，其中存储器具有一 NAND 型架构，且所述第一存储元件的所述源极 - 漏极区域处的电压与所述第一存储元件所在的所述相同的 NAND 串中的所述

其它存储元件中的一个或一个以上的所述控制栅极电压相关。

13. 根据权利要求 1 所述的方法, 其中所述方法是作为所述存储器的一初始测试的部分而执行。

14. 根据权利要求 1 所述的方法, 其中所述方法是在所述存储器的所述操作之后执行。

15. 根据权利要求 1 所述的方法, 其中响应于一错误校正码 (ECC) 响应而执行所述方法。

16. 根据权利要求 1 所述的方法, 其中响应于所执行操作的所述数目而执行所述方法。

17. 根据权利要求 1 所述的方法, 其中随机地选择所述第一存储元件。

18. 根据权利要求 1 所述的方法, 进一步包含 :

响应于所述确定所述第一存储元件是否是有缺陷的, 逻辑地重新映射所述第一存储元件。

19. 一种存储器系统电路, 其包含 :

一非易失半导体存储器单元 ;

可连接至所述存储器单元的编程电路 ;

可连接至所述存储器单元的偏压电路 ;

可连接至所述存储器单元的感测电路 ; 和

可连接至所述编程电路的一控制单元, 由此可将所述存储器单元编程为一数据状态, 而对于所述偏压与感测电路, 由此可校验所述存储器单元的所述数据状态, 且由此可确定响应于所施加的一组偏压条件而流过先前已校验的一存储器单元的一电流, 且响应于如此确定的一非预期的电流, 将所述先前已校验的存储器单元识别为有缺陷的。

20. 根据权利要求 19 所述的存储器系统电路, 其中所述存储器单元包含多个串联连接的存储器晶体管, 所述存储器晶体管的每一个都包含一浮动栅极和一控制栅极, 且其中选择所述存储器晶体管的一给定一者进行编程、校验, 随后偏压, 以确定所述选定的晶体管是否有缺陷的。

21. 根据权利要求 20 所述的存储器, 其中未选定的存储器晶体管的所述控制栅极具有一第一电压和不同于所述第一电压的一第二电压, 其中在校验所述选定的存储器晶体管时施加所述第一电压, 在随后偏压所述选定的存储器晶体管时施加所述第二电压, 以确定所述选定的存储器晶体管是否有缺陷的。

识别具有较差的亚阈斜率或较弱的跨导的非易失存储器元件的方法

[0001] 分案申请的相关信息

[0002] 本申请为发明名称为“识别具有较差的亚阈斜率或较弱的跨导的非易失存储器元件的方法”的原中国发明专利申请的分案申请。原申请的申请号为 200480026763.8 ;原申请的申请日为 2004 年 9 月 16 日 ; 原发明专利申请案的优先权日为 2003 年 09 月 17 日。

技术领域

[0003] 本发明大体上涉及非易失存储器及其操作,且更特定地涉及存储器的有缺陷存储元件的判定。

背景技术

[0004] 本发明的原理可应用于目前现有的和预期将使用正在研发的新技术的不同类型的非易失存储器。然而,关于以快闪电可擦除和可编程只读存储器 (EEPROM) 为例来描述本发明的实施,其中存储元件为浮动栅极 (floating gate)。

[0005] 目前商业产品中普通的是一快闪 EEPROM 阵列的每个浮动栅极存储元件通过二进位模式的操作来存储数据的单个位,其中将浮动栅极晶体管的两个范围的阈电平定义为存储电平。一浮动栅极晶体管的阈电平对应于存储于其浮动栅极上的电荷电平的范围。除减小存储器阵列的尺寸外,趋向于通过在每个浮动栅极晶体管中存储多于一个数据位来进一步增加此种存储器阵列的数据存储的密度。此通过将多于两个阈电平定义为用于每个浮动栅极晶体管的存储状态而完成,四个此种状态 (每个浮动栅极存储元件 2 个数据位) 现已包含于商业产品中。预期将有更多存储状态,例如每个存储元件 16 个状态。每一浮动栅极存储器晶体管具有阈电压的某一总范围 (窗口),其中可对其实际操作,且将所述范围划分为为其定义的状态的数目加上状态之间的边界以允许对其清楚地相互区分。朝向较低功率系统的趋势引起一较小的可用阈电压窗口,其进一步加剧此问题。

[0006] 此对于不同类型的快闪 EEPROM 单元阵列为真实的。一种设计的 NOR 阵列使其存储器单元连接于相邻位 (列) 线之间且控制栅极连接至字 (行) 线。个别单元含有一个浮动栅极晶体管 (具有或不具有与其串联而形成的一选择晶体管) 或由单个选择晶体管分离的两个浮动栅极晶体管。在以全文引用的方式并入本文的以下美国专利案和 SanDisk 公司的申请中的申请案中给出此种阵列及其在存储系统中的使用的实例 : 专利号 5,095,344、5,172,338、5,602,987、5,663,901、5,430,859、5,657,332、5,712,180、5,890,192 与 6,151,248, 和 2000 年 2 月 17 日申请的序列号 09/505,555, 和 2000 年 9 月 22 日申请的 09/667,344。

[0007] 一种设计的 NAND 阵列具有若干存储器单元,例如 8 个、16 个或甚至 32 个,所述存储器单元通过两端中任一端的选择晶体管以串联字符串的形式连接在一位线与一参考电平之间。字线与不同串联字符串中的单元的控制栅极相连接。在以全文引用的方式并入本文的以下美国专利案中给出此种阵列及其操作的相关实例 : 5,570,315、5,774,397 与

6,046,935 和 2001 年 6 月 27 日申请的美国专利申请案序列号 09/893,277。在 Raul-Adrian Cernea 申请的标题为“Highly Compact Non-Volatile Memory and Method Thereof”和 Raul-Adrian Cemea 与 Yan Li 申请的“Non-Volatile Memory and Method with Reduced Source Line Bias Errors”的美国专利申请案中给出其它实例，两个申请案都在 2002 年 9 月 24 日申请且以引用的方式并入本文。

[0008] 有时，已知闪存单元将经受较差的亚阈斜率或较弱的跨导。有时将这些单元称为 g_m 降级单元且其通常具有不合意的电流 - 电压 (I-V) 特征。所述单元具有降低的的传导率，但更重要的是由其亚阈斜率定义的其关闭特征很差。因此，所述单元仍以阈电压以下的栅极电压进行传导，意味着其具有较大的能力可被错误地读取。

[0009] 图 1 将该 g_m 降级单元与一性能良好的单元的一典型 I-V 曲线进行比较，其中用对数标度显示电流。在此图中，用空心方形显示一性能良好的（或“优良”）单元并用黑色菱形显示具有降级跨导的一“坏的”单元。已将两种单元编程为由响应于控制栅极电压 $V_{cg} = V_1$ 的漏 - 源极电流电平 $I_{DS} = I_1$ 定义的目标状态。除此点之外，两条曲线不相同，坏的单元具有用于较高电压的一较低电流（降级跨导）和用于较低 V_{cg} 值的一较高电流（较差的亚阈斜率部分）。随着存储器循环，这些单元变得更差且如果允许循环损害缓和，那么可改善所述单元的特征。因此，很可能某种类型的充电模型（例如界面状态）可起作用而引起较差的亚阈斜率和降低的的跨导。如果亚阈斜率变差至甚至在栅极电压低于单元阈时单元仍在传导的程度，那么这些单元可引起存储数据受破坏。如果读取条件变化，那么此将显著减小读取边界并使单元极易受“转换位”影响。例如，将可能由与某些存储器状态目标值相对应的程序校验条件来确定线交叉的点 I_1-V_1 ，所述目标值常相差用于此状态的控制读取电压的某边界。因此，对应于此读取电压的坏单元的电流电平将不同于好单元的电流电平，即使将其两者都编程为相同状态。事实上，由于某些单元从编程状态转换为擦除状态而使存储器在循环之后发生故障时，通常可见此现象。此外，已发现坏的单元趋于用比好的单元更快的速度自其编程值漂移。

[0010] 虽然论述是以闪存单元为根据，但更通常的为其对于任何使用基于晶体管的非易失存储元件的存储器将为正确的，所述存储元件中由电流 - 电压特性决定写入数据状态，例如电介质存储元件。在其破坏存储数据之前识别经受此种现象的单元的方法将是非常有利的。

发明内容

[0011] 本发明提出用于对具有较差的亚阈斜率和降低的跨导的单元进行识别的若干方法。其允许将一降级单元相对一良好性能单元的 I-V 特征的显著差异用于识别降级单元并在其引起数据破坏之前从存储器的有用部分将其移除。第一组技术集中于降级的存储元件的较差的亚阈特性：将单元编程为接地状态以上的一状态并用此状态的阈电压以下的一控制栅极电压对其读取。良好性能的元件将完全关闭且本质上不具有漏 - 源极电流，而有缺陷的单元仍将产生一可测量的量的电流。如果对于一新的存储器在测试期执行此过程，那么可首先循环所测试的元件以增加此效应。在一示范性实施例中，用设置为接地的控制栅极读取编程的元件并将一低电流电平阈用于区分降级单元与好的单元。

[0012] 第二组实施例集中于降级存储元件的较弱的跨导特性：将单元编程为接地状态以

上的一状态并随后用高出此状态阈电压很多的一控制栅极电压（比如约两倍于 V_{th} ）对其读取。由于好的单元在此增加电压处比降级单元具有显著更高的漏 - 源极电流，所以可基于此而对其区分。与其他方法一样，在测试一新装置或在其使用后，可响应于某些时序或使用标准或动态响应于一误差指示而使用所述技术。可在单元级上或在一块（或其它存储器的细分）级上标出有缺陷的元件。

[0013] 第三组实施例改变存储元件的源 - 漏极区域处的电压电平。在一 NAND 型架构中，可通过改变在读取操作期间施加于非选择控制栅极的读取或过驱动电压，或通过直接提升位线上的电压电平而实现上述目的。在偏压条件中此偏移之下一好的存储元件的电流 - 电压曲线是相对稳定的，而降级元件显示出更大的偏移。偏移量可用于区分好的元件与坏的元件。

[0014] 由于降级单元经常一群集方式出现，所以常有意义的是基于块或其它存储器结构来执行测试。例如，在第三组实施例中，可确定对单元的一块的阈电平分布。随着非选择单元上读取电压改变，分布将偏移。特定地，如果读取电压降低，那么块中任何坏的单元显现出分布的一尾迹的发展而仅特性良好的细胞的块将维持较紧凑的分布。因此，通过改变偏压条件和寻找阈电压分布中一尾迹的发展，可识别并移除一坏的块。

[0015] 本发明的其它方面、特征和优点包含于以下的示范性实施例的描述中，应结合附图做出所述描述。

附图说明

- [0016] 图 1 为具有较差的亚阈斜率和较弱的跨导的一存储元件的实例。
- [0017] 图 2 为一非易失存储器系统的方块图，其中可实施本发明的不同方面。
- [0018] 图 3 说明图 2 的存储器阵列为 NAND 型时的一现有电路和组织。
- [0019] 图 4 展示一截面图，其沿着在一半导体基板上形成的一 NAND 型存储器阵列的一列而截取。
- [0020] 图 5 提供图 2-5 的 NAND 存储器单元的实例操作电压的表格 1。
- [0021] 图 6 展示具有循环的亚阈斜率降级。
- [0022] 图 7 说明由相邻元件中读取电压改变而引起的一个存储元件中的阈电压偏移。
- [0023] 图 8 说明由读取电压改变而引起的存储元件的一块中的阈电压偏移。

具体实施方式

[0024] 实例非易失存储器系统

[0025] 参看图 2 至 5，描述一示范性非易失存储器系统，其中实施本发明的不同方面，从而提供特定范例。（图 2 至 5 从以引用的方式并入本文的美国专利号 6,456,528 修改而得，且其中进一步对其详细描述）图 2 为一闪存系统的方块图。存储器单元阵列 1 包含排列为一矩阵的多个存储器单元 M，由列控制电路 2、行控制电路 3、c 源极控制电路 4 和 c-p 井控制电路 5 对其控制。将列控制电路 2 连接至存储器单元阵列 1 的位线 (BL) 以用于读取存储器单元 (M) 中存储的数据、用于确定程序操作期间存储器单元 (M) 的状态，和用于控制位线 (BL) 的电位电平以促进编程或抑制编程。将行控制电路 3 连接至字线 (WL) 以选择字线 (WL) 的一个、施加读取电压、施加与列控制电路 2 控制的位线电位电平相组合的一程序电

压,和施加其上形成有存储器单元 (M) 的一 p 型区域 (图 4 中标记为“c-p 井”11) 的电压相耦合的一擦除电压。c 源极控制电路 4 控制连接至存储器单元 (M) 的一共同源极线 (图 3 中标记为“c 源极”)。c-p 井控制电路 5 控制 c-p 井电压。

[0026] 由列控制电路 2 读取存储器单元 (M) 中存储的数据并通过一 I/O 线和一数据输入 / 输出缓冲器 6 将其输出至外部 I/O 线。将存储于存储器单元中的程序数据通过外部 I/O 线输入至数据输入 / 输出缓冲器 6,并传送至列控制电路 2。将外部 I/O 线连接至一控制器 20。

[0027] 将用于控制闪存装置的命令数据输入至连接于外部控制线的一命令界面,所述外部控制线与控制器 20 相连接。命令数据将所请求的是哪种操作通知于闪存。将输入命令传送至一状态机 8,其控制列控制电路 2、行控制电路 3、c 源极控制电路 4、c-p 井控制电路 5 和数据输入 / 输出缓冲器 6。状态机 8 可输出闪存的状态数据,例如就绪 / 忙碌 (READY/BUSY) 或成功 / 失败 (PASS/FAIL)。

[0028] 控制器 20 连接或可连接于一主机系统,例如个人计算机、数码相机或个人数字助理。由主机发起诸如存储数据至存储器阵列 1 或从存储器阵列 1 读取数据的命令,并分别提供或接收这些数据。控制器将这些命令转换为命令电路 7 可解译和执行的命令信号。控制器通常也含有缓冲存储器,用于将用户数据写入存储器阵列或自其读取。典型的存储器系统包含含有控制器 20 的一个集成电路芯片 21,和每一个都含有一存储器阵列与相关控制、输入 / 输出与状态机电路的一个或一个以上集成电路芯片 22。当然,趋势是将系统的存储器阵列和控制器电路一起整合在一个或一个以上集成电路芯片上。可将存储器系统嵌入并作为主机系统的一部分,或可包含于一存储卡中,所述存储卡可用可抽取的方式插入主机系统的连接插座。此卡可包含整个存储器系统,或控制器与存储器阵列,而可能在独立的卡中提供相关的外围电路。

[0029] 参看图 3,其中描述存储器单元阵列 1 的实例结构。将 NAND 型的一快闪 EEPROM 作为实例描述。在一特定实例中,将存储器单元 (M) 分为 1,024 个块。同时擦除每一块中存储的数据。因此,块为可同时擦除的多个细胞的最小单位。在每一块中,在此实例中,存在 8,512 列,所述列分为偶数列和奇数列。位线也分为偶数位线 (BLe) 和奇数位线 (BLo)。将在每一栅电极处连接至字线 (WL0 至 WL3) 的四个存储器单元串联连接以形成一 NAND 单元单位。将所述 NAND 单元单位的一个终端通过一第一选择晶体管 (S) 而连接至对应位线 (BL),所述第一选择晶体管的栅电极耦合于一第一选择栅极线 (SGD),并将另一终端通过一第二选择晶体管 (S) 而连接至 c 源极,所述第二选择晶体管的栅电极连接于一第二选择栅极线 (SGS)。虽然出于简洁而展示每一单元单位中包含四个浮动栅极晶体管,但可使用更多数目的晶体管,例如 8 个、16 个甚至 32 个。

[0030] 在此实例中,在用户数据读取和编程操作期间,同时选择 4,256 个单元 (M)。所选择单元 (M) 具有相同字线 (WL),例如 WL2,和相同种类的位线 (BL),例如偶数位线 BLe0 至 BLe4255。因此,可同时读取或编程 532 个字节的数据。此同时读取或编程的 532 字节的数据逻辑上形成一“页”。因此,一个块可存储至少八页。当每一存储器单元 (M) 存储两个位的数据时,即多层单元的情况,在每单元存储两位的情况下一个块存储 16 页。在此实施例中,每个存储器单元的存储元件 (在此情况中为每个存储器单元的浮动栅极) 存储两位的用户数据。

[0031] 图 4 展示图 3 中示意性显示的所述类型的 NAND 单元单位在位线 (BL) 方向的截面图。在一 p 型半导体基板 9 的一表面处,形成一 p 型区域 c-p 井 11,由一 n 型区域 10 封闭所述 c-p 井以使所述 c-p 井与所述 p 型基板绝缘。通过一第一接触孔 (CB) 与一 n 型扩散层 12 将 n 型区域 10 连接至由一第一金属 M0 制成的一 c-p 井线。通过第一接触孔 (CB) 与一 p 型扩散层 13 将 p 型区域 c-p 井 11 也连接至所述 c-p 井线。将所述 c-p 井线连接至 c-p 井控制电路 5(图 2)。

[0032] 每一存储器单元具有一浮动栅极 (FG),其存储对应于正储存在所述单元中的数据的一定量的电荷,字线 (WL) 形成栅电极,且漏与源电极由 n 型扩散层 12 组成。浮动栅极 (FG) 通过一穿隧氧化膜 (14) 而形成于 c-p 井的表面上。字线 (WL) 通过一绝缘膜 (15) 堆叠于浮动栅极 (FG) 上。源电极通过第二选择晶体管 (S) 和第一接触孔 (CB) 连接至由第一金属 (M0) 组成的共同源极线 (c 源极)。共同源极线连接至 c 源极控制电路 (4)。通过第一选择晶体管 (S)、第一接触孔 (CB)、第一金属 (M0) 和第二接触孔 (V1) 间的一中间布线将漏电极连接至由第二金属 (M1) 组成的位线 (BL)。所述位线连接至列控制电路 (2)。

[0033] 图 5 的表格 1 总结了所施加的用以操作存储器单元阵列 1 的电压,在一特定实例中,每一存储器单元的浮动栅极存储两个位,即具有状态“11”、“10”、“01”、“00”中的一种。此表格显示选择字线“WL2”与位线“BLe”用于读取和编程的情况。通过将 c-p 井提升至 20V 的擦除电压并将一所选择块的字线 (WL) 接地,可擦除所选择块的数据。由于将未选择块的字线 (WL)、位线 (BL)、选择线 (SG) 与 c 源极全部置于浮动状态,所以其也提升至接近 20V,此是由于与 c-p 井的电容性耦合。因此,将一强电场仅施加于所选择存储器单元 (M) 的穿隧氧化膜 14(图 4 与图 5),并在穿隧电流流过穿隧氧化膜 14 时擦除所选择存储器单元的数据。在此实例中,所擦除单元为四个可能编程状态的一种,即“11”。

[0034] 为在编程操作期间在浮动栅极 (FG) 中存储电子,将所选择字线 WL2 连接至一程序脉冲 Vpgm 并将所选择字线 BLe 接地。另一方面,为了禁止在不进行编程的存储器单元 (M) 上的程序,将对应位线 BLe 和未选择的位线 BLo 连接至一电源的 Vdd,例如 3V。将未选择的字线 WL0、WL1 与 WL3 连接至 10V,将第一选择栅极 (SGD) 连接至 Vdd,并将第二选择栅极 (SGS) 接地。因此,将正在编程的存储器单元 (M) 的通道电位设定为 0V。由于与字线 (WL) 的电容性耦合提升了通道电位,所以程序禁止中的通道电位上升至大约 6V。如以上解释,在编程期间将一强电场仅施加于存储器单元 (M) 的穿隧氧化膜 14,且穿隧电流以与抹除时的方向相反的方向流过穿隧氧化膜 14,随后逻辑状态从“11”改变为其它状态“10”、“01”或“00”中的一种。

[0035] 在读取与校验操作中,将选择栅极 (SGD 与 SGS) 与未选择字线 (WL0、WL1 与 WL3) 提升至 4.5V 的读取通过电压以使其成为通过栅极。将所选择字线 (WL2) 连接至一电压,为每一读取与校验操作指定所述电压的电平,以便确定所关心的存储器单元的阈电压是否已达到此电平。例如,在读取 10 操作中,将所选择字线 WL2 接地,因此要侦测阈电压是否高于 0V。在此读取情况中,可以说读取电平为 0V。在校验 (VERIFY) 01 操作中,将所选择字线 WL2 连接至 2.4V,因此要校验阈电压是否已达到 2.4V。在此校验情况中,可以说校验电平为 2.4V。

[0036] 将所选择位线 (BLe) 预先充电至一高电平,例如 0.7V。如果阈电压高于读取或校验电平,由于非传导性存储器单元 (M),所关心的位线 (BLe) 的电位电平维持在高电平。

另一方面,如果阈电压低于读取或校验电平,由于传导性存储器单元(M),所关心的位线(BLe)的电位电平降低至一低电平,例如小于0.5V。以下解释读取与校验操作的其它细节。

[0037] 识别具有较差的亚阈斜率与降低的跨导的单元的方法

[0038] 如背景部分中所述,已知非易失存储元件会经受较差的亚阈斜率或较弱的跨导(g_m),所述情形有时称为 g_m 降级。本发明提出在经受此现象的单元破坏所存储数据之前对其进行识别的方法。虽然使用错误校正码(ECC)和其它技术可允许存储器处理一定数量的错误,但如果存在过多单元降级,那么这些技术将会失败且会破坏数据。然而,一降级单元对一良好性能单元的I-V特征的差异可用于识别降级单元并在降级单元引起数据破坏之前从存储器的有用部分使其移除。本发明提出对具有较差的亚阈斜率与降低的跨导的单元进行识别的三种方法。

[0039] 虽然由于不同原因(例如氧化物陷阱、源极/漏极区域未覆盖栅极或其它未完全了解的原因),较差的亚阈斜率与低跨导可能升高,但很清楚,在存储器循环时所述单元将变得更差,同时也很清楚,如果允许减轻循环损坏,那么可以改善所述单元特征。此在图6中显示,其中新的好的单元的I-V曲线(黑方形603)与所述单元经过很大数目(大于 10^4)的循环后的曲线的差别很小,而坏的单元在经过同样数目的循环(空心菱形605)之后显示甚至比新的坏的单元(黑菱形601)更坏的特性。如图6中可见,高度循环的坏的单元的I-V曲线在此半对数图中几乎为直线且非常平坦。

[0040] 虽然所述机制的细节对本发明并不重要,但某些类型的充电模式,例如界面状态,可能在导致较差的亚阈斜率和降低的跨导中起作用。例如,如果所选择元件对应于图4的NAND结构中的WL20,那么一可能的机制可为WL2_0与WL3_0之间的n型扩散层的边缘处的电介质中的陷阱。在美国专利申请案序号10/052,924中更详细地描述界面状态,所述申请案申请于2002年1月18日,其内容以引用的方式并入本文。如果亚阈斜率劣化至即使栅极电压低于单元阈时单元仍然导通的程度,那么所述有缺陷的单元可导致破坏所存储的数据。此显著减小读取边界并且如果读取条件变化,就使单元易于“转换位”,且由于某些单元从编程状态偏移为擦除状态而使存储器在循环后故障时,通常可看到此现象。

[0041] 本发明提出用于确定存储器的有缺陷元件的若干实施例。可在测试时在一新的存储器上执行所述不同方法,或在存储器已操作之后执行所述方法。由所述方法获得的信息随后可用于在单元级和更大结构(例如擦除或编程的单位)级两者上标出存储器的有缺陷的部分,或者,如果在测试时执行所述方法,如果发现过多数目的有缺陷元件,那么可以确定整个芯片是有缺陷的。所有方法通过查看在不同于所述元件受编程而达到的状态的程序校验条件的条件下元件的偏压特性来测试元件。第一组实施例通过查看低控制栅极电压下的电流量来查看经受循环的单元的亚阈特性,第二组实施例查看单元在增加的阈电压下的跨导,第三组实施例查看响应于源极/漏极电压电平变化的阈电压的偏移。

[0042] 参看图6说明所述第一方法,其使用以下事实,即,在循环后,即使在低于阈电压的栅极电压下,降级单元仍然具有显著的传导性。所述方法通过多次(比如约 10^4 次)循环存储器而开始,且随后将所有存储器单元编程至一高阈状态。由于执行所述程序擦除循环不是为了存储数据,所以其不需要包含校验过程,且因此,与所述程序擦除循环实际存储数据时相比,在循环为测试过程的一部分时,可更快地执行所述程序擦除循环。在此情况下,所述大数目的程序擦除循环只需适当好地模拟该大数目的循环在存储元件上的效果。相

反，在正常操作时期后测试装置时，所述循环将自然发生。在两种情况下，实际测试装置时，将所选择存储元件编程至对应于校验条件的阈状态，其中不同曲线在 I_1 、 V_1 处交叉。虽然新的单元的曲线 (601, 603) 在低于 V_1 时显著不同，但此差异在循环后变得更明显 (605, 607)。

[0043] 在将单元循环和编程至高阈电压状态之后，随后降低栅极电压并读取单元。为识别降级单元，可增加感测时间。如果发现单元在此降低的的栅极电压下可导通，那么将所述单元识别为具有较差的亚阈斜率的单元，且不再用于数据存储。良好性能的单元在这些条件下将具有最小的传导性。例如，在图 6 的数据的情况下，在循环后将降级的和正常的单元都编程至一阈电压 V_1 。如果现在在 $V_{cg} = \sim 0$ 伏特的栅极电压下读取单元，那么正常单元将不传导任何明显的电流。然而，降级单元仍将传导比 I' 大的电流，比如几个毫微安。例如，如果将侦测阈设定为 1nA，那么可容易识别降级单元。可将侦测阈设定为预定值，例如使用一可设定的参数。(对于此实施例和其它实施例，虽然根据测量响应于一组所施加的偏压电压的电流来描述感测过程，但也可能使用其它感测方法，其中测量除电流之外的某其它参数（电压、时间、频率等），但所述其它参数应能指示单元的 I-V 曲线。)

[0044] 此方法和以下论述的其它方法，在测试新的芯片时或在其运行一段时间后，在一单元级或以存储器的更大逻辑或物理单位来执行。例如在测试期间，通过某种选择过程或随机地选择存储器的若干区段或编程单位，并检查所述区段或编程单位。或者，可检查全部存储器，可以使用循环也可不使用循环。如果坏区域的数目较小，那么可以逻辑上重新映射所述坏区域；然而，由于存储器的坏的部分常由于处理或其它问题而趋于出现在电路小片的延伸区域，所以坏区域错误可群集化且拒收整个电路小片可能更好。如果在操作存储器期间替代执行测试，那么其可响应若干操作、一定量的操作时间、主机或存储器中随机数目的事件，响应错误校正码 (ECC) 结果、编程或擦除困难或存储器内数据的周期性移动。由此方式，可通过与擦洗或更新过程相同的机制，或可能结合擦洗或更新过程来触发测试，美国专利号 5,532,962 与 6,151,246 中说明所述擦洗或更新过程和 ECC 方法，所述专利以引用的方式并入本文。例如，随机数目的事件（主机或存储器事件）之后，为确定存储器困难，可检查任意组块，以避免因存储器困难发展过度而引起数据丢失。

[0045] 本发明之第一实施例通过查看单元在低于其校验电压的栅极电压下的电流电平来查看亚阈区域，第二实施例查看存储元件在增加的栅极电压下的降级跨导。图 1 再次显示一正常单元的 I-V 曲线对一降级单元的 I-V 曲线，其中将所述两单元编程为在点 V_1 、 I_1 处进行校验。如实心菱形曲线所示，降级存储元件的电流传导能力减小，换句话说，其跨导已降级。如果单元处于此状态，那么通过在高的栅极电压下感测并将侦测阈设定为相对大的电流，可区分正常单元和降级单元。例如在图 1 的数据的情况下，如果在 V' （至少比 V_1 大一些，例如 $V' \approx 2V$ ）的栅极电压下读取单元，那么对于坏的单元，降低的的跨导（较差的 g_m ）将引起降低很多的电流。（应再次注意，电流是用对数标度绘制。）如果将侦测阈设定为值 I' （在 V' 处其位于两曲线之间），例如 I' 值为数百毫微安，那么在 $V_{cg} = V'$ 的偏压条件下进行读取时，可区分降级单元和正常单元。

[0046] 本发明的前两个实施例相对于校验条件而改变控制栅极电压，在第一实施例中使用较低值，在第二实施例中使用较高值，而第三组实施例主要基于改变存储元件的源极-漏极区域处的偏压电平。在 NAND 型架构中，可通过改变 V_{read} 的值而实施上述目的， V_{read} 是施加于非选择字线的电压，例如在图 3 中，所选择元件对应于 WL_2 时非选择字线为 WL_1

或 WL_3。如以上关于图 5 所描述,正读取一所选择元件 (WL2 上) 时,通过施加过驱动读取电压 V_{read} ,非选择元件使其字线 (WL_0,WL_1,WL_3) 完全开启。所述实例为正常读取而使用 $V_{read} = 4.5V$ 。第三组实施例查看单元的阈电压相对于源极 - 漏极区域的偏压条件的变化的稳定性;对于 NAND 型与 NOR 型架构两者,此可通过直接改变位线电平来实施,而对于 NAND 型结构,此也可以通过改变的 V_{read} 值来实施。

[0047] 第三组实施例利用降级单元的特性,即,在改变读取条件时,与良好性能的单元相比,降级单元将显示阈电压 V_{th} 的较大偏移。例如,图 7 显示对于不同读取电压,降级单元和良好性能单元的 I-V 曲线:空心方形 (707) 和空心菱形 (705) 分别对应于使用标准 V_{read} 值的典型的好与坏的单元,而黑色方形 (703) 和黑色菱形 (701) 分别对应于使用升高的 V_{read} 值的典型的好与坏的单元。(同样在此实例中,读取电压 V_{read} 表示测量一特定单元的阈电压时施加在 NAND 串中的其它单元上的过驱动电压。)良好性能的单元关于读取电压的偏移显示 V_{th} 的相对较小的偏移 753;然而对降级单元的影响要明显得多,如较大的偏移 751 所示。此效应可用于识别降级单元,此是通过在不同源极 / 漏极偏压条件下读取单元,并确定单元的阈电压是产生较大偏移还是相对稳定。

[0048] 虽然可以在一单元级上实施第三实施例的方法,但其也可在一块(或其它结构)级上实施。在此情况下,可将所述块作为整体来查看降级的效果。虽然此对于第一和第二组实施例也是正确的,但其对于第三实施例尤其实用。

[0049] 图 8 显示两群单元的阈分布,其中相对于特定阈值 V_{th} 绘制出所述特定阈 V_{th} 的计数的对数。所述群优选地基于存储器的物理结构,例如块或物理区段,此是由于有缺陷的单元趋于物理地群集(此是由于处理或其它缺陷),但所述技术也可应用于用其它方法选择的群。在此实例中,所述群为两个块,一个仅含有良好性能的单元 (B1k A),另一块具有一些降级单元 (B1k B)。实心方形 (801) 和实心菱形 (805) 分别给出块 A 与块 B 在 V_{read} 的标准值下的阈值的分布。在两种情况下,虽然坏的单元的分布 805 稍微分散一些,但分布都集中在值 \bar{V} 附近且相当紧凑。

[0050] 减小存储元件的源极 - 漏极处的偏压电平(例如通过降低一NAND 串的非选择元件的 V_{read} 值)会引起分布的偏移。此将对应于图 7 中所示的每一个别单元的相同种类的偏移。由空心方形 (803) 的曲线所示的块 A 的偏移对于较高的 V_{th} 值显示较小的偏移。分布 803 持续保持相当紧凑。

[0051] 减小读取电压导致具有降级单元的块的 V_{th} 分布中显示更明显的偏移,如空心菱形 (807) 所示。除了分布的中心的偏移,在分布 807 的高阈端显示一大的尾迹,相对于好的块 A(在两种偏压条件下)与在标准 V_{read} 值下的块 B 自身 (805),所述尾迹导致截然不同的轮廓。随后可从活动存储器中识别并移除所述块以防止破坏数据。可基于块的轮廓(即尾迹的发展)进行识别,此是通过比较块轮廓的改变与一固定量的偏移,或比较块轮廓与其它群(例如块 A)中的相对量的偏移。例如可以引入截止值,如图 8 中所示之 V_{cutoff} 。选择 V_{cutoff} ,使其与 \bar{V} 间隔足够远,从而无论偏压条件如何变化,都使良好性能的单元的全部分布都处于小于 V_{cutoff} 的位置,而具有缺陷的块中的坏的单元引起延伸超过此截止值的尾迹。 V_{cutoff} 值可基于关于一般分布的知识,以确定高于 \bar{V} 的边界,在所述边界处设定 V_{cutoff} 。

[0052] 与先前的实例相同,可在测试期间或稍后在装置运行中时执行关于图 8 而说明的过程。与其它技术相同,在测试期间使用关于图 8 而说明的方法时,在确定存储器的质量所

依据的分布之前,可使存储器(或受测试的部分)进行若干程序擦除循环。当存储器已运行后执行所述处理时,存储器芯片上的控制器或外围电路可执行所述处理。例如,控制器可使用基于可设定参数的实施而执行比较,以确定尾迹是否超过所允许的限制。

[0053] 如以上所述,本发明的技术不仅可应用于具有 NOR 或 NAND 架构的闪存,而且也可用于具有其它形式的存储元件和架构的存储器。在使用包含一晶体管的存储元件(例如电介质存储器单元)的非易失存储器中所述技术是尤其有利的,其中储存于所述存储元件中的数据状态是基于所述晶体管的电流-电压特征,在标题为“Multi-State Non-Volatile Integrated Circuit Memory Systems That Employ Dielectric Storage Elements”的美国专利申请案中描述所述电介质存储器单元的实例,所述专利由 Eliyahou Harari、George Samachisa、Jack H. Yuan 与 Daniel C. Guterman 申请于 2002 年 10 月 25 日,其内容以引用的方式并入本文。

[0054] 虽然已结合特定实施例描述本发明的不同方面,但应了解,在附加权利要求的全部范畴内保护本发明。

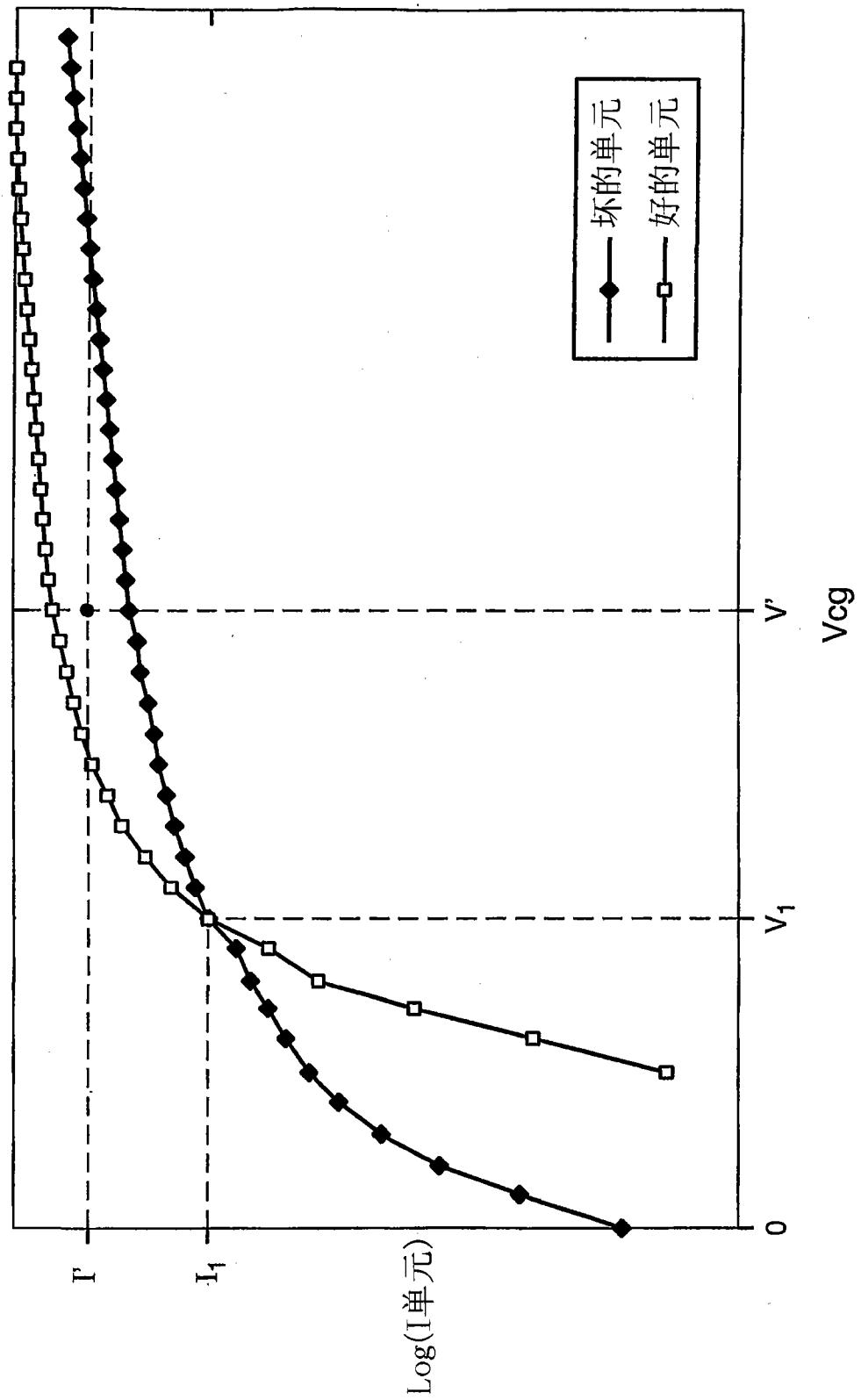


图 1

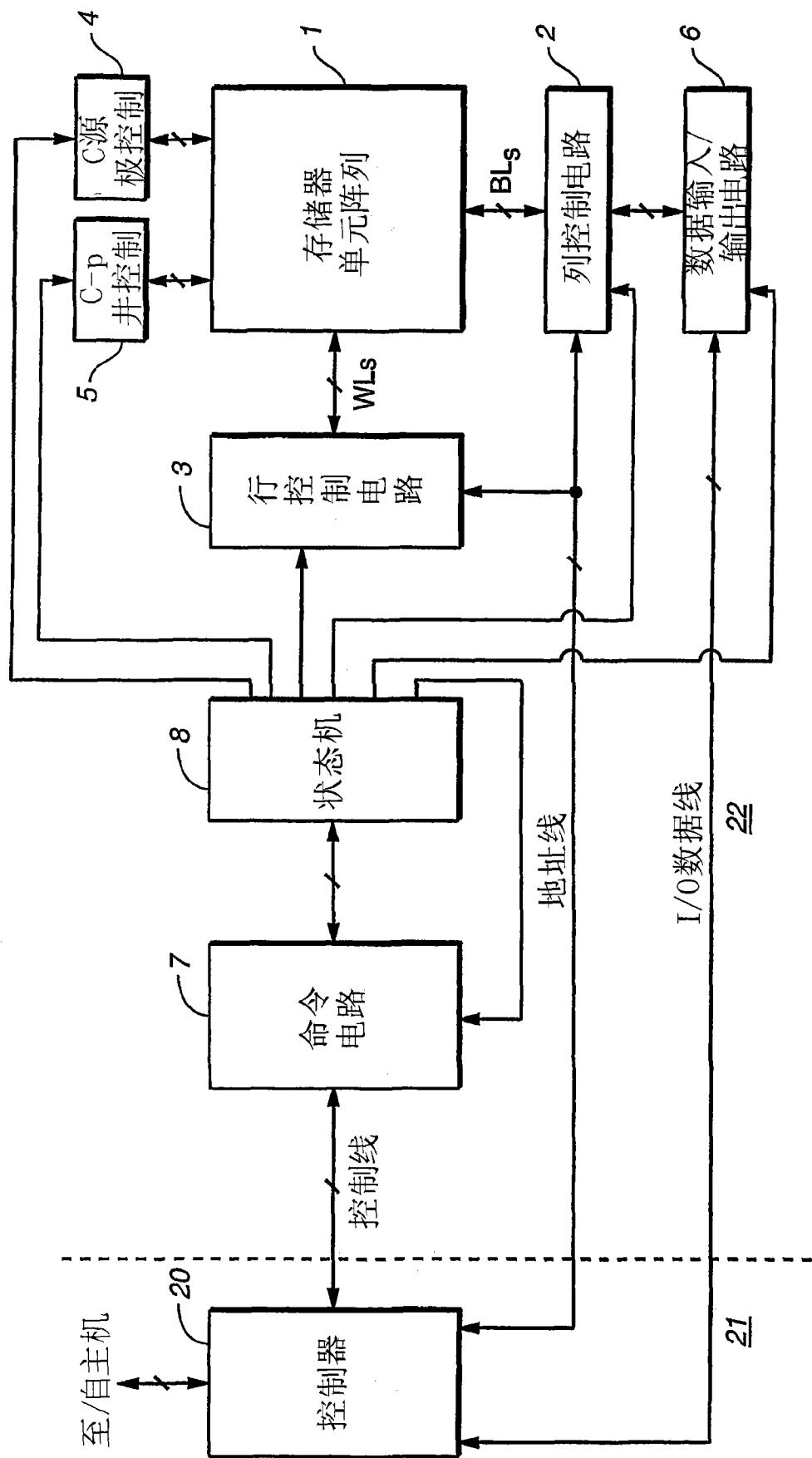


图 2

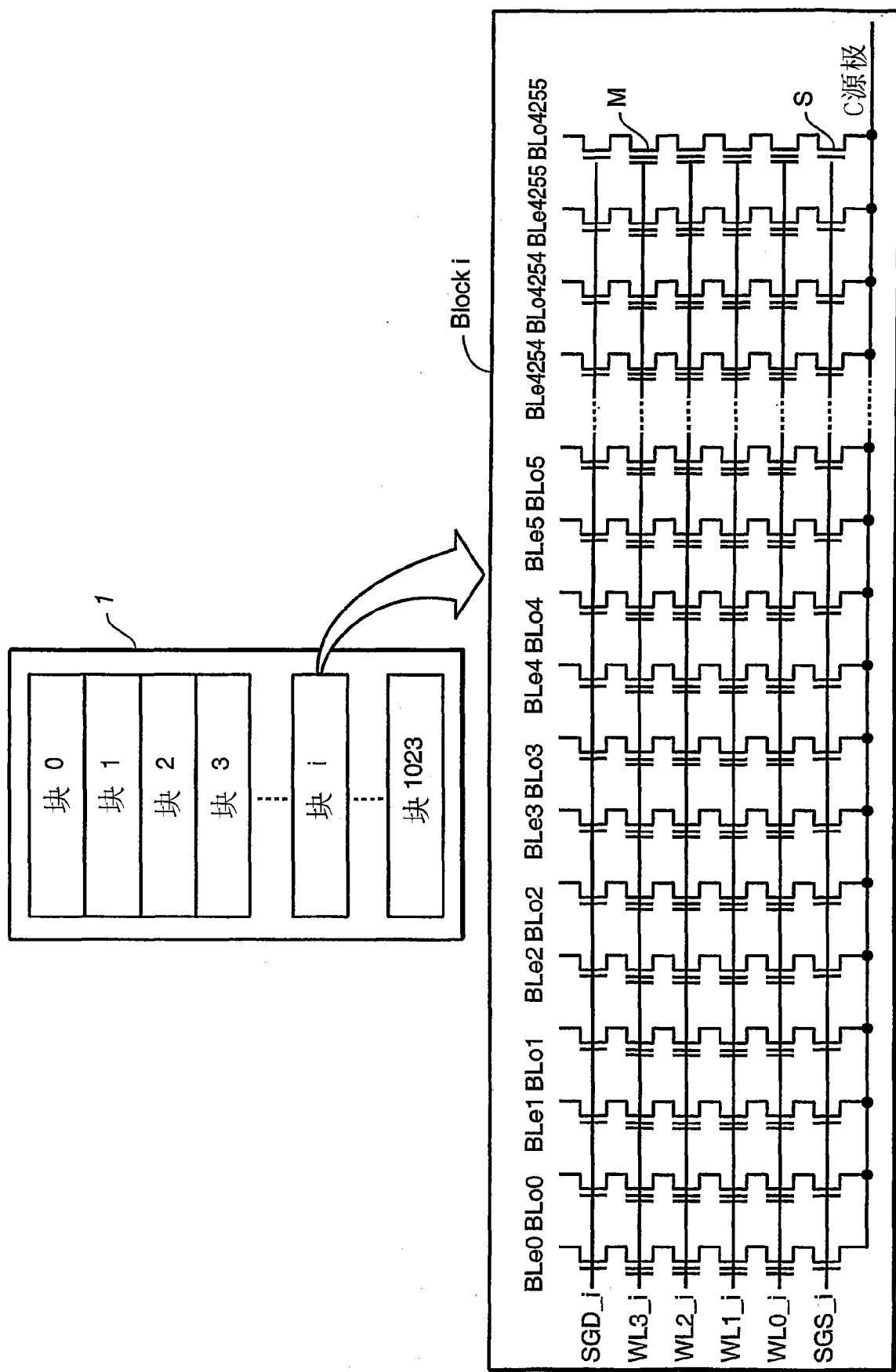


图 3

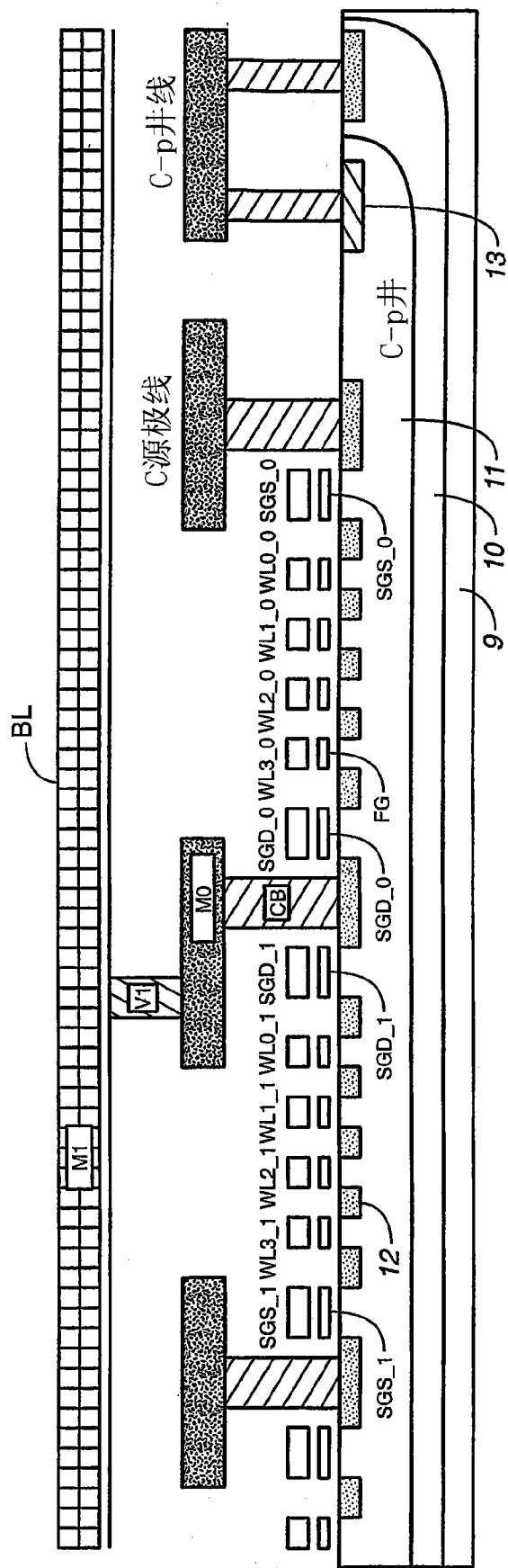


图 4

	擦除	程序 禁止	程序 促进	读取 10	为第一 次通过 读取10	为第二 次通过 读取00	读取 01	为第二 次通过 读取00	为第二 次通过 校验10	为第二 次通过 校验10	为第二 次通过 校验00	为第二 次通过 校验00	校验 01
BL0	浮动	0V	Vdd	HorL	HorL	HorL	HorL	HorL	HorL	HorL	HorL	HorL	HorL
BL0	浮动	Vdd	Vdd	0V	0V	0V	0V	0V	0V	0V	0V	0V	0V
SGD	浮动	Vdd	Vdd	4.5V	4.5V	4.5V	4.5V	4.5V	4.5V	4.5V	4.5V	4.5V	4.5V
WL3	0V	10V	10V	4.5V	4.5V	4.5V	4.5V	4.5V	4.5V	4.5V	4.5V	4.5V	4.5V
WL2	0V	Vpgm	Vpgm	0V	0V	1V	1V	2V	0.2V	0.4V	1.2V	1.4V	2.4V
WL1	0V	10V	10V	4.5V	4.5V	4.5V	4.5V	4.5V	4.5V	4.5V	4.5V	4.5V	4.5V
WL0	0V	10V	10V	4.5V	4.5V	4.5V	4.5V	4.5V	4.5V	4.5V	4.5V	4.5V	4.5V
SGS	浮动	0V	0V	4.5V	4.5V	4.5V	4.5V	4.5V	4.5V	4.5V	4.5V	4.5V	4.5V
C源极	浮动	0V	0V	0V	0V	0V	0V	0V	0V	0V	0V	0V	0V
C-p井	20V	0V	0V	0V	0V	0V	0V	0V	0V	0V	0V	0V	0V

图 5

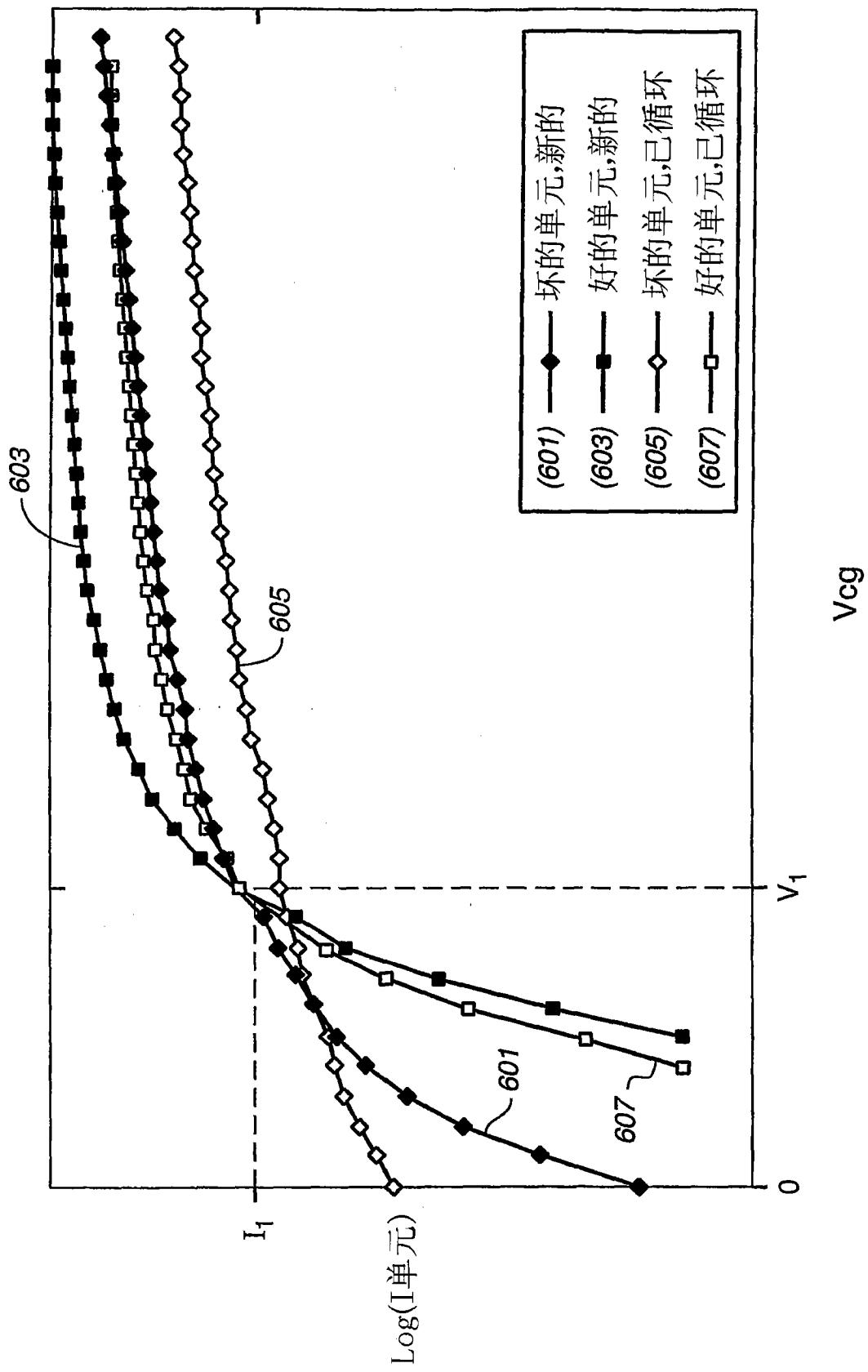
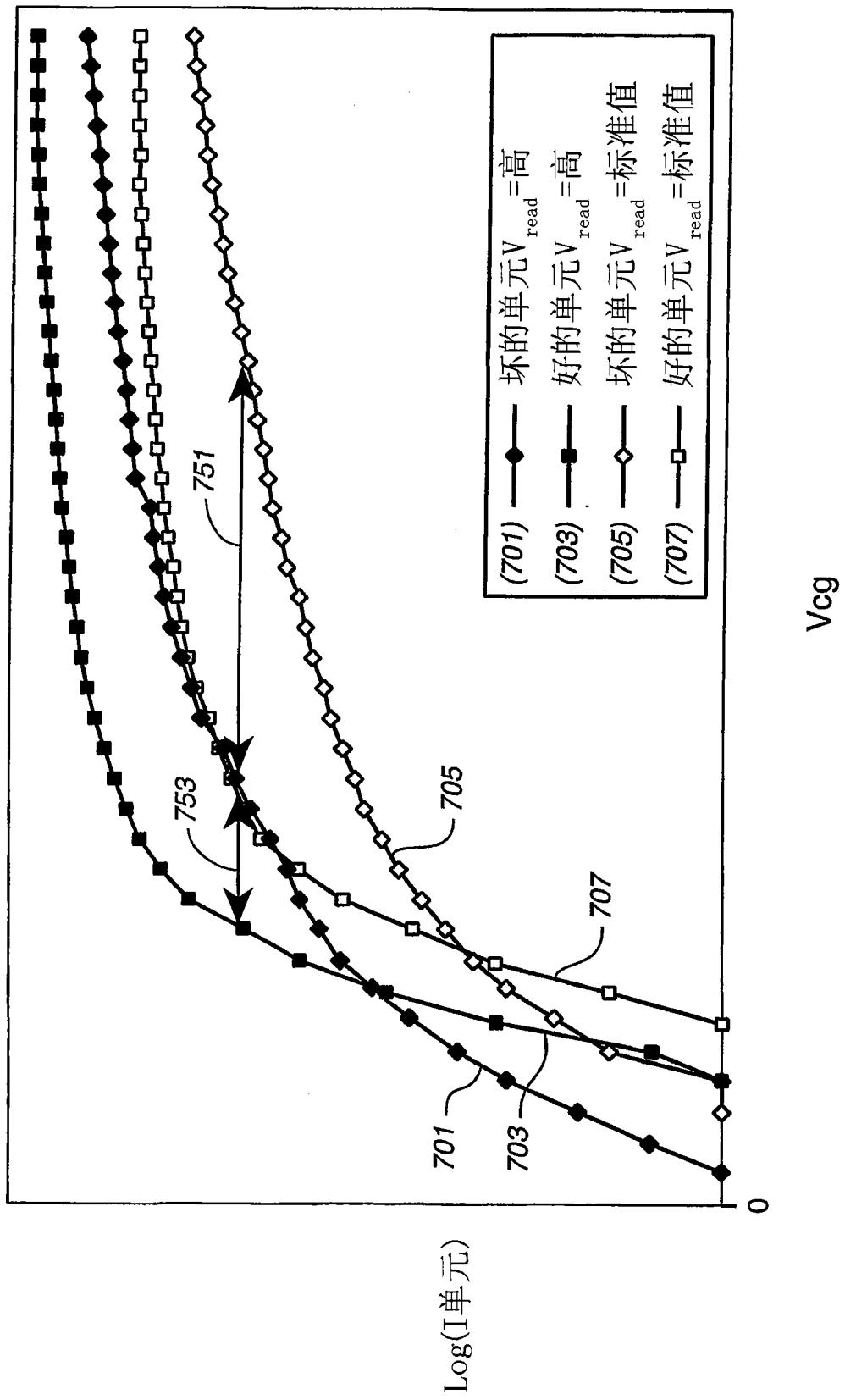


图 6



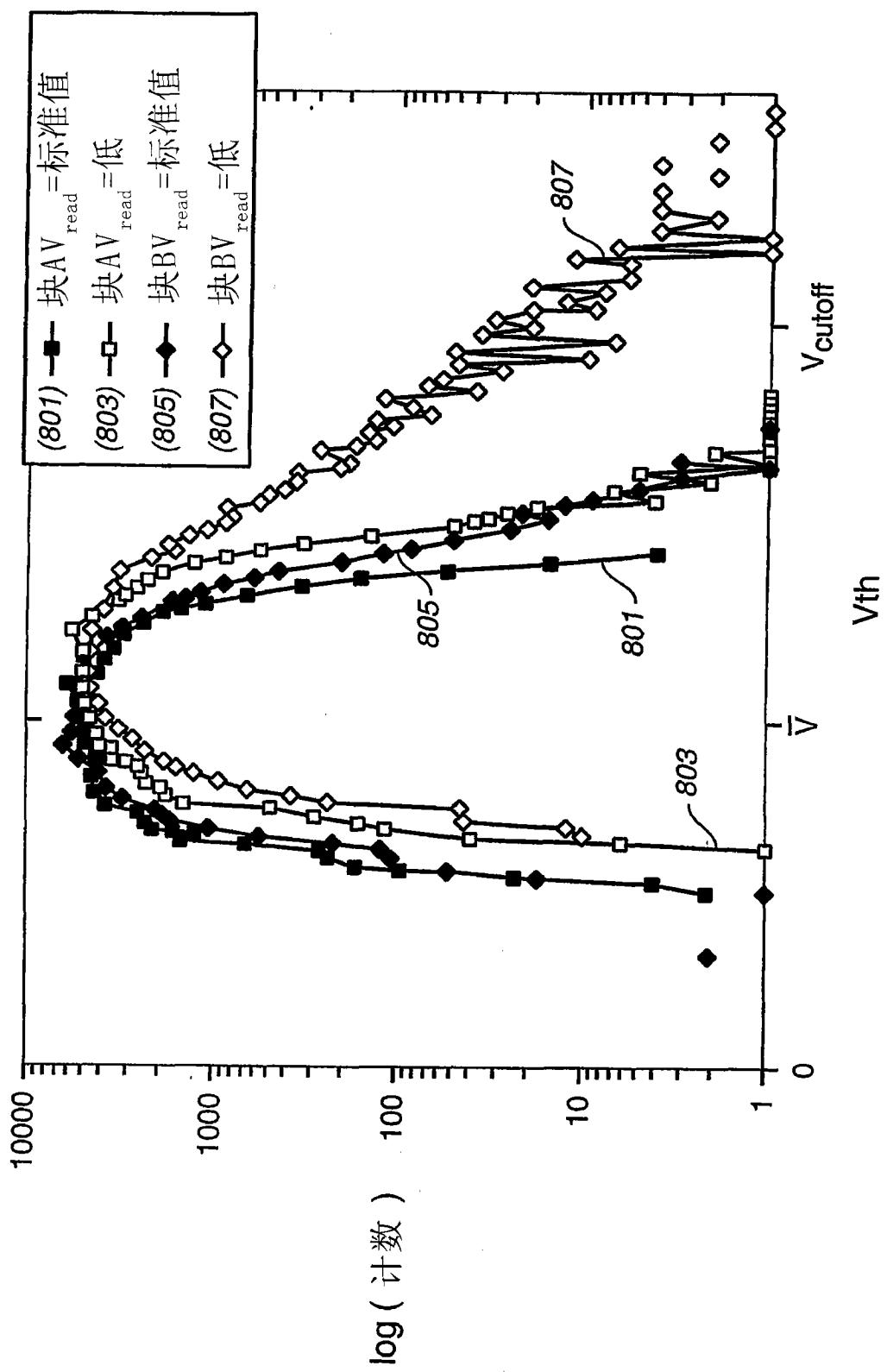


图 8