

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2013-236331

(P2013-236331A)

(43) 公開日 平成25年11月21日(2013.11.21)

(51) Int.Cl.

H03F 3/45 (2006.01)

F I

H03F 3/45

A

テーマコード (参考)

5J500

審査請求 未請求 請求項の数 8 O L (全 18 頁)

(21) 出願番号 特願2012-108749 (P2012-108749)  
 (22) 出願日 平成24年5月10日 (2012.5.10)

(71) 出願人 308033711  
 ラピスセミコンダクタ株式会社  
 神奈川県横浜市港北区新横浜二丁目4番地  
 8  
 (74) 代理人 100079119  
 弁理士 藤村 元彦  
 (74) 代理人 100109036  
 弁理士 永岡 重幸  
 (74) 代理人 100147728  
 弁理士 高野 信司  
 (72) 発明者 四辻 哲章  
 東京都八王子市東浅川町550番地1 ラ  
 ピスセミコンダクタ株式会社内

最終頁に続く

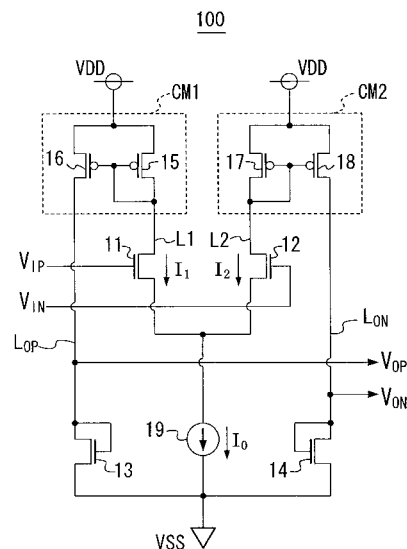
(54) 【発明の名称】 差動増幅器及び半導体装置

(57) 【要約】 (修正有)

【課題】装置の小規模化且つ利得のバラツキを抑制させることが可能な差動増幅器及びこの差動増幅器が形成されている半導体装置を提供する。

【解決手段】ゲート端子に差動信号形態の入力信号が夫々供給される第1及び第2トランジスタ11、12と、第1トランジスタ11に流れる電流に対応した第1出力電流を第1出力ラインに流す第1カレントミラー部CM1と、第2トランジスタ12に流れる電流に対応した第2出力電流を第2出力ラインに流す第2カレントミラー部CM2と、第1及び第2出力電流を夫々差動信号形態の出力信号として出力させるべく、ゲート端子及びドレイン端子が共に第1出力ラインに接続されており、上記第1トランジスタと同一導電型の第3トランジスタ13と、ゲート端子及びドレイン端子が共に第2出力ラインに接続されており、上記第2トランジスタと同一導電型の第4トランジスタ14と、を含む出力負荷部と、を有する。

【選択図】 図1



## 【特許請求の範囲】

## 【請求項 1】

差動信号形態の第 1 及び第 2 入力信号を増幅して差動信号形態の第 1 及び第 2 出力信号を生成する差動増幅器であって、

互いにソース端子が共通接続されており且つ夫々のゲート端子に前記第 1 及び第 2 入力信号が夫々供給される第 1 及び第 2 トランジスタと、

前記第 1 及び第 2 トランジスタ各々のソース端子に接続されている第 1 電流源と、

前記第 1 トランジスタに流れる電流に対応した第 1 出力電流を第 1 出力ラインに流す第 1 カレントミラー部と、

前記第 2 トランジスタに流れる電流に対応した第 2 出力電流を第 2 出力ラインに流す第 2 カレントミラー部と、

前記第 1 出力ライン上の電圧を前記第 1 出力信号として出力する第 1 出力負荷部と、

前記第 2 出力ライン上の電圧を前記第 2 出力信号として出力する第 2 出力負荷部と、を有し、

前記第 1 出力負荷部は、ゲート端子及びドレイン端子が共に前記第 1 出力ラインに接続された、前記第 1 トランジスタと同一導電型の第 3 トランジスタを含み、

前記第 2 出力負荷部は、ゲート端子及びドレイン端子が共に前記第 2 出力ラインに接続された、前記第 2 トランジスタと同一導電型の第 4 トランジスタを含むことを特徴とする差動増幅器。

## 【請求項 2】

前記第 1 出力負荷部は、前記第 3 トランジスタを含む、ゲート端子及びドレイン端子同士が接続されているトランジスタの複数が直列接続されてなる第 1 トランジスタ群を有し、

前記第 2 出力負荷部は、前記第 4 トランジスタを含む、ゲート端子及びドレイン端子同士が接続されているトランジスタの複数が直列接続されてなる第 2 トランジスタ群を有することを特徴とする請求項 1 記載の差動増幅器。

## 【請求項 3】

前記第 1 出力負荷部に並列に接続された第 2 電流源と、

前記第 2 出力負荷部に並列に接続された第 3 電流源と、を有することを特徴とする請求項 1 又は 2 記載の差動増幅器。

## 【請求項 4】

前記第 1 カレントミラー部の前記第 1 出力ライン側において前記第 1 カレントミラー部と並列に接続された第 2 電流源と、

前記第 2 カレントミラー部の前記第 2 出力ライン側において前記第 2 カレントミラー部と並列に接続された第 3 電流源と、を有することを特徴とする請求項 1 又は 2 記載の差動増幅器。

## 【請求項 5】

差動信号形態の第 1 及び第 2 受信信号を直列接続された多段の差動増幅器によって順に増幅することにより振幅の上限及び下限を制限するリミッタと、前記多段の差動増幅器各々から出力された差動信号形態の第 1 及び第 2 増幅信号に基づいて受信信号の信号強度を対数値で表す受信信号強度検出信号を得る受信信号強度検出回路と、を含む半導体装置であって、

前記差動増幅器の各々は、互いにソース端子が共通接続されており且つ夫々のゲート端子に差動信号形態の第 1 及び第 2 の信号が夫々供給される第 1 及び第 2 トランジスタと、

前記第 1 及び第 2 トランジスタ各々のソース端子に接続されている第 1 電流源と、

前記第 1 トランジスタに流れる電流に対応した第 1 出力電流を第 1 出力ラインに流す第 1 カレントミラー部と、

前記第 2 トランジスタに流れる電流に対応した第 2 出力電流を第 2 出力ラインに流す第 2 カレントミラー部と、

前記第 1 出力ライン上の電圧を前記第 1 出力信号として出力する第 1 出力負荷部と、

前記第 2 出力ライン上の電圧を前記第 2 出力信号として出力する第 2 出力負荷部と、を有し、

前記第 1 出力負荷部は、ゲート端子及びドレイン端子が共に前記第 1 出力ラインに接続された、前記第 1 トランジスタと同一導電型の第 3 トランジスタを含み、

前記第 2 出力負荷部は、ゲート端子及びドレイン端子が共に前記第 2 出力ラインに接続された、前記第 2 トランジスタと同一導電型の第 4 トランジスタを含むことを特徴とする半導体装置。

【請求項 6】

前記第 1 出力負荷部は、前記第 3 トランジスタを含む、ゲート端子及びドレイン端子同士が接続されているトランジスタの複数が直列接続されてなる第 1 トランジスタ群を有し、

10

前記第 2 出力負荷部は、前記第 4 トランジスタを含む、ゲート端子及びドレイン端子同士が接続されているトランジスタの複数が直列接続されてなる第 2 トランジスタ群を有することを特徴とする請求項 5 記載の半導体装置。

【請求項 7】

前記第 1 出力負荷部に並列に接続された第 2 電流源と、

前記第 2 出力負荷部に並列に接続された第 3 電流源と、を有することを特徴とする請求項 5 又は 6 記載の半導体装置。

【請求項 8】

前記第 1 カレントミラー部の前記第 1 出力ライン側において前記第 1 カレントミラー部と並列に接続された第 2 電流源と、

20

前記第 2 カレントミラー部の前記第 2 出力ライン側において前記第 2 カレントミラー部と並列に接続された第 3 電流源と、を有することを特徴とする請求項 5 又は 6 記載の半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、差動増幅器、特に差動信号形態の入力信号を増幅して差動信号形態の出力信号を得る差動増幅器、及びかかる差動増幅器が形成されている半導体装置に関する。

【背景技術】

30

【0002】

差動増幅器として、電流源によって生成された電流を第 1 及び第 2 の入力信号の大小比率で分割して第 1 及び第 2 ラインに夫々流す差動対と、第 1 及び第 2 ラインに夫々流れ込む電流と同一電流を第 1 及び第 2 の出力負荷抵抗を夫々介して流す第 1 及び第 2 のカレントミラー回路と、を備えたものが提案されている（例えば、特許文献 1 の図 19 参照）。

【0003】

このような差動増幅器の利得は、上記した差動対を担う MOS (Metal Oxide Semiconductor) トランジスタの相互コンダクタンスと、出力負荷抵抗の抵抗値との積によって決定される。ここで、かかる差動増幅器を半導体集積チップで構築すると、製造プロセス、温度、電源電圧の変動に伴い各素子の特性にバラツキが生じる。特に、互いに構造が異なる MOS トランジスタ及び出力負荷抵抗では、夫々異なる方向及び大きさにて素子特性の変動が生じる。よって、上記した MOS トランジスタの相互コンダクタンスと、出力負荷抵抗の抵抗値とのバラツキ度合いに相関が無いことから、両者の積によって決定する差動増幅器の利得は、製造プロセス、温度、電源電圧の変動に伴い大幅にばらついてしまうという問題があった。更に、上記した出力負荷抵抗の如き抵抗素子を半導体集積チップで形成するとその抵抗値に応じた面積が占有されてしまう為、差動増幅器全体の装置規模が大規模化してしまうという問題があった。

40

【先行技術文献】

【特許文献】

【0004】

50

【特許文献１】特開２０１１－１９９８８８号公報

【発明の概要】

【発明が解決しようとする課題】

【０００５】

本発明は、装置の小規模化且つ利得のバラツキを抑制させることが可能な差動増幅器及びこの差動増幅器が形成されている半導体装置を提供することを目的とする。

【課題を解決するための手段】

【０００６】

本発明に係る差動増幅器は、差動信号形態の第１及び第２入力信号を増幅して差動信号形態の第１及び第２出力信号を生成する差動増幅器であって、互いにソース端子が共通接続されており且つ夫々のゲート端子に前記第１及び第２入力信号が夫々供給される第１及び第２トランジスタと、前記第１及び第２トランジスタ各々のソース端子に接続されている第１電流源と、前記第１トランジスタに流れる電流に対応した第１出力電流を第１出力ラインに流す第１カレントミラー部と、前記第２トランジスタに流れる電流に対応した第２出力電流を第２出力ラインに流す第２カレントミラー部と、前記第１出力ライン上の電圧を前記第１出力信号として出力する第１出力負荷部と、前記第２出力ライン上の電圧を前記第２出力信号として出力する第２出力負荷部と、を有し、前記第１出力負荷部は、ゲート端子及びドレイン端子が共に前記第１出力ラインに接続された、前記第１トランジスタと同一導電型の第３トランジスタを含み、前記第２出力負荷部は、ゲート端子及びドレイン端子が共に前記第２出力ラインに接続された、前記第２トランジスタと同一導電型の第４トランジスタを含む。

10

20

【０００７】

また、本発明に係る半導体装置は、差動信号形態の第１及び第２受信信号を直列接続された多段の差動増幅器によって順に増幅することにより振幅の上限及び下限を制限するリミッタと、前記多段の差動増幅器各々から出力された差動信号形態の第１及び第２増幅信号に基づいて受信信号の信号強度を対数値で表す受信信号強度検出信号を得る受信信号強度検出回路と、を含む半導体装置であって、前記差動増幅器の各々は、互いにソース端子が共通接続されており且つ夫々のゲート端子に差動信号形態の第１及び第２の信号が夫々供給される第１及び第２トランジスタと、前記第１及び第２トランジスタ各々のソース端子に接続されている第１電流源と、前記第１トランジスタに流れる電流に対応した第１出力電流を第１出力ラインに流す第１カレントミラー部と、前記第２トランジスタに流れる電流に対応した第２出力電流を第２出力ラインに流す第２カレントミラー部と、前記第１出力ライン上の電圧を前記第１出力信号として出力する第１出力負荷部と、前記第２出力ライン上の電圧を前記第２出力信号として出力する第２出力負荷部と、を有し、前記第１出力負荷部は、ゲート端子及びドレイン端子が共に前記第１出力ラインに接続された、前記第１トランジスタと同一導電型の第３トランジスタを含み、前記第２出力負荷部は、ゲート端子及びドレイン端子が共に前記第２出力ラインに接続された、前記第２トランジスタと同一導電型の第４トランジスタを含む。

30

【発明の効果】

【０００８】

40

本発明に係る差動増幅器は、差動入力部を担う第１及び第２トランジスタに流れる電流に対応した第１及び第２出力電流を第１及び第２出力ラインに夫々流し、かかる第１及び第２出力電流を以下の如き第１及び第２出力負荷部にて電圧に変換することにより、差動信号形態の第１及び第２出力信号を生成する。つまり、第１出力負荷として、ゲート端子及びドレイン端子が共に第１出力ラインに接続されており且つ第１トランジスタと同一導電型の第３トランジスタを設け、第２出力負荷部として、ゲート端子及びドレイン端子が共に第２出力ラインに接続されており且つ上記第２トランジスタと同一導電型の第４トランジスタを設けたのである。

【０００９】

かかる構成によれば、第１～第４トランジスタを、全て同一導電型（ $p$ チャネル又は $n$

50

チャンネル)のトランジスタで構築することが可能となる。また、この差動増幅器の利得は、差動入力部を担う第1及び第2トランジスタの相互コンダクタンスと、出力負荷を担う第3及び第4トランジスタの相互コンダクタンスとの比で決定することになる。従って、製造上のバラツキ、或いは温度、電源電圧の変動に伴い、第1～第4トランジスタの相互コンダクタンスにバラツキが生じていても、差動入力部を担う第1及び第2トランジスタの相互コンダクタンスと、出力負荷を担う第3及び第4トランジスタの相互コンダクタンスとの比は略一定となるので、利得のバラツキが抑制される。

【0010】

更に、本発明に係る差動増幅器によれば、電流源を含む全ての素子をMOS型のトランジスタで構築することができるので、抵抗又はコンデンサ等の比較的、半導体チップの占有面積が大となる素子が含まれるものに比して、小規模化を図ることが可能となる。

【図面の簡単な説明】

【0011】

【図1】本発明に係る差動増幅器としての第1の実施例を示す回路図である。

【図2】図1に示す差動増幅器の変形例を示す回路図である。

【図3】本発明に係る差動増幅器としての第2の実施例を示す回路図である。

【図4】図3に示す差動増幅器の変形例を示す回路図である。

【図5】本発明に係る差動増幅器としての第3の実施例を示す回路図である。

【図6】図5に示す差動増幅器の変形例を示す回路図である。

【図7】本発明に係る差動増幅器としての第4の実施例を示す回路図である。

【図8】図7に示す差動増幅器の変形例を示す回路図である。

【図9】本発明に係る差動増幅器としての第5の実施例を示す回路図である。

【図10】図9に示す差動増幅器の変形例を示す回路図である。

【図11】本発明に係る差動増幅器としての第6の実施例を示す回路図である。

【図12】図11に示す差動増幅器の変形例を示す回路図である。

【図13】本発明に係る差動増幅器を含む無線通信装置の概略構成を示すブロック図である。

【図14】図13に示すリミッタ6及びRSSI回路8の内部構成を示す回路図である。

【発明を実施するための形態】

【0012】

本発明に係る差動増幅器は、互いにソース端子が共通接続されており且つ夫々のゲート端子に差動信号形態の第1及び第2入力信号( $V_{IP}$ 、 $V_{IN}$ )が夫々供給される第1及び第2トランジスタ(11、12、21、22)と、これら第1及び第2トランジスタ各々のソース端子に接続されている第1電流源(19、29)との他に、以下の第1及び第2カレントミラー部、並びに出力負荷部を有する。第1カレントミラー部(CM1)は、第1トランジスタ(11、21)に流れる電流に対応した第1出力電流を第1出力ライン( $L_{OP}$ )に流す。第2カレントミラー部(CM2)は、第2トランジスタ(12、22)に流れる電流に対応した第2出力電流を第2出力ライン( $L_{ON}$ )に流す。第1出力負荷部は第1出力ライン上の電圧を第1出力信号( $V_{OP}$ )、第2出力負荷部は第2出力ライン上の電圧を第2出力信号( $V_{ON}$ )として差動信号形態で出力する。この際、第1出力負荷部は、ゲート端子及びドレイン端子が共に第1出力ラインに接続されており且つ上記第1トランジスタと同一導電型の第3トランジスタ(13、23)を含み、第2出力負荷部は、ゲート端子及びドレイン端子が共に第2出力ラインに接続されており且つ上記第2トランジスタと同一導電型の第4トランジスタ(14、24)を含む。

【実施例】

【0013】

図1は、本発明に係る差動増幅器100の第1の実施例としての回路を示す回路図である。

【0014】

図1に示す差動増幅器100は、 $n$ チャンネルMOS(Metal Oxide Semiconductor)型

10

20

30

40

50

のトランジスタ 11 ~ 14 と、pチャネル MOS 型のトランジスタ 15 ~ 18 と、電流源 19 と、からなる。尚、上記トランジスタ 11 及び 12 は差動増幅器 100 としての差動入力部を担い、上記トランジスタ 11 と同一導電型のトランジスタ 13 及びトランジスタ 12 と同一導電型のトランジスタ 14 は出力負荷を担う。また、トランジスタ 15 及び 16 は第 1 カレントミラー部 CM1、トランジスタ 17 及び 18 は第 2 カレントミラー部 CM2 を夫々担う。

#### 【0015】

差動入力部を担うトランジスタ 11 のゲート端子には、非反転入力信号  $V_{IP}$  が供給されており、そのソース端子は、電流源 19 の一端及びトランジスタ 12 のソース端子に接続されている。トランジスタ 11 のドレイン端子はライン L1 を介して、トランジスタ 15 のドレイン端子と、トランジスタ 15 及び 16 各々のゲート端子とに接続されている。トランジスタ 15 及び 16 各々のソース端子には、高電位側の第 1 電源電圧として、電源電圧  $V_{DD}$  が印加されている。トランジスタ 16 のドレイン端子は、第 1 の出力ライン  $L_{OP}$  を介してトランジスタ 13 のドレイン端子及びゲート端子に接続されている。すなわち、出力負荷としてのトランジスタ 13 はダイオード接続された状態となっている。トランジスタ 13 のソース端子は、電流源 19 の他端、及びトランジスタ 14 のソース端子に接続されている。また、これら電流源 19 の他端、トランジスタ 13 及び 14 各々のソース端子には、上記した第 1 電源電圧よりも低い低電位側の第 2 電源電圧として、電源電圧  $V_{SS}$  が印加されている。かかる構成により、出力ライン  $L_{OP}$  上の電圧が、差動増幅器 100 の非反転出力信号  $V_{OP}$  として出力される。

#### 【0016】

差動入力部を担うトランジスタ 12 のゲート端子には、反転入力信号  $V_{IN}$  が供給されており、そのソース端子は、電流源 19 の一端及びトランジスタ 11 のソース端子に接続されている。すなわち、差動入力部を担うトランジスタ 11 及び 12 のソース端子同士が共通に接続されている。トランジスタ 12 のドレイン端子はライン L2 を介して、トランジスタ 17 のドレイン端子と、トランジスタ 17 及び 18 各々のゲート端子とに接続されている。トランジスタ 17 及び 18 各々のソース端子には、上記した電源電圧  $V_{DD}$  が印加されている。トランジスタ 18 のドレイン端子は、第 2 の出力ライン  $L_{ON}$  を介してトランジスタ 14 のドレイン端子及びゲート端子に接続されている。すなわち、出力負荷としてのトランジスタ 14 はダイオード接続された状態となっている。かかる構成により、出力ライン  $L_{ON}$  上の電圧が、差動増幅器 100 の反転出力信号  $V_{ON}$  として出力される。

#### 【0017】

以下に、図 1 に示す差動増幅器 100 の動作について説明する。

#### 【0018】

差動入力部としてのトランジスタ 11 及び 12 は、夫々に入力された非反転入力信号  $V_{IP}$  及び反転入力信号  $V_{IN}$  の電圧に対応した電流  $I_1$  及び  $I_2$  をライン L1 及び L2 に夫々流す。尚、電流  $I_1$  と電流  $I_2$  との合計電流は、電流源 19 で生成される電流  $I_0$  となる。カレントミラー部 CM1 は、ライン L1 に流れ込む電流  $I_1$  に対応した第 1 出力電流を、出力ライン  $L_{OP}$  を介して出力負荷としてのトランジスタ 13 に送出する。これにより、出力ライン  $L_{OP}$  上には、電流  $I_1$  に対応した電圧を有する非反転出力信号  $V_{OP}$  が生成される。一方、カレントミラー部 CM2 は、ライン L2 に流れ込む電流  $I_2$  に対応した第 2 出力電流を、出力ライン  $L_{ON}$  を介して出力負荷としてのトランジスタ 14 に送出する。これにより、出力ライン  $L_{ON}$  上には、電流  $I_2$  に対応した電圧を有する反転出力信号  $V_{ON}$  が生成される。

#### 【0019】

上記した動作により、差動増幅器 100 は、差動信号形態の第 1 及び第 2 の入力信号 ( $V_{IP}$ 、 $V_{IN}$ ) の電圧を、以下の利得  $A_V$  で増幅した差動信号形態の第 1 及び第 2 の出力信号 ( $V_{OP}$ 、 $V_{ON}$ ) を出力する。

$$A_V = g_m / g_{m1s}$$

$g_m$  : 差動入力部 (トランジスタ 11、12) の相互コンダクタンス

10

20

30

40

50

$g_{m13}$  : 出力負荷 (トランジスタ 13、14) の相互コンダクタンス

【0020】

つまり、差動増幅器 100 の利得  $A_v$  は、互いに同一構造、つまり全て同一導電型 (n チャンネル型) の MOS トランジスタであるトランジスタ 11 ~ 14 の相互コンダクタンスの比で決まる。

【0021】

この際、互いに同一構造のトランジスタに対しては、夫々の相互コンダクタンス同士のバラツキの方向性 (増加又は減少傾向) 及びそのバラツキ量を、半導体チップ内での配置によって均一化させることが可能である。

【0022】

従って、図 1 に示す差動増幅器 100 によれば、例え製造上のバラツキ、或いは温度、電源電圧の変動に伴い、差動入力部 (トランジスタ 11、12) 及び出力負荷 (トランジスタ 13、14) の相互コンダクタンスにバラツキが生じて、差動増幅器 100 の利得  $A_v$  は両者の比で決定する為、利得  $A_v$  のバラツキを抑制することが可能となる。

【0023】

更に、図 1 に示す差動増幅器 100 によれば、電流源 19 を含む全ての素子を MOS 型のトランジスタで構築することができるので、抵抗又はコンデンサ等の比較的、半導体チップの占有面積が大となる素子が含まれるものに比して、小規模化を図ることが可能となる。

【0024】

尚、上記実施例では、差動入力部及び出力負荷としてのトランジスタ 11 ~ 14 を全て n チャンネル MOS 型としているが、これらを全て p チャンネル MOS 型のトランジスタで構築するようにしても良い。

【0025】

図 2 は、かかる点に鑑みて為された、図 1 に示される差動増幅器 100 の変形例を示す回路図である。

【0026】

図 2 において、p チャンネル MOS 型のトランジスタ 21 及び 22 は差動増幅器 100 としての差動入力部を担い、かかるトランジスタ 21 と同一導電型 (p チャンネル型) のトランジスタ 23 及びトランジスタ 22 と同一導電型 (p チャンネル型) のトランジスタ 24 は出力負荷を担う。また、トランジスタ 25 及び 26 は第 1 カレントミラー部 CM1、トランジスタ 27 及び 28 は第 2 カレントミラー部 CM2 を夫々担う。

【0027】

差動入力部を担うトランジスタ 21 のゲート端子には、非反転入力信号  $V_{IP}$  が供給されており、そのソース端子は、電流源 29 の一端及びトランジスタ 22 のソース端子に接続されている。トランジスタ 21 のドレイン端子はライン L1 を介して、トランジスタ 25 のドレイン端子と、トランジスタ 25 及び 26 各々のゲート端子とに接続されている。トランジスタ 25 及び 26 各々のソース端子には、低電位側の第 2 電源電圧として、電源電圧  $V_{SS}$  が印加されている。トランジスタ 26 のドレイン端子は、第 1 の出力ライン  $L_{OP}$  を介してトランジスタ 23 のドレイン端子及びゲート端子に接続されている。すなわち、出力負荷としてのトランジスタ 23 はダイオード接続された状態となっている。トランジスタ 23 のソース端子は、電流源 29 の他端、及びトランジスタ 24 のソース端子に接続されている。また、これら電流源 29 の他端、トランジスタ 23 及び 24 各々のソース端子には、上記した第 2 電源電圧よりも高い高電位側の第 1 電源電圧として、電源電圧  $V_{DD}$  が印加されている。かかる構成により、出力ライン  $L_{OP}$  上の電圧が、差動増幅器 100 の非反転出力信号  $V_{OP}$  として出力される。

【0028】

差動入力部を担うトランジスタ 22 のゲート端子には、反転入力信号  $V_{IN}$  が供給されており、そのソース端子は、電流源 29 の一端及びトランジスタ 21 のソース端子に接続されている。すなわち、差動入力部を担うトランジスタ 21 及び 22 のソース端子同士が共

10

20

30

40

50

通に接続されている。トランジスタ 22 のドレイン端子はライン L2 を介して、トランジスタ 27 のドレイン端子と、トランジスタ 27 及び 28 各々のゲート端子とに接続されている。トランジスタ 27 及び 28 各々のソース端子には、上記した電源電圧  $V_{SS}$  が印加されている。トランジスタ 28 のドレイン端子は、第 2 の出力ライン  $L_{ON}$  を介してトランジスタ 24 のドレイン端子及びゲート端子に接続されている。すなわち、出力負荷としてのトランジスタ 24 はダイオード接続された状態となっている。かかる構成により、出力ライン  $L_{ON}$  上の電圧が、差動増幅器 100 の反転出力信号  $V_{ON}$  として出力される。

#### 【0029】

要するに、本発明の第 1 の実施例による差動増幅器は、互いにソース端子が共通接続されており且つ夫々のゲート端子に差動信号形態の第 1 及び第 2 入力信号 ( $V_{IP}$ 、 $V_{IN}$ ) が夫々供給される第 1 及び第 2 トランジスタ (11、12、21、22) と、第 1 及び第 2 トランジスタ各々のソース端子に接続されている第 1 電流源 (19、29) と共に、以下の第 1 及び第 2 カレントミラー部と、第 1 及び第 2 出力負荷部とを有するものである。つまり、第 1 カレントミラー部 (CM1) は、第 1 トランジスタ (11、21) に流れる電流に対応した第 1 出力電流を第 1 出力ライン ( $L_{OP}$ ) に流す。第 2 カレントミラー部 (CM2) は、第 2 トランジスタ (12、22) に流れる電流に対応した第 2 出力電流を第 2 出力ライン ( $L_{ON}$ ) に流す。第 1 出力負荷部は、第 1 出力ライン上の電圧を第 1 出力信号、第 2 出力負荷部は第 2 出力ライン上の電圧を第 2 出力信号として差動形態信号 ( $V_{OP}$ 、 $V_{ON}$ ) として出力する。この際、第 1 出力負荷部は、ゲート端子及びドレイン端子が共に第 1 出力ラインに接続されている第 3 トランジスタ (13、23) を含み、第 2 負荷部は、ゲート端子及びドレイン端子が共に第 2 出力ラインに接続されている第 4 トランジスタ (14、24) を含むものである。

#### 【0030】

かかる差動増幅器によれば、上記した第 1 ~ 第 4 トランジスタを全て同一導電型のチャネル (p チャネル又は n チャネル) のトランジスタで構築することが可能となる。更に、この差動増幅器の利得は、差動入力部を担う第 1 及び第 2 トランジスタの相互コンダクタンスと、出力負荷を担う第 3 及び第 4 トランジスタの相互コンダクタンスとの比で決定することになる。従って、製造上のバラツキ、或いは温度、電源電圧の変動に伴い、第 1 ~ 第 4 トランジスタの相互コンダクタンスにバラツキが生じていても、差動入力部を担う第 1 及び第 2 トランジスタの相互コンダクタンスと、出力負荷を担う第 3 及び第 4 トランジスタの相互コンダクタンスとの比は略一定となるので、利得のバラツキが抑制される。

#### 【0031】

更に、本発明に係る差動増幅器によれば、電流源を含む全ての素子を MOS 型のトランジスタで構築することができるので、抵抗又はコンデンサ等の比較的、半導体チップの占有面積が大となる素子が含まれるものに比して、小規模化を図ることが可能となる。

#### 【0032】

また、図 1 又は図 2 に示す差動増幅器 100 において、出力負荷となるトランジスタ (13、14、23、24) の各々と並列に、新たな電流源を接続するようにしても良い。

#### 【0033】

図 3 及び図 4 は、かかる点に鑑みて為された、差動増幅器 100 としての第 2 の実施例を示す回路図である。

#### 【0034】

尚、図 3 に示す差動増幅器 100 では、図 1 に示す構成に電流源 31 及び 32 を付加し、トランジスタ 13 のドレイン端子及びソース端子に電流源 31 の一端及び他端を夫々接続すると共に、トランジスタ 14 のドレイン端子及びソース端子に電流源 32 の一端及び他端を夫々接続する点を除く他の構成は、図 1 に示されるものと同一である。すなわち、電源電圧  $V_{SS}$  と出力ライン  $L_{OP}$  との間に電流源 31 の一端及び他端が夫々接続されると共に、電源電圧  $V_{SS}$  と出力ライン  $L_{ON}$  との間に、電流源 32 の一端及び他端が夫々接続される。

#### 【0035】

10

20

30

40

50

よって、図 3 に示す差動増幅器 100 によれば、出力ライン  $L_{OP}$  に流れる電流を電圧に変換する出力負荷は互いに並列接続されたトランジスタ 13 及び電流源 31 となる。また、出力ライン  $L_{ON}$  に流れる電流を電圧に変換する出力負荷は互いに並列接続されたトランジスタ 14 及び電流源 32 となる。

#### 【0036】

図 4 に示す差動増幅器 100 では、図 2 に示す構成に電流源 31a 及び 32a を付加し、出力負荷としてのトランジスタ 23 のドレイン端子及びソース端子に電流源 31a の一端及び他端を夫々接続すると共に、トランジスタ 24 のドレイン端子及びソース端子に電流源 32a の一端及び他端を夫々接続する点を除く他の構成は、図 2 に示すものと同一である。すなわち、電源電圧  $V_{DD}$  と出力ライン  $L_{OP}$  との間に電流源 31a の一端及び他端が夫々接続されると共に、電源電圧  $V_{DD}$  と出力ライン  $L_{ON}$  との間に、電流源 32a の一端及び他端が夫々接続される。

#### 【0037】

よって、図 4 に示す差動増幅器 100 によれば、出力ライン  $L_{OP}$  に流れる電流を電圧に変換する出力負荷は、互いに並列接続されたトランジスタ 23 及び電流源 31a となる。また、出力ライン  $L_{ON}$  に流れる電流を電圧に変換する出力負荷は、互いに並列接続されたトランジスタ 24 及び電流源 32a となる。

#### 【0038】

ここで、カレントミラー部の差動入力部側では、差動入力部の電流源 (19、29) から流れる電流によりその動作点電圧が決まる。この動作点電圧に基づき、カレントミラー部の出力側は出力ライン ( $L_{OP}$ 、 $L_{ON}$ ) を介して、ダイオード接続された出力負荷としてのトランジスタ (13、14、23、24) に電流を流す。よって、その電流から出力の動作点電圧が決まる。かかる動作点電圧に応じて、MOS トランジスタとしての動作領域が決まり、この動作領域からトランジスタの特性 (相互コンダクタンス) が決定している。この際、差動増幅器 100 では、トランジスタの相互コンダクタンス比から利得が決まる為、動作点がトランジスタの動作領域を遷移すると利得にずれが生じてくる。トランジスタの動作領域を決める動作点電圧は、入力信号 ( $V_{IP}$ 、 $V_{IN}$ ) の振幅が大きくなれば、それに応じて大きく変化する。そのため、入力信号の振幅が素子の動作領域を遷移させるほど大きくなると、利得が不安定になる虞が生じる。図 1 又は図 2 に示す差動増幅器 100 では、入力信号の振幅の大きさが、ダイオード接続されたトランジスタに流れる電流の変動幅に直結する。このダイオード接続されたトランジスタは流れる電流の変動幅が大きくなると、想定した飽和領域から線形領域に遷移してしまう場合があり、この際、相互コンダクタンスが変動してしまう。さらに変動幅が大きくなって、飽和領域から遮断領域まで遷移してしまうと、遮断領域では相互コンダクタンスが桁違いに変わる為、利得だけでなく増幅動作自体が不安定になる虞が生じる。

#### 【0039】

しかしながら、図 3 又は図 4 に示す差動増幅器 100 では、カレントミラー部 (CM1、CM2) の動作によって出力ライン ( $L_{OP}$ 、 $L_{ON}$ ) に流れこむ電流は、出力負荷としてダイオード接続されたトランジスタ (13、14、23、24) と、電流源 (31、31a、32、32a) と、に分散して流れ込むことになる。つまり、出力ラインに流れる電流の変動分も、ダイオード接続されたトランジスタと、電流源と、に分散することになる。

#### 【0040】

よって、図 3 又は図 4 に示す差動増幅器 100 によれば、ダイオード接続されたトランジスタに流れる電流の変動幅が軽減される為、図 1 又は図 2 に示す差動増幅器 100 に比して、大振幅の非反転入力信号  $V_{IP}$  及び反転入力信号  $V_{IN}$  に対する利得及び増幅動作の不安定さが軽減される。換言すると、図 3 又は図 4 に示す差動増幅器 100 によれば、大振幅の非反転入力信号  $V_{IP}$  及び反転入力信号  $V_{IN}$  を受け付けることが可能となるのである。

#### 【0041】

尚、図 3 又は図 4 に示す差動増幅器 100 によると、出力負荷が  $1 / (g_{m1s} + 1 / r_o)$

となり、その利得  $A_V$  は、

$$A_V = g_m / (g_{m1s} + 1 / r_o)$$

$g_m$  : 差動入力部 (トランジスタ 1 1、1 2、2 1、2 2) の相互コンダクタンス

$g_{m1s}$  : トランジスタ 1 3、1 4、2 3、2 4 の相互コンダクタンス

$r_o$  : 電流源 3 1、3 1 a、3 2、3 2 a の出力インピーダンス

となる。

#### 【0042】

この際、利得  $A_V$  は相互コンダクタンスの比からずれることになるがトランジスタ 1 3、1 4、2 3、2 4 の相互コンダクタンス  $g_{m1s}$  に比べて  $1 / r_o$  を十分に小さくすることができるので、このずれは極力小さくすることが可能である。

10

#### 【0043】

尚、図 3 又は図 4 に示す差動増幅器 1 0 0 では電流源 (3 1、3 1 a、3 2、3 2 a) を、出力負荷となるトランジスタ (1 3、1 4、2 3、2 4) の各々と並列に接続するようにしているが、これをカレントミラー部 C M 1 及び C M 2 の各々に並列に接続するようにしても良い。

#### 【0044】

図 5 及び図 6 は、かかる点に鑑みて為された、差動増幅器 1 0 0 としての第 3 の実施例を示す回路図である。

#### 【0045】

図 5 に示す差動増幅器 1 0 0 では、電流源を並列接続する対象を、出力負荷としてのトランジスタ 1 3 及び 1 4 から、第 1 カレントミラー部 C M 1 の出力側、及び第 2 カレントミラー部 C M 2 の出力側に夫々変更した点を除く他の構成は、図 3 に示すものと同一である。図 5 に示す差動増幅器 1 0 0 では、電源電圧 V D D と出力ライン L<sub>OP</sub> との間に電流源 3 1 b の一端及び他端が夫々接続されると共に、電源電圧 V D D と出力ライン L<sub>ON</sub> との間に電流源 3 2 b の一端及び他端が夫々接続されたものとなる。

20

#### 【0046】

また、図 6 に示す差動増幅器 1 0 0 では、電流源を並列接続する対象を、出力負荷としてのトランジスタ 2 3 及び 2 4 から、第 1 カレントミラー部 C M 1 の出力側、及び第 2 カレントミラー部 C M 2 の出力側に夫々変更した点を除く他の構成は、図 4 に示すものと同一である。図 6 に示す差動増幅器 1 0 0 では、電源電圧 V S S と出力ライン L<sub>OP</sub> との間に電流源 3 1 c の一端及び他端が夫々接続されると共に、電源電圧 V S S と出力ライン L<sub>ON</sub> との間に、電流源 3 2 c の一端及び他端が夫々接続されたものとなる。

30

#### 【0047】

図 5 及び図 6 に示す差動増幅器 1 0 0 によれば、出力ライン L<sub>OP</sub> 及び L<sub>ON</sub> には、入力信号 (V<sub>IP</sub>、V<sub>IN</sub>) の振幅に対応した信号成分の他に、電流源 (3 1 b、3 1 c) 及び電流源 (3 2 b、3 2 c) によって生成されたバイアス成分としての一定電流が流れる。これにより、かかる信号成分の変動に対して、ダイオード接続されたトランジスタ (1 3、1 4、2 3、2 4) に流れる電流変動分を抑制させることが可能となる。よって、図 1 ~ 図 4 に示す如き入力信号 (V<sub>IP</sub>、V<sub>IN</sub>) の振幅に対応した信号成分だけが出力ライン L<sub>OP</sub> 及び L<sub>ON</sub> に流れ込むような構成に比して、出力負荷となるトランジスタ (1 3、1 4、2 3、2 4) の動作領域の遷移が抑制され、動作領域から決まる相互コンダクタンスの変動が抑えられる。従って、図 3 及び図 4 に示す差動増幅器 1 0 0 と同様に、大振幅の入力信号 (V<sub>IP</sub>、V<sub>IN</sub>) に対する利得の安定化が図られると共に、図 1 及び図 2 に示す差動増幅器 1 0 0 と同一な利得  $A_V$ 、つまり、

40

$$A_V = g_m / g_{m1s}$$

$g_m$  : 差動入力部 (トランジスタ 1 1、1 2、2 1、2 2) の相互コンダクタンス

$g_{m1s}$  : 出力負荷 (トランジスタ 1 3、1 4、2 3、2 4) の相互コンダクタンス

が得られる。

#### 【0048】

尚、上記した図 1 ~ 図 6 に示す差動増幅器 1 0 0 では、ダイオード接続された出力負荷

50

用のトランジスタ(13、14、23、24)を各出力ライン( $L_{OP}$ 、 $L_{ON}$ )に1段分だけ設けるようにしているが、これを $n$ 段( $n$ は2以上の整数)に亘って直列に接続したものを各出力ラインに設けるようにしても良い。

【0049】

図7及び図8は、かかる点に鑑みて為された、差動増幅器100としての第4の実施例を示す回路図であり、図9及び図10は第5の実施例を示す回路図であり、図11及び図12は第6の実施例を示す回路図である。

【0050】

尚、図7に示す差動増幅器100は、図1に示すトランジスタ13に代えて、夫々がダイオード接続されている直列 $n$ 段のトランジスタ $13_1 \sim 13_n$ を設けると共に、トランジスタ14に代えて、夫々がダイオード接続されている直列 $n$ 段のトランジスタ $14_1 \sim 14_n$ を設けるようにした点を除く他の構成は、図1に示すものと同一である。

10

【0051】

又、図8に示す差動増幅器100は、図2に示すトランジスタ23に代えて、夫々がダイオード接続されている直列 $n$ 段のトランジスタ $23_1 \sim 23_n$ を設けると共に、トランジスタ24に代えて、夫々がダイオード接続されている直列 $n$ 段のトランジスタ $24_1 \sim 24_n$ を設けるようにした点を除く他の構成は、図2に示すものと同一である。

【0052】

又、図9に示す差動増幅器100は、図3に示すトランジスタ13に代えて、夫々がダイオード接続されている直列 $n$ 段のトランジスタ $13_1 \sim 13_n$ を設けると共に、トランジスタ14に代えて、夫々がダイオード接続されている直列 $n$ 段のトランジスタ $14_1 \sim 14_n$ を設けるようにした点を除く他の構成は、図3に示すものと同一である。この際、図9に示す構成では、電流源31の一端及び他端に、上記した直列 $n$ 段のトランジスタ $13_1 \sim 13_n$ からなる第1トランジスタ群を並列に接続すると共に、電流源32の一端及び他端に上記した直列 $n$ 段のトランジスタ $14_1 \sim 14_n$ からなる第2トランジスタ群を並列に接続する。すなわち、電源電圧 $V_{SS}$ と出力ライン $L_{OP}$ との間に電流源31の一端及び他端が夫々接続されると共に、電源電圧 $V_{SS}$ と出力ライン $L_{ON}$ との間に、電流源32の一端及び他端が夫々接続されるのである。

20

【0053】

又、図10に示す差動増幅器100は、図4に示すトランジスタ23に代えて、夫々がダイオード接続されている直列 $n$ 段のトランジスタ $23_1 \sim 23_n$ を設けると共に、トランジスタ24に代えて、夫々がダイオード接続されている直列 $n$ 段のトランジスタ $24_1 \sim 24_n$ を設けるようにした点を除く他の構成は、図4に示すものと同一である。この際、図10に示す構成では、電流源31aの一端及び他端に、上記した直列 $n$ 段のトランジスタ $23_1 \sim 23_n$ からなる第1トランジスタ群を並列に接続すると共に、電流源32aの一端及び他端に上記した直列 $n$ 段のトランジスタ $24_1 \sim 24_n$ からなる第2トランジスタ群を並列に接続する。すなわち、電源電圧 $V_{DD}$ と出力ライン $L_{OP}$ との間に電流源31aの一端及び他端が夫々接続されると共に、電源電圧 $V_{DD}$ と出力ライン $L_{ON}$ との間に、電流源32aの一端及び他端が夫々接続されるのである。

30

【0054】

又、図11に示す差動増幅器100は、図5に示すトランジスタ13に代えて、夫々がダイオード接続されている直列 $n$ 段のトランジスタ $13_1 \sim 13_n$ を設けると共に、トランジスタ14に代えて、夫々がダイオード接続されている直列 $n$ 段のトランジスタ $14_1 \sim 14_n$ を設けるようにした点を除く他の構成は、図5に示すものと同一である。

40

【0055】

又、図12に示す差動増幅器100は、図6に示すトランジスタ23に代えて、夫々がダイオード接続されている直列 $n$ 段のトランジスタ $23_1 \sim 23_n$ を設けると共に、トランジスタ24に代えて、夫々がダイオード接続されている直列 $n$ 段のトランジスタ $24_1 \sim 24_n$ を設けるようにした点を除く他の構成は、図6に示すものと同一である。

【0056】

50

ここで、図 7 ~ 図 12 に示す如き構成では、出力負荷トランジスタを直列に接続する段数によって、コモンモードの電圧を調整することができる。すなわち、差動入力部として用いるトランジスタが図 7、図 9 又は図 11 に示す如く n チャネル型である場合には、出力負荷トランジスタを直列に接続する段数を増やすほど、つまり上記した n が大きくなるほど、コモンモードの電圧が高くなる。一方、差動入力部として用いるトランジスタが図 8、図 10 又は図 12 に示す如く p チャネル型である場合には、出力負荷トランジスタを直列に接続する段数を増やすほど、コモンモードの電圧が低くなる。この際、上記した出力負荷トランジスタのチャネル長とチャネル幅を変更する、或いは出力負荷トランジスタに定常的に流す電流を変更することで、コモンモード電圧を微調整することができる。

【0057】

10

要するに、図 7 ~ 図 12 に示す如き構成によれば、出力負荷トランジスタの直列段数により、差動増幅器 100 のコモンモード電圧を所望の電圧に設定することが可能となる。

【0058】

図 13 は、図 1 ~ 図 12 に示す構成を有する差動増幅器 100 が含まれている無線通信装置の概略構成を示すブロック図である。尚、かかる無線通信装置は、半導体装置としての半導体チップに形成されている以下の如き、アンプ 1、ミキサ 3、局部発振回路 4、バンドパスフィルタ 5、リミッタ 6、復調器 7、及び受信信号強度検出回路としての RSSI (Received Signal Strength Indication) 回路 8 を含む。

【0059】

20

図 13 において、アンプ 1 は、アンテナ 2 で受信された受信信号を増幅して増幅受信信号 AR を生成しこれをミキサ 3 に供給する。局部発振器 4 は、受信信号中のキャリア信号周波数とほぼ等しい所定周波数の局部発振信号 F を生成しこれをミキサ 3 に供給する。ミキサ 3 は、上記した増幅受信信号 AR と局部発振信号 F とを乗算し、これを周波数変換受信信号 IF としてバンドパスフィルタ 5 に供給する。バンドパスフィルタ 5 は、周波数変換受信信号 IF 中の不要な周波数成分を除去ことにより、予め設定された周波数帯域の信号を抽出し、これを示す差動信号として、帯域制限受信信号 LF<sub>OP</sub> 及び LF<sub>ON</sub> をリミッタ 6 に供給する。リミッタ 6 は、この差動信号形態の帯域制限受信信号 LF<sub>OP</sub> 及び LF<sub>ON</sub> を増幅しつつ、その振幅上限側及び下限側にリミッタを掛けることにより波形整形を施した、差動信号形態の受信信号 SS<sub>OP</sub> 及び SS<sub>ON</sub> を生成する。

【0060】

30

図 14 は、かかるリミッタ 6 の内部構成を示す図である。

【0061】

図 14 に示すように、リミッタ 6 は、夫々同一の利得  $A_V$  ( $A_V > 1$ ) を有する M 個 (M は 2 以上の整数) の差動増幅器 100<sub>1</sub> ~ 100<sub>M</sub> が直列に接続されてなるものである。尚、差動増幅器 100<sub>1</sub> ~ 100<sub>M</sub> の各々は、図 1 ~ 図 12 に示す構成の内のいずれか 1 つの構成からなる。図 14 に示す構成によれば、差動増幅器 100<sub>1</sub> ~ 100<sub>M</sub> 各々の出力信号の振幅レベルは、後段の差動増幅器 100 ほど大となる。従って、帯域制限受信信号 LF<sub>OP</sub> 及び LF<sub>ON</sub> の振幅レベルが大になるにつれ、後段の差動増幅器 100 から順に出力信号の振幅レベルが飽和する。つまり、最終段の差動増幅器 100<sub>M</sub> が飽和した場合には、その後、帯域制限受信信号 LF<sub>OP</sub> 及び LF<sub>ON</sub> の振幅レベルが更に増大しても夫々一定レベルの受信信号 SS<sub>OP</sub> 及び SS<sub>ON</sub> が生成される。

40

【0062】

ここで、リミッタ 6 は、上記した受信信号 SS<sub>OP</sub> 及び SS<sub>ON</sub> を復調器 7 に供給すると共に、差動増幅器 100<sub>1</sub> ~ 100<sub>M</sub> 各々から出力された差動増幅信号 VP<sub>1</sub> ~ VP<sub>M-1</sub>、VN<sub>1</sub> ~ VN<sub>M-1</sub> を受信信号強度検出回路としての RSSI (Received Signal Strength Indication) 回路 8 に供給する。復調器 7 は、受信信号 SS<sub>OP</sub> 及び SS<sub>ON</sub> に対して所定の復調処理を施すことにより元のベースバンド信号を得てこれを出力する。

【0063】

RSSI 回路 8 は、図 14 に示すように、上記した差動増幅器 100<sub>1</sub> ~ 100<sub>M-1</sub> 各々に対応づけして設けられたピーク検出回路 80<sub>1</sub> ~ 80<sub>M-1</sub> と、加算器 81 とを含む。ピー

50

ク検出回路 8 0<sub>1</sub>は、差動信号としての差動増幅信号  $V P_1$  及び  $V N_1$  による振幅のピークレベルを検出し、これを振幅値  $V F_1$  として加算器 8 1 に供給する。ピーク検出回路 8 0<sub>2</sub>は、差動信号としての差動増幅信号  $V P_2$  及び  $V N_2$  による振幅のピークレベルを検出し、これを振幅値  $V F_2$  として加算器 8 1 に供給する。以下、同様にして、ピーク検出回路 8 0<sub>Q</sub> [  $Q : 3 \sim (M - 1)$  の整数 ] は、差動増幅信号  $V P_Q$  及び  $V N_Q$  による振幅のピークレベルを検出し、これを振幅値  $V F_Q$  として加算器 8 1 に供給する。加算器 8 1 は、ピーク検出回路 8 0<sub>1</sub> ~ 8 0<sub>M-1</sub> 各々から供給された振幅値  $V F_1 \sim V F_{M-1}$  を全て加算したものを受信信号の強度を表す受信信号強度検出信号  $S S I$  として出力する。つまり、受信信号強度検出信号  $S S I$  は、受信信号の振幅 ( 信号強度 ) に応じて増減する信号となる。また、 $R S S I$  回路 8 内では、受信信号強度の増大に伴って後段の差動増幅器 1 0 0 から順に出力信号が飽和することから、受信信号強度検出信号  $S S I$  は、受信信号の信号強度を区分的な線形近似による擬似的な対数値で表した信号となる。

10

#### 【 0 0 6 4 】

このように、 $R S S I$  回路 8 によれば、受信信号の信号強度を対数値で表す受信信号強度検出信号  $S S I$  が得られるため、限られた電圧範囲内において信号強度の広範囲な変化を検出することが可能となる。

#### 【 0 0 6 5 】

ここで、 $R S S I$  回路 8 では、上述した如く、受信信号の信号強度を線形近似による擬似的な対数値で表すようにしている為、差動増幅器 1 0 0<sub>1</sub> ~ 1 0 0<sub>M-1</sub> 各々の利得  $A_V$  にバラツキが生じていると、線形近似に歪みが生じて受信信号強度検出信号  $S S I$  の精度が低下する。特に、図 1 4 に示す如き、複数の差動増幅器が直列に接続された構成では、各差動増幅器の利得  $A_V$  のバラツキに伴う差動増幅信号 (  $V P$ 、 $V N$  ) の誤差分が差動増幅器の直列段数分だけ累積されることになるので、差動増幅器 1 0 0 の利得バラツキに伴う受信信号強度検出信号  $S S I$  の精度低下が顕著に表れてしまう。尚、差動増幅器 1 0 0 の差動入力部を担うトランジスタ ( 1 1、1 2、2 1、2 2 )、及び出力負荷を担うトランジスタ ( 1 3、1 4、2 3、2 4 ) の相互コンダクタンスには、製造上のバラツキ、或いは温度、電源電圧の変動の影響によりバラツキが生じている。

20

#### 【 0 0 6 6 】

しかしながら、図 1 ~ 図 1 2 に示す内部構成によれば、差動増幅器 1 0 0 の利得  $A_V$  は、差動入力部を担うトランジスタの相互コンダクタンスと、出力負荷トランジスタの相互コンダクタンスとの比で決定する為、例えば差動増幅器 1 0 0<sub>1</sub> ~ 1 0 0<sub>M-1</sub> 各々の相互コンダクタンスにバラツキが生じていても各差動増幅器 1 0 0 の利得  $A_V$  は均一化される。

30

#### 【 0 0 6 7 】

従って、複数の増幅器を直列に接続してなるリミッタの増幅器として、本発明に係る差動増幅器 1 0 0 を採用すれば、製造上のバラツキ、或いは温度又は電源電圧の変動に拘わらずに、精度の高い受信信号強度検出を行うことが可能となる。

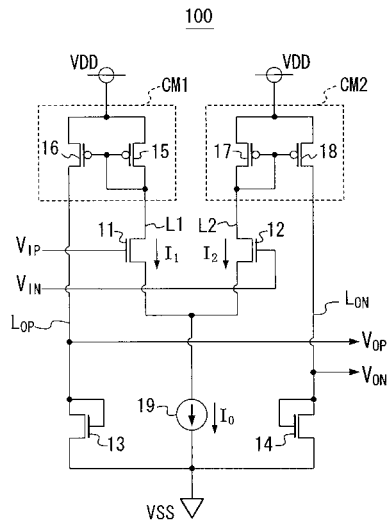
#### 【 符号の説明 】

#### 【 0 0 6 8 】

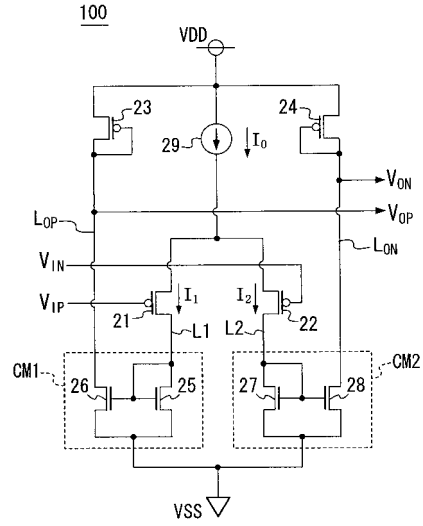
|                     |                      |
|---------------------|----------------------|
| 1 1 ~ 1 4、2 5 ~ 2 8 | n チャネル M O S 型トランジスタ |
| 2 1 ~ 2 4、1 5 ~ 1 8 | p チャネル M O S 型トランジスタ |
| 1 9、2 9、3 1、3 2     | 電流源                  |
| 1 0 0               | 差動増幅器                |

40

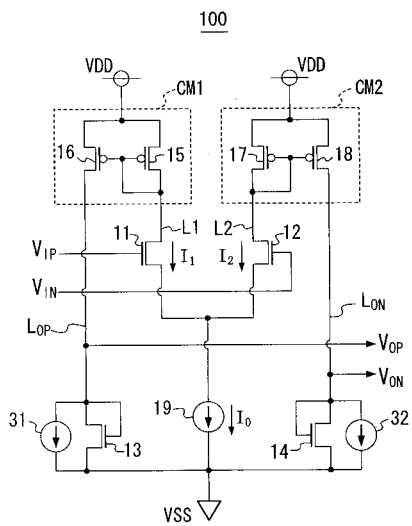
【図 1】



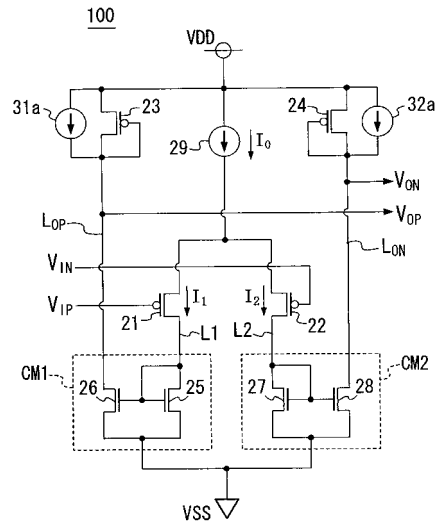
【図 2】



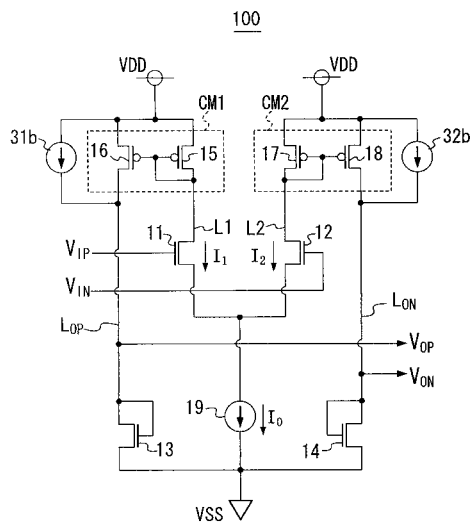
【図 3】



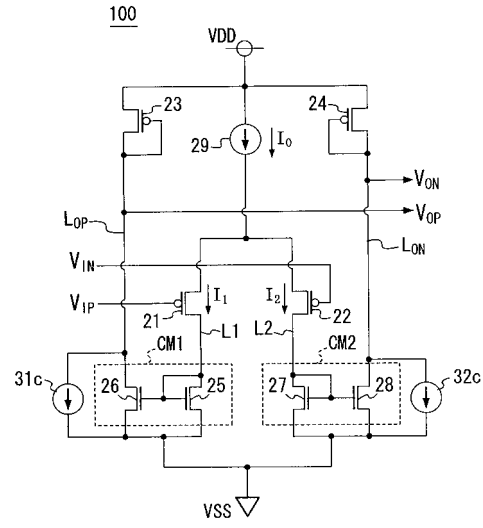
【図 4】



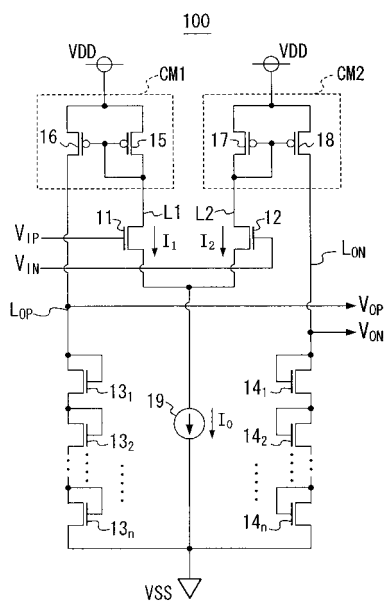
【図 5】



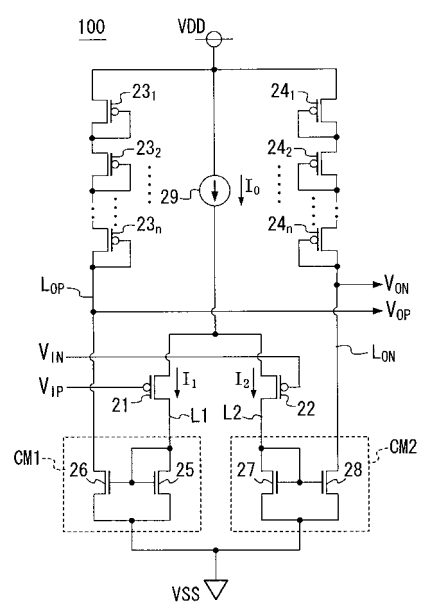
【図 6】



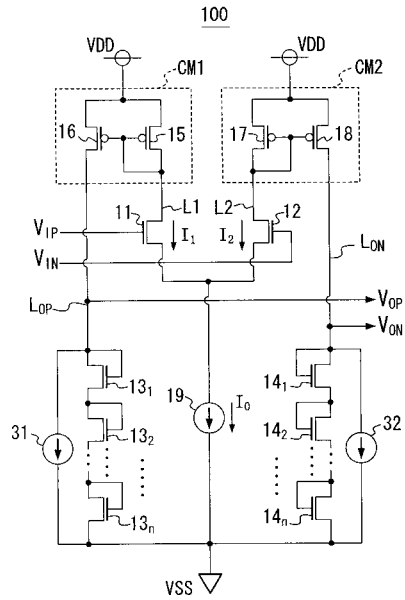
【図 7】



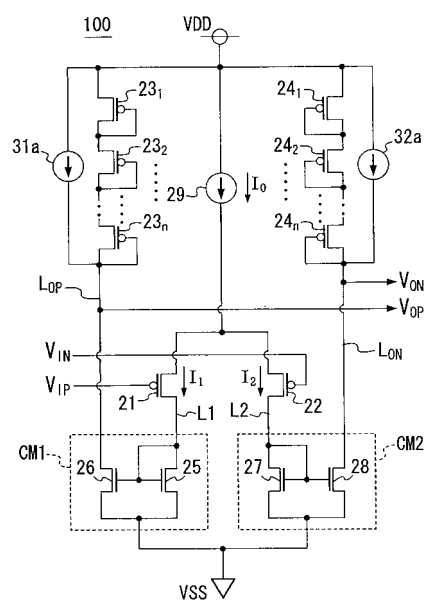
【図 8】



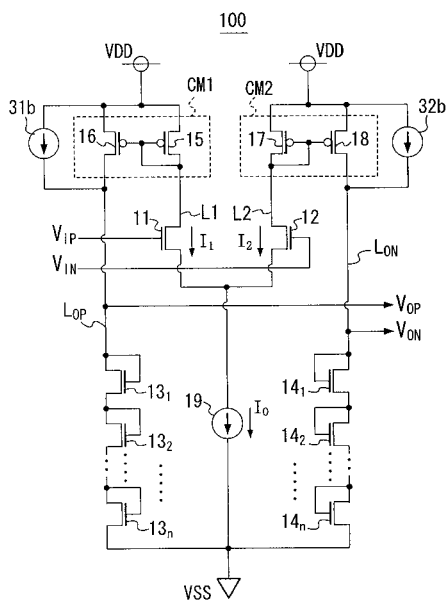
【図 9】



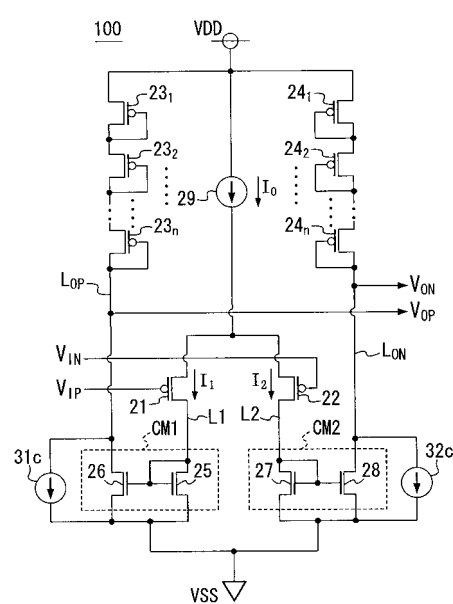
【図 10】



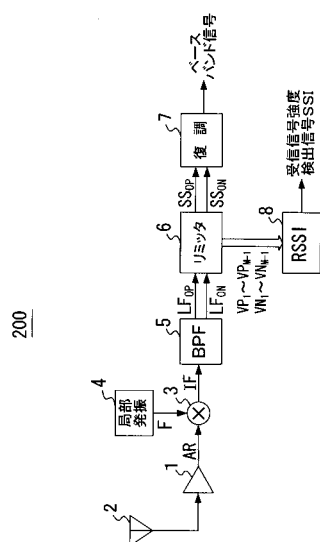
【図 11】



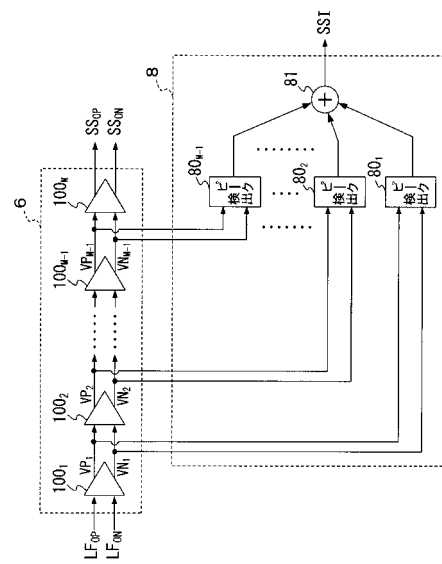
【図 12】



【 図 1 3 】



【 図 1 4 】



---

フロントページの続き

F ターム(参考) 5J500 AA01 AA12 AA22 AA47 AC88 AC95 AF07 AH10 AH17 AK05  
AK09 AM23 AT01 DM03 DN01 DN12 DN23 DP02