



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2013년10월16일  
(11) 등록번호 10-1318222  
(24) 등록일자 2013년10월08일

(51) 국제특허분류(Int. Cl.)  
G09G 3/20 (2006.01) G09G 3/36 (2006.01)  
G09G 3/30 (2006.01)  
(21) 출원번호 10-2006-0097133  
(22) 출원일자 2006년10월02일  
심사청구일자 2011년09월30일  
(65) 공개번호 10-2008-0030795  
(43) 공개일자 2008년04월07일  
(56) 선행기술조사문헌  
KR1020060111160 A\*  
KR1020060079041 A  
KR1020060000993 A  
\*는 심사관에 의하여 인용된 문헌

(73) 특허권자  
삼성디스플레이 주식회사  
경기도 용인시 기흥구 삼성2로 95 (농서동)  
(72) 발명자  
박상진  
경기도 용인시 수지구 수지로 487, 현대 홈타운1  
차 101동 1004호 (동천동)  
이명우  
서울특별시 은평구 통일로 586-19, 진로아파트  
105동 1802호 (녹번동)  
(뒷면에 계속)  
(74) 대리인  
박영우

전체 청구항 수 : 총 3 항

심사관 : 최창락

(54) 발명의 명칭 **부분 화면 표시가 가능한 표시장치 및 그 구동방법**

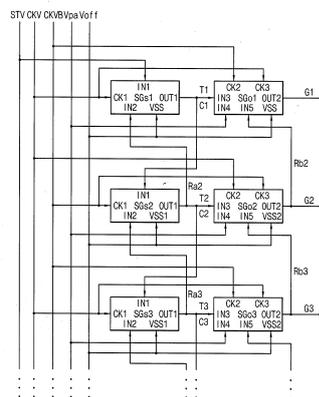
**(57) 요약**

본 발명에 따른 표시장치는 게이트 배선을 포함하는 표시 패널과, 복수의 스테이지 및 복수의 신호선으로 구성된 시프트 레지스터를 갖는 게이트 구동부를 포함하며,

상기 복수의 스테이지 중 적어도 하나는 순차 구동하는 이송 스테이지 및 상기 이송 스테이지에서 출력되는 전달 신호와 하이 레벨 구간과 로우 레벨 구간을 갖는 구동 영역 선택 신호에 기초하여 상기 게이트 배선을 부분 구동하는 출력 스테이지를 포함한다.

본 발명에 따른 액정 표시 장치는 종래의 아모퍼스 실리콘 게이트 구조와 다르게 부분 구동이 가능하여 소비전류를 감소시킬 수 있을 뿐만 아니라 동작이 안정적이며 비 표시 영역의 위치, 크기 및 개수를 자유롭게 조절할 수 있다.

**대표도 - 도2**



(72) 발명자

**김형걸**

경기도 용인시 수지구 진산로 90, 삼성5차아파트  
505동 206호 (풍덕천동)

**어기한**

경기도 용인시 수지구 상현로 59, 금호베스트빌  
155동 801호 (상현동)

---

## 특허청구의 범위

### 청구항 1

게이트 배선을 포함하는 표시 패널과, 복수의 스테이지 및 복수의 신호선으로 구성된 시프트 레지스터를 갖는 게이트 구동부를 포함하며,

상기 복수의 스테이지 중 적어도 하나는 스테이지를 순차 구동하는 이송 스테이지 및 상기 이송 스테이지에서 출력되는 전달 신호와 일부 하이 레벨 구간을 갖고 일부 로우 레벨 구간을 갖는 구동 영역 선택 신호에 기초하여 상기 게이트 배선을 부분 구동하는 출력 스테이지를 포함하고,

상기 이송 스테이지는 제1 제어 신호를 발생시키는 제1 이송 풀업 구동 제어부, 제2 제어 신호를 발생시키는 제2 이송 풀업 구동 제어부, 및 상기 제1 제어 신호 및 제2 제어 신호에 기초하여 캐리/제1 리셋/전달 신호를 발생시키는 이송 풀업 구동부를 포함하며,

상기 출력 스테이지는 제3 제어 신호를 발생시키는 제1 출력 풀업 구동 제어부, 제4 제어 신호를 발생시키는 제2 출력 풀업 구동 제어부, 및 상기 제3 제어 신호 및 제4 제어 신호에 기초하여 게이트/제2 리셋 신호를 발생시키는 출력 풀업 구동부를 포함하는 표시 장치.

### 청구항 2

삭제

### 청구항 3

삭제

### 청구항 4

제1 항에서,

상기 구동 영역 선택 신호는 표시 구간에 대응하는 영역에서 하이 레벨을 갖고 비 표시 구간에서 대응하는 영역에서 로우 레벨을 갖는 것을 특징으로 하는 표시 장치.

### 청구항 5

제1 항에서,

상기 구동 영역 선택 신호는 표시 구간에 대응하는 영역에서 하이 레벨을 갖고 비 표시 구간에서 대응하는 영역에서 로우 레벨을 가지며,

상기 제1 출력 풀업 구동 제어부는 상기 전달 신호가 입력되는 제어단, 상기 구동 영역 선택 신호가 입력되는 입력단 및 제3 제어 신호가 출력되는 출력단을 포함하는 표시 장치.

## 명세서

### 발명의 상세한 설명

#### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

- [0015] 본 발명은 표시 장치 및 그 구동 방법에 관한 것으로, 보다 상세하게는 부분 화면 표시가 가능한 표시 장치 및 그 구동 방법에 관한 것이다.
- [0016] 평면 패널 표시장치인 액정 표시장치는 일반적으로 복수의 게이트 배선 및 복수의 게이트 배선과 수직으로 교차하는 복수의 데이터 배선을 포함하는 표시 패널과, 게이트 배선에 연결되어 게이트 신호를 인가하는 게이트 구동부 및 게이트 신호에 동기하여 데이터 배선에 데이터 신호를 인가하는 데이터 구동부를 포함한다.
- [0017] 종래에는 일반적으로 게이트 구동부 및 데이터 구동부를 칩(Chip) 형태로 인쇄 회로 기판(PCB: Printed Circuit Board) 또는 절연필름에 실장 하여 표시 패널과 연결하거나 또는 칩을 표시패널에 직접 실장하는 방식이 주로

사용되었으나, 최근 들어서는 박막 트랜지스터 채널의 높은 이동도를 요하지 않는 게이트 구동부의 경우 이를 별도의 칩 형태로 형성하지 않고 아모퍼스(amorphous) 실리콘 박막 트랜지스터를 형성하는 표시 셀 어레이 형성 공정과 동시에 표시 패널 기판상의 주변 영역에 직접 형성하는 이른바 아모퍼스 실리콘 게이트 구조도 적용되고 있다.

[0018] 이러한 아모퍼스 실리콘 기반의 게이트 구동부는 대개 종속적으로 연결된 복수의 스테이지로 및 이에 인가되는 신호선들로 이루어진 시프트 레지스터로 구성되며, 각 스테이지는 게이트 배선에 일대일로 대응 연결되어 게이트 신호를 출력한다. 이렇듯 복수의 스테이지들이 종속적으로 연결되어 구동됨에 따라서 화면에 비 표시영역이 있는 경우에도 전 화면에 걸쳐 표시 정보를 지속적으로 갱신하게 되고 이로 인해 불필요하게 소비 전력이 증가하는 문제가 있다. 이에 따라 부분 구동이 가능한 아포퍼스 실리콘 게이트 구동부에 대한 아이디어가 지속적으로 제시되었으나 지금까지 제시된 구조는 비 표시영역을 자유로운 크기와 위치로 형성할 수 없거나 신뢰성 또는 동작 특성이 좋지 않은 문제가 있었다.

**발명이 이루고자 하는 기술적 과제**

[0019] 본 발명이 이루고자 하는 기술적 과제는 부분 구동이 가능할 뿐만 아니라 비 표시 영역을 자유로운 크기와 위치로 형성할 수 있으며 신뢰성과 동작 특성이 좋은 게이트 구동 회로를 포함하는 표시 장치와 그 구동 방법을 제공하는 것이다.

**발명의 구성 및 작용**

[0020] 본 발명에 따른 표시 장치는 게이트 배선을 포함하는 표시 패널과, 복수의 스테이지 및 복수의 신호선으로 구성된 시프트 레지스터를 갖는 게이트 구동부를 포함한다.

[0021] 상기 복수의 스테이지 중 적어도 하나는 스테이지를 순차 구동하는 이송 스테이지 및 상기 이송 스테이지에서 출력되는 전달 신호와 하이 레벨 구간과 로우 레벨 구간을 갖는 구동 영역 선택 신호에 기초하여 상기 게이트 배선을 부분 구동하는 출력 스테이지를 포함한다.

[0022] 상기 이송 스테이지는 제1 제어 신호를 발생시키는 제1 이송 풀업 구동 제어부와 제2 제어 신호를 발생시키는 제2 이송 풀업 구동 제어부 및 상기 제1 제어 신호 및 제2 제어 신호에 기초하여 캐리/제1 리셋/전달 신호를 발생시키는 이송 풀업 구동부를 포함한다.

[0023] 상기 출력 스테이지는 제3 제어 신호를 발생시키는 제1 출력 풀업 구동 제어부와 제4 제어 신호를 발생시키는 제2 출력 풀업 구동 제어부 및 상기 제3 제어 신호 및 제4 제어 신호에 기초하여 게이트/제2 리셋 신호를 발생시키는 출력 풀업 구동부를 포함한다.

[0024] 상기 구동 영역 선택 신호는 표시 구간에 대응하는 영역에서 하이 레벨을 갖고 비 표시 구간에서 대응하는 영역에서 로우 레벨을 갖는다.

[0025] 상기 제1 출력 풀업 구동 제어부는 상기 전달 신호가 입력되는 제어단, 상기 구동 영역 선택 신호가 입력되는 입력단 제3 제어 신호가 출력되는 출력단을 포함한다.

[0026] 이하 도 1에서 도 9를 참고하여 본 발명의 구체적인 실시예를 설명한다.

[0027] 도 1은 본 발명의 일 실시예에 따른 액정 표시 장치의 구성을 개략적으로 도시한 블록도이다.

[0028] 본 실시예의 액정 표시 장치는 기존의 전형적인 액정 표시 장치와 마찬가지로 크게 액정 패널(100), 타이밍 제어부(200), 소스 구동부(300), 게이트 구동부(400), 전원 공급부(500) 및 공통 전극 구동부(600)로 구성된다. 타이밍 제어부(200)는 외부로부터 영상 데이터 신호와 표시 제어 신호를 입력받아 게이트 구동부(400)로는 게이트 제어 신호를 출력하고 소스 구동부(300)로는 소스 제어 신호와 디지털 영상 신호를 출력한다. 이때, 상기 게이트 제어 신호는 도 2 및 도 4에서 볼 수 있듯이 구동 영역 선택 신호(Vpa)를 포함한다. 상기 구동 영역 선택 신호(Vpa)의 파형은 후술한다. 기타 액정 패널(100), 소스 구동부(300), 전원 공급부(500), 공통 전극 구동부(600)의 구성 및 상호 연결관계는 종래 기술이 다양하게 적용될 수 있다. 한편, 상기 타이밍 제어부(200), 소스 구동부(300), 게이트 구동부(400), 전원 공급부(500) 및 공통 전극 구동부(600)는 두 개 이상이 결합하여 하나의 칩으로 구성될 수도 있다.

[0029] 도 2를 참고하여, 본 발명의 일 실시예에 따른 게이트 구동부(400)의 구체적인 구성을 설명한다.

[0030] 본 실시예의 게이트 구동부(400)는 복수의 이송 스테이지(SGsi)와 복수의 출력 스테이지(SGoi) 및 상기 이송 스테이지

테이지(SGsi)와 출력 스테이지(SGoi)로 입 출력되는 복수의 신호(STV, CKV, CKVB, Vpa, Voff, Ci, Ti, Rai, Rbi, Gi)선으로 구성된 시프트 레지스터로 이루어진다.

[0031] 이송 스테이지(SGsi)는 제1 클럭단(CK1), 제1 입력단(IN1), 제2 입력단(IN2), 제1 출력단(OUT1) 및 전원단(VSS)을 포함하며, 출력 스테이지는 제2 클럭단(CK2), 제3 클럭단(CK3), 제3 입력단(IN3), 제4 입력단(IN4), 제5 입력단(IN5), 제2 출력단(OUT2) 및 전원단(VSS)을 포함한다.

[0032] 먼저 홀수 번째 스테이지의 연결관계를 설명한다.

[0033] 홀수 번째 이송 스테이지(SGs2k-1)의 경우 제1 클럭단(CK1)은 클럭 신호(CKV)선과 연결되고, 제1 입력단(IN1)은 캐리 신호(C2k-2)선을 통해 전단 이송 스테이지(SGs2k-2)의 제1 출력단(OUT1)과 연결되며, 제2 입력단(IN2)은 제1 리셋 신호(Ra2k)선을 통해 후단 이송 스테이지(SGs2k)의 제1 출력단(OUT1)과 연결되고, 제1 출력단(OUT1)은 제1 리셋 신호(Ra2k-1)선, 캐리 신호(C2k-1)선 및 전단 신호(T2k-1)선을 통해 전단 이송 스테이지(SGs2k-2)의 제2 입력단(IN2), 후단 이송 스테이지(SGs2k)의 제1 입력단(IN1) 및 동 출력 스테이지(SGo2k)의 제3 입력단(IN3)과 연결되며, 전원단(VSS)은 게이트 오프 전압(Voff)선과 연결된다.

[0034] 홀수 번째 출력 스테이지(SGo2k-1)의 경우 제2 클럭단(CK2)은 반전 클럭 신호(CKVB)선과 연결되고, 제3 클럭단(CK3)은 클럭 신호(CKV)선과 연결되며, 제3 입력단(IN3)은 전단 신호(T2K-1)선을 통해 이송 스테이지(SGs2k-1)의 제1 출력단(OUT1)과 연결되고, 제4 입력단(IN4)은 구동 영역 선택 신호(Vpa)선과 연결되며, 제5 입력단(IN5)은 제2 리셋 신호(Rb2k)선을 통해 후단 출력 스테이지(SGo2k)의 제2 출력단(OUT2)과 연결되고, 제2 출력단(OUT2)은 게이트 신호(G2K-1)선과 연결됨과 동시에 제2 리셋 신호(Rb2K-1)선을 통해 전단 출력 스테이지(SGo2k-2)의 제5 입력단(IN5)과 연결되며, 전원단(VSS)은 게이트 오프 전압(Voff)선과 연결된다.

[0035] 다만, 전단 스테이지가 없는 첫 번째 이송 스테이지(SG1)는 제1 입력단(IN1)이 수직 개시 신호(STV)선에 연결되고 제1 출력단(OUT1)은 후단 이송 스테이지(SGS2)의 제1 입력단(IN1)에만 연결되며, 전단 출력 스테이지가 없는 첫 번째 출력 스테이지(SG1)는 제1 출력단(OUT1)이 게이트 신호(G1)선에만 연결된다.

[0036] 짝수 번째 이송 스테이지(SGs2k)의 경우 제1 클럭단(CK1)은 반전 클럭 신호(CKVB)선과 연결되며 기타 제1 입력단(IN1), 제2 입력단(IN2), 제1 출력단(OUT1) 및 전원단(VSS)의 연결은 홀수 번째 이송 스테이지(SGs2k-1)와 동일하다.

[0037] 짝수 번째 출력 스테이지(SGo2k)의 경우 제2 클럭단(CK2)은 클럭 신호(CKV)선과 연결되고, 제3 클럭단(CK3)은 반전 클럭 신호(CKVB)선과 연결되며, 기타 제3 입력단(IN3), 제4 입력단(IN4), 제5 입력단(IN5), 제2 출력단(OUT2) 및 전원단(VSS)의 연결은 홀수 번째 출력 스테이지(SGo2k-1)와 동일하다.

[0038] 본 실시예는 클럭 신호(CKV)와 반전 클럭 신호(CKVB)로 구동하는 시프트 레지스터 구조이나 본 발명의 기술적 사상은 스테이지가 캐리 신호를 생성하여 스테이지를 순차 구동하는 이송 스테이지와 구동 영역 선택 신호에 기초하여 게이트 신호를 부분적으로 출력하는 출력 스테이지로 구분되는데 있는 것으로 본 발명의 기술적 사상은 스테이지를 이송 스테이지와 출력 스테이지로 구분할 수 있는 종래의 모든 시프트 레지스터에 적용 가능하다.

[0039] 도 3을 참고하여 본 발명의 일 실시예에 따른 이송 스테이지(SGsi) 및 출력 스테이지(SGoi)의 구체적인 구성을 설명한다.

[0040] 먼저 이송 스테이지(SGsi)의 구성을 설명한다. 이송 스테이지(SGsi)는 크게 제1 이송 풀업 구동 제어부(410), 제2 이송 풀업 구동 제어부(420) 및 이송 풀업 구동부(430)로 구분된다.

[0041] 제1 이송 풀업 구동 제어부(410)는 제10 박막 트랜지스터(T10)로 구성된다. 제10 박막 트랜지스터(T10)의 드레인 전극과 게이트 전극은 제1 입력단(IN1)에 공통적으로 연결되고 소스 전극은 제3 노드(N3)에 연결된다. 제1 이송 풀업 구동 제어부(410)는 제1 입력단(IN1)을 통해 수직 개시 신호(STV) 또는 전단 이송 스테이지(SGsi-1)의 캐리 신호(Ci-1)를 받아 이송 풀업 구동부(430)의 제어단에 하이 레벨의 제1 제어 신호를 제공하는 역할을 한다.

[0042] 제2 이송 풀업 구동 제어부(420)는 제9 박막 트랜지스터(T9)로 구성된다. 제9 박막 트랜지스터(T9)의 드레인 전극과 소스 전극은 각각 제3 노드(N3)와 전원단(VSS)에 연결되고 게이트 전극은 제2 입력단(IN2)에 연결된다. 제2 이송 풀업 구동 제어부(420)는 제2 입력단(IN2)으로부터 후단 이송 스테이지(SGsi+1)의 제1 리셋 신호(Rai+1)를 받아 이송 풀업 구동부(430)의 제어단에 로우 레벨의 제2 제어 신호를 제공하는 역할을 한다.

[0043] 이송 풀업 구동부(430)는 제8 박막 트랜지스터(T8)와 제3 커패시터(C3)로 구성된다. 제8 박막 트랜지스터(T8)의

드레인 전극과 소스 전극은 각각 제1 클럭단(CK1)과 제1 출력단(OUT1)에 연결되고 게이트 전극은 제3 노드(N3)에 연결되며, 제3 커패시터(C3)는 제8 박막 트랜지스터(T8)의 게이트 전극 및 소스 전극 사이에 형성된다. 제3 커패시터(C3)는 제8 박막 트랜지스터(T8)의 게이트 전극과 소스 전극간의 기생 커패시터로 구성할 수 있으며 필요에 따라 별도의 커패시터를 추가하여 구성할 수도 있다. 이송 풀업 구동부(430)는 제1 클럭단(CK1)으로 입력되는 클럭 신호(CKV) 또는 반전 클럭 신호(CKVB)를 1 제어 신호 및 제2 제어 신호에 따라 제1 출력단(OUT1)으로 선택적으로 출력하는 역할을 한다.

[0044] 다음으로 출력 스테이지(SGoi)의 구성을 설명한다. 출력 스테이지(SGoi)는 제1 출력 풀업 구동 제어부(440), 제2 출력 풀업 구동 제어부(450), 출력 풀업 구동부(460), 출력 풀다운 구동부(470) 및 출력 유지부(480)로 구분된다.

[0045] 제1 출력 풀업 구동 제어부(440)는 제2 박막 트랜지스터(T2)로 구성된다. 제2 박막 트랜지스터(T2)의 드레인 전극과 소스 전극은 각각 제4 입력단(IN4)과 제1 노드(N1)에 연결되고 게이트 전극은 제3 입력 단(IN3)에 연결된다. 제1 출력 풀업 구동 제어부(440)는 제3 입력단(IN3) 및 제4 입력단(IN4)으로부터 구동 영역 선택 신호(Vpa) 및 전달 신호(Ti)를 받아 출력 풀업 구동부(460)의 제어단에 하이 레벨의 제3 제어 신호를 제공하는 역할을 한다.

[0046] 제2 출력 풀업 구동 제어부(450)는 제3 박막 트랜지스터(T3)로 구성된다. 제3 박막 트랜지스터(T3)의 드레인 전극과 소스 전극은 각각 제1 노드(N1)와 전원단(VSS)에 연결되고 게이트 전극은 제4 입력단(IN4)에 연결된다. 제2 출력 풀업 구동 제어부(450)는 제5 입력단(IN5)으로부터 후단 출력 스테이지(SGoi+1)의 제2 리셋 신호(Rbi+1)를 받아 출력 풀업 구동부(460)의 제어단에 로우 레벨의 제4 제어 신호를 제공하는 역할을 한다.

[0047] 출력 풀업 구동부(460)는 제1 박막 트랜지스터(T1)와 제1 커패시터(C1)로 구성된다. 제1 박막 트랜지스터(T1)의 드레인 전극과 소스 전극은 각각 제1 클럭단(CK1)과 제2 출력단(OUT2)에 연결되고 게이트 전극은 제1 노드(N1)에 연결되며, 제1 커패시터(C1)는 제1 박막 트랜지스터(T1)의 게이트 전극 및 소스 전극 사이에 형성된다. 제1 커패시터(C1)는 제1 박막 트랜지스터(T1)의 게이트 전극과 소스 전극간의 기생 커패시터로 구성할 수 있으며 필요에 따라 별도의 커패시터를 추가하여 구성할 수도 있다. 출력 풀업 구동부(460)는 제1 클럭단(CK1)으로 입력되는 클럭 신호(CKV) 또는 반전 클럭 신호(CKVB)를 제3 제어 신호 및 제4 제어 신호에 따라 제2 출력단(OUT2)으로 선택적으로 출력하는 역할을 한다.

[0048] 출력 풀다운 구동부(470)는 제6 박막 트랜지스터(T6)로 구성된다. 제6 박막 트랜지스터(T6)의 드레인 전극과 소스 전극은 각각 제2 출력단(OUT2)과 전원단(VSS)에 연결되고 게이트 전극은 제3 클럭단(CK3)에 연결된다. 출력 풀다운 구동부(470)는 제3 클럭단(CK3)으로 입력되는 반전 클럭 신호(CKVB) 또는 클럭 신호(CKV)에 따라 전원단(VSS)으로 입력되는 게이트 오프 전압(Voff)을 제2 출력단(OUT2)으로 선택적으로 출력하는 역할을 한다.

[0049] 출력 유지부(480)는 제4 박막 트랜지스터(T4), 제7 박막 트랜지스터(T7), 제5 박막 트랜지스터(T5) 및 제2 커패시터(C2)로 구성된다. 제4 박막 트랜지스터(T4)의 드레인 전극과 소스 전극은 각각 제1 노드(N1)와 전원단(VSS)에 연결되고 게이트 전극은 제2 노드(N2)에 연결된다. 제7 박막 트랜지스터(T7)의 드레인 전극과 소스 전극은 각각 제2 노드(N2)와 전원단(VSS)에 연결되고 게이트 전극은 제1 노드(N1)와 연결된다. 제5 박막 트랜지스터(T5)의 드레인 전극과 소스 전극은 각각 제2 출력단(OUT2)과 전원단(VSS)에 연결되고 게이트 전극은 제2 노드(N2)에 연결된다. 제2 커패시터(C2)는 제2 클럭단(CK2)과 제2 노드(N2) 사이에 형성된다. 출력 유지부(480)는 한번 턴 온 되었다가 턴 오프된 게이트 배선이 다음 프레임에서 턴온될 때까지 게이트 오프 전압(Voff)을 안정적으로 유지하도록 하는 역할을 한다.

[0050] 본 실시예의 스테이지 회로는 7개의 박막 트랜지스터와 2개의 커패시터로 구성된 종래 스테이지 구조에 3개의 박막 트랜지스터와 1개의 커패시터를 추가하여 변형시킨 것이나 본 발명의 기술적 사상은 스테이지가 캐리 신호를 생성하여 스테이지를 순차 구동하는 이송 스테이지와 구동 영역 선택 신호에 기초하여 게이트 신호를 부분적으로 출력하는 출력 스테이지로 구분되는데 있는 것으로 본 발명의 기술적 사상은 스테이지를 이송 스테이지와 출력 스테이지로 구분할 수 있는 종래의 모든 스테이지 회로에 적용가능 하다.

[0051] 한편, 본 발명에 따른 게이트 구동부(400)는 표시 셀 어레이 회로 형성시 표시 기관 상의 주변 영역에 동시에 형성하거나 별도의 집적회로(IC)로 구성하여 표시 기관에 결합할 수 있으며 또는 표시 셀 어레이 형성 공정에 별도의 추가 공정을 더하여 형성할 수도 있다.

[0052] 또한, 본 발명의 게이트 구동부를 구성하는 박막 트랜지스터, 커패시터, 신호선 등은 게이트 구동부의 안정적인 동작을 위해 그 크기, 두께, 길이 등이 최적화될 수 있으며 신호 지연이나 간섭 등을 최소화하기 위해 기관상의

배치 구조 또한 최적화 될 수 있다. 예를 들어 상기 실시예의 캐리 신호(Ci), 전달 신호(Ti) 및 제1 리셋 신호(Rai)는 스테이지간 신호 전달 역할만 수행 하므로 제8 박막 트랜지스터(T8)는 제1, 5, 6 박막 트랜지스터(T1, T5, T6)에 비해 상대적으로 작게 설계 할 수 있다. 또한, 출력 풀다운 구동부(470) 및 출력 유지부(480)는 1개씩 또는 둘 다 생략할 수 있다.

- [0053] 이하 도 2 내지 도 4를 참고하여 본 발명에 따른 게이트 구동부(400)의 동작 과정을 설명한다.
- [0054] 도 4는 본 발명에 따른 게이트 구동부(400)에 입력되는 신호들과 그 결과 발생하는 전달/캐리/제1 리셋 신호(Ti/Ci/Rai) 및 제2 리셋/게이트 신호(Rbi/Gi)의 출력파형을 도시한 것이며, 도 5는 이 경우 결과적으로 나타날 수 있는 화면 표시 상태의 일례를 나타낸 것이다. 도 4에 도시된 바와 같이 구동 영역 선택 신호(Vpa)는 표시 구간(Vpa)에서는 하이 레벨을 유지하며 비 표시 구간(?)에서는 로우 레벨을 유지한다.
- [0055] 먼저, 표시 구간(1)에서 게이트 구동부(400)가 동작하는 과정을 설명한 후, 이어서 비 표시 구간(?)에서 게이트 구동부(400)가 동작하는 과정을 설명한다. 초기 각 이송 스테이지(SGsi) 및 출력 스테이지(SGo1)의 모든 노드는 저전압 상태를 가정한다.
- [0056] 먼저 표시 구간(?) A 영역에서의 게이트 구동부(400)의 구동을 설명한다. 제1 이송 스테이지(SGs1)의 제1 입력단(IN1), 제1 클럭단(CK1)에 각각 하이 레벨의 수직 개시 신호(STV), 로우 레벨의 클럭 신호(CKV)가 입력되면, 제10 박막 트랜지스터(T10)가 턴온되어 제3 노드(N3)에 고전압이 인가 되고 이에 따라 제8 박막 트랜지스터(T8)가 턴온 되어 제1 클럭단(CK1)으로 입력되는 로우 레벨의 클럭 신호(CKV)가 제1 출력단(OUT1)을 통해 전달 신호(T1)로 출력된다. 따라서, 제1 출력 스테이지(SGo1)의 제2 박막 트랜지스터(T2)는 턴오프 상태를 유지한다. 이때, 제3 커패시터(C3)의 양단으로 하이 레벨의 전압과 로우 레벨의 전압이 인가되므로 전하가 충전되어 제3 노드(N3)가 고전압으로 부트스트랩된다. 한편, 제1 출력 스테이지(SGo1)의 제2 클럭단(CK2)에 하이 레벨의 반전 클럭 신호(CKVB)가 입력되면, 제2 커패시터(C2)를 통해 제2 클럭단(CK2)과 연결된 제2 노드(N2)가 하이 상태가 되어 제4 박막 트랜지스터(T4)와 제5 박막트랜지스터(T5)가 턴온 되고 이에 따라 제1 노드(N1) 및 제2 출력단(OUT2)으로 게이트 오프 전압이 인가되어 로우 레벨을 유지한다. 한편, 제1 노드(N1)가 로우 상태이므로 제7 박막트랜지스터(T7)는 턴오프 상태를 유지하게 되고, 제3 클럭단(CK3)으로 입력되는 클럭 신호(CKV)가 로우 레벨이므로 제6 박막 트랜지스터(T6) 역시 턴오프 상태를 유지한다.
- [0057] 제2 이송 스테이지(SGs2)의 경우 제1 입력단(IN1)으로 로우 레벨의 캐리 신호(C1)가 입력되므로 제10 박막 트랜지스터(T10)가 턴오프 상태를 유지하게 되고 이에 따라 제8 박막 트랜지스터(T8) 역시 턴오프 상태를 유지하게 되며 그로 인해 제1 출력단(OUT1)은 로우 레벨을 유지한다. 따라서 제2 출력 스테이지(SGo2)의 제2 박막 트랜지스터(T2)는 턴오프 상태를 유지한다. 한편, 제2 출력 스테이지(SGo2)의 제3 클럭단(CK3)에 하이 레벨의 반전 클럭 신호(CKVB)가 입력되면, 제6 박막 트랜지스터(T6)가 턴온되어 제2 출력단(OUT2)은 로우 레벨을 유지하게 된다. 또한, 제2 출력 스테이지(SGo2)의 제2 클럭단(CK2)으로는 로우 레벨의 클럭 신호(CKV)가 입력되므로 제2 노드(N2)는 로우 레벨을 유지하게 되고 이에 따라 제4 박막 트랜지스터(T4)와 제5 박막 트랜지스터(T5)는 턴오프 상태를 유지하게 된다. 한편, 제2 이송 스테이지(SGs2)의 제1 출력단(OUT1)과 제2 출력 스테이지(SGo2)의 제2 출력단(OUT2)이 로우 레벨을 유지하므로 이와 연결된 제1 이송 스테이지(SGs1)의 제2 입력단(IN2) 및 제5 입력단(IN5) 역시 로우 레벨을 유지하게 되고 이에 따라 제9 박막 트랜지스터(T9)가 턴오프 상태를 유지하게 되어 하이 레벨의 제3 노드(N3)와 로우 레벨의 게이트 오프 전압이 서로 충돌을 일으키지 않게 된다. 이때, 제1 출력 스테이지(SGo1)의 제1 노드(N1)는 로우 레벨이므로 제3 박막 트랜지스터(T3)의 턴온 턴오프와 무관하게 전압 충돌 문제는 없다.
- [0058] 제3 이송 스테이지(SGs3)의 경우도 캐리 신호(C2)에 의해 제10 박막 트랜지스터(T10)가 턴온 되지 않으므로 제3 노드(N3)가 로우 레벨을 유지하게 되고 제1 클럭단으로 입력되는 클럭 신호와 무관하게 제1 출력단(OUT1)은 A 영역에서 로우 레벨을 유지한다.
- [0059] 제4 이송 스테이지(SGs4) 이후의 짝수 번째 이송 스테이지는 A 영역에서 제2 이송 스테이지(SGs2)의 구동조건과 동일하고 홀수 번째 이송 스테이지는 A 영역에서 제3 이송 스테이지(SGs3)의 구동조건과 동일하므로 제4 이송 스테이지(SGs4) 이후의 모든 이송 스테이지의 제1 출력단은 A영역에서 로우 레벨을 유지한다.
- [0060] 제3 출력 스테이지(SGo3) 이후의 홀수 번째 출력 스테이지는 A영역에서 제1 출력 스테이지(SGo1)의 구동조건과 동일하고 짝수 번째 출력 스테이지는 A영역에서 제2 출력 스테이지(SGo2)의 구동조건과 동일하므로 제3 출력 스테이지(SGo3) 이후의 모든 출력 스테이지의 제2 출력단(OUT2)은 A영역에서 로우 레벨을 유지한다.
- [0061] 이어서, B 영역에서의 게이트 구동부(400)의 구동을 설명한다.

- [0062] 제1 이송 스테이지(SGs1)의 경우 제3 노드(N3)가 고전압으로 부트스트랩되어 있는 상태이므로 제1 클럭단(CK1)으로 입력되는 클럭 신호(CKV)가 하이 레벨로 천이하게 되면 제1 출력단(OUT1)으로 하이 레벨의 전달/캐리 신호(T1/C1)를 출력하게 되고 이에 따라 제1 출력 폴업 구동 제어부(440)의 제2 박막 트랜지스터(T2)가 턴온되어 하이 레벨의 구동 영역 선택 신호(Vpa)가 제1 노드(N1)에 인가되고 제1 노드(N1)는 고전압 상태가 된다. 이에 따라 제1 박막 트랜지스터(T1)가 턴온되어 제2 출력단(OUT2)으로 로우 레벨의 반전 클럭 신호(CKVB)가 출력된다. 이때, 제1 커패시터(C1)의 양단에 고전압과 저전압이 인가되므로 전하가 충전되고 제1 노드(N1)는 고전압으로 부트스트랩 된다. 한편, 제1 출력 스테이지(SGo1)의 제3 클럭단(CK3)으로는 하이 레벨의 클럭 신호(CKV)가 입력되므로 전원단(VSS)으로 입력되는 게이트 오프 전압(Voff)이 제2 출력단(OUT2)으로 출력되고 이는 로우 레벨의 반전 클럭 신호(CKVB)와 충돌을 일으키지 않는다.
- [0063] 한편, 1 노드(N1)가 고전압 상태이므로 제7 박막 트랜지스터(T7)가 턴온되어 제2 노드(N2)는 저전압 상태를 유지하게 되고 이에 따라 제4 박막 트랜지스터(T4)와 제5 박막 트랜지스터(T5)는 턴오프 상태를 유지하게 된다.
- [0064] 제2 이송 스테이지(SGs2)의 경우 제1 입력단(IN1)으로 제1 이송 스테이지(SGs1)의 제1 출력단(OUT1)에서 출력된 하이 레벨의 캐리 신호(C1)가 입력되므로 A 영역에서의 제1 이송 스테이지(SGs1)와 마찬가지로 제1 출력단(OUT1)은 로우 레벨을 유지하고 제3 노드(N3)는 고전압으로 부트스트랩 된다. 제2 출력 스테이지(SGo2)는 A 영역에서의 제1 출력 스테이지(SGo1)와 구동 조건이 동일하므로 제2 출력단(OUT2)은 로우 레벨을 유지한다.
- [0065] 제 3 이송 스테이지(SGs3) 이후의 이송 스테이지와 제3 출력 스테이지 이후(SGo3)의 출력 스테이지 역시 A 영역에서의 설명과 동일한 원리로 구동하여 제1 출력단(OUT1)과 제2 출력단(OUT2)이 모두 로우 레벨을 유지한다.
- [0066] 이어서, C 영역에서의 게이트 구동부(400)의 구동을 설명한다.
- [0067] 먼저 제2 이송 스테이지(SGs2)의 경우 B 구간에서의 제1 이송 스테이지(SGs1)의 구동 조건과 동일하므로 제1 출력단(OUT1)으로 하이 레벨의 전달/캐리/제1 리셋 신호(T2/C2/Ra2)를 출력하게 된다. 따라서, 제1 이송 스테이지(SGs1)의 제2 입력단(IN2)으로 하이 레벨의 제1 리셋 신호(Ra2)가 입력되고 제1 이송 스테이지(SGs1)의 제9 박막 트랜지스터(T9)가 턴온되어 제1 이송 스테이지(SGs1)의 제3 노드(N3)는 저전압 상태가 된다. 이때 클럭 신호(CKV)의 듀티 시간(DUTY TIME)에 의해 제3 노드(N3)가 저전압으로 천이하기 바로 전 제1 클럭단(CK1)으로 입력되는 클럭 신호(CKV)가 로우 레벨로 천이하므로 제8 박막 트랜지스터(T8)는 제1 출력단(OUT1)이 하이 레벨에서 로우 레벨로 천이한 후 턴오프 되어 제1 출력단(OUT1)을 로우 레벨로 유지한다.
- [0068] 한편, 제2 출력 스테이지(SGo2)의 경우 B 구간에서의 제1 출력 스테이지(SGo1)의 구동 조건과 동일하므로 제1 노드(N1)는 고전압으로 부트스트랩 되고 제2 출력단(OUT2)은 로우 레벨을 유지한다. 따라서, 제1 출력 스테이지(SGo1)의 제3 박막 트랜지스터(T3)는 턴 오프 상태를 유지하게 된다. 한편, 제1 출력 스테이지(SGo1)의 제1 노드(N1)는 부트스트랩 되어 있고 제2 클럭단(CK2)으로 하이 레벨의 반전 클럭 신호(CKVB)가 입력되므로 제1 출력 스테이지(SGo1)의 제2 출력단(OUT2)은 로우 레벨에서 하이 레벨로 천이한다. 이때, 제1 노드(N1)가 고전압 상태이므로 제7 박막 트랜지스터(T7)가 턴온 상태이고 이에 따라 제2 노드(N2)는 저전압 상태가 되어 제4 박막 트랜지스터(T4)와 제5 박막 트랜지스터(T5)는 턴온 되지 않는다. 제3 클럭단(CK3)으로 입력되는 클럭 신호(CKV)는 C 영역에서 로우 레벨이므로 제6 박막 트랜지스터(T6)도 턴오프 상태이다.
- [0069] C 영역에서의 제3 이송 스테이지(SGs3)의 구동 조건은 B 영역에서의 제2 이송 스테이지(SGs2)의 구동 조건과 동일하므로 제1 출력단(OUT1)은 로우 레벨을 유지하고 제3 노드(N3)는 고전압으로 부트스트랩 된다.
- [0070] 제4 이송 스테이지(SGs4) 이후의 이송 스테이지와 제3 출력 스테이지(SGo3) 이후의 출력 스테이지는 A, B 영역의 경우와 동일한 원리로 C 영역에서 제1, 2 출력단(OUT1,2) 모두 로우 레벨을 유지한다.
- [0071] 이어서, D 구간에서의 게이트 구동부의 구동을 설명한다.
- [0072] 먼저 제1 이송 스테이지(SGs1)의 경우 제1 입력단(IN1)으로 수직 개시 신호(STV)가 입력되기 전까지는 제3 노드(N3)가 저전압 상태를 유지하므로 제8 박막 트랜지스터(T8)는 턴오프 상태를 유지하게 된다. 따라서, 제1 출력단(OUT1)은 제1 클럭단(CK1)으로 입력되는 클럭 신호(CKV)의 상태와 무관하게 로우 레벨을 유지한다.
- [0073] 제2 출력 스테이지(SGo2)의 경우 제1 노드(N1)가 부트스트랩 된 상태이므로 제2 클럭단(CK2)으로 입력되는 하이 레벨의 클럭 신호(CKV)를 제2 출력단(OUT2)으로 출력한다. 따라서 제1 출력 스테이지(SGo1)의 제5 입력단(IN5)으로 하이 레벨의 제2 리셋 신호(Rb2)가 입력되며 이에 따라 제3 박막 트랜지스터(T3)가 턴온되어 제1 노드(N1)가 저전압 상태로 천이한다. 한편, 제1 출력 스테이지(SGo1)의 제3 클럭단(CK3)으로 입력되는 클럭 신호(CKV)가 하이 레벨이므로 제1 출력 스테이지(SGo1)의 제2 출력단(OUT2)은 로우 레벨로 천이한다. 기타 나머지 박막

트랜지스터의 구동은 앞선 설명과 같다.

- [0074] 기타 나머지 이송 스테이지와 출력 스테이지는 앞선 영역의 설명과 동일한 원리로 구동하므로 D 영역에서 나머지 스테이지의 제1, 2 출력단(OUT1,2)은 모두 로우 레벨을 유지한다.
- [0075] 이상 설명한 A 영역에서 D 영역까지의 각 이송 스테이지(SGsi) 및 출력 스테이지(SGoi)의 구동 원리는 이후의 영역에도 동일한 형태로 적용된다. 따라서, 이송 스테이지(SGsi)의 제1 출력단과 출력 스테이지(SGoi)의 제2 출력단은 1 수평기간의 시간차이를 두고 순차적으로 하이 레벨의 신호를 출력한다.
- [0076] 이어서, 비 표시 구간(?)에서의 게이트 구동부(400)의 작동을 설명한다.
- [0077] 비 표시 구간(?)의 구동 조건은 기본적으로 표시 구간(?)과 동일하며 단지 출력 스테이지(SGoi)의 제4 입력단(IN4)으로 입력되는 구동 영역 선택 신호(Vpa)가 표시 구간과 다르게 로우 레벨을 유지한다. 따라서 비표시 구간(?)에서는 출력 스테이지(SGoi)의 제1 노드(N1)가 지속적으로 저전압 상태를 유지하게 되므로 이송 스테이지(SGsi)의 순차 구동과 무관하게 제2 출력단(OUT2)으로 하이 레벨의 게이트 신호(Gi)가 출력되지 않는다. 그러나 이송 스테이지(SGsi)는 표시 구간(?)과 동일하게 순차 구동되므로 이후 표시 구간(?)이 다시 시작되어 다시 하이 레벨의 구동 영역 선택 신호(Vpa)가 출력 스테이지(SGoi)의 제4 입력단(IN4)으로 입력되면 정상적인 화면 표시가 가능하다.
- [0078] 도 5는 상기 실시 예에 따른 액정 표시 장치의 화면 표시 상태의 실례를 도시한 것이다. 본 실시 예에서는 표시 영역은 화면의 상부에 위치하고 비 표시 영역은 화면의 하부에 위치하도록 하였으나 구동 영역 선택 신호(Vpa)를 변경함으로써 비 표시 영역을 화면의 어디 에든 자유롭게 형성할 수 있을 뿐만 아니라 비 표시 영역의 크기 및 개수 또한 자유롭게 조절할 수 있다. 도 6은 비 표시 영역을 두 군데 형성한 또 다른 실례이다.
- [0079] 다음으로 비 표시 영역에 발생할 수 있는 잔상 문제의 해결책에 대해 설명한다.
- [0080] 비 표시 영역의 경우 액정 커패시터가 일정한 극성을 장시간 유지하게 됨에 따라 액정 내에 존재하는 이온이 어느 한쪽으로 흡착되어 잔상이 발생할 수 있다. 잔상 현상은 노멀리 화이트 모드에서 블랙이 구현되어 있는 비 표시 영역의 경우 특히 심각하다. 도 7은 이러한 잔상 문제를 해결하기 위한 비 표시 영역의 전압 갱신 과정을 도시한 것이다. 액정의 점성, 액정 내 이온 극성의 세기, 액정셀 양단에 걸리는 전위차 등을 고려할 때 이온의 흡착은 단 시간에 이루어지는 것은 아니며 몇 시간 단위로 발생한다. 따라서, 잔상현상은 도 7에 도시한 것과 같이 비 표시 영역의 액정셀에 홀딩되어 있는 전압의 극성을 수분 간격으로 바꿔주는 것으로 간단하게 해결할 수 있다. 이때 전압 극성의 갱신을 위해 소비되는 전력은 무시할 수 있는 수준이다. 예를 들어 액정 표시 패널이 60Hz로 구동하는 경우 1분에 한번 비 표시 영역의 전압 갱신을 수행하게 되면  $1/(60(\text{frame rate}) \times 60(\text{second})) = 1/3600$  이므로 비 표시 영역의 전압을 1분 마다 한번씩 갱신한다 해도 비 표시 영역에 의한 소비 전력은 표시 영역의 1/3600 밖에 되지 않는다. 따라서, 수분에 한번 정도로 비 표시 영역의 전압을 갱신해줌으로써 실질적인 소비전력의 상승 없이 부분화면 표시 모드에서 전화면 표시 모드로 전환 시 발생할 수 있는 잔상 문제를 해결할 수 있다.
- [0081] 마지막으로, 도 8 및 도 9를 참고하여 전 화면 표시 모드에서 부분 화면 표시 모드로의 전환 및 부분 화면 표시 모드에서의 비 표시 영역의 전압갱신 알고리즘에 대하여 설명한다.
- [0082] 도 8는 화면 표시 모드 전환 알고리즘을 도시한 플로우 차트이며 도 9는 이에 따른 화면의 변화를 도시한 것이다.
- [0083] 최초 전 화면 표시 모드에서는 전 표시 영역의 표시 정보가 전 프레임에 대하여 갱신된다(S1). 그러다가 부분 화면 표시 모드로 전환되면 부분 화면 표시모드의 최초 프레임에서는 표시 영역은 물론 비 표시 영역의 모든 화소에 대한 표시 정보가 갱신된다(S2). 이때, 비 표시 영역의 화소에 대한 표시 정보는 대개 블랙 정보일 것이다. 다음, 부분 화면 표시 모드의 두 번째 프레임부터는 표시 영역의 화소에 대한 표시 정보만 갱신되며 비 표시 영역의 화소에 대한 표시 정보는 부분 화면 표시 모드의 최초 프레임의 정보가 유지된다(S3). 이때 지속적으로 부분화면 표시 모드 진입 이후의 프레임 수를 계산하여 특정 프레임 횟수 예를 들어 3600 프레임에 도달하면 (S4) 표시 영역과 함께 비 표시 영역의 표시 정보를 갱신한다(S2). 이때 표시 영역의 갱신 표시 정보는 전 프레임의 표시 정보와 극성이 반대이며 비 표시 영역의 갱신 표시 정보는 이전 갱신 표시 정보와 극성이 반대이다.
- [0084] 이상 상술한 실시 예는 본 발명의 이해를 돕기 위한 것으로 그 권리범위를 한정하는 것은 아니다.

**발명의 효과**

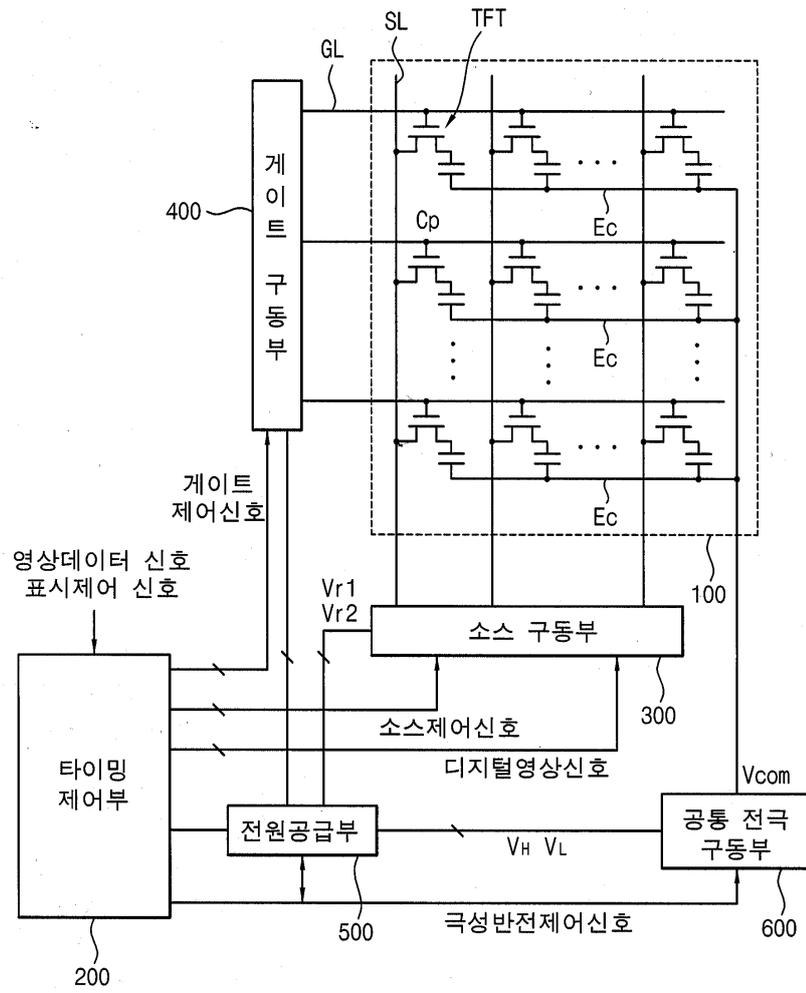
- [0085] 본 발명에 따른 액정 표시 장치는 종래의 아모퍼스 실리콘 게이트 구조와 다르게 부분 구동이 가능하여 소비전류를 감소시킬 수 있다.
- [0086] 또한, 부분 구동이 가능한 종래의 아모퍼스 실리콘 게이트 구조보다 동작이 안정적이며 비 표시 영역의 위치, 크기 및 개수를 자유롭게 조절할 수 있는 장점이 있다.

**도면의 간단한 설명**

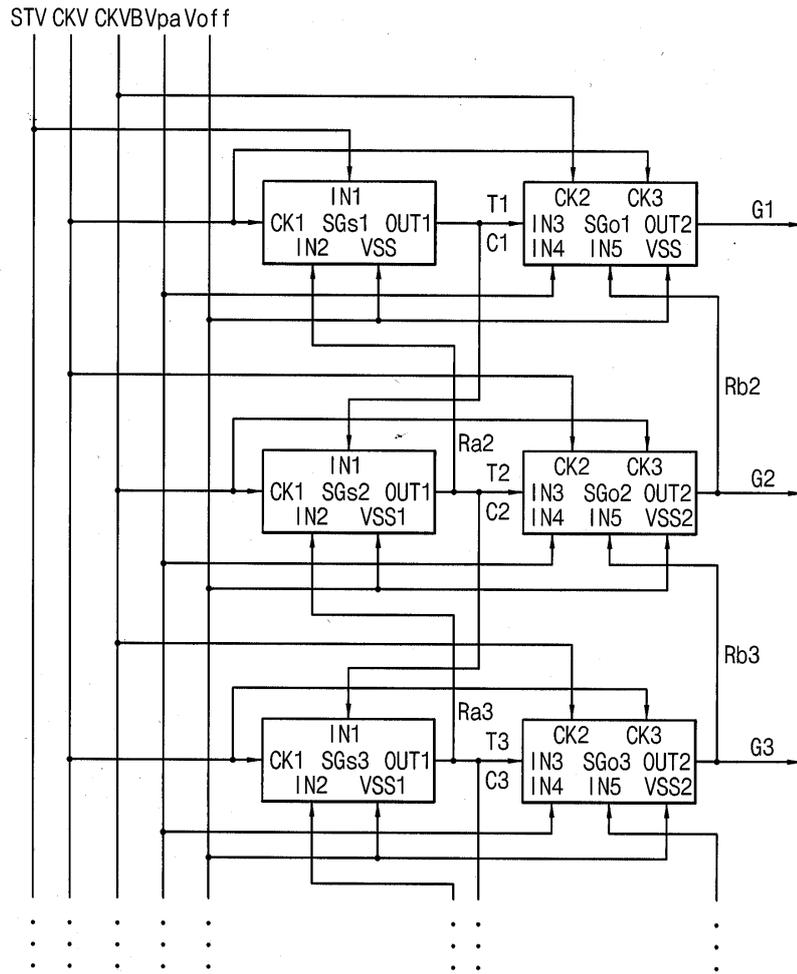
- [0001] 도 1은 본 발명에 따른 표시 장치의 개략적인 구성을 도시한 블록도 이다.
- [0002] 도 2는 도 1의 게이트 구동부를 상세히 도시한 블록도 이다.
- [0003] 도 3은 도 2의 스테이지 중 하나를 상세히 도시한 회로도 이다.
- [0004] 도 4는 본 발명에 따른 게이트 구동부에 입력되는 신호 파형의 일례를 도시한 것이다.
- [0005] 도 5는 도 4의 입력 신호에 따른 화면 표시 상태의 일례를 도시한 것이다.
- [0006] 도 6은 다른 입력 신호에 의한 화면 표시 상태의 일례를 도시한 것이다.
- [0007] 도 7은 비 표시 영역 내 액정셀의 표시 정보 갱신 과정을 개략적으로 도시한 개념도이다.
- [0008] 도 8은 본 발명에 따른 표시 장치의 화면 표시 모드 전환 알고리즘을 도시한 플로우 차트이다.
- [0009] 도 9는 도 8의 플로우 차트에 따른 화면 표시 모드 전환에 대응하는 화면 표시 상태의 변화를 도시한 것이다.
- [0010] <도면 부호에 대한 설명>
- [0011] 100 : 표시 패널                      200 : 타이밍 제어부
- [0012] 300 : 소스 구동부
- [0013] 400 : 게이트 구동부
- [0014] 500 : 전원 공급부                      600 : 공통 전극 구동부

도면

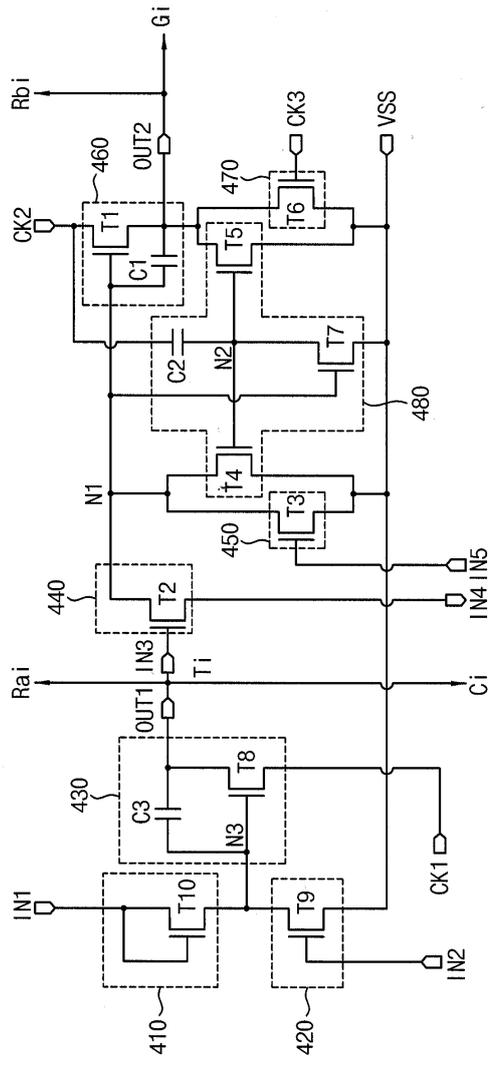
도면1



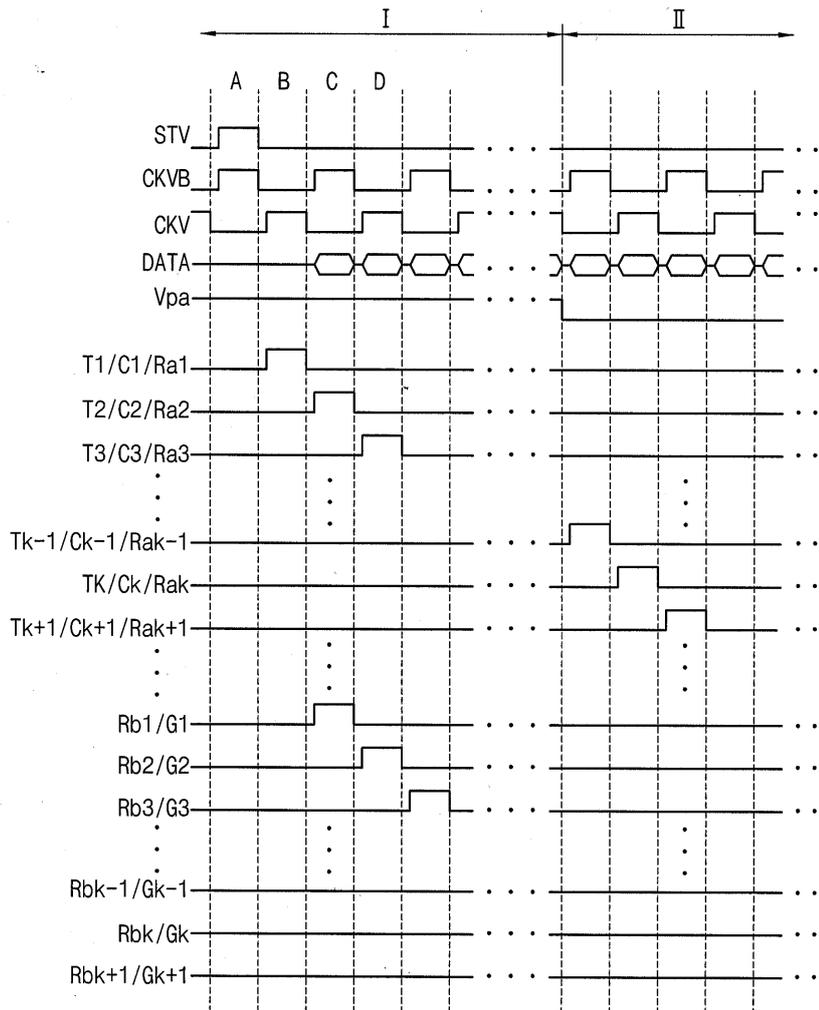
도면2



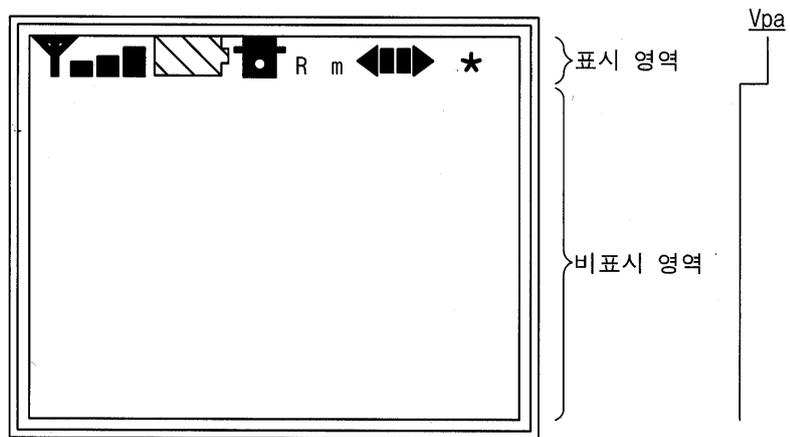
도면3



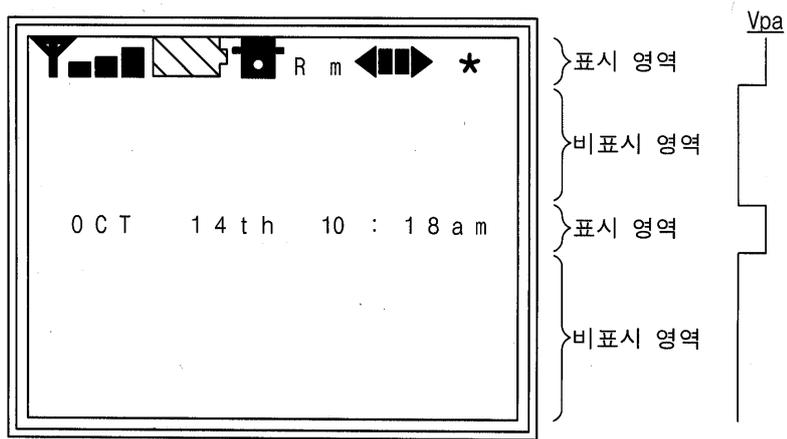
도면4



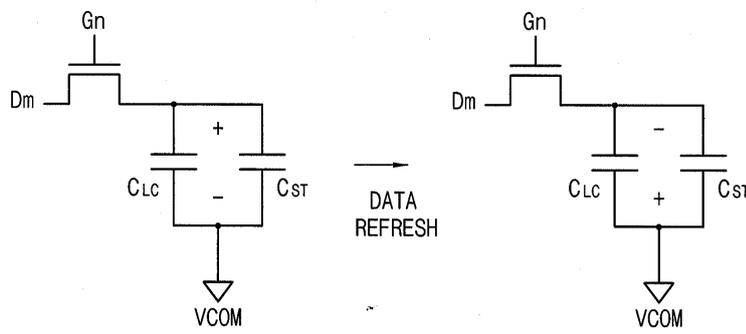
도면5



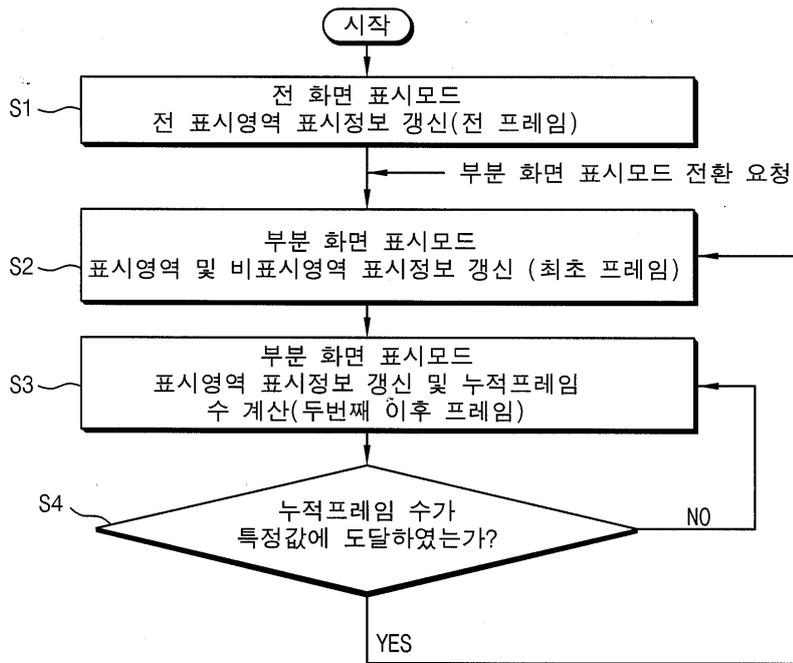
도면6



도면7



도면8



도면9

