



(12) 发明专利

(10) 授权公告号 CN 102239563 B

(45) 授权公告日 2013. 08. 14

(21) 申请号 200980148435. 8

(22) 申请日 2009. 11. 05

(30) 优先权数据

61/111, 437 2008. 11. 05 US

(85) PCT申请进入国家阶段日

2011. 06. 02

(86) PCT申请的申请数据

PCT/US2009/063391 2009. 11. 05

(87) PCT申请的公布数据

W02010/054073 EN 2010. 05. 14

(73) 专利权人 SS SC IP 有限公司

地址 美国密西西比州

(72) 发明人 大卫·C·谢里登 A·P·里特诺尔

(74) 专利代理机构 北京三友知识产权代理有限公司

公司 11127

代理人 丁香兰 庞东成

(51) Int. Cl.

H01L 29/78 (2006. 01)

H01L 21/336 (2006. 01)

(56) 对比文件

US 5747831 A, 1998. 05. 05, 说明书第 2 栏第 27 行至第 3 栏第 42 行、附图 2-3.

US 2003/0025147 A1, 2003. 02. 06, 全文.

US 2006/0199312 A1, 2006. 09. 07, 全文.

CN 101103464 A, 2008. 01. 09, 全文.

审查员 徐国亮

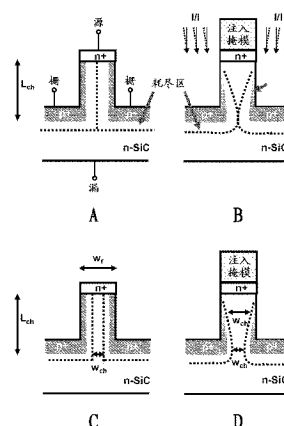
权利要求书3页 说明书6页 附图6页

(54) 发明名称

具有倾斜侧壁的垂向结型场效应晶体管及其制造方法

(57) 摘要

本发明描述了一种半导体器件和制造该器件的方法。所述器件可以是结型场效应晶体管 (JFET)。所述器件具有带有向内渐缩的倾斜侧壁的凸起区。所述侧壁可以与垂直于基板表面的方向形成 5° 以上的角。所述器件可以具有二重倾斜侧壁, 其中, 所述侧壁的下部与垂直方向形成 5° 以上的角, 并且所述侧壁的上部与垂直方向形成 $< 5^\circ$ 的角。可以利用法向 (即, 0°) 或接近法向入射的离子注入制造所述器件。器件具有相对均匀的侧壁掺杂, 并且可以不使用有角度的注入而制得。



1. 一种半导体器件,所述器件包含:

第一导电类型的半导体材料的基板层;

在所述基板层的上表面上的所述第一导电类型的半导体材料的沟道层,所述沟道层包含一个或多个凸起区,所述凸起区包含上表面和由下表面分开的第一侧壁和第二侧壁,其中,邻近所述下表面的凸起区的第一侧壁和第二侧壁向内渐缩并与垂直于所述基板层的上表面的方向形成至少 5° 的角,其中,所述一个或多个凸起区包含所述第一导电类型的半导体材料的内在本部分和不同于所述第一导电类型的第二导电类型的半导体材料的外在本部分,其中,所述外在本部分与所述第一侧壁和第二侧壁邻近;

位于所述沟道层的下表面中的第二导电类型的半导体材料的栅区,所述沟道层与相邻凸起区的外在本部分邻近并连接;和

位于所述一个或多个凸起区的上表面上的所述第一导电类型的半导体材料的源层,

其中,邻近所述一个或多个凸起区的上表面的所述第一侧壁和第二侧壁的方向与垂直于所述基板层的上表面的方向呈 $<5^\circ$ 的角。

2. 如权利要求 1 所述的半导体器件,其中,所述第一侧壁和第二侧壁是二重倾斜侧壁。

3. 如权利要求 1 所述的半导体器件,其中,邻近所述一个或多个凸起区的上表面的所述第一侧壁和第二侧壁的方向与垂直于所述基板层的上表面的方向呈 $<2^\circ$ 的角。

4. 如权利要求 1 所述的半导体器件,其中,对于紧邻所述基板层的栅区的下表面与所述凸起区的上表面之间的至少一半距离,邻近所述沟道层的下表面的所述第一侧壁和第二侧壁向内渐缩并与垂直于所述基板层的上表面的方向形成至少 5° 的角。

5. 如权利要求 1 所述的半导体器件,其中,紧邻所述基板层的沟道层的表面与所述凸起区的上表面之间的垂直距离为 $0.5\mu\text{m} \sim 5\mu\text{m}$,并且其中所述沟道层具有 $1 \times 10^{16}\text{cm}^{-3} \sim 1 \times 10^{18}\text{cm}^{-3}$ 的掺杂浓度。

6. 如权利要求 1 所述的半导体器件,其中,所述基板层具有 $100\mu\text{m} \sim 500\mu\text{m}$ 的厚度和 $1 \times 10^{19}\text{cm}^{-3} \sim 5 \times 10^{19}\text{cm}^{-3}$ 的掺杂浓度。

7. 如权利要求 1 所述的半导体器件,其中,所述源层具有 $0.1\mu\text{m} \sim 1.0\mu\text{m}$ 的厚度和 $1 \times 10^{19}\text{cm}^{-3} \sim 1 \times 10^{20}\text{cm}^{-3}$ 的掺杂浓度。

8. 如权利要求 1 所述的半导体器件,其中,所述凸起区的外在本部分和栅区各自具有 $5 \times 10^{18}\text{cm}^{-3} \sim 1 \times 10^{20}\text{cm}^{-3}$ 的掺杂浓度。

9. 如权利要求 1 所述的半导体器件,所述半导体器件还包含在所述基板层与所述沟道层之间的所述第一导电类型的半导体材料的漂移层。

10. 如权利要求 9 所述的半导体器件,其中,所述漂移层具有 $5\mu\text{m} \sim 15\mu\text{m}$ 的厚度和 $4 \times 10^{15}\text{cm}^{-3} \sim 2 \times 10^{16}\text{cm}^{-3}$ 的掺杂浓度。

11. 如权利要求 1 所述的半导体器件,所述半导体器件还包含在所述基板层与所述沟道层之间的缓冲层。

12. 如权利要求 9 所述的半导体器件,所述半导体器件还包含在所述基板层与所述漂移层之间的缓冲层。

13. 如权利要求 11 所述的半导体器件,其中,所述缓冲层具有 $0.1\mu\text{m} \sim 1\mu\text{m}$ 的厚度和 $5 \times 10^{17}\text{cm}^{-3} \sim 5 \times 10^{18}\text{cm}^{-3}$ 的掺杂浓度。

14. 如权利要求 1 所述的半导体器件,其中,所述器件包含多个凸起区,其中所述多个

凸起区是伸长的,并且以间隔关系设置成指状物。

15. 如权利要求 1 所述的半导体器件,其中,所述第一导电类型的半导体材料为 n 型半导体材料,并且其中,所述第二导电类型的半导体材料为 p 型半导体材料。

16. 如权利要求 1 所述的半导体器件,其中,所述半导体材料为宽带隙半导体材料。

17. 如权利要求 1 所述的半导体器件,其中,所述半导体材料为 SiC。

18. 如权利要求 1 所述的半导体器件,其中,所述器件为结型场效应晶体管 (JFET)。

19. 如权利要求 1 所述的半导体器件,所述半导体器件还包含:

位于所述沟道层的下表面上的第一栅接点;

位于所述源层上的源接点;和

位于与所述沟道层相对的所述基板层上的漏接点。

20. 一种电路,所述电路包含权利要求 19 所述的半导体器件。

21. 如权利要求 20 所述的电路,其中,所述电路为集成电路。

22. 一种制造半导体器件的方法,所述方法包括:

将离子注入第一导电类型的半导体材料的沟道层中以形成不同于所述第一导电类型的第二导电类型的半导体材料的注入栅区,其中,所述沟道层位于基板层的上表面上,并且其中所述沟道层包含一个或多个凸起区,所述凸起区包含上表面和由下表面分开的第一侧壁和第二侧壁,其中,邻近所述下表面的所述凸起区的所述第一侧壁和第二侧壁向内渐缩并与垂直于所述基板层的上表面的方向形成至少 5° 的角,其中所述注入栅区形成在所述侧壁中和所述沟道层的下表面中;和

在所述一个或多个凸起区的上表面上形成所述第一导电类型的半导体材料的源层,

其中,邻近所述一个或多个凸起区的上表面的第一侧壁和第二侧壁的方向与垂直于所述基板层的上表面的方向呈 $<5^\circ$ 的角。

23. 如权利要求 22 所述的方法,其中,所述离子以与垂直于所述基板层的上表面的方向呈 $\pm 2^\circ$ 的角度注入所述沟道层。

24. 如权利要求 22 所述的方法,其中,所述第一侧壁和第二侧壁是二重倾斜侧壁。

25. 如权利要求 22 所述的方法,其中,邻近所述一个或多个凸起区的上表面的所述第一侧壁和第二侧壁的方向与垂直于所述基板层的上表面的方向呈 $<2^\circ$ 的角。

26. 如权利要求 22 所述的方法,所述方法还包含在所述基板层与所述沟道层之间的所述第一导电类型的半导体材料的漂移层。

27. 如权利要求 22 所述的方法,所述方法还包含在所述基板层与所述沟道层之间的缓冲层。

28. 如权利要求 26 所述的方法,所述方法还包含在所述基板层与所述漂移层之间的缓冲层。

29. 如权利要求 22 所述的方法,其中,所述器件包含多个凸起区,其中所述多个凸起区是伸长的,并且以间隔关系设置成指状物。

30. 如权利要求 22 所述的方法,其中,所述第一导电类型的半导体材料为 n 型半导体材料,并且其中,所述第二导电类型的半导体材料为 p 型半导体材料。

31. 如权利要求 22 所述的方法,所述方法还包括:

在所述沟道层的下表面上形成栅接点;

在所述源层上形成源接点 ;和

在与所述沟道层相对的所述基板层上形成漏接点。

32. 如权利要求 12 所述的半导体器件,其中,所述缓冲层具有 $0.1\ \mu\text{m} \sim 1\ \mu\text{m}$ 的厚度和 $5 \times 10^{17}\text{cm}^{-3} \sim 5 \times 10^{18}\text{cm}^{-3}$ 的掺杂浓度。

具有倾斜侧壁的垂向结型场效应晶体管及其制造方法

[0001] 本申请要求于 2008 年 11 月 5 日递交的美国临时专利申请第 61/111,437 号的权利, 本文通过援引并入其全部内容。

[0002] 关于联邦资助研究的声明

[0003] 本发明是根据美国空军研究实验室授予的第 FA8650-06-D-2680 号合同在美国政府支持下做出的。美国政府可以具有本发明的某些权利。

[0004] 本文所用的章节标题仅出于组织的目的, 不应将其以任何方式解释为对本文所述主题的限制。

[0005] 背景

[0006] 领域

[0007] 本申请主要涉及半导体器件及其制造方法。

背景技术

[0008] 迄今为止, 已经提出将垂直沟道碳化硅结型场效应晶体管作为具有垂直或接近垂直的侧壁的器件 [1, 2]。然而, 在具有垂直或接近垂直的侧壁的器件中, 难以利用离子注入实现均匀的 p^+ 侧壁掺杂。特别是, 法向入射的离子注入能够导致具有低掺杂物浓度的不均匀掺杂侧壁。

[0009] 已经公开利用有角度的离子注入来掺杂侧壁 [1]。然而, 即使利用该方法, 也难以实现具有均匀沟道宽度 (w_{ch}) 的理想结构。特别是, 有角度的注入的使用仍能够导致槽底附近的较重掺杂和沿侧壁的不均匀掺杂, 这降低了器件性能。此外, 为确保在两个侧壁上进行相似的掺杂, 必须在注入过程中旋转晶片。然而, 对于 SiC 而言, 离子注入需要不同能级的多次注入。因此, 包括晶片旋转和有角度的注入的方法会显著增加制造方法的复杂性和成本。

[0010] 因此, 对于制造具有更均匀和得到良好控制的沟道宽度的半导体器件 (如垂向 JEET (结型场效应晶体管) 等) 的改进方法仍然存在需求。

发明内容

[0011] 本发明提供了一种半导体器件, 所述半导体器件包含:

[0012] 第一导电类型的半导体材料的基板层;

[0013] 在所述基板层的上表面上的所述第一导电类型的半导体材料的沟道层, 所述沟道层包含一个或多个凸起区, 所述凸起区包含上表面和由下表面分开的第一侧壁和第二侧壁, 其中, 邻近所述下表面的所述凸起区的第一侧壁和第二侧壁向内渐缩 (tapered) 并与垂直于所述基板层的上表面的方向形成至少 5° 的角, 其中, 所述一个或多个凸起区包含所述第一导电类型的半导体材料的内在部分和不同于所述第一导电类型的第二导电类型的半导体材料的外在部分, 其中, 所述外在部分与所述第一侧壁和第二侧壁邻近;

[0014] 位于所述沟道层的下表面中的所述第二导电类型的半导体材料的栅区, 所述沟道层与相邻凸起区的外在部分邻近并连接; 和

[0015] 位于所述一个或多个凸起区的上表面上的所述第一导电类型的半导体材料的源层。

[0016] 本发明还提供了一种方法,所述方法包括:

[0017] 将离子注入第一导电类型的半导体材料的沟道层中以形成不同于所述第一导电类型的第二导电类型的半导体材料的注入栅区,其中,所述沟道层位于基板层的上表面上,并且其中所述沟道层包含一个或多个凸起区,所述凸起区包含上表面和由下表面分开的第一侧壁和第二侧壁,其中,邻近所述下表面的凸起区的第一侧壁和第二侧壁向内渐缩并与垂直于所述基板的上表面的方向形成至少 5° 的角,其中所述注入栅区形成在所述侧壁中和所述沟道层的下表面中;和

[0018] 在所述一个或多个凸起区的上表面上形成所述第一导电类型的半导体材料的源层。

[0019] 此处说明本教导的这些和其他特征。

附图说明

[0020] 本领域技术人员将会理解,以下所述的附图仅出于说明目的。附图并不意在以任何方式限制本教导的范围。

[0021] 图 1A ~ 1D 是具有离子注入的垂直侧壁的正常关闭型 (normally-off) SiC VJFET (垂向结型场效应晶体管) 的理想结构 (图 1A 和 1C) 和实际结构 (图 1B 和 1D) 的示意图,其中,栅周围的耗尽区显示零栅偏压 (即,关闭状态) (图 1A 和 1B) 和大于阈值电压的正电压 (即,开启状态) (图 1C 和 1D),其中,器件端子 (栅、源和漏) 显示在图 1A 中并且也适用于图 1B、1C 和 1D。

[0022] 图 2 是具有倾斜侧壁的垂向结型场效应晶体管 (VJFET) 的示意图。

[0023] 图 3 是具有二重倾斜侧壁的垂向结型场效应晶体管 (VJFET) 的示意图。

[0024] 图 4A 和 4B 是将 VJFET 器件特性 (I_d - V_g :漏极电流 (drain current)-栅电压) 显示为一重倾斜 (图 4A) 和二重倾斜 (图 4B) 器件的漏电压的函数的图,其中,DIBL (漏致势垒降低) 的程度由 I_d - V_g 曲线随漏电压升高的负偏移表示。

[0025] 图 5A 和 5B 是显示一重倾斜 (图 5A) 和二重倾斜 (图 5B) 器件在 $V_{gs} = -5V$ 和 $-10V$ 时关于栅-源漏电流 (leakage) 的器件良率的表。

[0026] 图 5C 是对于一重倾斜和二重倾斜器件总结来自图 5A 和 5B 的数据的表。

[0027] 图 6A 和 6B 是显示对具有一重倾斜 (图 6A) 和多重倾斜 (图 6B) 指状物的器件进行栅-源 (G-S) 漏电流测量的示意图。

[0028] 图 7 是显示具有一重倾斜和多重倾斜指状物的器件在漏电流为 $5 \mu A$ 时所对应的反向偏压的图。

[0029] 图 8 是显示具有一重倾斜和多重倾斜指状物的器件在 V_{gs} 为 $-15V$ 时以安培为单位测得的栅-源 P-N 结反向漏电流的图。

具体实施方式

[0030] 出于解释本说明书的目的,除非另有说明或使用“和 / 或”明显不合适,否则本文使用的“或”是指“和 / 或”。除非另有说明或使用“一种或多种”明显不合适,否则此处使用

的“一种”是指“一种或多种”。“包含”和“包括”(“comprise”、“comprises”、“comprising”、“include”、“includes”和“including”)的使用是可互换的,并且并非意在起限制作用。此外,当一个或多个实施方式的描述中使用术语“包含”时,本领域技术人员会理解,在某些特定情况下,作为选择,这些实施方式也可以使用“基本上由……构成”和/或“由……构成”这样的语言来描述。还应理解,在一些实施方式中,步骤的顺序或执行某些动作的顺序并不重要,只要本教导能够保持可行性即可。此外,在某些实施方式中,两个或多个步骤或动作可以同时进行。

[0031] 已经提出将垂直沟道碳化硅结型场效应晶体管作为具有垂直或接近垂直的侧壁的器件[1],[2]。具有垂直侧壁的器件具有几个缺点。首先,难以使用直接的制造方法(例如,离子注入)实现均匀的 p^+ 侧壁掺杂。

[0032] 具有均匀掺杂的侧壁的理想结构示意图性地显示在图 1A(关闭状态)和图 1C(开启状态)中。然而,法向入射的离子注入导致形成不均匀、低掺杂的侧壁,如图 1B(关闭状态)和图 1D(开启状态)所绘制的实际结构中所示。

[0033] 已经提出了利用有角度的离子注入来掺杂侧壁[1]。然而,即使利用该方法,也不能实现如图 1A(关闭状态)和 1C(开启状态)中所示的具有均匀沟道宽度(w_{ch})的理想结构。特别是,有角度注入仍会导致槽底附近的较重掺杂和沿侧壁的不均匀掺杂。此外,对于有角度的离子注入而言,必须在注入过程中旋转晶片以确保在两个侧壁上进行相似的掺杂。不幸的是,SiC 的离子注入非常昂贵。特别是,SiC 中的扩散十分轻微,因此必须通过注入来实现所需分布(即,“原始注入的(as implanted)”分布)。结果,通常需要不同能级的多次注入来实现所需分布。另外,对于 SiC 器件而言,在注入过程中通常将基板加热至高温(例如, $\sim 600^\circ\text{C}$)以减少晶格损伤。因此,包括晶片旋转和有角度注入的制造方法会显著增加方法的复杂性和成本。

[0034] 沿沟道的长度方向(L_{ch})在 w_{ch} 上具有一定程度的变化的实际器件的示意图示于图 1B(关闭状态)和图 1D(开启状态)。器件的电特性由相对的栅的耗尽区相交处的沟道的点或部分决定。在沟道的最窄点处的耗尽区的交迭产生了漏和源之间的能量势垒,由此防止电流。势垒的高度和形状同时决定了器件的正向导电特性(包括阈值电压)和反向阻断特性。器件的指状物宽度(w_f)决定了器件在零栅偏压下为正常开启还是正常关闭。对于较大的 w_f ,相对的栅-沟道 p-n 结的耗尽区不交迭,并且在零栅偏压下存在导电沟道(即,正常开启器件/负阈值电压)。随着 w_f 降低,耗尽区的交迭会防止零偏压下的电流(即,正常关闭器件/正阈值电压)。

[0035] 交迭程度设定零栅偏压下的势垒并因而设定阈值电压。对于正常关闭器件而言,零栅偏压下的势垒应该能够防止在额定截止电压下的过电流。较高的漏电压通过公知的漏致势垒降低(DIBL)现象降低势垒。DIBL 效应随势垒远离漏和更接近于源而降低。这突出了离子注入垂直侧壁的另一明显缺点:沟道宽度(w_{ch})在沟道的漏端处较窄(参见图 1D)。结果,该处形成的势垒非常易于发生 DIBL,从而降低器件的截止电压。实际中,器件具有较差的静电整体性。

[0036] 相关问题是,在开启状态下饱和电流降低。当栅偏压升高至超过阈值电压时,栅耗尽区减小并且在漏和源之间形成导电沟道。然而,对于较大的漏电压,栅-漏 p-n 结变为反向偏压,并且位于沟道的漏端处的耗尽区会增大,直至导电沟道被夹断和电流“饱和”。具有

垂直侧壁和注入栅的 JFET 的实际注入会在沟道的漏端处具有较窄的 w_{ch} , 因此低漏偏压下的夹断会导致不期望的低饱和电流。

[0037] 一些实施方式提供了具有倾斜侧壁的垂直沟道 JFET。该类型的器件如图 2 中所描绘。如图 2 所示, 器件包含 n^+ 基板、位于所述基板上的 n^+ 缓冲层、位于所述缓冲层上的 n^- 漂移层和位于所述漂移层上的 n 沟道层。还如图 2 中所示, 沟道层包含具有与漂移层相对的上表面的凸起区。源层位于所述凸起区的上表面上。

[0038] 仍如表 2 中所示, 凸起区具有倾斜侧壁, 所述倾斜侧壁与垂直于基板表面所画的线形成角 θ 。根据一些实施方式, 侧壁可以充分倾斜, 以确保位于沟道的源端处的沟道宽度 (w_{ch}) 小于位于沟道的漏端处的 w_{ch} 。为满足这一要求, 对于常见结构, 侧壁角 θ 可以大于 5° 。该结构的优点包括以下:

[0039] • 在关闭状态下, 对于自源至漏的电子流的势垒位于源处 (离漏最远), 这可降低 DIBL 和提高器件的截止电压;

[0040] • 在漏端处的宽沟道可以提高开启状态中夹断沟道所需的漏电压, 由此增大饱和电流; 和

[0041] • 该结构与法向入射的离子注入相容, 因此可以简化注入工艺和降低成本。

[0042] 如果栅区通过离子注入形成, 则源和栅之间的区域可能被过重注入, 导致晶格损伤和具有窄耗尽区的 $p+n^+$ 栅-源结 (参见图 2) 及由此带来的高电场。这些因素会导致较高的栅-源漏电流。因此, 根据一些实施方式, 提供了如图 3 中所示的具有二重倾斜侧壁的器件。

[0043] 如图 3 所示, 器件包含 n^+ 基板、位于所述基板上的 n^+ 缓冲层、位于所述缓冲层上的 n^- 漂移层和位于所述漂移层上的 n 沟道层。所述沟道层包含具有与所述漂移层相对的上表面的凸起区。 n^+ 源层位于所述凸起区的上表面上。

[0044] 如图 3 中所示, 二重倾斜侧壁包含上方的第一倾斜部分和下方的第二倾斜部分。根据一些实施方式, 第一倾斜几乎是垂直的 (例如, θ 小于 $\pm 5^\circ$)。当第一倾斜接近垂直时, p 型注入物浓度以及由此注入损伤会在栅-源结处降低。

[0045] 在二重倾斜器件中, 电子势垒位于第二倾斜的起始处。因此, 根据一些实施方式, 第二倾斜可以位于尽可能接近源的位置。根据一些实施方式, 第二倾斜的起始处距源的距离可以不超过沟道长度一半。这比一重倾斜侧壁的情况中更靠近漏, 但仍比垂直侧壁的情况下更远。第二倾斜的角度可以大于 5° 。因此, 二重倾斜侧壁相对于垂直侧壁器件提供了改善的 DIBL 和饱和电流, 同时还降低了栅-源 $p-n$ 结附近的 p 型掺杂浓度和注入损伤, 二者都降低了栅-源漏电流。

[0046] 本文所述的具有倾斜侧壁的器件可以是使用已知半导体制造的通用垂向结型场效应晶体管 (例如, 正常开启和正常关闭型晶体管)。

[0047] 图 4A 和 4B 显示了作为一重倾斜器件 (图 4A) 和二重倾斜器件 (图 4B) 的漏电压的函数的器件特性 (I_d-V_g 漏极电流-栅电压)。DIBL 的程度由 I_d-V_g 曲线随漏电压升高的负偏移表示。从图 4A 和 4B 中可看出, 一重倾斜器件具有比二重倾斜器件小的 DIBL。二重倾斜器件又具有比垂直侧壁器件小的 DIBL。

[0048] 如上所述, 一重倾斜器件具有比二重倾斜器件小的 DIBL, 所述二重倾斜器件又具有比垂直侧壁器件小的 DIBL。二重倾斜结构的一个主要优点 (即, 较小的栅-源漏电流)

可以通过检查栅-源漏电流的器件良率而看出。

[0049] 图 5A 显示了一重倾斜器件的栅-源漏电流良率,而图 5B 显示了二重倾斜器件的栅-源漏电流良率。同时制造这些器件,不同之处仅在于指状物外形(即,一重倾斜与二重倾斜)。二重倾斜器件显示了较低的漏电流和因而较高的良率,特别是在 $V_{gs} = -10V$ 时。图 5C 是对于一重倾斜和二重倾斜器件总结来自图 5A 和 5B 的数据的表。

[0050] 图 6A 和 6B 是显示对具有一重倾斜(图 6A)和多重倾斜(图 6B)指状物的器件进行栅-源(G-S)漏电流测量的示意图。测量 $5\mu A$ 反向漏电流时的栅-源电压(V_{gs})。

[0051] 图 7 是显示分别如图 6A 和 6B 所示的具有一重倾斜和多重倾斜指状物的器件在漏电流为 $5\mu A$ 时所对应的反向偏压的图。如图 7 中所示,具有多重倾斜指状物的器件在漏电流为 $5\mu A$ 时所对应的反向偏压比具有一重倾斜指状物的大得多。从图 7 中还可以看出,具有二重倾斜外形的器件清楚地显示了比具有一重倾斜外形的器件更小的反向栅-源漏电流。

[0052] 图 8 是显示具有一重倾斜和多重倾斜指状物的器件在栅-源电压(V_{gs})为 $-15V$ 时以安培为单位测得的栅-源 P-N 结反向漏电流的图。从图 8 可以看出,具有一重倾斜外形的器件的栅-源漏电流高得多。

[0053] 用于制造所述器件的半导体材料可以是宽带隙半导体材料(即, $E_g > 2eV$ 的半导体材料)。宽带隙半导体材料的示例性非限制性实例包括碳化硅(SiC)和 III 族氮化物(例如,氮化镓 GaN)。

[0054] 所述器件的层可以通过利用已知技术使层掺杂有供体或受体材料而形成。用于 SiC 的示例性供体材料包括氮和磷。对于 SiC 氮为优选的供体材料。用于掺杂 SiC 的示例性受体材料包括硼和铝。对于 SiC 铝为优选的受体材料。然而,上述材料仅仅是示例性的,可以使用能够掺杂至碳化硅中的任何受体和供体材料。

[0055] 可以改变本文所述的掺杂物浓度和器件各层的厚度,以产生对于特定应用具有所需特性的器件。类似地,还可以改变所述器件的各种特征的尺度,以产生对于特定应用具有所需特性的器件。沟道层可以具有 $0.5\mu m \sim 5\mu m$ 的厚度和 $1 \times 10^{16} cm^{-3} \sim 1 \times 10^{18} cm^{-3}$ 的掺杂浓度。漂移层可以具有 $5\mu m \sim 15\mu m$ 的厚度和 $4 \times 10^{15} cm^{-3} \sim 2 \times 10^{16} cm^{-3}$ 的掺杂浓度。基板可以具有 $100\mu m \sim 500\mu m$ 的厚度和 $1 \times 10^{19} cm^{-3} \sim 5 \times 10^{19} cm^{-3}$ 的掺杂浓度。源层可以具有 $0.1\mu m \sim 1.0\mu m$ 的厚度和 $1 \times 10^{19} cm^{-3} \sim 1 \times 10^{20} cm^{-3}$ 的掺杂浓度。注入栅区可以具有 $5 \times 10^{18} cm^{-3} \sim 1 \times 10^{20} cm^{-3}$ 的掺杂浓度。可选的缓冲层可以具有 $0.1\mu m \sim 1.0\mu m$ 的厚度和 $5 \times 10^{17} cm^{-3} \sim 5 \times 10^{18} cm^{-3}$ 的掺杂浓度。这些掺杂物浓度和厚度仅是示例性的,并不意在进行限制。

[0056] 半导体材料的缓冲层、漂移层、沟道层和源层可以通过在适当基板上进行外延生长而形成。在外延生长过程中可以对这些层进行掺杂。

[0057] 虽然上述说明书教导了本发明的原理并出于说明目的而提供了实例,但是本领域技术人员通过阅读此公开内容将会意识到,可以进行形式和细节的各种改变,而不脱离本发明的真正范围。

[0058] 参考文献

[0059] [1] 美国专利申请公开第 2007/0187715A1 号, "Power Junction Field Effect Power Transistor with Highly Vertical Channel and Uniform Channel Opening"

[0060] [2] 美国专利第 5,903,020 号, " Silicon Carbide Static Induction Transistor Structure"

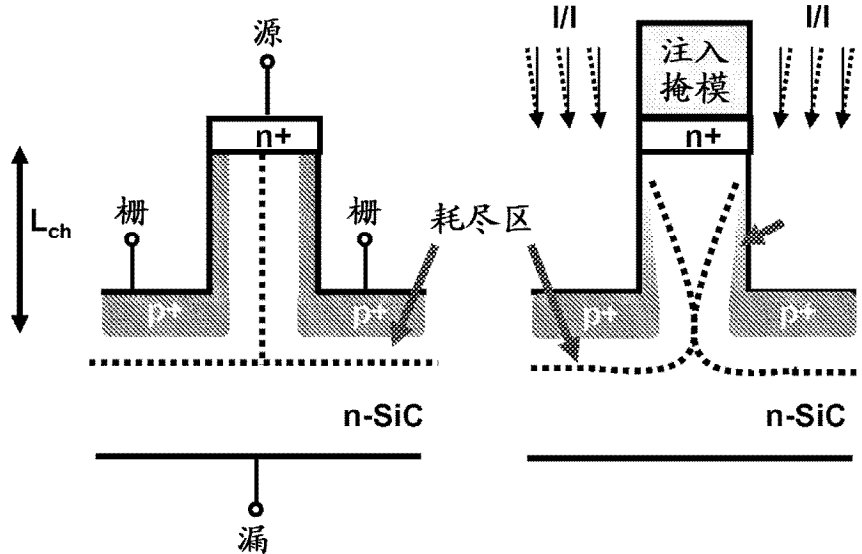


图 1A

图 1B

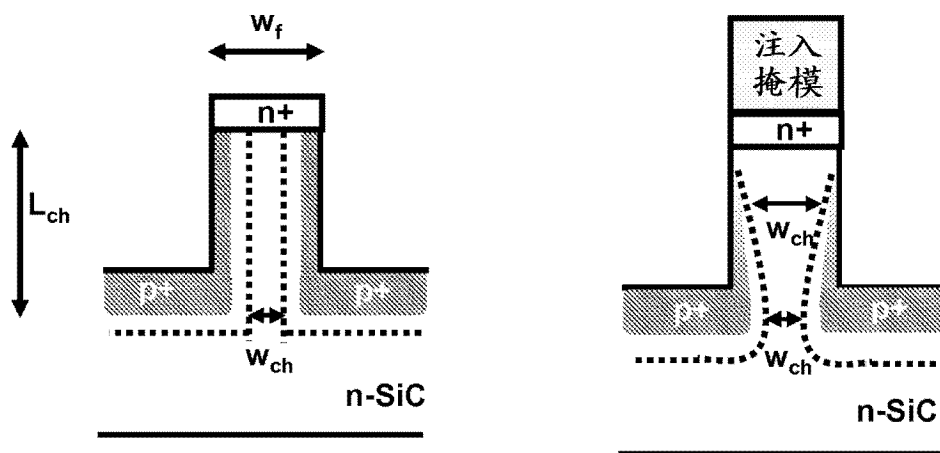


图 1C

图 1D

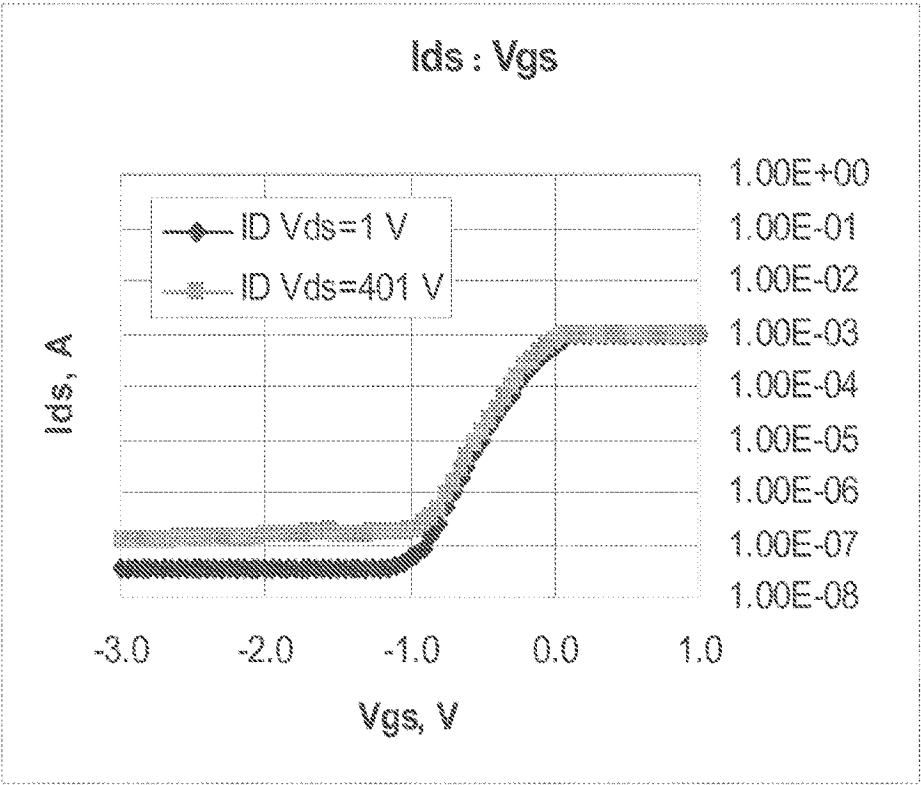


图 4A

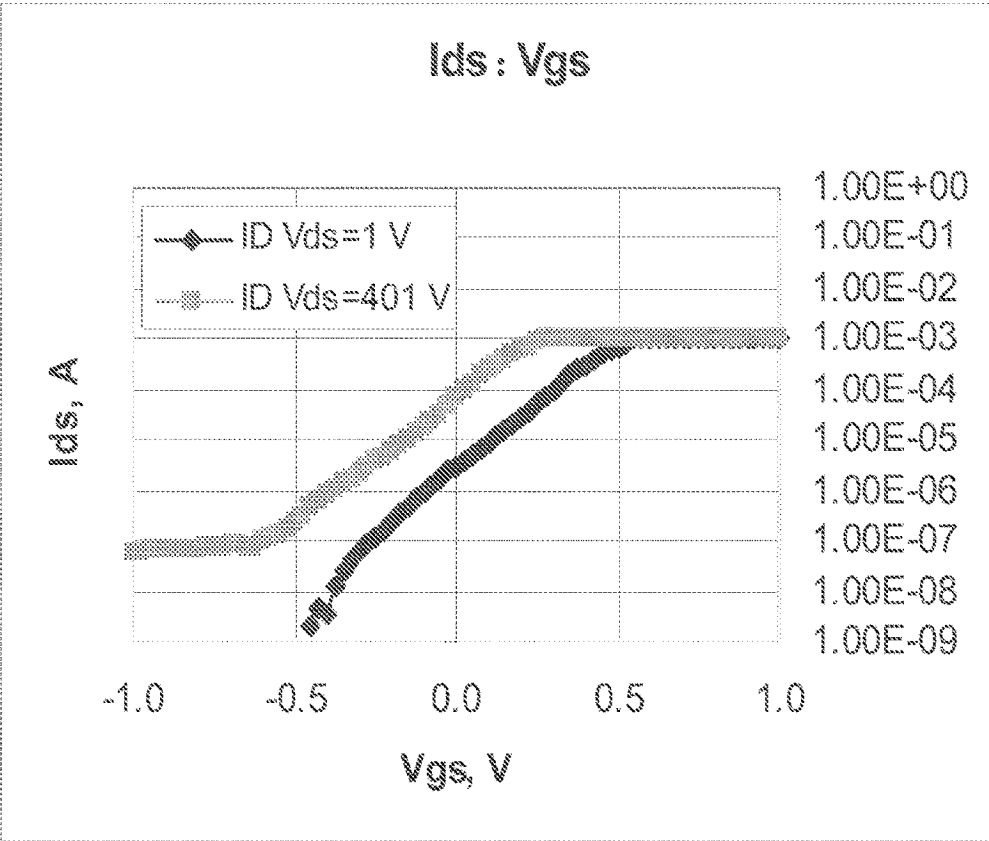


图 4B

批次名称 SABJY-EB-E1001-06-Final
器件名称 1200 E1 V2 2000x2000
晶片名称 1

测试名称	下限	上限	良率
#2001 I_{gs} ($V_{gs}=-5\text{ V}$)	-0.0003	0.0001	86.16 %
#2002 Gate Current $V_{gs}=-10\text{ V}$	-0.0003	0.0001	1.08 %

总计=925; 良好=10; 良率=1.081%

图 5A

批次名称 _____ SABJY EB-E110F-18-Final
器件名称 _____ 1200 E1 V2 2000x2000
晶片名称 _____ 1

测试名称	下限	上限	良率
#2001 I _{gs} (V _{gs} =-5 V)	-0.0003	0.0001	76.22 %
#2002 Gate Current V _{gs} =-18 V	-0.0003	0.0001	72.54 %

总计=925; 良好=671; 良率=72.541%

图 5B

器件类型	V _{gs} =-10V时栅-源电流 (I _{gs}) 的上限	合乎规格的器件%
一重倾斜	0.0003 A	1.1 %
二重倾斜	0.0003 A	72.5 %

图 5C

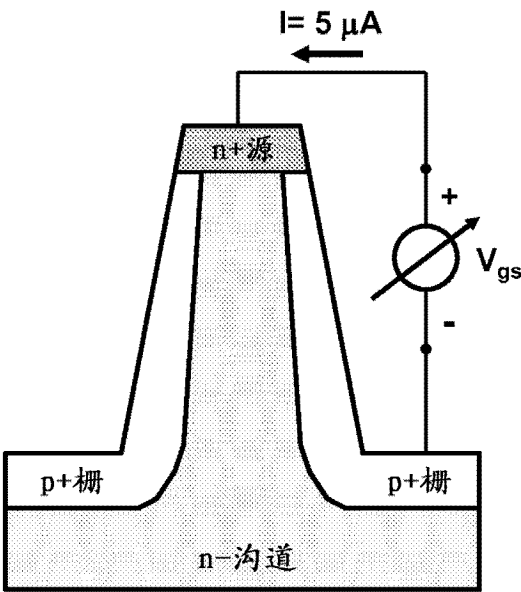


图 6A

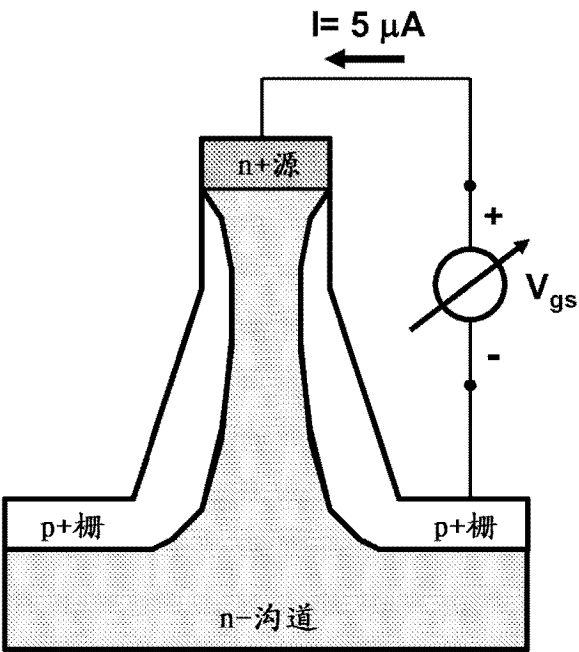


图 6B

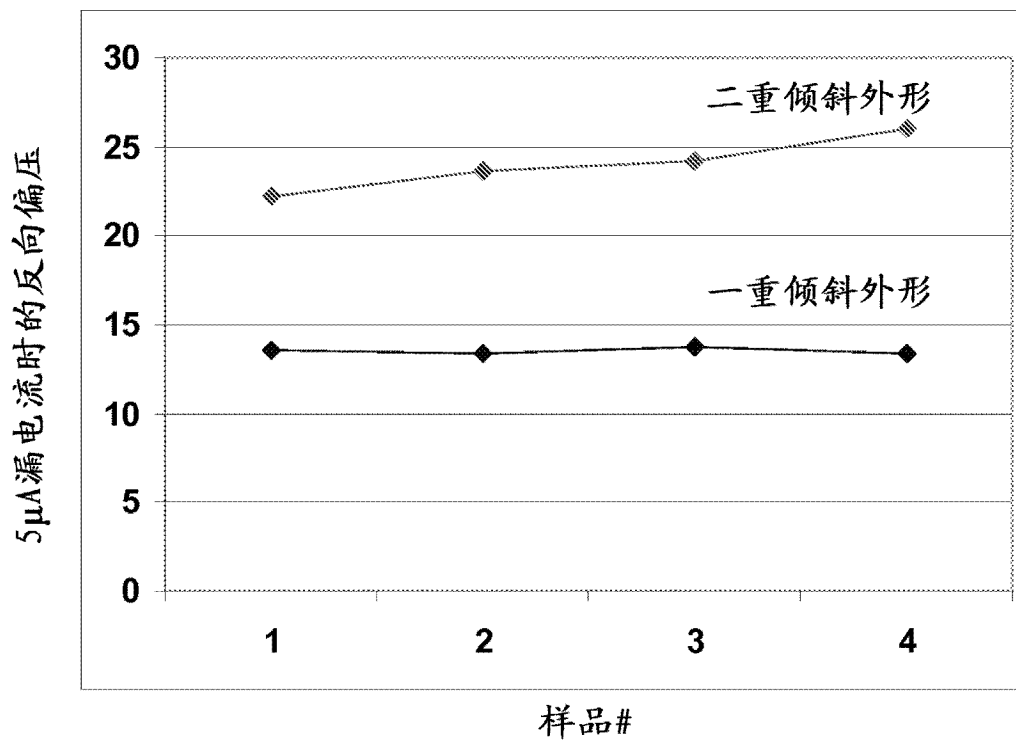


图 7

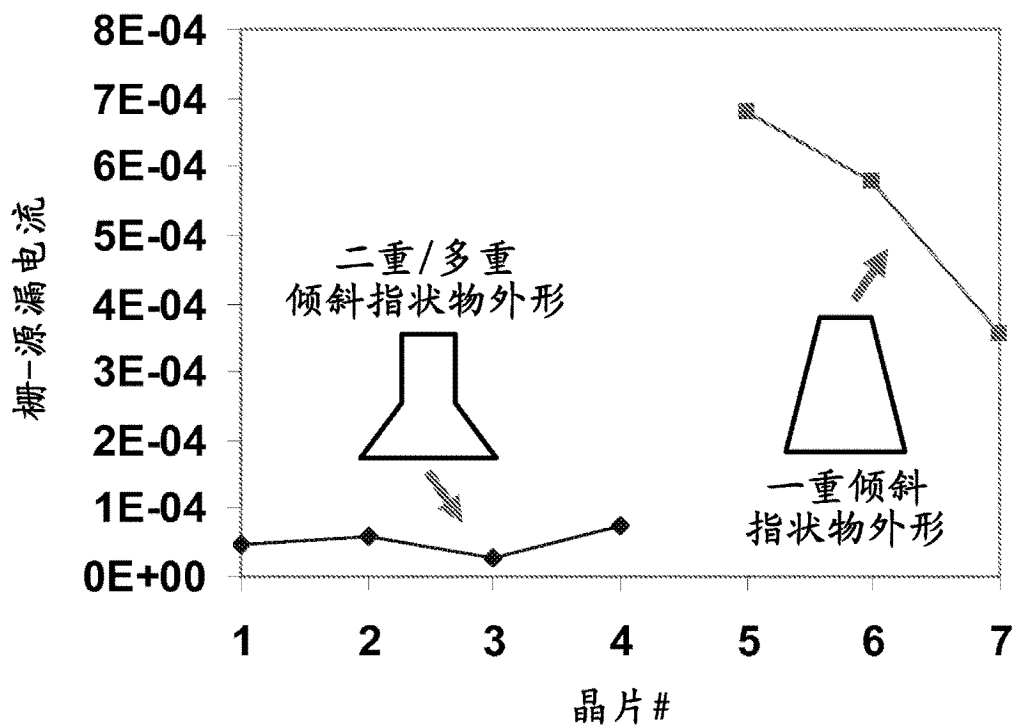


图 8