(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3545131号
(P3545131)
(45)発行日　平成16年7月21日(2004.7.21)　(24)登録日　平成16年4月16日(2004.4.16)

(51)Int.Cl.[7]	F I	
H01L 29/786	H01L	29/78　623A
H01L 21/205	H01L	21/205
H01L 21/265	H01L	21/265　W
H01L 21/336	H01L	29/78　618A

請求項の数 4　(全 10 頁)

(21)出願番号　特願平8-171884
(22)出願日　平成8年6月11日(1996.6.11)
(65)公開番号　特開平9-331068
(43)公開日　平成9年12月22日(1997.12.22)
審査請求日　平成15年5月30日(2003.5.30)

(73)特許権者　000153878
株式会社半導体エネルギー研究所
神奈川県厚木市長谷３９８番地
(72)発明者　田中　信洋
神奈川県厚木市長谷３９８番地　株式会社半導体エネルギー研究所内
(72)発明者　福永　健司
神奈川県厚木市長谷３９８番地　株式会社半導体エネルギー研究所内

審査官　棚田　一也

(56)参考文献　特開平０３－２７３６４７（ＪＰ，Ａ）
特開平０６－２９５９２５（ＪＰ，Ａ）

最終頁に続く

(54)【発明の名称】半導体装置の作製方法

(57)【特許請求の範囲】
【請求項１】
絶縁性を有する基板上に半導体装置を作製する方法において、
前記基板の上面および下面に珪素膜を同時に成膜し、
前記上面側の珪素膜をパターニングして、活性層となる島状半導体層を形成した後、前記下面側の珪素膜を静電シールドして機能させるために、前記下面側の珪素膜のみに対して導電性を付与する不純物イオンを注入し、
不純物イオンの注入の後、島状半導体層の上にゲート絶縁膜を形成し、前記ゲート絶縁膜の上にゲート電極を形成することを少なくとも行って、半導体装置を作製し、
前記半導体装置の完成後に、前記下面側の不純物イオンが注入された珪素膜を除去すること、
を少なくとも有することを特徴とする半導体装置の作製方法。
【請求項２】
請求項１において、珪素膜の成膜方法は減圧熱ＣＶＤ法であることを特徴とする半導体装置の作製方法。
【請求項３】
絶縁性を有する基板上に半導体装置を作製する方法において、
前記基板の上面および下面に非晶質珪素膜を同時に成膜し、
前記非晶質珪素膜を結晶化し、結晶性珪素膜とし、
前記上面側の結晶性珪素膜をパターニングして、活性層となる島状半導体層を形成した後

、前記下面側の結晶性珪素膜を静電シールドして機能させるために、前記下面側の結晶性珪素膜のみに対して導電性を付与する不純物イオンを注入し、
不純物イオンの注入の後、島状半導体層の上にゲート絶縁膜を形成し、前記ゲート絶縁膜の上にゲート電極を形成することを少なくとも行って、半導体装置を作製し、
前記半導体装置の完成後に、前記下面側の不純物イオンが注入された結晶性珪素膜を除去すること、
を少なくとも有することを特徴とする半導体装置の作製方法。

【請求項４】
請求項３において、非晶質珪素膜の成膜方法は減圧熱ＣＶＤ法であることを特徴とする半導体装置の作製方法。

【発明の詳細な説明】
【０００１】
【発明が属する技術分野】
本明細書で開示する発明は、静電気対策を兼ね備えた半導体装置の作製方法に関する。特に、ガラス基板上に形成された薄膜トランジスタなどの薄膜半導体を用いた半導体装置の作製方法に関する。
【０００２】
【従来の技術】
静電気の帯電現象（接触帯電、摩擦帯電、剥離帯電等）により、絶縁材料等が時には数十ｋＶもの高い帯電を示すことがあり、その周辺には強い電磁界が生じることが知られている。金属材料等の導電体は、この様な環境に置かれると表面に誘起電荷を生じたり、金属材料内での極性分離を起こしたりして静電気放電（ＥＳＤ：ｅｌｅｃｔｒｏｓｔａｔｉｃ　ｄｉｓｃｈａｒｇｅ　）の原因となる危険性に曝される。
【０００３】
ところが現状では、半導体産業が急速に発展する一方で半導体工場における静電気対策の不備が指摘されている。静電気対策とは、即ち静電気放電（ＥＳＤ）によるデバイス素子の静電破壊等を防止するための対策である。
【０００４】
その理由は、静電気対策について未だ不明瞭な問題が多く残されていることと、静電気対策を施すためにはかなり大がかりな環境作りが必要であり、そのための設備投資が経営者にとっては大きな経済的負担となってしまうことである。
【０００５】
以上の理由から、どうしても静電気対策は簡易なものに留まる上、管理者の知識不足から効果的な対策が施されていないことが多いと言われる。一般的に施される静電気対策としては、大別すると、帯電体を接地して電荷を速やかに漏洩させる方法と放射イオンにより帯電体の電荷を中和する方法がある。
【０００６】
例えば、除電対象物が静電気的に導体（一般的には１．０　×１０^{6}　Ωｍ　以下）である場合には接地による方法が有効である。また、対象物が移動していたり不導体（一般的には１．０　×１０^{10} Ωｍ　以上）である場合にはプラスまたはマイナスイオンにより中和する方法が有効である。
【０００７】
この理由を図３を用いて説明する。図３（Ａ）は導電体（金属等）が帯電した状態を示している。この場合、外部電界の影響がないとしたら帯電した電荷の強さも極性も均一となる。しかし、図３（Ｂ）に示す様に、不導体（ガラス等）が帯電すると、電荷の強さも極性も異なるものとなってしまう。これは導電体における電荷の高い移動性と不導体における電荷の非移動性による。
【０００８】
また、図３（Ｃ）に示す様に帯電した導電体が接地されれば一気に電荷を失い、導電体は除電される。しかし、図３（Ｄ）に示す様に不導体は接地されても電荷の移動が極めて遅

いため除電にはかなりの時間がかかるか、場合によっては実質的に除電されないといったことがある。

【０００９】

そのため不導体が帯電した場合、接地しての除電は効率が悪いのでプラスに帯電した領域はマイナスイオンで中和し、マイナスに帯電した領域はプラスイオンで中和する必要が生じるのである。

【００１０】

イオンにより中和する方法としては、コロナ放電を利用して空気中の例えば窒素成分の分子を電気量の変化によってプラスまたはマイナスの極性を持つイオンに変化させ、空気中に両極性イオンを均一に散布させる方法が一般的である。このための装置はイオナイザーと呼ばれ、一般的に普及している。

【００１１】

最近の半導体産業では、アモルファスシリコン薄膜を用いた薄膜トランジスタ（ＴＦＴ）から低温ポリシリコン薄膜を用いたＴＦＴへと開発の流れが移りかわりつつあり、それに伴って安価なガラス基板上に半導体回路を形成する技術の需要がさらに増してきている。ガラス基板は言うまでもなく絶縁性を有しており、不導体である。

【００１２】

そして、半導体装置の製造過程の中で接触帯電、摩擦帯電、剥離（分離）帯電等の様々な原因によりガラス基板は帯電する。さらに、ガラス基板に蓄積した電荷は電磁界を形成し、絶縁された導電体（例えば、ガラス基板上に形成された配線など）に電荷を誘起させる。この誘導電荷がＥＳＤを生じるのに十分なほど誘起されると、放電時にデバイス素子を損傷させることになる。

【００１３】

従って、ガラス基板の除電が必須項目となるのだが、ガラス基板が不導体である以上、イオナイザーによる電荷の中和に頼る以外に効果的な除電方法がなかった。実際、各社ではクリーンルーム内の各所にイオナイザーを配置して室内全域に静電気対策を施したり、基板毎に除電ブロー等を行って帯電した電荷を除去する方法が採られている。

【００１４】

しかしこの方法は両極性イオンの発生量のバランス制御が難しく、バランスが崩れると逆に除電対象物を過剰なプラスまたはマイナスの電荷でもって帯電させてしまうことにもなりかねないという問題がある。

【００１５】

また、コロナ放電を起こすイオナイザーの電極針は、汚れや電蝕変形によって性能の劣化を生じるためメンテナンス管理が必要であり、恒久的な静電気対策としてはコスト的にも簡易な手段とは言えないのが現状である。また、電極針に静電気により集まったゴミがクリーンルームのゴミの発生源となる例も報告されている。

【００１６】

【発明が解決しようとする課題】

本明細書で開示する発明は、簡易な静電気対策を施した環境で半導体装置を作製し、製造歩留りを向上させる技術を提供することを課題とする。

【００１７】

【課題を解決するための手段】

本明細書で開示する発明の構成は、

絶縁性を有する基板上に半導体装置を作製する方法において、

前記基板の下面に導電性を有する薄膜を形成する工程を少なくとも有し、

前記導電性を有する薄膜を静電シールドとして機能せしめることを特徴とする。

【００１８】

上記導電性を有する薄膜としては、金属または金属化合物を主成分とする薄膜や導電性を付与する不純物イオンを含んだ半導体薄膜などが挙げられる。特に、半導体薄膜として珪素膜を用いると基板の上面側（薄膜トランジスタの活性層を構成する）および下面側（静

電シールドとして活用する）に同時に成膜することが可能であるので、特に成膜工程を増やすことがない利点がある。

【００１９】

即ち、他の発明の構成は、

絶縁性を有する基板上に半導体装置を作製する方法において、

前記基板の上面および下面に珪素膜を成膜する工程と、

前記下面側に成膜された珪素膜に対して導電性を付与する不純物イオンの注入を行う工程と、

前記半導体装置の完成後に前記下面側の珪素膜を除去する工程と、

を少なくとも有し、

前記下面側に成膜された珪素膜を静電シールドとして機能せしめることを特徴とする。

【００２０】

また、珪素膜の成膜方法はプラズマＣＶＤ法であっても減圧熱ＣＶＤ法であっても良い。なお、減圧熱ＣＶＤ法によると、現状の装置構成のままでも基板を浮かした状態で支持する構成とすれば、その成膜機構の特徴により上面、下面に拘わらず緻密で密着性に優れた珪素膜を得ることができるため有効である。

【００２１】

また、他の発明の構成は、

絶縁性を有する基板上に形成された半導体装置であって、

前記基板の下面には導電性を有する薄膜が形成され、

前記導電性を有する薄膜は静電シールドとして機能することを特徴とする。

【００２２】

この場合、静電シールドとして機能する薄膜は半導体装置が完成した後も除去する必要のない透光性を有する導電膜（透明導電膜）が望ましい。透明導電膜としてはＩＴＯ膜に代表されるインジウムやスズの酸化物を主成分とする金属化合物が一般的である。

【００２３】

【発明の実施の形態】

ここで本発明を実施する形態の一例を図１を用いて説明する。具体的には、ガラス基板上に薄膜トランジスタを形成する際に、本発明を実施する場合の形態を示すことにする。

【００２４】

絶縁性表面を有するガラス基板１０１に対して、後に薄膜トランジスタの活性層を構成する珪素膜を成膜する際に、ガラス基板１０１の上面側および下面側の両方に成膜を行う。

【００２５】

そして本発明では下面側に成膜された珪素膜１０３に対して不純物イオンの注入を行い、導電性を付与した珪素膜１０５として、後工程における静電シールドとして活用する。

【００２６】

上記構成でなる本発明について、以下に記載する実施例でもって詳細な説明を行うこととする。

【００２７】

【実施例】

〔実施例１〕

本実施例では、ガラス基板上に薄膜トランジスタを形成する作製過程において、静電シールドとして導電性を付与した珪素膜を用いる場合の例を示す。説明には図１を用いる。

【００２８】

図１（Ａ）において、１０１で示されるのは絶縁性を有する基板であり、本実施例ではガラス基板を用いる。なお、ガラス基板１０１の表面には図示しない酸化珪素膜が成膜されている。この酸化珪素膜は、ガラス基板１０１とデバイス素子との間のバッファ層となるものである。

【００２９】

次に、後に薄膜トランジスタの活性層を構成する図示しない珪素膜を成膜する。成膜する

珪素膜は非晶質珪素膜であっても結晶性珪素膜であっても良い。本実施例では非晶質珪素膜を減圧熱ＣＶＤ法により１０００Åの厚さに成膜する。

【００３０】

また成膜の際、基板１０１は下面の隅４点をプッシャーピンによって支持された状態で成膜されるので、上面のみならず側面および下面にも同じ膜質の非晶質珪素膜を成膜することが可能である。

【００３１】

次に、本実施例では図示しない非晶質珪素膜を結晶性珪素膜へと変成させる。この結晶化工程は公知の加熱処理やレーザーアニール処理を用いれば良い。そして、得られた結晶性珪素膜の上面側をパターニングして、ドライエッチング法により活性層となる島状半導体層１０２を形成する。

【００３２】

このドライエッチング工程の際、ガラス基板１０１の側面に存在した珪素膜もプラズマに曝されるためエッチング除去され、島状半導体層１０３以外にはプラズマに曝されないガラス基板１０１の下面のみに珪素膜１０３が残存する。こうして図１（Ａ）の状態が得られる。

【００３３】

そして、図１（Ｂ）に示す様に、このガラス基板１０１の下面に残存した珪素膜１０４に対して一導電性を付与する不純物イオン（例えば、リンまたはボロンイオン）の注入を行う。なお、イオン注入の際、ガラス基板１０１の上面側はレジストマスク１０４で保護しておく。

【００３４】

こうして珪素膜１０３に対して導電性を付与した状態を得る。この様にして導電性を付与した珪素膜１０５は、この先の後工程において静電シールドとして機能することになる。

【００３５】

図１（Ｂ）に示す状態が得られたら、レジストマスク１０４を除去した後、公知の作製工程に従ってガラス基板１０１の上面側に、ゲイト絶縁膜１０６、ゲイト電極１０７、ソース領域１０８、ドレイン領域１０９、チャネル形成領域１１０、層間絶縁膜１１１、ソース電極１１２、ドレイン電極１１３を形成する。

【００３６】

この様にして、目的の薄膜トランジスタが完成したら、静電シールドとして機能させた導電性を付与した珪素膜１０５を除去して、図１（Ｃ）に示す構造を有する薄膜トランジスタが完成する。

【００３７】

なお、公知の技術において静電シールドとして機能する珪素膜１０５が除去されてしまう様な工程は避けなければならない。本実施例では島状半導体層１０２の形成以外に珪素膜をエッチングする工程を含まない様な工程を採用した。

【００３８】

また、本実施例は説明のため最も簡単な構造のプレーナ型薄膜トランジスタを例としたが、どの様な構造の薄膜トランジスタであっても本発明が応用できることは言うまでもないことである。従って、目的に応じて画素用またはドライバー用の薄膜トランジスタを作製したり、逆スタガ型の薄膜トランジスタを作製する場合においても本発明は実施可能である。

【００３９】

以下に、上記薄膜トランジスタの作製過程において、導電性を付与した珪素膜１０５の静電シールドとしての機能がどの様なものであるかを説明する。なお、実際の静電気の挙動は複雑で不明瞭な部分も多いため、模式的に静電シールドの機能を説明するだけに留める。

【００４０】

従来例で述べた様に、物体同士が接触した時、摩擦した時、剥離（分離）した時にはいず

れの場合においても電荷の移動が生じて静電気が発生する。どちらの物体が正・負（プラス・マイナス）どちらに帯電するかは、帯電現象が複雑なパラメータに依存するため一概には決定しない。ここで表１に示すのは、半導体装置製造工程において一般的に見られる異なる物体同士の間に生じる帯電傾向を示す摩擦帯電系列である。

【００４１】

【表１】

正＋	空気
	人の手
	ガラス
	ナイロン
	アルミニウム
	ポリエステル
	鋼鉄
	硬質ゴム
	ニッケル、銅
	銀
	ブラス、ステンレス
	アクリル
	ポリエチレン
	ポリプロピレン
	PVC、塩化ビニル
	シリコーン
負－	テフロン

【００４２】

この様な状況において、薄膜トランジスタの作製過程の中でガラス基板は様々な他の物体と接触する。他の物体とは、例えばＣＶＤ装置のアルミ合金製ステージであったり、ガラス基板を搬送するテフロン製キャリアであったりする。

【００４３】

例えば、上述の様なガラス基板とアルミ合金製ステージの組み合わせでは、摩擦帯電系列によるとガラス基板がプラスに帯電して、アルミ合金製ステージがマイナスに帯電することが予想されるが、厳密には様々な因子が絡んで逆極性に帯電するといった事も起こりう

る。
【００４４】
ここでは帯電の様子を模式的に図２を用いて説明する。なお、図２は物体同士が接触した後に再び離され、剥離帯電を生じた時の状態を表している。また、この時、接地されている導電体は直ちに電荷を失うと考えて良い。
【００４５】
図２（Ａ）に示す様に、ガラス基板２０１とアルミ合金製ステージ２０２とが剥離すると、剥離帯電によりガラス基板２０１およびステージ２０２がプラスまたはマイナスに帯電する。なお、ステージ２０２は、図２（Ａ）では接地してあるので誘起された電荷は直ちに失われるが、ガラス基板２０１内には電荷が残留してしまう。
【００４６】
厳密には、ガラス基板２０１は不導体であるので図３（Ｂ）に示した様にその電荷の強さおよび強度の分布は複雑である。また、帯電体の内部の電荷は相互に打ち消し合うので、通常表面のみが帯電していると見なされる。しかし、ここでは単純化のために帯電した物体を全体的に色付けして識別することにする。
【００４７】
この場合、ガラス基板２０１が帯電するとその静電誘導作用によりガラス基板２０１上の配線２０３も帯電する。配線２０３に帯電する電荷量は、ガラス基板２０１が帯電する電荷量に大きく影響される。
【００４８】
以上の様なガラス基板への帯電現象は薄膜トランジスタの作製過程の至る所において行われ、その電荷量により形成される電磁界の強さが変化し、その電磁界が引き起こす静電作用により限界以上の電荷が配線内に誘起された時、放電現象と共に配線、即ちデバイス素子の破壊が生じるのである。
【００４９】
一方、図２（Ｂ）に示すのは本発明を実施した場合の例である。この場合、アルミ合金製ステージ２０２と直接接触することになるのは導電性を付与した珪素膜２０４であり、両者の間で剥離帯電が生じる。
【００５０】
この場合、導電性を付与した珪素膜２０４は帯電するが、ガラス基板２０１は殆ど帯電しないと考えられる。なぜならば、ガラス基板２０１（正確には珪素膜２０４）とステージ２０２との剥離（分離）が行われる時、通常珪素膜２０４はプッシャーピンや搬送アーム等の基板搬送機構の一部と接触しており、それらの搬送機構を接地しておけば電荷の蓄積が生じないからである。
【００５１】
また、図２（Ｃ）に示す様に接地していないステージや高分子ポリマー等でコーティングされた電極などの非導電性の電極２０５は、イオンブロー等による中和を行わない限り常に帯電した状態となっている。
【００５２】
この様な場合、本発明の構造ではガラス基板２０１の下面に導電性を有する珪素膜２０４が存在するため、珪素膜２０４が静電遮蔽を行う静電シールドとして機能し、ガラス基板２０１の帯電を防止することができる。
【００５３】
ここで言う静電遮蔽とは、帯電体と物体との間に導電体を挟み込んだ時に、帯電体の静電作用がその物体に及ばなくなる現象を指す。この現象自体は既に参考書等に報告されている。
【００５４】
以上に示した様に、本実施例によればガラス基板２０１の下面に具備した導電性を有する珪素膜２０４によってガラス基板２０１が直接的に帯電することを避けられる。即ち、静電気の発生する工程中は珪素膜２０４を接地しておくことでガラス基板２０１への帯電を

防ぐことが可能である。また、帯電体の上にガラス基板２０１を載せる必要が生じる場合などにおいても、珪素膜２０４が静電シールドとして機能するのでガラス基板２０１の帯電を防ぐことができる。

【００５５】

また、従来の様に除電ブローによる静電気の中和を行う場合、その除電時間が数秒／枚でかかるのに比べ、本発明は通常の作製工程を実施する間に除電が行われているので工程時間（タクトタイム）の短縮に寄与する。

【００５６】

〔実施例２〕

実施例１では、活性層を構成する珪素膜の成膜と同時にガラス基板の下面にも珪素膜を成膜し、導電性を付与した状態として静電シールドとして利用する例を示した。しかし、他の導電性を有する薄膜（例えば金属または金属化合物を主成分とする薄膜）であっても静電シールドとして機能させることができる。

【００５７】

ただしこの場合、薄膜トランジスタの形成過程において静電シールドとして機能する導電性薄膜がエッチングされないことが望ましい。膜厚を予め厚くしておけば対処できるが、効率的な方法とは言えない。

【００５８】

本実施例が示す様に金属または金属化合物を主成分とする材料を静電シールドとして活用した場合、導電率が大きいので接地した時の除電が非常に速やかに行われるという利点を有する。

【００５９】

〔実施例３〕

本実施例では薄膜トランジスタの作製過程において静電シールドとしてＩＴＯ（Ｉｎｄｉｕｍ　Ｔｉｎ　Ｏｘｉｄｅ）膜に代表される透光性を有する導電膜（透明導電膜）を利用する例を示す。ただし、作製過程において透明導電膜をエッチングする様な成分元素（特に塩素など）をその組成に含有するエッチャントを用いないことが重要である。

【００６０】

ガラス基板上の薄膜トランジスタでもって駆動する液晶ディスプレイの作製に本発明を応用した場合、透明導電膜は透光性を有するので液晶ディスプレイとして完成した後も特に除去する必要がないという利点がある。

【００６１】

【発明の効果】

本発明を実施することでガラス基板と他の物体とが直接接触することがなくなる。そして、導電性を有する珪素膜２０４を静電シールドとして具備することでガラス基板の帯電を防止し、ガラス基板の帯電によって引き起こされるデバイス素子の帯電およびそれに起因するＥＳＤ（静電気放電）による静電破壊を未然に防ぐことが可能である。

【図面の簡単な説明】

【図１】薄膜トランジスタの作製工程を示す図。

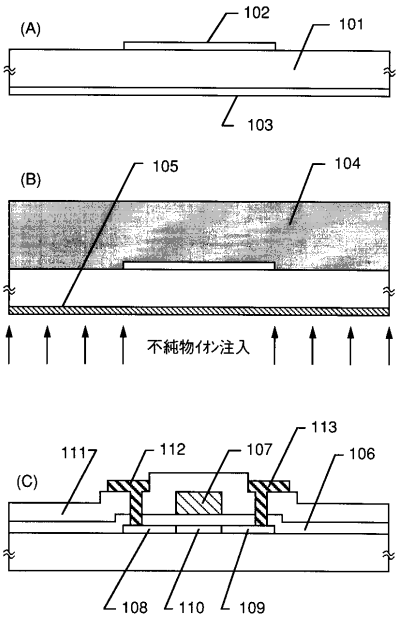
【図２】静電シールドの効果を説明するための図。

【図３】物体の帯電状態を説明するための図。

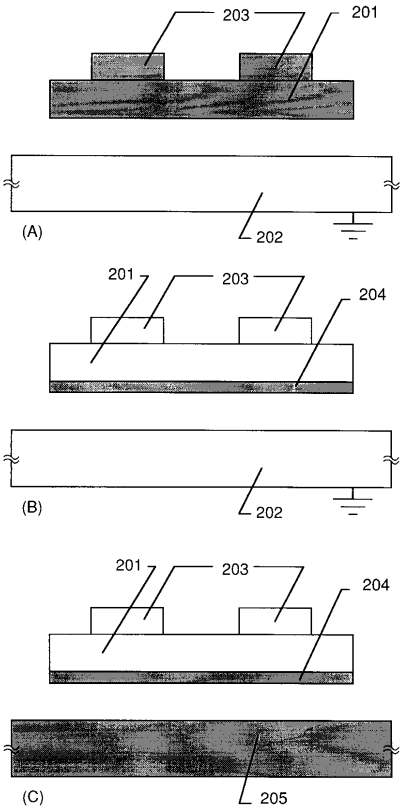
【符号の説明】

１０１　　ガラス基板
１０２　　島状半導体層
１０３　　ガラス基板の下面側の非晶質珪素膜
１０４　　レジストマスク
１０５　　導電性を付与した珪素膜（静電シールド）

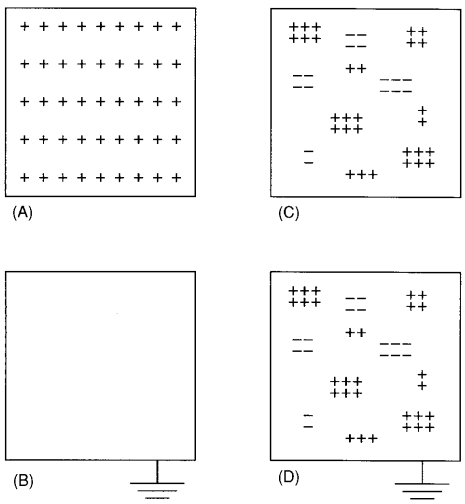
【図１】


(A)
102
101
103
(B)
105
104
不純物イオン注入
(C)
1117
112
107
113
106
108
110
109

【図２】


203
201
(A)
202
201
203
204
(B)
202
201
203
204
(C)
205

【図３】


(A)
(C)
(B)
(D)

フロントページの続き

(58)調査した分野(Int.Cl.[7], ＤＢ名)

H01L 29/786
H01L 21/205
H01L 21/265
H01L 21/336