



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2009-0039461
(43) 공개일자 2009년04월22일

(51) Int. Cl.

H03K 19/0175 (2006.01) H01L 21/66 (2006.01)

(21) 출원번호 10-2007-0105128

(22) 출원일자 2007년10월18일

심사청구일자 2007년10월18일

(71) 출원인

고려대학교 산학협력단

서울 성북구 안암동5가1 고려대학교 내

(72) 발명자

김길수

서울 성북구 안암동5가 고려대학교 자연계 캠퍼스

김수원

서울 성북구 안암동5가 고려대학교 자연계 캠퍼스

(74) 대리인

현중철

전체 청구항 수 : 총 3 항

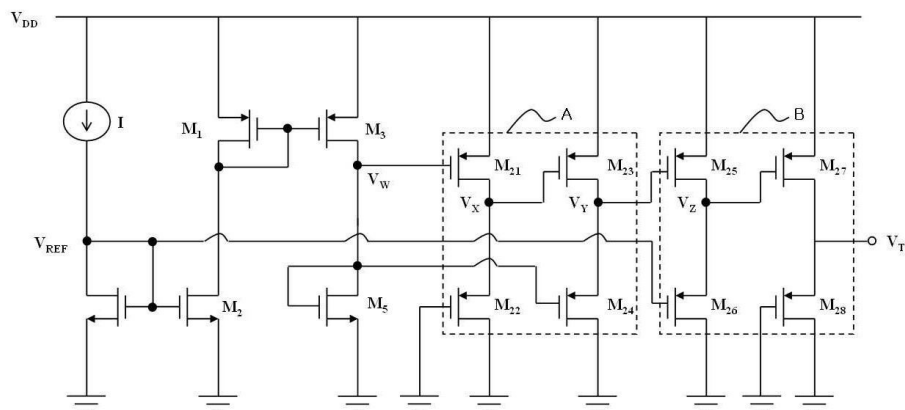
(54) MOSFET의 문턱전압 추출 회로

(57) 요약

본 발명은 MOSFET(Metal Oxide Semiconductor Field Effect Transistor)의 문턱 전압 추출의 정확성을 제고시킬 수 있는 문턱 전압 추출 회로에 관한 것이다.

본 명세서에서 개시하는 문턱 전압 추출 회로는 MOSFET의 문턱전압 추출을 위한 사전 전압을 추출하는 사전 전압 추출부; 및 상기 사전 전압과 상기 문턱전압의 추출을 위한 기준 전압의 차를 추출하여 상기 문턱전압으로 하는 전압 차 추출부를 포함하고, 상기 두 추출부를 각각 P-MOS 트랜지스터만의 조합으로 구현하여 본 발명의 기술적 과제를 해결한다.

대표도



특허청구의 범위

청구항 1

MOSFET의 문턱전압 추출을 위한 사전 전압을 추출하는 사전 전압 추출부; 및

상기 사전 전압과 상기 문턱전압의 추출을 위한 기준 전압의 차를 추출하여 상기 문턱전압으로 하는 전압 차 추출부를 포함하고,

상기 두 추출부는 각각 P-MOS 트랜지스터만의 조합으로 구현하여 몸체 효과의 발생을 차단시키는 것을 특징으로 하는 MOSFET의 문턱전압 추출 회로.

청구항 2

제 1 항에 있어서,

상기 두 추출부를 P-MOS 트랜지스터만의 조합으로 구현하여, 상기 회로가 표준 공정(n-well 공정)으로 제작 가능한 것을 특징으로 하는 MOSFET의 문턱전압 추출 회로.

청구항 3

제 2 항에 있어서,

상기 두 추출부 각각의 조합은 외형비(aspect ratio)가 동일한 P-MOS 트랜지스터 2개를 캐스케이드(cascade) 연결시킨 회로와 외형비가 동일한 P-MOS 트랜지스터 2개를 캐스케이드(cascade) 연결시킨 또 다른 회로의 병렬 연결로 이루어지는 것을 특징으로 하는 MOSFET의 문턱전압 추출 회로.

명세서

발명의 상세한 설명

기술 분야

- <1> 본 발명은 MOSFET(Metal Oxide Semiconductor Field Effect Transistor)의 문턱전압(threshold voltage) 추출 회로에 관한 것으로, 보다 상세하게는 문턱전압 추출의 정확성을 제고시킬 수 있는 문턱전압 추출 회로에 관한 것이다.

배경 기술

- <2> 문턱전압(V_T)은 MOSFET에서 전류의 전도를 위한 채널을 형성하는데 필요한 게이트(Gate)와 소스(Source)간 전압(V_{GS})의 최소치에 해당하는 전압으로, 그 값의 추출은 MOSFET의 각종 특성과 온도 측정, 온도 보상 및 신호 레벨의 변환에 활용하는 등 여러 측면에 있어서 매우 중요한 작업이다.
- <3> 문턱전압의 추출은 수치 해석(numerical method)을 통하여 이루어질 수 있는데, 수치 해석을 통한 문턱전압의 추출은 정확성을 기할 수 있는 장점이 있으나 그 계산과정이 복잡하여 실시간 추출이 필요한 경우에는 사용할 수 없는 단점이 존재한다.
- <4> 이러한 단점을 해소하기 위하여 집적회로를 이용한 대안이 제시되었는데, 수치 해석의 경우와는 달리 별도의 계산 과정이 필요 없어 문턱전압의 추출이 실시간으로 가능하다. 집적회로를 이용하여 문턱전압을 추출하는 경우 그 정확성을 기하기 위해 추출 회로를 triple well(n-well, p-well, deep n-well) 공정으로 제작해야 함이 바람직하나 제작비용 절감 차원에서 통상 표준 공정(n-well)으로 제작한다.
- <5> 그러나 기존의 집적회로를 이용한 추출 회로를 표준 공정으로 제작하는 경우 소위 '몸체 효과(body effect) 또는 기판 효과(substrate effect)'로 인하여 추출의 정확도가 저하되는 문제가 발생하며, 특히 전원전압의 변동 또는 트랜지스터의 부정합이 병행되는 경우에는 이러한 문제가 더욱 심각해진다.

발명의 내용

해결 하고자하는 과제

- <6> 본 발명은 기존의 집적회로를 이용한 문턱전압 추출 회로의 문제점을 해결하기 위해 창안된 것으로 본 발명이 해결하고자하는 과제는 몸체 효과와 전원전압의 변동 여부에 관계없이 문턱전압 추출의 정확성을 제고시킬 수 있는 개선된 문턱전압 추출 회로를 제공하는 것이다.

과제 해결수단

- <7> 상기와 같은 과제를 해결하기 위해 본 명세서에서 개시하는 MOSFET의 문턱전압 추출 회로는
- <8> MOSFET의 문턱전압 추출을 위한 사전 전압을 추출하는 사전 전압 추출부; 및 상기 사전 전압과 상기 문턱전압의 추출을 위한 기준 전압의 차를 추출하여 상기 문턱전압으로 하는 전압 차 추출부를 포함하고, 상기 두 추출부를 각각 P-MOS 트랜지스터만의 조합으로 구현하여 본 발명의 기술적 과제를 해결한다.

효과

- <9> 문턱전압의 추출을 위해 필요한 사전 전압의 추출 회로와 전압 뺄셈기 회로(전압 차 추출 회로)를 P-MOS 트랜지스터만의 조합으로 구현하여 몸체 효과의 발생이 원천적으로 차단되므로 기존 문턱전압 추출 회로에 비해 문턱전압 추출의 정확성을 획기적으로 향상시킬 수 있으며, P-MOS 트랜지스터만을 사용하기 때문에 표준 공정만으로 제작이 가능하므로 추출 회로의 제작비용을 현저히 감소시킬 수 있는 효과도 볼 수 있다.

발명의 실시를 위한 구체적인 내용

- <10> 이하, 본 발명의 기술적 과제의 해결 방안을 명확화하기 위한 발명의 구성을 본 발명의 바람직한 실시예에 근거하여 첨부 도면을 참조하여 상세히 설명하되, 도면의 구성요소들에 참조번호를 부여함에 있어서 동일 구성요소에 대해서는 비록 다른 도면상에 있더라도 동일 참조번호를 부여하였으며 당해 도면에 대한 설명시 필요한 경우 다른 도면의 구성요소를 인용할 수 있음을 미리 밝혀둔다.

- <11> 도 1은 상기에서 언급한 기존의 집적 회로를 이용한 문턱전압 추출의 대표적 회로를 제시한 도면이다.

- <12> 도 1에서 트랜지스터 M_4 , M_5 각각의 게이트-소스간 전압 V_{GS4} , V_{GS5} 는 각각 다음과 같이 주어진다.

$$V_{GS4} = \sqrt{\frac{I}{K_4}} + V_{T4} \quad \text{----- (식 1).}$$

$$V_{GS5} = \sqrt{\frac{I}{K_5}} + V_{T5} \quad \text{----- (식 2).}$$

- <15> 식 1과 식 2에서 I 는 드레인 전류(drain current)를 나타내며 K_i 는 다음의 식으로 표시되는 도전을 파라미터를 나타낸다.

- <16> $K_i = \mu_i C_{ox} (W/L)_i$, 여기서 μ_i 는 전자 이동도(electron mobility), C_{ox} 는 산화물 커패시턴스(oxide capacitance)라 불리는 것으로 게이트-몸체간 커패시터의 단위 면적당 커패시턴스를 의미한다. 그리고 L 은 채널의 길이, W 는 채널의 폭을 의미하며 W/L 은 MOS의 외형비(aspect ratio)로서 K_i 를 결정하는 가장 중요한 팩터(factor)이다. 상기 식 1과 식 2는 각 트랜지스터의 외형비가 같을 경우, 즉 $(W/L)_4 = (W/L)_5$ 인 경우에만 성립하는 식이다.

- <17> 드레인 전류 I 는 트랜지스터 M_1 과 M_3 의 조합으로 이루어진 전류 거울(current mirror)에 의해 복사되기 때문에 상기 식 1과 식 2는 다음과 같이 다시 쓸 수 있다.

$$V_{GS4} = \sqrt{\frac{K_2}{K_4}} (V_{REF} - V_{T2}) + V_{T4} \quad \text{----- (식 3).}$$

$$V_{GS5} = \sqrt{\frac{K_2}{K_5}} (V_{REF} - V_{T2}) + V_{T5} \quad \text{----- (식 4).}$$

따라서, 도 1에 제시된 추출 회로가 $K_2 = 0.25K_4 = 0.25K_5$ 를 만족하면 문턱전압 V_T 를 추출하기 위한 사전 전압 V_0 를 다음과 같이 구할 수 있다.

$$V_0 = V_{GS4} + V_{GS5} = (V_{REF} - V_{T2}) + V_{T4} + V_{T5} \quad \text{----- (식 5).}$$

여기서, V_{REF} 는 문턱전압 V_T 추출을 위한 기준 전압을, V_{TN} 은 트랜지스터 M_N 의 문턱전압을 의미한다.

M_2 , M_4 , M_5 의 문턱전압이 모두 동일할 경우 즉, $V_{T2} = V_{T4} = V_{T5} = V_T$ 일 경우에는 식 5로부터 문턱전압 추출 회로의 출력 V_T 를 M_6 과 M_7 의 조합으로 형성되는 전압 뿔셈기 회로를 이용하여 다음과 같이 구할 수 있다.

$$V_T = V_0 - V_{REF}$$

그러나 도 1에 제시된 추출 회로는, 상기한 바와 같이, 몸체 효과로 인하여 V_T 의 정확성이 현저히 떨어지는바, 몸체 효과는 M_4 의 회로 연결 관계에서 기인한다.

MOSFET 회로의 경우 몸체(기판)를 전압이 가장 마이너스인 전원에 접속하거나(N-MOS 트랜지스터의 경우) 가장 플러스인 전원에 접속(P-MOS 트랜지스터의 경우)함이 통례이다. 이러한 상황에서는 소스와 몸체 사이에 역 바이어스(reverse bias) 전압이 걸려 회로의 동작에 악영향을 미치는 바, 이것이 바로 몸체 효과이다.

이러한 몸체 효과를 방지하기 위해 MOSFET의 소스 단자와 몸체(body) 단자를 같이 접지(ground)시키거나(N-MOS 트랜지스터의 경우) 전원에 같이 연결시킨다(P-MOS 트랜지스터의 경우). 그런데 도 1에 제시된 추출 회로는 N-MOS 트랜지스터 M_4 의 몸체 단자와 소스 단자가 접지를 공유하고 있지 아니하기 때문에 몸체 효과의 발생을 피할 수 없다. 따라서 사전 전압 V_0 의 정확성을 기할 수 없게 되며 이로 인해 문턱전압의 정확성도 기할 수 없게 된다.

M_6 과 M_7 의 조합으로 형성되는 전압 뿔셈기단에서만 고려한 출력 V_T 는 다음과 같이 추출될 수도 있다.

$$V_T = V_0 - V_{REF} - (V_{T6} - V_{T7}) \quad \text{----- (식 6).}$$

식 5와 식 6을 연립하면, V_T 는 다음과 같다.

$$V_T = V_{T7} + V_{T4} - V_{T6} \quad \text{----- (식 7).}$$

식 7에서 보면 M_4 의 경우와 마찬가지로 N-MOS 트랜지스터 M_6 의 몸체 단자와 소스 단자가 접지를 공유하고 있지 아니하기 때문에 몸체 효과의 발생을 피할 수 없어 V_T 의 추출에 정확성을 기할 수 없음을 확인할 수 있다.

따라서 본 발명에서는 이러한 몸체 효과의 발생을 방지할 수 있는 개선된 회로를 제시하는데, 그 회로가 도 2에 제시되어 있다.

본 발명이 제공하는 문턱전압 추출 회로는, 도 2에 제시된 바와 같이, 도 1의 회로에서 몸체 효과를 발생시키는 M_4 와 M_6 을 제거하고 M_4 , M_6 , M_7 의 조합으로 얻을 수 있는 출력치, 즉 V_0 , V_T 와 동일한 출력치를 얻을 수 있는 MOSFET의 조합(M_{21} 내지 M_{28} 의 조합)으로 구현하되 M_{21} 내지 M_{28} 를 P-MOS 트랜지스터만으로 구현하여 몸체 효과의 발생을 차단시킨다. 아울러 P-MOS 트랜지스터만을 사용하기 때문에 표준 공정으로 제작이 가능하다.

도 2에 제시된 회로에서 상기에서 언급한 사전 전압 V_0 에 해당하는 단자 전압은 M_{23} 의 드레인 단자(M_{24} 의 소스 단자) 전압 V_Y 이다. 한편 전압 V_T 를 얻기 위해서는 도 1에 제시된 M_4 의 역할을 하는 즉 사전 전압을 출력하기 위한 등가 회로(equivalent circuit)가 필요한데, 그 등가 회로는 스테이지 A이다.

도 1의 회로에서 M_4 를 제거함으로써 M_3 의 드레인 단자 전압 V_W 은 제거 전의 반값으로 줄어든다. 즉, 전압 차 추

출부(스테이지 B)에 공급해야 할 전압 V_0 의 반에 해당하는 값밖에 되지 아니한다. 따라서 이를 2배로 증폭시켜 주어야 할 필요가 있는데, 증폭의 역할을 하는 부분이 바로 스테이지 A에 해당하는 사전 전압 추출부이다.

<37> 스테이지 A는, 도 2에 제시된 바와 같이, M_{21} 과 M_{22} 가 캐스케이드(cascade) 연결된 첫 번째 단과 M_{23} 과 M_{24} 의 캐스케이드 연결된 두 번째 단으로 조합되어 구성된다. 한편 스테이지 A의 모든 트랜지스터 M_{21} , M_{22} , M_{23} , M_{24} 는, 도 2에 제시된 바와 같이, P-MOS로 구현하여 각 트랜지스터의 몸체 단자를 소스 단자에 연결시켜 몸체 효과의 발생을 차단시킨다.

<38> 상기 언급한 증폭의 효과를 보기 위해서는 M_{21} , M_{22} , M_{23} , M_{24} 가 포화 영역(saturation region)에서 동작되어야 하며, 네 트랜지스터가 정합관계에 있으면 즉, 외형비가 같다고 하면 게이트-소스간 전압 관계는 다음과 같다.

<39> $V_{SG21} = V_{SG22}$ ----- (식 8).

<40> $V_{SG23} = V_{SG24}$ ----- (식 9).

<41> 따라서 스테이지 A의 첫 번째 단의 출력 V_X 는 다음과 같다.

<42> $V_X = V_{DD} - V_W$ ----- (식 10).

<43> 여기서 V_{DD} 는 전원 전압을 의미한다. 스테이지 A의 최종 출력 V_Y (스테이지 B에 공급해야 할 전압)는 다음과 같다.

<44> $V_Y = V_{DD} - V_X + V_W$ ----- (식 11).

<45> 식 10과 식 11을 연립하면 $V_Y = 2V_W$. 즉 원하는 사전 전압(도 1의 V_0 에 해당하는 전압)을 추출할 수 있다.

<46> 스테이지 B는 전압 차 추출부로서 전압 뺄셈기의 역할을 하는 회로로, 도 1의 M_6 과 M_7 의 조합에 해당하는 회로의 등가회로이다. 스테이지 B는 V_Y 와 V_{REF} 의 차로부터 문턱전압 V_T 를 최종 출력하는 역할을 수행한다. V_T 의 최종 출력은 다음과 같이 이루어진다. 스테이지 B의 모든 트랜지스터에 관한 조건은 스테이지 A인 경우와 동일하다.

<47> 스테이지 B의 모든 트랜지스터 M_{25} , M_{26} , M_{27} , M_{28} 도 스테이지 A의 경우와 마찬가지로 P-MOS로 구현하고, 각 트랜지스터의 몸체 단자를 소스 단자에 연결시켜 몸체 효과의 발생을 차단시킨다.

<48> 스테이지 B의 첫 번째 단 출력 전압 V_Z 는 다음과 같이 표현된다.

<49> $V_Z = V_{DD} - V_Y + V_{REF}$ ----- (식 12).

<50> 식 10 내지 식 12를 연립하면 V_Z 를 다음과 같이 다시 쓸 수 있다.

<51> $V_Z = V_{DD} - 2V_W + V_{REF}$ ----- (식 13).

<52> 한편, M_{27} 과 M_{28} 의 조합으로부터 $V_T = V_{DD} - V_Z$ ----- (식 14).

<53> 식 13과 식 14를 연립하면 문턱전압 V_T 가 추출된다.

<54> 즉, $V_T = 2V_W(=V_Y) - V_{REF}$ ----- (식 15).

<55> 도 3은 본 발명에 의한 문턱전압 추출 회로와 기존의 추출 회로의 실험 결과 및 신호의 흐름을 제시한 도면이다.

<56> 본 발명에 의한 문턱전압 추출 회로의 성능 검증을 위해 0.18- μm CMOS 공정을 이용하여 회로를 설계하였다. 한편 N-MOS 트랜지스터의 문턱전압은 상온에서 통상적으로 0.420[V]이며, 회로 해석의 대표적 툴인 SPICE에서도 이 값이 문턱전압으로 지정되어 있다.

<57> 도 3의 좌측에 제시된 바와 같이 기존의 추출 회로는 V_{REF} 를 0.7830[V]로 하였을 때, V_0 가 1.248[V]의 실험치가 출력되는데, 이론상으로는 1.203[V](0.420[V] + 0.7830[V])가 나와야 하므로 이는 현격한 오차를 보인다. 이 오차는 M_4 의 몸체 효과에 기인한 것이다. V_0 자체가 이렇게 큰 오차를 보이고 아울러 도 1의 M_6 의 몸체 효과로 인

해 문턱전압 V_T 도 역시 큰 오차를 보일 수밖에 없다.

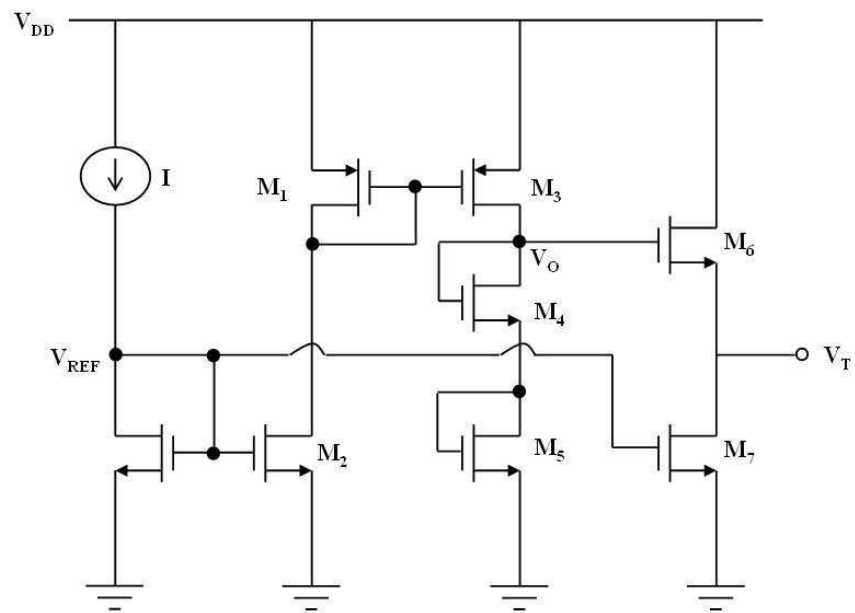
- <58> 이와는 대조적으로 본 발명에 의한 추출 회로의 경우에는, 도 3의 우측에 제시된 바와 같이, 동일한 V_{REF} 를 인가 시에 0.6014[V]의 V_{η} 이 도출되고 스테이지 A의 출력치인 V_Y 가 1.201[V]가 되는데 이는 이론치인 1.203[V]와 비교하였을 때 매우 작은 오차(대략 -0.166%)를 나타낸다.
- <59> V_{DD} 가 1.8[V]인 경우 기존의 추출 회로에 의하면 0.3870[V]의 V_T 가 추출되나 본 발명에 의한 회로의 경우 0.4197[V]의 V_T 가 추출되어 실제 V_T 값(=0.420[V])과 비교해보면, 본 발명에 의한 문턱전압 추출의 정확도가 매우 높음을 확인할 수 있다.
- <60> 도 4는 전원전압의 변동(variation)에 따른 문턱전압의 오차율을 제시한 그래프이다.
- <61> 전원전압 V_{DD} 의 변동 범위를 -10%에서 +10%로 했을 때의 오차율을 나타낸 것으로 점선이 기존 회로에 의한 오차율을 나타내고 실선이 본 발명에 의한 회로에서의 오차율을 나타낸다. 도 4에 제시된 바와 같이, 기존 회로에 의한 오차율은 7.4%에서 9.4% 범위의 높은 오차율을 가지나 본 발명에 의한 회로에서의 오차율은 -0.16%에서 +0.26% 범위로 0% 안팎의 오차율을 나타내므로 전원전압의 변화에 둔감한 특성을 나타낸다.
- <62> 이제까지 본 발명에 대하여 그 바람직한 실시예를 중심으로 살펴보았다. 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자는 본 발명이 본 발명의 본질적인 특성에서 벗어나지 않는 범위에서 변형된 형태로 구현될 수 있음을 이해할 수 있을 것이다.
- <63> 그러므로 개시된 실시예들은 한정적인 관점이 아니라 설명적인 관점에서 고려되어야 한다. 본 발명의 범위는 전술한 설명이 아니라 특허청구범위에 나타나 있으며, 그와 균등한 범위 내에 있는 모든 차이점은 본 발명에 포함된 것으로 해석되어야 할 것이다.

도면의 간단한 설명

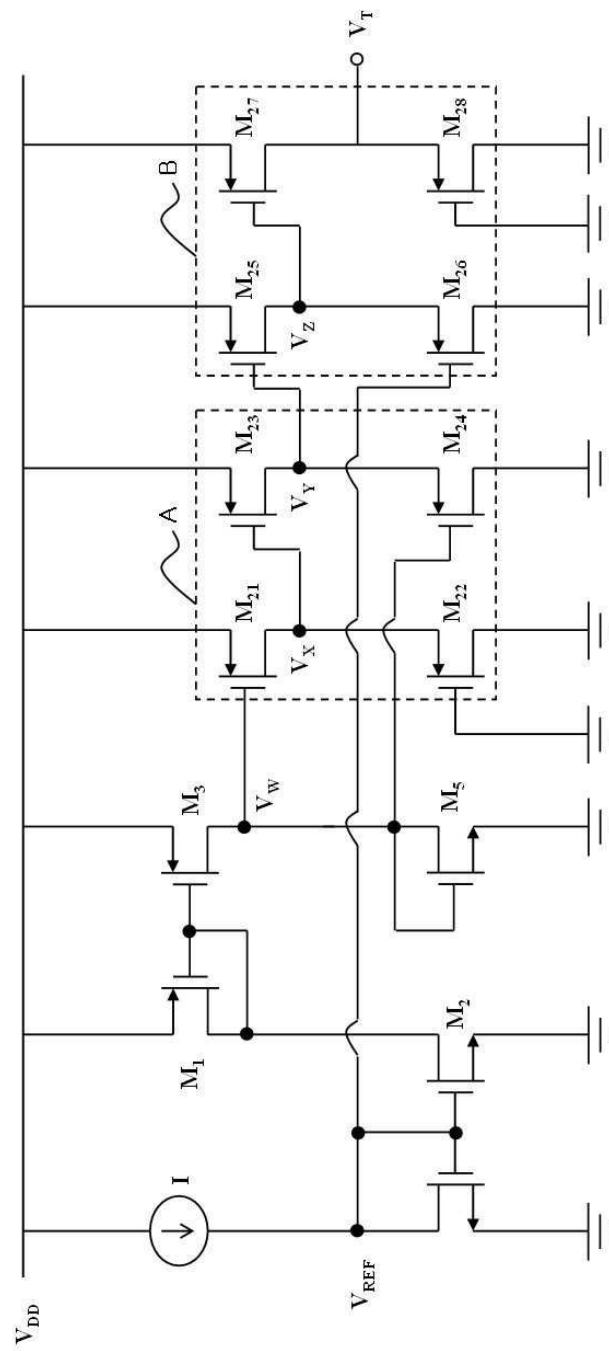
- <64> 도 1은 기존의 집적회로를 이용한 문턱전압 추출의 대표적 회로를 제시한 도면이다.
- <65> 도 2는 본 발명이 제공하는 문턱전압 추출 회로를 제시한 도면이다.
- <66> 도 3은 본 발명에 의한 문턱전압 추출 회로와 기존의 추출 회로의 실험 결과 및 신호의 흐름을 제시한 도면이다.
- <67> 도 4는 전원전압의 변동에 따른 문턱전압의 오차율을 제시한 그래프이다.

도면

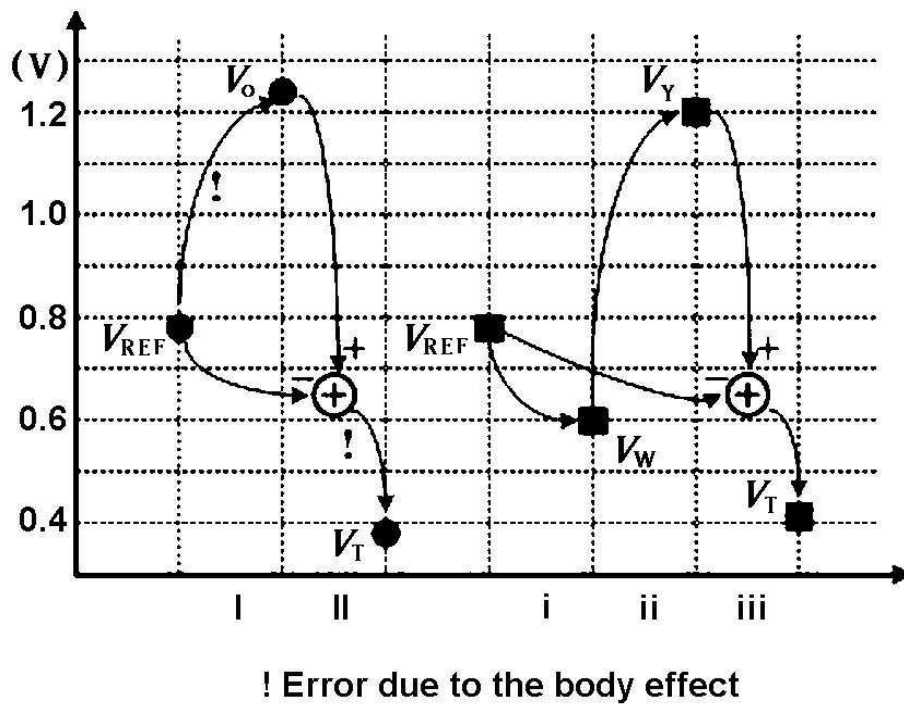
도면1



도면2



도면3



도면4

