

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2019 年 1 月 31 日 (31.01.2019)



(10) 国际公布号
WO 2019/019437 A1

(51) 国际专利分类号:
H01L 27/02 (2006.01) *H01L 27/12* (2006.01)

(21) 国际申请号: PCT/CN2017/107146

(22) 国际申请日: 2017 年 10 月 20 日 (20.10.2017)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
201710612912.8 2017 年 7 月 25 日 (25.07.2017) CN

(71) 申请人: 武汉华星光电技术有限公司 (WUHAN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD) [CN/CN]; 中国湖北省武汉市东湖开发区高新大道 666 号生物城 C5 栋, Hubei 430070 (CN)。

(72) 发明人: 韩 约 白 (HAN, Yuebai); 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。

(74) 代理人: 深圳市威世博知识产权代理事务所 (普通合伙) (CHINA WISPRO INTELLECTUAL PROPERTY LLP.); 中国广东省深圳市南山区高新区粤兴三道 8 号中国地质大学产学研基地中地大楼 A806, Guangdong 518057 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL,

(54) Title: ARRAY SUBSTRATE AND DISPLAY DEVICE

(54) 发明名称: 一种阵列基板和一种显示设备

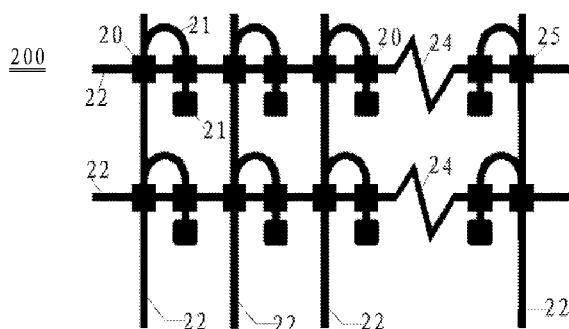


图 2

(57) Abstract: An array substrate (200) and a display device. The array substrate (200) comprises a base layer, pixel circuits (21), and signal lines (22). The pixel circuits (21) are arranged on the base layer in a matrix. The signal lines (22) are arranged on the base layer in the row or column direction, and are coupled to the pixel circuits (21). At least two signal lines (22) in the same direction are respectively provided on the outermost sides relative to the pixel circuits (21) arranged in a matrix. As at least two signal lines (22) in the same direction are respectively arranged on the outermost sides relative to the pixel circuit (21) arranged in a matrix, electrostatic charge of at least two ends of a display panel can be led out by means of the signal lines (22). The probability of electrical badness is reduced, and the product yield is increased.

(57) 摘要: 一种阵列基板 (200) 和一种显示设备, 阵列基板 (200) 包括基层、像素电路 (21) 和信号线 (22), 像素电路 (21) 以矩阵排列方式设置于基层上, 信号线 (22) 以行或列方向设置于基层上, 耦接像素电路 (21), 至少两条同向的信号线 (22) 分别设置于矩阵排列的像素电路 (21) 相对最外侧。通过将至少两条同向的信号线 (22) 分别设置在相对于矩阵排列的像素电路 (21) 的最外侧, 如此可使得显示面板至少两端的静电释放电荷可通过该信号线 (22) 导出, 有效降低了电气不良的概率, 提高了产品良率。

PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区
保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ,
NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM,
AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG,
CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU,
IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT,
RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI,
CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告 (条约第21条(3))。

说明书

发明名称：一种阵列基板和一种显示设备

[1] **【技术领域】**

[2] 本发明涉及显示技术领域，特别是涉及一种阵列基板和一种显示设备。

[3] **【背景技术】**

[4] 本申请发明人意外发现现有技术中未曾被发现的技术问题，即由于低温多晶硅器件制程较复杂，使得低温多晶硅显示面板在制程中更容易引起静电释放（Electro-Static discharge，ESD静电），如此会有大量的电荷聚集从而造成面板边缘栅极和多晶硅层炸伤，进而造成栅极和多晶硅层发生短路，将栅极信号输入到多晶硅层，引起电气不良。

[5] 图1中示出了现有技术中阵列基板100的构造示意图，阵列基板100包括基层10（示出部分），位于基层10之上的多晶硅层11，即图中呈倒U形的层，位于多晶硅层11之上的栅极线层12，位于栅极线层12之上的数据线层13，用于连接多晶硅层11和数据线层13的过孔14，表示在该方向重复延伸的折断线符号15，前述“位于……之上的”只是说明相对位置关系，并不一定紧贴，图1中未标号部分与图1中左上角标号的部分对标号及其含义相同。

[6] 本申请发明人发现图中所示的阵列基板100的构造会造成面板边缘栅极和多晶硅层发生炸伤，即图1中所示的栅极线与多晶硅层在垂直方向上投影重叠处16的位置发生炸伤，进而造成栅极和多晶硅层发生短路，将栅极信号输入到多晶硅层，引起电气不良。

[7] 在本说明书中所称的基于阵列基板或显示面板（或设备）的方位（例如显示面板的最右侧、上、下等）仅用以表示相对的方位关系；对于本说明书而言，具体方位是在显示面板在使用的通常情况下相对于观察者的放置的位置关系确定后，在此基础上定义的，例如接近观看者称为“上”，而远离观看者称为“下”。

[8] **【发明内容】**

[9] 本发明提供了一种阵列基板和一种显示设备，旨在解决现有的显示面板在制程中因静电释放导致电气不良的问题。

- [10] 发明实施例的第一方面提供一种阵列基板，包括：基层；像素电路，以矩阵排列方式设置于所述基层上；信号线，以行或列方向设置于所述基层上，耦接所述像素电路；其中，至少两条同向的所述信号线分别设置于所述矩阵排列的所述像素电路相对最外侧；所述信号线包括列向设置的第一数据线和第二数据线路；所述第二数据线路数量为一，位于所述阵列基板的最右侧，与所述第二数据线路耦接的对应所述像素电路位于所述第二数据线路的左侧；除所述第二数据线路之外，其余列向设置的信号线均为所述第一数据线路，且所有的所述第一数据线路均位于与其耦接的对应所述像素电路的左侧；所述信号线包括行向设置的第一栅极线和第二栅极线；所述第二栅极线数量为一，位于所述阵列基板的最下侧，与所述第二栅极线耦接的对应所述像素电路位于所述第二栅极线的上侧；除所述第二栅极线之外，其余列向设置的信号线均为所述第一栅极线，且所有的所述第一栅极线均位于与其耦接的对应所述像素电路的上侧。
- [11] 本发明实施例的第二方面提供一种阵列基板，包括：基层；像素电路，以矩阵排列方式设置于所述基层上；信号线，以行或列方向设置于所述基层上，耦接所述像素电路；其中，至少两条同向的所述信号线分别设置于在所述矩阵排列的所述像素电路相对最外侧。
- [12] 本发明实施例的第三方面提供一种显示设备，包括：基层；像素电路，以矩阵排列方式设置于所述基层上；信号线，以行或列方向设置于所述基层上，耦接所述像素电路；其中，至少两条同向的所述信号线分别设置于在所述矩阵排列的所述像素电路相对最外侧。
- [13] 本发明提供的技术方案与现有技术相比存在的有益效果是：区别于现有技术中整张面板像素电路均为阵列结构的设计，因静电释放易造成栅极线路与多晶硅层发生炸伤引起短路，导致电气不良的情况，本发明实施例将至少两条同向的信号线分别设置在相对于矩阵排列的像素电路的最外侧，如此可使得显示面板至少两端的静电释放电荷可通过该信号线导出，有效降低了电气不良的概率，提高了产品良率。
- [14] **【附图说明】**
- [15] 图1是本发明背景技术中提供的阵列基板的构造示意图；

- [16] 图2是本发明第一实施例提供的一种阵列基板的构造示意图；
- [17] 图3是本发明第一实施例提供的另一种阵列基板的构造示意图；
- [18] 图4是本发明第一实施例提供的另一种阵列基板的沿纵向信号线延伸方向的局部剖面图；
- [19] 图5是本发明第一实施例提供的另一种阵列基板的构造示意图；
- [20] 图6是本发明第一实施例提供的另一种阵列基板的构造示意图；
- [21] 图7是本发明第一实施例提供的一种显示设备的示意图。
- [22] **【具体实施方式】**
- [23] 为了使本发明的目的、技术方案及优点更加清楚明白，以下结合附图及实施例，对本发明进行进一步详细说明。
- [24] 以下描述中，为了说明而不是为了限定，给出了诸多技术特征的说明示意图，以便透彻理解本发明实施例。然而，本领域的技术人员应当清楚，在没有这些具体细节的其它实施例中也可以实现本发明。在其它情况中，省略对众所周知的结构的详细说明，以免不必要的细节妨碍本发明的描述。
- [25] 本发明第一实施例提供一种阵列基板，包括：基层；像素电路，以矩阵排列方式设置于所述基层上；信号线，以行或列方向设置于所述基层上，耦接所述像素电路；其中，至少两条同向的所述信号线分别设置于所述矩阵排列的所述像素电路相对最外侧。以下通过文字与示例性附图进行详细说明。
- [26] 参阅图2，图2示出了本发明第一实施例提供的一种阵列基板200的构造示意图，为了便于说明，图2仅示出了与本发明第一实施例相关的部分。如图2所示，阵列基板200包括：基层、像素电路21和信号线22，像素电路21以矩阵排列方式设置于基层上，信号线22以行或列方向设置于基层上，耦接像素电路21，其中，至少两条同向的信号线22分别设置于矩阵排列的像素电路21相对最外侧。图2只是示例性描述，图2中使用了表示在该方向重复延伸的折断线符号24。
- [27] 可选的是，基层位于图2中在垂直方向上的投影与信号线22在垂直方向上的投影有部分重叠的黑色方形块表示的遮光层20的底层。
- [28] 需要说明的是，图2选用平面视图来表现本申请的发明点，便于表达和由于须符合附图的规定（采用黑色线条），因此基层未示出，根据本申请中定义的方

位关系，基层一般位于所有线路构造层之下。

[29] 可选的是，基层可位于图2中所示的像素电路21和信号线22之下。

[30] 可选的是，像素电路21可包括多晶硅层，即图2中呈倒U形分布的一端带黑色方形块的部分，图2中示出的像素电路21可为多晶硅层。

[31] 可选的是，信号线22可包括栅极线和数据线，图2中示出的横向排布的信号线22可为栅极线，纵向排布的信号线22可为数据线。

[32] 可选的是，信号线22以行或列方向设置于基层上的含义可包括信号线22与基层紧贴，也可包括信号线22位于基层之上，但并不紧贴。

[33] 可选的是，信号线22耦接像素电路21可为纵向排布的信号线22耦接像素电路21的多晶硅层。

[34] 需要说明的是，如上虽为简单描述，但本领域技术人员可结合现有技术对其进行清楚的理解和界定。

[35] 可选的是，在纵向信号线22、横向信号线22、像素电路21遮光层20和基层垂直方向投影重叠的部分，前述各层从下到上依次为基层、遮光层20、像素电路层21、横向信号线22、纵向信号线22。

[36] 可选的是，“至少两条同向的信号线22分别设置于矩阵排列的像素电路21相对最外侧”中至少两条同向的信号线22可为图2中示例的最左边纵向排布的信号线22和最右边纵向排布的信号线22。

[37] 需要说明的是，为了便于说明问题，图2中未标号部分与图2中左上角标号的部分对标号及其含义相同。

[38] 需要说明的是，至少两条同向的信号线22分别设置于矩阵排列的像素电路21相对最外侧，可使得聚集电荷或外界进入的电荷从图2中示例的最左边纵向排布的信号线22和最右边纵向排布的信号线22快速导出，有效避免了聚集电荷使得横向信号线22与像素电路层21在垂直方向上投影重叠处25的位置发生炸伤，可有效降低了电气不良的概率，提高了产品良率。

[39] 图3示出了本发明第一实施例提供的另一种阵列基板300的构造示意图，图3示例的阵列基板300还可包括用于连通像素电路21和信号线22的过孔23，图3中示出的过孔23可连通纵向信号线22与像素电路21，图3中未描述的标号及其含义可

与关于图2的描述相同，不再赘述。

[40] 图4示出了本发明第一实施例提供的一种阵列基板300的沿纵向信号线延伸方向的局部剖面图，像素电路21，纵向信号线层22，介于像素电路21与纵向信号线层22之间的间隔层30，以及连接像素电路21和纵向信号线22的过孔23。

[41] 可选的是，包括于像素电路21的多晶硅层可通过过孔23与信号线22耦接，图3中示出的为包括于像素电路21的多晶硅层通过过孔23与纵向信号线22耦接，即可为多晶硅层通过过孔23与数据线耦接。

[42] 如此，可将聚集电荷从多晶硅层通过过孔23传递到数据线，而后由数据线导出，可有效避免了聚集电荷使得横向信号线22（可为栅极线）与多晶硅层在垂直方向上投影重叠处25的位置发生炸伤，进而避免了栅极线和多晶硅层发生短路，将栅极信号输入到多晶硅层，引起电气不良。

[43] 可选的是，多晶硅层可为低温多晶硅层。

[44] 可选的是，图5中示出了本发明实施例另一种阵列基板400的构造示意图，信号线22包括列向设置的第一数据线221和第二数据线222，第二数据线222数量为一，位于阵列基板200的最右侧，与第二数据线222耦接的对应像素电路21位于第二数据线222的左侧，除第二数据线222之外，其余列向设置的信号线均为第一数据线221，且所有的第一数据线221均位于与其耦接的对应像素电路21的左侧，图5中未描述的标号及其含义可与关于图2或图3的描述相同，不再赘述。

[45] 可选的是，第二数据线222数量也可以不为一个，例如可在图5中最右侧的第二数据线222和第一数据线221之间可插入任意多个第二数据线222。

[46] 可选的是，图6中示出了另一种阵列基板500的电路构造示意图，信号线22包括列向设置的第一数据线221和第二数据线222，第一数据线221数量为一，位于阵列基板20的最左侧，与第一数据线221耦接的对应像素电路21位于第一数据线221的右侧，除第一数据线221之外，其余列向设置的信号线22均为第二数据线222，且所有的第二数据线222均位于与其耦接的对应像素电路21的右侧，图6中未描述的标号及其含义可与关于图2或图3的描述相同，不再赘述。

[47] 可选的是，第一数据线221数量也可以不为一个，例如可在图6中最左侧的第一数据线221和第二数据线222之间可插入任意多个第一数据线221。

- [48] 需要说明的是，上述图5中示例的阵列基板300和图6中示例的阵列基板400可良好地解决发明人发现的显示面板的最右侧出现电气不良的技术问题，提高显示面板的良率。
- [49] 可选的是，信号线22包括行向设置的第一栅极线和第二栅极线，第二栅极线数量为一，位于阵列基板200的最下侧，与第二栅极线耦接的对应像素电路21位于第二栅极线的上侧，除第二栅极线之外，其余行向设置的信号线22均为第一栅极线，且所有的第一栅极线均位于与其耦接的对应像素电路21的上侧。
- [50] 可选的是，第二栅极线的数量也可以不为一个，说明与前述关于第二数据线或第一数据线的数量也可以不为一个类似，不再赘述。
- [51] 可选的是，信号线22包括行向设置的第一栅极线和第二栅极线，第一栅极线数量为一，位于阵列基板200的最上侧，与第一栅极线耦接的对应像素电路21位于第二栅极线的下侧，除第一栅极线之外，其余行向设置的信号线22均为第二栅极线，且所有的第二栅极线均位于与其耦接的对应像素电路21的下侧。
- [52] 可选的是，第一栅极线的数量也可以不为一个，说明与前述关于第二数据线或第一数据线或第二栅极线的数量也可以不为一个类似，不再赘述。
- [53] 可选的是，信号线22包括行向设置的第一栅极线和第二栅极线的情况的描述与前述信号线22包括列向设置的第一数据线221和第二数据线222的情况类似，本领域技术人员在前述关于信号线22包括列向设置的第一数据线221和第二数据线222的情况的相关描述下，可明确实现信号线22包括行向设置的第一栅极线和第二栅极线的情况，不再赘述。
- [54] 可选的是，关于图2、图3和图4中的相关描述均可应用于前述信号线22包括列向设置的第一数据线221和第二数据线222的情况以及信号线22包括行向设置的第一栅极线和第二栅极线的情况，例如，前述信号线22包括列向设置的第一数据线221和第二数据线222的情况以及信号线22包括行向设置的第一栅极线和第二栅极线的情况中阵列基板还可包括用于连通像素电路和信号线的过孔，像素电路可包括多晶硅层，信号线包括数据线，过孔可用于连接像素电路的多晶硅层和数据线，可将聚集电荷从多晶硅层通过过孔传递到数据线，而后由数据线导出，再如多晶硅层可为低温多晶硅层。

- [55] 可选的是，像素电路21包括多晶硅层211，多晶硅层221通过过孔23与信号线22耦接。
- [56] 相比于现有技术中整张面板像素电路均为阵列结构的设计易造成栅极线路与多晶硅层发生炸伤引起短路，导致电气不良的情况，本发明实施例将至少两条同向的信号线分别设置在相对于矩阵排列的像素电路的最外侧，如此可使得显示面板至少两端的静电释放电荷可通过该信号线导出，有效降低了电气不良的概率，提高了产品良率。另一方面，可快速将聚集电荷通过信号线导出，可大幅度减小产品的边缘亮点不良，提高显示品质。
- [57] 本发明第二实施例提供的一种显示设备，包括：基层；像素电路，以矩阵排列方式设置于所述基层上；信号线，以行或列方向设置于所述基层上，耦接所述像素电路；其中，至少两条同向的所述信号线分别设置于在所述矩阵排列的所述像素电路相对最外侧。
- [58] 参阅图7，图7示出了本发明第二实施例提供的一种显示设备300的构造示意图，为了便于说明，图7仅示出了与本发明第二实施例相关的部分，显示设备700包括：基层31；像素电路32，以矩阵排列方式设置于基层31上；信号线33，以行或列方向设置于基层31上，耦接像素电路32；其中，至少两条同向的信号线33分别设置于矩阵排列的像素电路32相对最外侧。图7只是示例性描述，图7中使用了表示在该方向重复延伸的折断线符号34。
- [59] 可选的是，信号线包括列向设置的第一数据线和第二数据线，第二数据线数量为一，位于阵列基板的最右侧，与第二数据线耦接的对应像素电路位于第二数据线的左侧，除第二数据线之外，其余列向设置的信号线均为第一数据线，且所有的第一数据线均位于与其耦接的对应像素电路的左侧。
- [60] 可选的是，信号线包括列向设置的第一数据线和第二数据线，第一数据线数量为一，位于阵列基板的最左侧，与第一数据线耦接的对应像素电路位于第二数据线的右侧，除第一数据线之外，其余列向设置的信号线均为第二数据线，且所有的第二数据线均位于与其耦接的对应像素电路的右侧。
- [61] 可选的是，信号线包括行向设置的第一栅极线和第二栅极线，第二栅极线数量为一，位于阵列基板的最下侧，与第二栅极线耦接的对应像素电路位于第二栅

极线的上侧，除第二栅极线之外，其余行向设置的信号线均为第一栅极线，且所有的第一栅极线均位于与其耦接的对应像素电路的上侧。

[62] 信号线包括行向设置的第一栅极线 and 第二栅极线，第一栅极线数量为一，位于阵列基板的最上侧，与第一栅极线耦接的对应像素电路位于第二栅极线的下侧，除第一栅极线之外，其余行向设置的信号线均为第二栅极线，且所有的第二栅极线均位于与其耦接的对应像素电路的下侧。

[63] 可选的是，像素电路包括多晶硅层，多晶硅层通过过孔与信号线耦接。

[64] 可选的是，可选的是，多晶硅层为低温多晶硅。

[65] 前述阵列基板实施例中对应名词、句子含义的解释均可用于本实施例，在此不再赘述。

[66] 需要说明的是，显示设备实施例由于与阵列基板实施例基于同一构思，其带来的技术效果与本发明实施例相同，具体内容可参见阵列基板实施例中的叙述，不再赘述。

[67] 需要说明的是，本发明所有实施例中涉及“第一”、“第二”等词，例如第一数据线、第二数据线等在此仅为表述和指代的方便，并不意味着在本发明的具体实现方式中一定会有与之对应的第一数据线和第二数据线。

[68] 以上所述仅为结合具体的实施例对本发明原理及实施方式所作的进一步详细说明，不能认定本发明的具体实施只局限于这些说明，只是用于帮助理解本发明的方法及其核心思想；同时，对于本发明所属技术领域的普通技术人员而言，在不脱离本发明构思的前提下，凡是利用本发明说明书及附图内容所作的等效结构或等效流程变换，或直接或间接运用在其他相关的技术领域，都应当视为属于本发明的专利保护范围。

权利要求书

- [权利要求 1] 一种阵列基板，包括：
- 基层；
- 像素电路，以矩阵排列方式设置于所述基层上；
- 信号线，以行或列方向设置于所述基层上，耦接所述像素电路；
- 其中，至少两条同向的所述信号线分别设置于所述矩阵排列的所述像素电路相对最外侧；
- 所述信号线包括列向设置的第一数据线和第二数据线；所述第二数据线数量为一，位于所述阵列基板的最右侧，与所述第二数据线耦接的对应所述像素电路位于所述第二数据线的左侧；除所述第二数据线之外，其余列向设置的信号线均为所述第一数据线，且所有的所述第一数据线均位于与其耦接的对应所述像素电路的左侧；
- 所述信号线包括行向设置的第一栅极线和第二栅极线；所述第二栅极线数量为一，位于所述阵列基板的最下侧，与所述第二栅极线耦接的对应所述像素电路位于所述第二栅极线的上侧；除所述第二栅极线之外，其余列向设置的信号线均为所述第一栅极线，且所有的所述第一栅极线均位于与其耦接的对应所述像素电路的上侧。
- [权利要求 2] 根据权利要求1所述的阵列基板，其中，
- 所述阵列基板进一步包括遮光层，设置于所述基层上，所述像素电路及所述信号线之下，且所述遮光层与所述像素电路和所述像素电极的耦接处对应设置。
- [权利要求 3] 根据权利要求1所述的阵列基板，其中，
- 所述像素电路包括多晶硅层，所述多晶硅层通过过孔与所述信号线耦接。
- [权利要求 4] 一种阵列基板，包括：
- 基层；

像素电路，以矩阵排列方式设置于所述基层上；
信号线，以行或列方向设置于所述基层上，耦接所述像素电路；
其中，至少两条同向的所述信号线分别设置于所述矩阵排列的所述像素电路相对最外侧。

[权利要求 5] 根据权利要求4所述的阵列基板，其中，
所述信号线包括列向设置的第一数据线和第二数据线；
所述第二数据线数量为一，位于所述阵列基板的最右侧，与所述第二数据线耦接的对应所述像素电路位于所述第二数据线的左侧；
除所述第二数据线之外，其余列向设置的信号线均为所述第一数据线，且所有的所述第一数据线均位于与其耦接的对应所述像素电路的左侧。

[权利要求 6] 根据权利要求4所述的阵列基板，其中，
所述信号线包括列向设置的第一数据线和第二数据线；
所述第一数据线数量为一，位于所述阵列基板的最左侧，与所述第一数据线耦接的对应所述像素电路位于所述第一数据线的右侧；
除所述第一数据线之外，其余列向设置的信号线均为所述第二数据线，且所有的所述第二数据线均位于与其耦接的对应所述像素电路的右侧。

[权利要求 7] 根据权利要求4所述的阵列基板，其中，
所述信号线包括行向设置的第一栅极线和第二栅极线；
所述第二栅极线数量为一，位于所述阵列基板的最下侧，与所述第二栅极线耦接的对应所述像素电路位于所述第二栅极线的上侧；
除所述第二栅极线之外，其余列向设置的信号线均为所述第一栅极线，且所有的所述第一栅极线均位于与其耦接的对应所述像素电路的上侧。

- [权利要求 8] 根据权利要求4所述的阵列基板，其中，
所述信号线包括行向设置的第一栅极线和第二栅极线；
所述第一栅极线数量为一，位于所述阵列基板的最上侧，与所述第一栅极线耦接的对应所述像素电路位于所述第二栅极线的下侧；
除所述第一栅极线之外，其余列向设置的信号线均为所述第二栅极线，且所有的所述第二栅极线均位于与其耦接的对应所述像素电路的下侧。
- [权利要求 9] 根据权利要求4所述的阵列基板，其中，
所述像素电路包括多晶硅层，所述多晶硅层通过过孔与所述信号线耦接。
- [权利要求 10] 根据权利要求4所述的阵列基板，其中，
所述阵列基板进一步包括遮光层，设置于所述基层上，所述像素电路及所述信号线之下，且所述遮光层与所述像素电路和所述像素电极的耦接处对应设置。
- [权利要求 11] 一种显示设备，包括：
基层；
像素电路，以矩阵排列方式设置于所述基层上；
信号线，以行或列方向设置于所述基层上，耦接所述像素电路；
其中，至少两条同向的所述信号线分别设置于在所述矩阵排列的所述像素电路相对最外侧。
- [权利要求 12] 根据权利要求11所述的显示设备，其中，
所述信号线包括列向设置的第一数据线和第二数据线；
所述第二数据线数量为一，位于所述阵列基板的最右侧，与所述第二数据线耦接的对应所述像素电路位于所述第二数据线的左侧；
除所述第二数据线之外，其余列向设置的信号线均为所述第一数据线，且所有的所述第一数据线均位于与其耦接的对应所述像素

电路的左侧。

[权利要求 13]

根据权利要求11所述的显示设备，其中，

所述信号线包括列向设置的第一数据线和第二数据线；

所述第一数据线数量为一，位于所述阵列基板的最左侧，与所述第一数据线耦接的对应所述像素电路位于所述第二数据线的右侧；

除所述第一数据线之外，其余列向设置的信号线均为所述第二数据线，且所有的所述第二数据线均位于与其耦接的对应所述像素电路的右侧。

[权利要求 14]

根据权利要求11所述的显示设备，其中，

所述信号线包括行向设置的第一栅极线 and 第二栅极线；

所述第二栅极线数量为一，位于所述阵列基板的最下侧，与所述第二栅极线耦接的对应所述像素电路位于所述第二栅极线的上侧；

除所述第二栅极线之外，其余列向设置的信号线均为所述第一栅极线，且所有的所述第一栅极线均位于与其耦接的对应所述像素电路的上侧。

[权利要求 15]

根据权利要求11所述的显示设备，其中，

所述信号线包括行向设置的第一栅极线 and 第二栅极线；

所述第一栅极线数量为一，位于所述阵列基板的最上侧，与所述第一栅极线耦接的对应所述像素电路位于所述第二栅极线的下侧；

除所述第一栅极线之外，其余列向设置的信号线均为所述第二栅极线，且所有的所述第二栅极线均位于与其耦接的对应所述像素电路的下侧。

[权利要求 16]

根据权利要求11所述的显示设备，其中，

所述像素电路包括多晶硅层，所述多晶硅层通过过孔与所述信号线耦接。

[权利要求 17] 根据权利要求11所述的显示设备，其中，
所述显示设备进一步包括遮光层，设置于所述基层上，所述像素电路及所述信号线之下，且所述遮光层与所述像素电路和所述像素电极的耦接处对应设置。

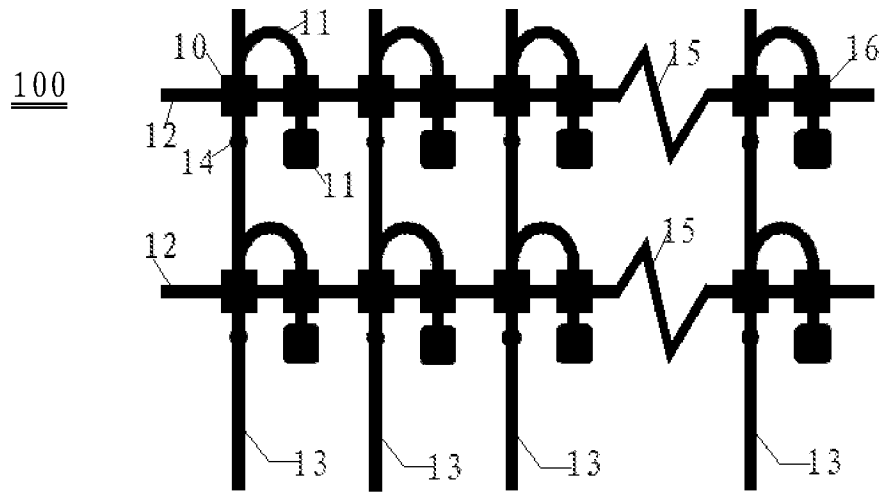


图 1

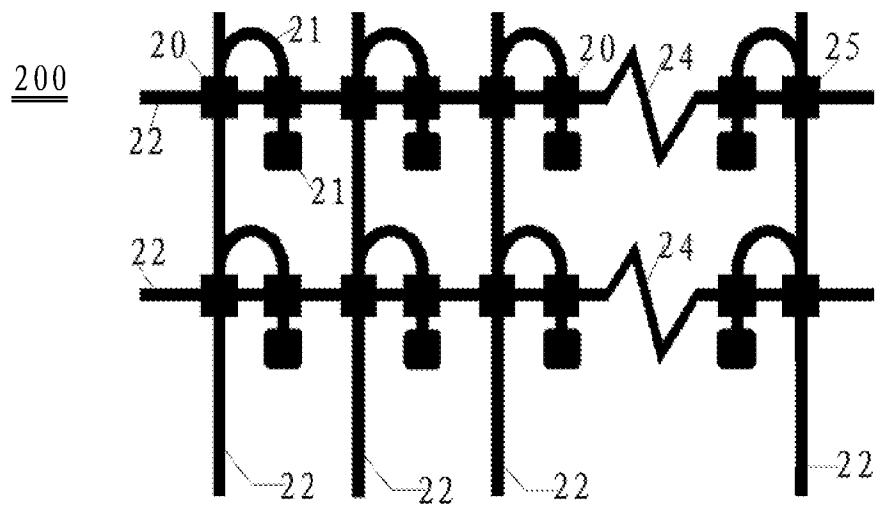


图 2

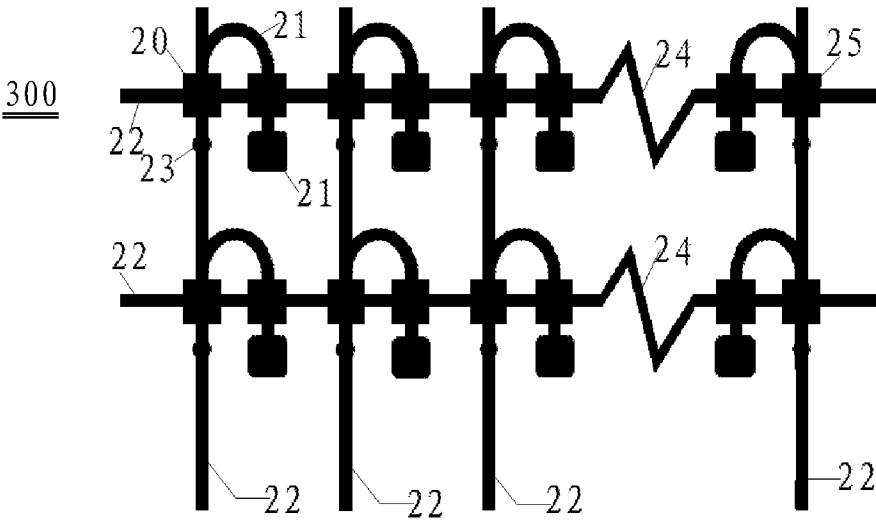


图 3

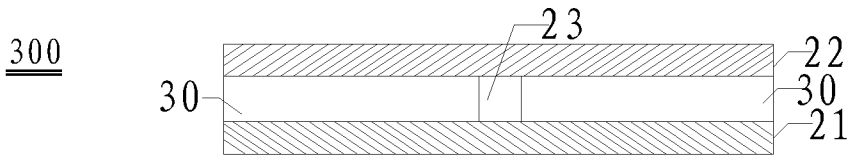


图 4

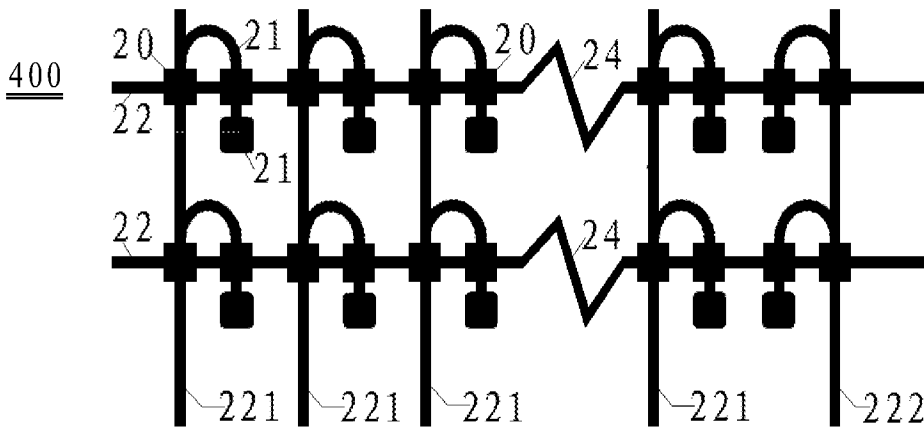


图 5

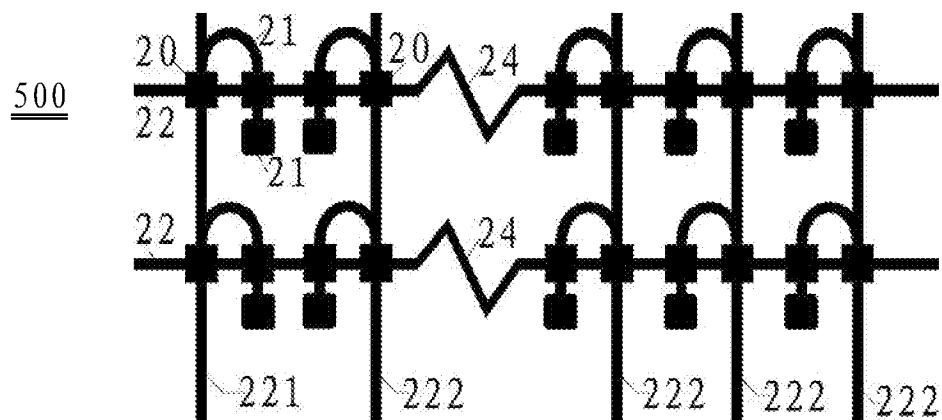


图 6

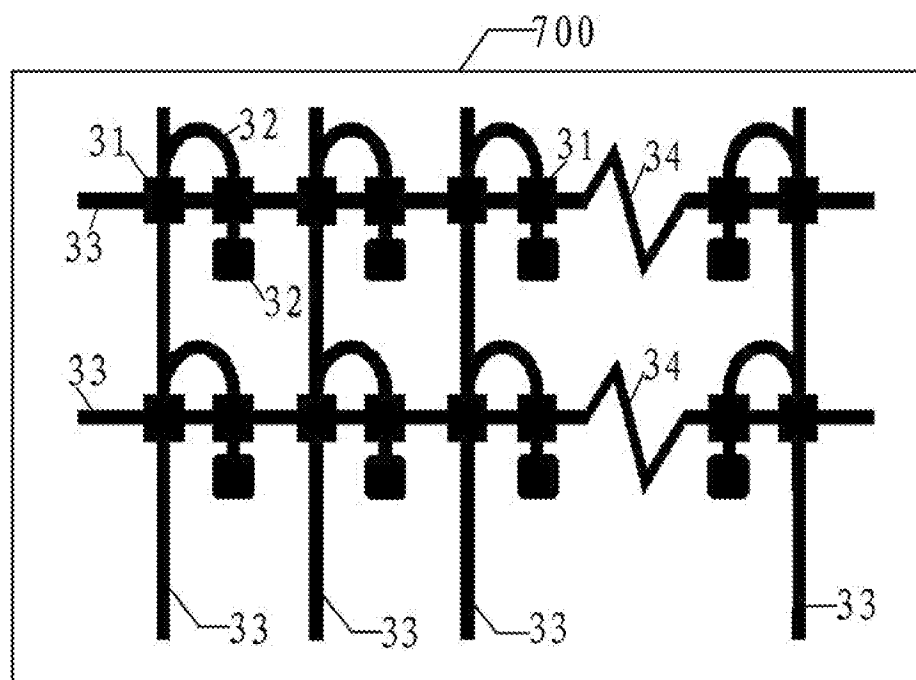


图 7

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2017/107146

A. CLASSIFICATION OF SUBJECT MATTER

H01L 27/02 (2006.01) i; H01L 27/12 (2006.01) n

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNKI, CNPAT, EPODOC, WPI: 华星光电, 韩约白, 显示, 平板, 平面, 面板, 数据线, 信号线, 资料线, 源总线, 源极线, 源线, 栅线, 栅极线, 扫描线, 选通线, 门总线, 硅, 半导体, 有源层, 沟道, 过孔, 通孔, 穿孔, 贯通孔, 贯孔, 贯穿孔, 接触孔, 静电, 放电, 接地, 边缘, 周边, 外侧, 周围, 结构, 分布, 布局, 排列, 排布, display+, flat 1d panel?, flat 1d display?, FPD?, flat panel display+, screen?, (data or signal? or source? or gate? or select??? or scan????) 1w (line? or wiring?), silicon, active, through 1w hole?, contact+ 1w hole?, ESD, electrostatic??? 1w discharg+, ground+, earth+, breakdown, end?, edge?, periphe+, side?, arrang+, layout

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 106653746 A (WUHAN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) 10 May 2017 (10.05.2017), description, paragraphs [0026]-[0030], and figures 1-5	4, 9-11, 16, 17
A	CN 104051455 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 17 September 2014 (17.09.2014), entire document	1-17
A	CN 101726895 A (EPSON IMAGING DEVICES CORPORATION) 09 June 2010 (09.06.2010), entire document	1-17

☒ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	
“A” document defining the general state of the art which is not considered to be of particular relevance	“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
“E” earlier application or patent but published on or after the international filing date	“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
“O” document referring to an oral disclosure, use, exhibition or other means	
“P” document published prior to the international filing date but later than the priority date claimed	“&”document member of the same patent family

Date of the actual completion of the international search 03 April 2018	Date of mailing of the international search report 20 April 2018
Name and mailing address of the ISA State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No. (86-10) 62019451	Authorized officer FANG, Yuanfeng Telephone No. (86-10) 53962357

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2017/107146

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 101419967 A (LG DISPLAY CO., LTD.) 29 April 2009 (29.04.2009), entire document	1-17
A	US 2007090410 A1 (CHEN, CHEN-MING) 26 April 2007 (26.04.2007), entire document	1-17

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2017/107146

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 106653746 A	10 May 2017	None	
CN 104051455 A	17 September 2014	CN 104051455 B	23 June 2017
CN 101726895 A	09 June 2010	KR 101064389 B1	14 September 2011
		KR 20100043022 A	27 April 2010
		TW 201017305 A	01 May 2010
		US 8493543 B2	23 July 2013
		CN 101726895 B	08 August 2012
		US 2010097538 A1	22 April 2010
		TW I476496 B	11 March 2015
CN 101419967 A	29 April 2009	US 8085352 B2	27 December 2011
		KR 20090041284 A	28 April 2009
		KR 101443374 B1	30 September 2014
		CN 101419967 B	15 December 2010
		US 2009102995 A1	23 April 2009
		TW 200919690 A	01 May 2009
		JP 4989607 B2	01 August 2012
		JP 2009104133 A	14 May 2009
		TW I380430 B	21 December 2012
US 2007090410 A1	26 April 2007	US 7470942 B2	30 December 2008

国际检索报告

国际申请号

PCT/CN2017/107146

A. 主题的分类 H01L 27/02(2006.01)i; H01L 27/12(2006.01)n 按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类		
B. 检索领域 检索的最低限度文献(标明分类系统和分类号) H01L 包含在检索领域中的除最低限度文献以外的检索文献 在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用)) CNKI, CNPAT, EPODOC, WPI; 华星光电, 韩约白, 显示, 平板, 平面, 面板, 数据线, 信号线, 资料线, 源总线, 源极线, 源线, 栅线, 栅极线, 扫描线, 选通线, 门总线, 硅, 半导体, 有源层, 沟道, 过孔, 通孔, 穿孔, 贯通孔, 贯孔, 贯穿孔, 接触孔, 静电, 放电, 接地, 边缘, 周边, 外侧, 周围, 结构, 分布, 布局, 排列, 排布, display+, flat 1d panel?, flat 1d display?, FPD?, flat panel display+, screen?, (data or signal? or source? or gate? or select??? or scan????) 1w (line? or wiring?), silicon, active, through 1w hole?, contact+ 1w hole?, ESD, electrostatic??? 1w discharg+, ground+, earth+, breakdown, end?, edge?, periphe+, side?, arrang+, layout		
C. 相关文件		
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	CN 106653746 A (武汉华星光电技术有限公司) 2017年 5月 10日 (2017 - 05 - 10) 说明书第【0026】-【0030】段、附图1-5	4, 9-11, 16-17
A	CN 104051455 A (京东方科技集团股份有限公司 等) 2014年 9月 17日 (2014 - 09 - 17) 全文	1-17
A	CN 101726895 A (爱普生映像元器件有限公司) 2010年 6月 9日 (2010 - 06 - 09) 全文	1-17
A	CN 101419967 A (乐金显示有限公司) 2009年 4月 29日 (2009 - 04 - 29) 全文	1-17
A	US 2007090410 A1 (CHEN, CHEN-MING) 2007年 4月 26日 (2007 - 04 - 26) 全文	1-17
☐ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。		
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件		
国际检索实际完成的日期		国际检索报告邮寄日期
2018年 4月 3日		2018年 4月 20日
ISA/CN的名称和邮寄地址		授权官员
中华人民共和国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10)62019451		房元锋 电话号码 (86-10)53962357

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2017/107146

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	106653746	A	2017年 5月 10日	无			
CN	104051455	A	2014年 9月 17日	CN	104051455	B	2017年 6月 23日
CN	101726895	A	2010年 6月 9日	KR	101064389	B1	2011年 9月 14日
				KR	20100043022	A	2010年 4月 27日
				TW	201017305	A	2010年 5月 1日
				US	8493543	B2	2013年 7月 23日
				CN	101726895	B	2012年 8月 8日
				US	2010097538	A1	2010年 4月 22日
				TW	1476496	B	2015年 3月 11日
CN	101419967	A	2009年 4月 29日	US	8085352	B2	2011年 12月 27日
				KR	20090041284	A	2009年 4月 28日
				KR	101443374	B1	2014年 9月 30日
				CN	101419967	B	2010年 12月 15日
				US	2009102995	A1	2009年 4月 23日
				TW	200919690	A	2009年 5月 1日
				JP	4989607	B2	2012年 8月 1日
				JP	2009104133	A	2009年 5月 14日
				TW	1380430	B	2012年 12月 21日
US	2007090410	A1	2007年 4月 26日	US	7470942	B2	2008年 12月 30日

表 PCT/ISA/210 (同族专利附件) (2009年7月)