



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2009년02월24일
(11) 등록번호 10-0885417
(24) 등록일자 2009년02월18일

(51) Int. Cl.

H01L 23/12 (2006.01) H01L 23/48 (2006.01)

(21) 출원번호 10-2007-0056851

(22) 출원일자 2007년06월11일

심사청구일자 2007년06월11일

(65) 공개번호 10-2008-0074007

(43) 공개일자 2008년08월12일

(30) 우선권주장

1020070012824 2007년02월07일 대한민국(KR)

(56) 선행기술조사문헌

KR1020060047302 A*

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

(72) 발명자

김길수

경기 화성시 동탄면 성원아파트 105동 1004호

(74) 대리인

권혁수, 송윤호, 오세준

전체 청구항 수 : 총 15 항

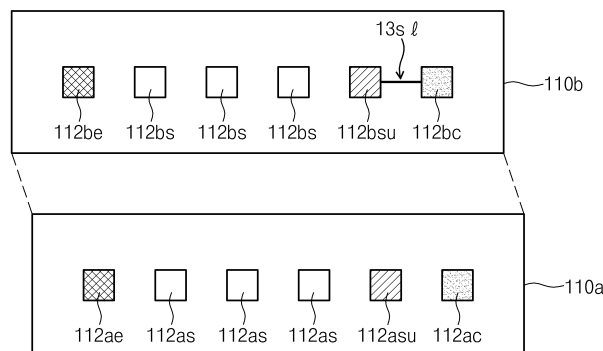
심사관 : 박귀만

(54) 반도체 소자를 이용한 적층 구조체 및 이를 포함하는 반도체 소자 패키지

(57) 요약

반도체 소자를 제공한다. 이 반도체 소자는 활성면 상에 제공된 시그널용 본딩 패드, 하나의 컨트롤 핀 본딩 패드 및 적어도 하나의 적층용 본딩 패드를 포함한다. 적어도 하나의 적층용 본딩 패드가 컨트롤 핀 본딩 패드에 이웃하는 본딩 패드 배열을 갖는 것을 특징으로 한다.

대표도 - 도2b



특허청구의 범위

청구항 1

활성면 상에 제공된 시그널용 본딩 패드, 각각 상기 활성면 상에 제공되며 서로 이웃하는 컨트롤 핀 본딩 패드 및 적어도 하나의 적층용 본딩 패드의 본딩 패드 배열을 갖는 적층된 반도체 소자들을 포함하되,

상기 반도체 소자들의 상기 적층용 본딩 패드들은 동일선상에 놓여지며, 적층 방향으로 서로 전기적인 연결을 갖는 것을 특징으로 하는 반도체 소자.

청구항 2

제 1항에 있어서,

적층되는 반도체 소자의 개수가 n 이면,

상기 적층용 본딩 패드의 개수는 $n-1$ 인 것을 특징으로 하는 반도체 소자.

청구항 3

제 1항에 있어서,

상기 적층용 본딩 패드는 전기적 검사용 본딩 패드의 역할을 하는 것을 특징으로 하는 반도체 소자.

청구항 4

제 3항에 있어서,

상기 활성면 상에 제공된 전기적 검사용 본딩 패드를 더 포함하는 것을 특징으로 하는 반도체 소자.

청구항 5

제 4항에 있어서,

상기 시그널용 본딩 패드는 복수의 열로 배열되고,

상기 전기적 검사용 본딩 패드의 개수는 상기 시그널용 본딩 패드의 열 수와 동일한 것을 특징으로 하는 반도체 소자.

청구항 6

각각 활성면 상에 제공된 시그널용 본딩 패드, 하나의 컨트롤 핀 본딩 패드 및 $n-1$ 개의 적층용 본딩 패드들을 포함하되, 상기 $n-1$ 개의 적층용 본딩 패드들 중 적어도 하나의 적층용 본딩 패드가 상기 컨트롤 핀 본딩 패드에 이웃하는 본딩 패드 배열을 갖는 n 개(n 은 2 이상의 정수)의 적층된 반도체 소자들; 및

상기 적층된 반도체 소자들 사이에 제공된 접착 물질막을 포함하되, 상기 적층된 반도체 소자들의 상기 적층용 본딩 패드들은 적층 방향으로 서로 전기적인 연결을 갖고, 최하부 반도체 소자를 제외한 상기 적층된 반도체 소자들의 상기 컨트롤 핀 본딩 패드와 상기 $n-1$ 개의 적층용 본딩 패드들 중 선택된 하나의 적층용 본딩 패드는 서로 전기적으로 연결되는 것을 특징으로 하는 반도체 소자의 적층 구조체.

청구항 7

청구항 7은(는) 설정등록료 납부시 포기되었습니다.

제 6항에 있어서,

상기 적층된 반도체 소자들의 상기 시그널용 본딩 패드는 상기 적층 방향으로 서로 전기적인 연결을 갖는 것을 특징으로 하는 반도체 소자의 적층 구조체.

청구항 8

청구항 8은(는) 설정등록료 납부시 포기되었습니다.

제 6항에 있어서,

상기 적층용 본딩 패드는 전기적 검사용 본딩 패드의 역할을 하는 것을 특징으로 하는 반도체 소자의 적층 구조체.

청구항 9

청구항 9은(는) 설정등록료 납부시 포기되었습니다.

제 8항에 있어서,

상기 활성면 상에 제공된 전기적 검사용 본딩 패드를 더 포함하는 것을 특징으로 하는 반도체 소자의 적층 구조체.

청구항 10

청구항 10은(는) 설정등록료 납부시 포기되었습니다.

제 9항에 있어서,

상기 시그널용 본딩 패드는 복수의 열로 배열되고,

상기 전기적 검사용 본딩 패드의 개수는 상기 시그널용 본딩 패드의 열 수와 동일한 것을 특징으로 하는 반도체 소자의 적층 구조체.

청구항 11

청구항 11은(는) 설정등록료 납부시 포기되었습니다.

제 6항에 있어서,

상기 반도체 소자간 접촉 물질막은 이방성 도전 필름인 것을 특징으로 하는 반도체 소자의 적층 구조체.

청구항 12

제 6항에 있어서,

상기 반도체 소자간 접촉 물질막은 상기 적층된 반도체 소자들 사이의 전기적 연결을 위해 제공된 접속 전극을 포함하는 것을 특징으로 하는 반도체 소자의 적층 구조체.

청구항 13

각각 활성면 상에 제공된 시그널용 본딩 패드, 하나의 컨트롤 핀 본딩 패드 및 m개의 적층용 본딩 패드들을 포함하되, 상기 m개의 적층용 본딩 패드들 중 적어도 하나의 적층용 본딩 패드가 상기 컨트롤 핀 본딩 패드에 이웃하는 본딩 패드 배열을 갖는 적층된 반도체 소자들; 및

상기 적층된 반도체 소자들 사이에 제공된 접촉 물질막을 포함하되, 상기 적층된 반도체 소자들은 m개(m은 2 이상의 정수)의 반도체 소자군들로 구분되고, 상기 m개의 반도체 소자군들 중 적어도 하나는 복수의 반도체 소자들을 포함하고, 상기 적층된 반도체 소자들의 상기 적층용 본딩 패드들은 적층 방향으로 서로 적어도 하나의 전기적인 연결을 갖고, 상기 적층된 반도체 소자들의 상기 컨트롤 핀 본딩 패드와 상기 m개의 적층용 본딩 패드들 중 선택된 하나의 적층용 본딩 패드는 서로 전기적으로 연결되는 것을 특징으로 하는 반도체 소자의 적층 구조체.

청구항 14

청구항 14은(는) 설정등록료 납부시 포기되었습니다.

제 13항에 있어서,

상기 적층된 반도체 소자들의 상기 시그널용 본딩 패드는 상기 적층 방향으로 서로 전기적인 연결을 갖는 것을 특징으로 하는 반도체 소자의 적층 구조체.

청구항 15

청구항 15은(는) 설정등록료 납부시 포기되었습니다.

제 13항에 있어서,

상기 적층용 본딩 패드는 전기적 검사용 본딩 패드의 역할을 하는 것을 특징으로 하는 반도체 소자의 적층 구조체.

청구항 16

청구항 16은(는) 설정등록료 납부시 포기되었습니다.

제 15항에 있어서,

상기 활성면 상에 제공된 전기적 검사용 본딩 패드를 더 포함하는 것을 특징으로 하는 반도체 소자의 적층 구조체.

청구항 17

청구항 17은(는) 설정등록료 납부시 포기되었습니다.

제 16항에 있어서,

상기 시그널용 본딩 패드는 복수의 열로 배열되고,

상기 전기적 검사용 본딩 패드의 개수는 상기 시그널용 본딩 패드의 열 수와 동일한 것을 특징으로 하는 반도체 소자의 적층 구조체.

청구항 18

제 13항에 있어서,

상기 반도체 소자군은 적어도 하나의 반도체 소자를 포함하는 것을 특징으로 하는 반도체 소자의 적층 구조체.

청구항 19

제 18항에 있어서,

상기 반도체 소자군은 동일 신호에 동작하도록, 동일한 본딩 패드 배열을 갖는 동일한 반도체 소자들로 이루어지는 것을 특징으로 하는 반도체 소자의 적층 구조체.

청구항 20

제 19항에 있어서,

상기 반도체 소자군은 다른 반도체 소자군의 적층된 반도체 소자들 사이에 배치되는 것을 특징으로 하는 반도체 소자의 적층 구조체.

청구항 21

제 20항에 있어서,

상기 다른 반도체 소자군의 상기 적층된 반도체 소자들 사이에는 또 다른 반도체 소자군이 배치되는 것을 특징으로 하는 반도체 소자의 적층 구조체.

청구항 22

청구항 22은(는) 설정등록료 납부시 포기되었습니다.

제 13항에 있어서,

상기 반도체 소자간 접촉 물질막은 이방성 도전 필름인 것을 특징으로 하는 반도체 소자의 적층 구조체.

청구항 23

청구항 23은(는) 설정등록료 납부시 포기되었습니다.

제 13항에 있어서,

상기 반도체 소자간 접착 물질막은 상기 적층된 반도체 소자들 사이의 전기적 연결을 위해 제공된 접속 전극을 포함하는 것을 특징으로 하는 반도체 소자의 적층 구조체.

청구항 24

제 6항에 개시된 적층 구조체를 갖는 반도체 소자들;

상기 반도체 소자들이 실장되는 제 1 면 및 상기 제 1 면에 대향하는 제 2 면을 갖는 배선 기판;

상기 반도체 소자들 및 상기 배선 기판의 상기 제 1 면 사이에 개재된 실장용 접착 물질막; 및

상기 배선 기판의 상기 제 2 면에 제공된 시그널용 솔더 볼들 및 컨트롤용 솔더 볼들을 포함하되, 상기 시그널용 솔더 볼들은 상기 반도체 소자들의 최하부 반도체 소자의 시그널용 본딩 패드들과 서로 전기적으로 연결되고, 상기 컨트롤용 솔더 볼들은 상기 최하부 반도체 소자의 컨트롤 핀 본딩 패드 및/또는 적층용 본딩 패드들과 서로 전기적으로 연결되는 것을 특징으로 하는 반도체 소자 패키지.

청구항 25

청구항 25은(는) 설정등록료 납부시 포기되었습니다.

제 24항에 있어서,

상기 실장용 접착 물질막은 이방성 도전 필름인 것을 특징으로 하는 반도체 소자 패키지.

청구항 26

제 24항에 있어서,

상기 실장용 접착 물질막은 상기 반도체 소자들과 상기 배선 기판 사이의 전기적 연결을 위해 제공된 접속 전극을 포함하는 것을 특징으로 하는 반도체 소자 패키지.

청구항 27

제 13항에 개시된 적층 구조체를 갖는 반도체 소자들;

상기 반도체 소자들이 실장되는 제 1 면 및 상기 제 1 면에 대향하는 제 2 면을 갖는 배선 기판;

상기 반도체 소자들 및 상기 배선 기판의 상기 제 1 면 사이에 개재된 실장용 접착 물질막; 및

상기 배선 기판의 상기 제 2 면에 제공된 시그널용 솔더 볼들 및 컨트롤용 솔더 볼들을 포함하되, 상기 시그널용 솔더 볼들은 상기 반도체 소자들의 최하부 반도체 소자의 시그널용 본딩 패드들과 서로 전기적으로 연결되고, 상기 컨트롤용 솔더 볼들은 상기 최하부 반도체 소자의 컨트롤 핀 본딩 패드 및/또는 적층용 본딩 패드들과 서로 전기적으로 연결되는 것을 특징으로 하는 반도체 소자 패키지.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

<8> 본 발명은 반도체 소자 및 반도체 소자 패키지에 관한 것으로, 더 구체적으로 반도체 소자의 본딩 패드 배열 및 이를 포함하는 반도체 소자 패키지에 관한 것이다.

<9> 반도체 산업에서 집적 회로(Integrated Circuit : IC)에 대한 패키징(packaging) 기술은 소형화에 대한 요구 및 실장(mounting) 신뢰성을 만족시키기 위해 지속적으로 발전하고 있다. 예컨대, 소형화에 대한 요구는 반도체 칩(semiconductor chip) 크기에 근접한 패키지(package)에 대한 기술 개발을 가속화시키고 있다. 또한, 실장 신뢰성에 대한 요구는 실장 작업의 효율성 및 실장 후의 기계적 및 전기적 신뢰성을 향상시킬 수 있는 패키징 기술에 대한 중요성을 부가시키고 있다.

- <10> 또한, 전기·전자 제품의 소형화와 더불어 고성능화가 요구됨에 따라, 고용량의 반도체 제품을 제공하기 위한 다양한 기술들이 연구 개발되고 있다. 고용량의 반도체 제품을 제공하기 위한 방법으로는 메모리 칩(memory chip)의 용량 증대, 다시 말해, 메모리 칩의 고집적화가 있다. 이러한 메모리 칩의 고집적화는 한정된 반도체 칩의 공간 내에 보다 많은 수의 메모리 셀(memory cell)을 집적해 넣는 것에 의해 실현될 수 있다.
- <11> 그러나 이와 같은 메모리 칩의 고집적화는 정밀한 미세 선폭을 요구하는 등의 고난도 기술과 많은 개발 시간을 필요로 한다. 이에 따라, 복수의 반도체 칩 또는 반도체 소자 패키지를 수직으로 적층(stacking)하는 방법이 제안되었다. 이러한 적층 기술로 인하여, 메모리 용량의 증대는 물론, 실장 밀도 및 실장 면적 사용의 효율성 측면에서 이점이 있다. 이에 따라, 적층형 반도체 소자 패키지에 대한 연구 및 개발은 가속화되고 있다.
- <12> 도 1a 및 도 1b는 각각 종래기술에 따른 반도체 소자 패키지를 설명하기 위한 단면도 및 상부 평면도이다.
- <13> 도 1a 및 도 1b를 참조하면, 반도체 소자 패키지는 적층된 제 1 및 제 2 반도체 소자들(10a 및 10b) 및 배선 기판(20)을 포함할 수 있다.
- <14> 제 1 및 제 2 반도체 소자들(10a 및 10b)은 각각의 활성면에 하나의 컨트롤 핀 본딩 패드(control pin bonding pad, 12ac 및 12bc), 적어도 하나의 전기적 검사용(Electrical Die Sorting : EDS) 본딩 패드(12ae 및 12be) 및 복수의 시그널용(signal) 본딩 패드(12as 및 12bs)를 포함할 수 있다. 각각의 본딩 패드들은 제 1 및 제 2 반도체 소자들(10a 및 10b)을 관통하는 관통 전극에 연결된 형태일 수 있다.
- <15> 제 1 반도체 소자(10a)의 전기적 검사용 본딩 패드(12ae)와 제 2 반도체 소자(10b)의 전기적 검사용 본딩 패드(12be)는 서로 전기적으로 연결될 수 있다. 제 1 반도체 소자(10a)의 시그널용 본딩 패드(12as)와 제 2 반도체 소자(10b)의 시그널용 본딩 패드(12bs)는 서로 전기적으로 연결될 수 있다. 이러한 전기적인 연결은 제 1 및 제 2 반도체 소자들(10a 및 10b) 사이에 제공되는 반도체 소자간 접촉 물질막(15)에 포함된 접속 전극들(16)에 의한 것일 수 있다. 제 1 반도체 소자(10a)의 컨트롤 핀 본딩 패드(12ac)와 제 2 반도체 소자(10b)의 컨트롤 핀 본딩 패드(12bc)는 서로 전기적으로 연결되지 않는다.
- <16> 배선 기판(20)은 인쇄 회로 기판(Printed Circuit Board : PCB)을 포함하는 시스템 기판(system board) 등일 수 있다. 배선 기판(20)은 코어 물질(core material, 22)을 몸체로 하여 상부 본딩 전극들(26u)을 포함하는 상부면 절연막 패턴(24u) 및 하부면 절연막 패턴(24l)에 대하여 하부 본딩 전극들(26l)을 포함하는 하부 절연막 패턴(24l)을 가질 수 있다.
- <17> 배선 기판(20)은 상부면에 제 1 반도체 소자(10a)의 본딩 패드들(12ac, 12ae 및 12as)에 대응되는 상부 본딩 전극들(26u)을 가질 수 있다. 상부 본딩 전극들(26u)은 그에 대응되는 제 1 반도체 소자(10a)의 본딩 패드들(12ac, 12ae 및 12as)과 전기적으로 연결될 수 있다. 적층된 제 1 및 제 2 반도체 소자(10a 및 10b)는 실장용 접착 물질막(미도시)을 매개로 배선 기판(20)에 실장될 수 있다.
- <18> 배선 기판(20)은 하부면에 솔더 볼들(28s)을 형성하기 위한 하부 본딩 전극들(26l)을 가질 수 있다. 배선 기판(20)의 하부면에 제공되는 솔더 볼들(28s)은 배선 기판(20)의 내부 배선들(꺾인 실선)에 연결되어 적층된 제 1 및 제 2 반도체 소자들(10a 및 10b)과 외부 회로와의 전기적인 연결을 제공할 수 있다. 시그널용 솔더 볼들(A0, A1 및 A2)은 배선 기판(20)의 내부 배선들에 의해 제 1 반도체 소자(10a)의 시그널용 본딩 패드(12as)에 연결될 수 있다. 컨트롤용 솔더 볼들(c1t0 및 c1t1)은 배선 기판(20)의 내부 배선들에 의해 각각 제 1 반도체 소자(10a)의 컨트롤 핀 본딩 패드(12ac) 및 전기적 검사용 본딩 패드(12ae)에 연결될 수 있다.
- <19> 적층된 제 1 및 제 2 반도체 소자들(10a 및 10b)을 포함하는 반도체 소자 패키지는 각각의 반도체 소자들(10a 및 10b)을 제어하여, 선택된 하나의 반도체 소자를 동작시킬 것인지 결정할 수 있어야 한다. 제 1 반도체 소자(10a)는 동작 신호를 컨트롤 핀 본딩 패드(12ac)가 직접적으로 받을 수 있는 반면에, 제 2 반도체 소자(10b)가 동작 신호를 받기 위해서는, 컨트롤 핀 본딩 패드(12bc)와 전기적 검사용 본딩 패드(12be)를 연결하는 추가적인 연결 배선(13sl)이 필요하다.
- <20> 상기와 같은 구조를 갖는 반도체 소자 패키지는 전기적 검사용 본딩 패드들을 이용하여 적층된 반도체 소자들의 동작을 제어할 수 있다. 그러나 적층된 반도체 소자들 사이에는 동작 신호를 받기 위한 경로로 사용되는 배선의 물리적 길이 차이가 크게 존재한다. 이에 따라, 적층된 반도체 소자들 사이의 신호 시간 차(skew)에 의한 신호 지연이 발생하는 문제점이 있다.

발명이 이루고자 하는 기술적 과제

- <21> 본 발명이 이루고자 하는 기술적 과제는 적층된 반도체 소자들을 포함하는 반도체 소자 패키지에서 적층된 반도체 소자들 사이의 신호 시간 차를 최소화할 수 있는 반도체 소자를 제공하는 데 있다.
- <22> 본 발명이 이루고자 하는 다른 기술적 과제는 적층된 반도체 소자들을 포함하는 반도체 소자 패키지에서 적층된 반도체 소자들 사이의 신호 시간 차를 최소화할 수 있는 반도체 소자의 적층 구조체를 제공하는 데 있다.
- <23> 본 발명이 이루고자 하는 또 다른 기술적 과제는 적층된 반도체 소자들을 포함하는 반도체 소자 패키지에서 적층된 반도체 소자들 사이의 신호 시간 차를 최소화할 수 있는 반도체 소자 패키지를 제공하는 데 있다.

발명의 구성 및 작용

- <24> 상기한 기술적 과제를 달성하기 위하여, 본 발명은 반도체 소자를 제공한다. 이 반도체 소자는 활성면 상에 제공된 시그널용 본딩 패드, 하나의 컨트롤 핀 본딩 패드 및 적어도 하나의 적층용 본딩 패드를 포함할 수 있다. 적어도 하나의 적층용 본딩 패드가 컨트롤 핀 본딩 패드에 이웃하는 본딩 패드 배열을 갖는 것을 특징으로 할 수 있다.
- <25> 적층되는 반도체 소자의 개수가 n 이면, 적층용 본딩 패드의 개수는 $n-1$ 일 수 있다.
- <26> 적층용 본딩 패드는 전기적 검사용 본딩 패드의 역할을 할 수 있다.
- <27> 활성면 상에 제공된 전기적 검사용 본딩 패드를 더 포함할 수 있다.
- <28> 시그널용 본딩 패드는 복수의 열로 배열되고, 전기적 검사용 본딩 패드의 개수는 시그널용 본딩 패드의 열 수와 동일할 수 있다.
- <29> 또한, 상기한 다른 과제를 달성하기 위하여, 본 발명은 반도체 소자의 적층 구조체들을 제공한다. 이 적층 구조체들 중 하나는 각각 활성면 상에 제공된 시그널용 본딩 패드, 하나의 컨트롤 핀 본딩 패드 및 $n-1$ 개의 적층용 본딩 패드들을 포함하되, $n-1$ 개의 적층용 본딩 패드들 중 적어도 하나의 적층용 본딩 패드가 컨트롤 핀 본딩 패드에 이웃하는 본딩 패드 배열을 갖는 n 개(n 은 2 이상의 정수)의 적층된 반도체 소자들, 및 적층된 반도체 소자들 사이에 제공된 접착 물질막을 포함할 수 있다. 적층된 반도체 소자들의 적층용 본딩 패드들은 적층 방향으로 전기적인 연결을 갖고, 최하부 반도체 소자를 제외한 적층된 반도체 소자들의 컨트롤 핀 본딩 패드와 $n-1$ 개의 적층용 본딩 패드들 중 선택된 하나의 적층용 본딩 패드는 서로 전기적으로 연결되는 것을 특징으로 할 수 있다.
- <30> 적층된 반도체 소자들의 시그널용 본딩 패드는 적층 방향으로 전기적인 연결을 가질 수 있다.
- <31> 적층용 본딩 패드는 전기적 검사용 본딩 패드의 역할을 할 수 있다.
- <32> 활성면 상에 제공된 전기적 검사용 본딩 패드를 더 포함할 수 있다.
- <33> 시그널용 본딩 패드는 복수의 열로 배열되고, 전기적 검사용 본딩 패드의 개수는 시그널용 본딩 패드의 열 수와 동일할 수 있다.
- <34> 반도체 소자간 접착 물질막은 이방성 도전 필름일 수 있다.
- <35> 반도체 소자간 접착 물질막은 적층된 반도체 소자들 사이의 전기적 연결을 위해 제공된 접속 전극을 포함할 수 있다.
- <36> 이 적층 구조체들 중 다른 하나는 각각 활성면 상에 제공된 시그널용 본딩 패드, 하나의 컨트롤 핀 본딩 패드 및 m 개의 적층용 본딩 패드들을 포함하되, 상기 m 개의 적층용 본딩 패드들 중 적어도 하나의 적층용 본딩 패드가 상기 컨트롤 핀 본딩 패드에 이웃하는 본딩 패드 배열을 갖는 적층된 반도체 소자들, 및 적층된 반도체 소자들 사이에 제공된 접착 물질막을 포함할 수 있다. 적층된 반도체 소자들은 m 개(m 은 2 이상의 정수)의 반도체 소자군들로 구분되고, m 개의 반도체 소자군들 중 적어도 하나는 적어도 복수의 반도체 소자를 포함하고, 적층된 반도체 소자들의 적층용 본딩 패드들은 적층 방향으로 서로 적어도 하나의 전기적인 연결을 갖고, 적층된 반도체 소자들의 컨트롤 핀 본딩 패드와 m 개의 적층용 본딩 패드들 중 선택된 하나의 적층용 본딩 패드는 서로 전기적으로 연결되는 것을 특징으로 할 수 있다.
- <37> 적층된 반도체 소자들의 시그널용 본딩 패드는 적층 방향으로 서로 전기적인 연결을 가질 수 있다.
- <38> 적층용 본딩 패드는 전기적 검사용 본딩 패드의 역할을 할 수 있다.

- <39> 활성면 상에 제공된 전기적 검사용 본딩 패드를 더 포함할 수 있다.
- <40> 시그널용 본딩 패드는 복수의 열로 배열되고, 전기적 검사용 본딩 패드의 개수는 시그널용 본딩 패드의 열 수와 동일할 수 있다.
- <41> 반도체 소자군은 적어도 하나의 반도체 소자를 포함할 수 있다. 반도체 소자군은 동일 신호에 동작하도록, 동일한 본딩 패드 배열을 갖는 동일한 반도체 소자들로 이루어질 수 있다.
- <42> 반도체 소자군은 다른 반도체 소자군의 적층된 반도체 소자들 사이에 배치될 수 있다. 다른 반도체 소자군의 적층된 반도체 소자들 사이에는 또 다른 반도체 소자군이 배치될 수 있다.
- <43> 반도체 소자간 접촉 물질막은 이방성 도전 필름일 수 있다.
- <44> 반도체 소자간 접촉 물질막은 적층된 반도체 소자들 사이의 전기적 연결을 위해 제공된 접속 전극을 포함할 수 있다.
- <45> 이에 더하여, 상기한 또 다른 기술적 과제를 달성하기 위하여, 본 발명은 반도체 소자 패키지를 제공한다. 이 반도체 소자 패키지는 상기한 적층 구조체들 중 하나의 적층 구조체를 갖는 반도체 소자들, 반도체 소자들이 실장되는 상부면 및 상부면에 대향하는 하부면을 갖는 배선 기판, 반도체 소자들 및 배선 기판의 상부면 사이에 개재된 실장용 접촉 물질막, 및 배선 기판의 하부면에 제공된 시그널용 솔더 볼들 및 컨트롤용 솔더 볼들을 포함할 수 있다. 시그널용 솔더 볼들은 반도체 소자들의 최하부 반도체 소자의 시그널용 본딩 패드들과 서로 전기적으로 연결되고, 컨트롤용 솔더 볼들은 최하부 반도체 소자의 컨트롤 핀 본딩 패드 및/또는 적층용 본딩 패드들과 서로 전기적으로 연결되는 것을 특징으로 할 수 있다.
- <46> 실장용 접촉 물질막은 이방성 도전 필름일 수 있다.
- <47> 실장용 접촉 물질막은 반도체 소자들과 배선 기판 사이의 전기적 연결을 위해 제공된 접속 전극을 포함할 수 있다.
- <48> 이하, 첨부된 도면들을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하기로 한다. 그러나 본 발명은 여기서 설명되는 실시예에 한정되지 않고 다른 형태로 구체화될 수도 있다. 오히려, 여기서 소개되는 실시예는 개시된 내용이 철저하고 완전해질 수 있도록 그리고 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 제공되는 것이다. 또한, 바람직한 실시예에 따른 것이기 때문에, 설명의 순서에 따라 제시되는 참조 부호는 그 순서에 반드시 한정되지는 않는다. 도면들에 있어서, 막 및 영역들의 두께는 명확성을 기하기 위하여 과장된 것이다. 또한, 막이 다른 막 또는 기판 상에 있다고 언급되는 경우에 그것은 다른 막 또는 기판 상에 직접 형성될 수 있거나 또는 그들 사이에 제 3의 막이 개재될 수도 있다.
- <49> 도 2a 및 도 2b는 각각 본 발명의 실시예에 따른 반도체 소자 패키지를 설명하기 위한 단면도 및 상부 평면도이다.
- <50> 도 2a 및 도 2b를 참조하면, 반도체 소자 패키지는 적층된 제 1 및 제 2 반도체 소자들(110a 및 110b) 및 배선 기판(120)을 포함할 수 있다.
- <51> 제 1 반도체 소자(110a)는 활성면에 하나의 컨트롤 핀 본딩 패드(112ac), 적어도 하나의 전기적 검사용 본딩 패드(112ae), 시그널용 본딩 패드(112as) 및 하나의 적층용 본딩 패드(112asu)를 포함할 수 있다. 제 2 반도체 소자(110b)는, 제 1 반도체 소자(110a)와 동일하게, 활성면에 하나의 컨트롤 핀 본딩 패드(112bc), 적어도 하나의 전기적 검사용 본딩 패드(112be), 시그널용 본딩 패드(112bs) 및 하나의 적층용 본딩 패드(112bsu)를 포함할 수 있다. 제 1 반도체 소자(110a)는 적어도 하나의 적층용 본딩 패드(112asu)가 컨트롤 핀 본딩 패드(112ac)에 이웃하는 본딩 패드 배열을 가질 수 있다. 제 2 반도체 소자(110b)는, 제 1 반도체 소자(110a)와 동일하게, 적어도 하나의 적층용 본딩 패드(112bsu)가 컨트롤 핀 본딩 패드(112bc)에 이웃하는 본딩 패드 배열을 가질 수 있다. 다시 말해서, 각각의 제 1 및 제 2 반도체 소자들(110a 및 110b)은 컨트롤 핀 본딩 패드(112ac 및 112bc)에 인접한 본딩 패드들 중에서 적어도 하나는 적층용 본딩 패드(112asu 및 112bsu)인 본딩 패드 배열을 가질 수 있다.
- <52> 시그널용 본딩 패드(112as 및 112bs)는 복수의 열로 배열될 수 있으며, 전기적 검사용 본딩 패드(112ae 및 112be)의 개수는 시그널용 본딩 패드(112as 및 112bs)의 열 수와 동일할 수 있다. 전기적 검사용 본딩 패드(112ae 및 112be)는 제 1 및 제 2 반도체 소자들(110a 및 110b)의 전기적 특성을 검사하기 위한 것일 수 있다. 시그널용 본딩 패드(112as 및 112bs)의 열 수가 1이기 때문에, 전기적 검사용 본딩 패드(112ae 및 112be)의 개

수는 1일 수 있다. 적층되는 반도체 소자들(110a 및 110b)의 개수가 n (n 은 2 이상의 정수)이면, 적층용 본딩 패드(112asu 및 112bsu)의 개수는 $n-1$ 일 수 있다. 적층된 반도체 소자들(110a 및 110b)의 개수가 2이므로, 적층용 본딩 패드(112asu 및 112bsu)의 개수는 1일 수 있다. 전기적 검사용 본딩 패드(112ae 및 112be)는 적층용 본딩 패드(112asu 및 112bsu)의 위치에 배치될 수 있다. 이는 전기적 검사용 본딩 패드(112ae 및 112be)를 컨트롤 핀 본딩 패드(112ac 및 112bc)에 이웃하게 형성함으로써, 적층용 본딩 패드(112asu 및 112bsu)의 역할을 하게 할 수 있다.

- <53> 각각의 본딩 패드들은 제 1 및 제 2 반도체 소자들(110a 및 110b)을 관통하는 관통 전극에 연결된 형태일 수 있다. 각각의 본딩 패드들과 그에 연결된 관통 전극은 제 1 및 제 2 반도체 소자들(110a 및 110b)의 표면으로부터 돌출된 형태일 수 있다. 적층된 제 1 및 제 2 반도체 소자들(110a 및 110b) 사이에 전기적으로 연결되지 않는, 예를 들어, 전기적 검사용 본딩 패드(112ae 및 112be) 또는 컨트롤 핀 본딩 패드(112ac 및 112bc)는 관통 전극에 연결되지 않은 패드 형태일 수 있다. 도시되지 않았지만, 적층된 반도체 소자들(110a 및 110b)의 개수가 2일 경우에는, 제 2 반도체 소자(110b)의 모든 본딩 패드들(112bc, 112be, 112bs 및 112bsu)은 관통 전극에 연결되지 않은 패드 형태일 수 있다.
- <54> 제 1 반도체 소자(110a)의 시그널용 본딩 패드(112as)와 제 2 반도체 소자(110b)의 시그널용 본딩 패드(112bs)는 적층 방향으로 서로 전기적으로 연결될 수 있다. 적층 방향은 제 1 및 제 2 반도체 소자(110a 및 110b)의 활성면에 대하여 수직인 방향일 수 있다. 제 1 반도체 소자(110a)의 적층용 본딩 패드(112asu)와 제 2 반도체 소자(110b)의 적층용 본딩 패드(112bsu)는 적층 방향으로 서로 전기적으로 연결될 수 있다. 이러한 전기적인 연결은 제 1 및 제 2 반도체 소자들(110a 및 110b) 사이에 제공되는 반도체 소자간 접촉 물질막(115)에 포함된 접촉 전극들(116)에 의한 것일 수 있다. 또는, 이러한 전기적인 연결은, 본딩 패드들과 그에 연결된 관통 전극이 제 1 및 제 2 반도체 소자들(110a 및 110b)의 표면으로부터 돌출된 형태이면, 이방성 도전 필름(Anisotropic Conductive Film : ACF)으로 이루어진 반도체 소자간 접촉 물질막(115)에 의한 것일 수 있다. 제 1 반도체 소자(110a)의 컨트롤 핀 본딩 패드(112ac)와 제 2 반도체 소자(110b)의 컨트롤 핀 본딩 패드(112bc)는 서로 전기적으로 연결되지 않는다. 제 1 반도체 소자(110a)의 전기적 검사용 본딩 패드(112ae)와 제 2 반도체 소자(110b)의 전기적 검사용 본딩 패드(112be)는 서로 전기적으로 연결되지 않는다.
- <55> 배선 기관(120)은 인쇄 회로 기관을 포함하는 시스템 기관 등일 수 있다. 배선 기관(120)은 코어 물질(122)을 몸체로 하여 상부 본딩 전극들(126u)을 포함하는 상부면 절연막 패턴(124u) 및 상부면 절연막 패턴(124u)에 대향하면서 하부 본딩 전극들(126l)을 포함하는 하부 절연막 패턴(124l)을 가질 수 있다.
- <56> 배선 기관(120)은 상부면에 제 1 반도체 소자(110a)의 전기적 검사용 본딩 패드(112ae)를 제외한 본딩 패드들(112ac, 112as 및 112asu)에 대응되는 상부 본딩 전극들(126u)을 가질 수 있다. 상부 본딩 전극들(126u)은 그에 대응되는 제 1 반도체 소자(110a)의 본딩 패드들(112ac, 112as 및 112asu)과 전기적으로 연결될 수 있다. 적층된 제 1 및 제 2 반도체 소자(110a 및 110b)는 실장용 접착 물질막(미도시)을 매개로 배선 기관(120)에 실장되어 전기적으로 연결될 수 있다. 실장용 접착 물질막은 이방성 도전 필름일 수 있다. 또는, 실장용 접착 물질막은 적층된 제 1 및 제 2 반도체 소자들(110a 및 110b)과 배선 기관(120) 사이의 전기적 연결을 위해 제공된 접촉 전극들(도 2a의 116 참조)을 포함할 수 있다.
- <57> 배선 기관(120)은 하부면에 솔더 볼들(128s)을 형성하기 위한 하부 본딩 전극들(126l)을 가질 수 있다. 배선 기관(120)의 하부면에 제공되는 솔더 볼들(128s)은 배선 기관(120)의 내부 배선들(꺾인 실선)에 연결되어 적층된 제 1 및 제 2 반도체 소자들(110a 및 110b)과 외부 회로와의 전기적인 연결을 제공할 수 있다. 시그널용 솔더 볼들(A0, A1 및 A2)은 배선 기관(120)의 내부 배선들에 의해 제 1 반도체 소자(110a)의 시그널용 본딩 패드(112as)에 연결될 수 있다. 컨트롤용 솔더 볼들(c1t0 및 c1t1)은 배선 기관(120)의 내부 배선들에 의해 각각 제 1 반도체 소자(110a)의 컨트롤 핀 본딩 패드(112ac) 및 적층용 본딩 패드(112asu)에 연결될 수 있다.
- <58> 적층된 제 1 및 제 2 반도체 소자들(110a 및 110b)을 포함하는 반도체 소자 패키지는 각각의 반도체 소자들(110a 및 110b)을 제어하여 선택된 하나의 반도체 소자를 동작시킬 것인지 결정할 수 있어야 한다. 제 1 반도체 소자(110a)는 동작 신호를 컨트롤 핀 본딩 패드(112ac)가 직접적으로 받고, 제 2 반도체 소자(110b)는 컨트롤 핀 본딩 패드(112bc)와 이웃하는 적층용 본딩 패드(112bsu) 사이의 짧은 거리를 연결하는 부가적인 연결 배선(113sl)을 통해 간접적으로 받을 수 있다.
- <59> 제 1 및 제 2 반도체 소자들(110a 및 110b)은 적어도 하나의 적층용 본딩 패드(112asu 및 112bsu)가 컨트롤 핀 본딩 패드(112ac 및 112bc)에 이웃하는 본딩 패드 배열을 가지기 때문에, 종래와는 달리, 적층된 제 1 및 제 2 반도체 소자들(110a 및 110b) 사이에는 반도체 소자 패키지의 적층된 제 1 및 제 2 반도체 소자들(110a 및

110b)의 동작을 제어하는 동작 신호를 받기 위한 경로로 사용되는 배선의 물리적 길이 차이가 최소화될 수 있다. 이에 따라, 적층된 제 1 및 제 2 반도체 소자들(110a 및 110b) 사이의 신호 시간 차에 의한 신호 지연이 최소화될 수 있다.

- <60> 도 3a 및 도 3b는 각각 본 발명의 다른 실시예에 따른 반도체 소자 패키지를 설명하기 위한 단면도 및 상부 평면도이다.
- <61> 도 3a 및 도 3b를 참조하면, 반도체 소자 패키지는 적층된 제 1, 제 2, 제 3 및 제 4 반도체 소자들(210a, 210b, 210c 및 210d) 및 배선 기관(220)을 포함할 수 있다.
- <62> 제 1, 제 2, 제 3 및 제 4 반도체 소자들(210a, 210b, 210c 및 210d)은 각각의 활성면에 하나의 컨트롤 핀 본딩 패드(212ac, 212bc, 212cc 및 212dc), 적어도 하나의 전기적 검사용 본딩 패드(212ae, 212be, 212ce 및 212de), 복수의 시그널용 본딩 패드(212as, 212bs, 212cs 및 112ds) 및 적어도 하나의 적층용 본딩 패드(212asu1, 212asu2, 212asu3, 212bsu1, 212bsu2, 212bsu3, 212csu1, 212csu2, 212csu3, 212dsu1, 212dsu2 및 212dsu3)를 포함할 수 있다. 제 1, 제 2, 제 3 및 제 4 반도체 소자들(210a, 210b, 210c 및 210d)은 적어도 하나의 적층용 본딩 패드(212asu1, 212asu2, 212bsu1, 212bsu2, 212csu1, 212csu2, 212dsu1 및 112dsu2)가 컨트롤 핀 본딩 패드(212ac, 212bc, 212cc 및 212dc)에 이웃하는 본딩 패드 배열을 가질 수 있다.
- <63> 시그널용 본딩 패드(212as, 212bs, 212cs 및 212ds)는 복수의 열로 배열될 수 있으며, 전기적 검사용 본딩 패드(212ae, 212be, 212ce 및 212de)의 개수는 시그널용 본딩 패드(212as, 212bs, 212cs 및 212ds)의 열 수와 동일할 수 있다. 시그널용 본딩 패드(212as, 212bs, 212cs 및 212ds)의 열 수가 2이기 때문에, 전기적 검사용 본딩 패드(212ae, 212be, 212ce 및 212de)의 개수는 2일 수 있다. 적층되는 반도체 소자들(210a, 210b, 210c 및 210d)의 개수가 n (n 은 2 이상의 정수)이면, 적층용 본딩 패드(212asu1, 212asu2, 212asu3, 212bsu1, 212bsu2, 212bsu3, 212csu1, 212csu2, 212csu3, 212dsu1, 212dsu2 및 212dsu3)의 개수는 $n-1$ 일 수 있다. 적층된 반도체 소자들(210a, 210b, 210c 및 210d)의 개수가 4이므로, 적층용 본딩 패드(212asu1, 212asu2, 212asu3, 212bsu1, 212bsu2, 212bsu3, 212csu1, 212csu2, 212csu3, 212dsu1, 212dsu2 및 212dsu3)의 개수는 3일 수 있다. 전기적 검사용 본딩 패드(212ae, 212be, 212ce 및 212de)는 적층용 본딩 패드(212asu1, 212asu2, 212asu3, 212bsu1, 212bsu2, 212bsu3, 212csu1, 212csu2, 212csu3, 212dsu1, 212dsu2 및 212dsu3)의 위치에 배치될 수 있다. 이는 전기적 검사용 본딩 패드(212ae, 212be, 212ce 및 212de)를 컨트롤 핀 본딩 패드(212ac, 212bc, 212cc 및 212dc)에 이웃하게 형성함으로써, 적층용 본딩 패드(212asu1, 212asu2, 212asu3, 212bsu1, 212bsu2, 212bsu3, 212csu1, 212csu2, 212csu3, 212dsu1, 212dsu2 및 212dsu3)의 역할을 하게 할 수 있다.
- <64> 각각의 본딩 패드들은 제 1, 제 2, 제 3 및 제 4 반도체 소자들(210a, 210b, 210c 및 210d)을 관통하는 관통 전극에 연결된 형태일 수 있다. 각각의 본딩 패드들과 그에 연결된 관통 전극은 제 1, 제 2, 제 3 및 제 4 반도체 소자들(210a, 210b, 210c 및 210d)의 표면으로부터 돌출된 형태일 수 있다. 적층된 제 1, 제 2, 제 3 및 제 4 반도체 소자들(210a, 210b, 210c 및 210d) 사이에 전기적으로 연결되지 않는, 예를 들어, 전기적 검사용 본딩 패드(212ae, 212be, 212ce 및 212de) 또는 컨트롤 핀 본딩 패드(112ac, 212bc, 212cc 및 212dc)는 관통 전극에 연결되지 않는 패드 형태일 수 있다. 도시되지 않았지만, 적층된 반도체 소자들(210a, 210b, 210c 및 210d)의 개수가 4일 경우에는, 제 4 반도체 소자(210d)의 모든 본딩 패드들(212dc, 212de, 212ds, 212dsu1, 212dsu2 및 212dsu3)은 관통 전극에 연결되지 않는 패드 형태일 수 있다.
- <65> 적층된 제 1, 제 2, 제 3 및 제 4 반도체 소자들(210a, 210b, 210c 및 210d) 사이의 시그널용 본딩 패드(212as, 212bs, 212cs 및 212ds) 및 적층용 본딩 패드(212asu1, 212asu2, 212asu3, 212bsu1, 212bsu2, 212bsu3, 212csu1, 212csu2, 212csu3, 212dsu1, 212dsu2 및 212dsu3)는 각각 전기적으로 연결될 수 있다. 필요에 따라서는, 각각의 컨트롤 핀 본딩 패드(112ac, 212bc, 212cc 및 212dc)와 연결되는 적층용 본딩 패드(212asu1, 212asu2, 212asu3, 212bsu1, 212bsu2, 212bsu3, 212csu1, 212csu2, 212csu3, 212dsu1, 212dsu2 및 212dsu3)는 관통 전극에 연결되지 않는 패드 형태일 수 있다. 이러한 전기적인 연결은 제 1, 제 2, 제 3 및 제 4 반도체 소자들(210a, 210b, 210c 및 210d) 사이에 각각 제공되는 반도체 소자간 접촉 물질막들(215a, 215b 및 215c)에 포함된 각각의 접속 전극들(216a, 216b 및 216c)에 의한 것일 수 있다. 또는, 이러한 전기적인 연결은, 본딩 패드들과 그에 연결된 관통 전극이 제 1, 제 2, 제 3 및 제 4 반도체 소자들(210a, 210b, 210c 및 210d)의 표면으로부터 돌출된 형태이면, 이방성 도전 필름으로 이루어진 반도체 소자간 접촉 물질막들(215a, 215b 및 215c)에 의한 것일 수 있다. 적층된 제 1, 제 2, 제 3 및 제 4 반도체 소자들(210a, 210b, 210c 및 210d) 사이의 컨트롤 핀 본딩 패드(212ac, 212bc, 212cc 및 212dc) 및 전기적 검사용 본딩 패드(212ae, 212be, 212ce 및 212de)는 서로 전기적으로 연결되지 않는다.

- <66> 배선 기관(220)은 인쇄 회로 기관을 포함하는 시스템 기관 동일 수 있다. 배선 기관(220)은 코어 물질(222)을 몸체로 하여 상부 본딩 전극들(226u)을 포함하는 상부면 절연막 패턴(224u) 및 상부면 절연막 패턴(224u)에 대향하면서 하부 본딩 전극들(226l)을 포함하는 하부 절연막 패턴(224l)을 가질 수 있다.
- <67> 배선 기관(220)은 상부면에 제 1 반도체 소자(210a)의 전기적 검사용 본딩 패드(212ae)를 제외한 본딩 패드들(212ac, 212as, 212asu1, 212asu2 및 212asu3)에 대응되는 상부 본딩 전극들(226u)을 가질 수 있다. 상부 본딩 전극들(226u)은 그에 대응되는 제 1 반도체 소자(210a)의 본딩 패드들(212ac, 212as, 212asu1, 212asu2 및 212asu3)과 전기적으로 연결될 수 있다. 적층된 제 1, 제 2, 제 3 및 제 4 반도체 소자(210a, 210b, 210c 및 210d)는 실장용 접착 물질막(미도시)을 매개로 배선 기관(220)에 실장되어 전기적으로 연결될 수 있다. 실장용 접착 물질막은 이방성 도전 필름일 수 있다. 또는, 실장용 접착 물질막은 적층된 제 1, 제 2, 제 3 및 제 4 반도체 소자들(210a, 210b, 210c 및 210d)과 배선 기관(220) 사이의 전기적 연결을 위해 제공된 접속 전극들(도 3a의 216a, 216b 또는 216c 참조)을 포함할 수 있다.
- <68> 배선 기관(220)은 하부면에 솔더 볼들(228s)을 형성하기 위한 하부 본딩 전극들(226l)을 가질 수 있다. 배선 기관(220)의 하부면에 제공되는 솔더 볼들(228s)은 배선 기관(220)의 내부 배선들(꺾인 실선)에 연결되어 적층된 제 1, 제 2, 제 3 및 제 4 반도체 소자들(210a, 210b, 210c 및 210d)과 외부 회로와의 전기적인 연결을 제공할 수 있다. 시그널용 솔더 볼(A0)은 배선 기관(220)의 내부 배선에 의해 제 1 반도체 소자(210a)의 시그널용 본딩 패드(212as)에 연결될 수 있다. 컨트롤용 솔더 볼들(c1t0, c1t1, c1t2 및 c1t3)은 배선 기관(220)의 내부 배선들에 의해 각각 제 1 반도체 소자(210a)의 컨트롤 핀 본딩 패드(212ac) 및 적층용 본딩 패드들(212asu1, 212asu2 및 212asu3)에 연결될 수 있다.
- <69> 적층된 제 1, 제 2, 제 3 및 제 4 반도체 소자들(210a, 210b, 210c 및 210d)을 포함하는 반도체 소자 패키지는 각각의 반도체 소자들(210a, 210b, 210c 및 210d)을 제어하여 선택된 하나의 반도체 소자를 동작시킬 것인지 결정할 수 있어야 한다. 제 1 반도체 소자(210a)는 동작 신호를 컨트롤 핀 본딩 패드(212ac)가 직접적으로 받고, 제 2 반도체 소자(210b)는 컨트롤 핀 본딩 패드(212bc)와 이웃하는 적층용 본딩 패드(212bsu1) 사이의 짧은 거리를 연결하는 부가적인 연결 배선(213bsl)을 통해 간접적으로 받고, 제 3 반도체 소자(210c)는 컨트롤 핀 본딩 패드(212bc)와 이웃하는 적층용 본딩 패드(212csu2) 사이의 짧은 거리를 연결하는 부가적인 연결 배선(213csl)을 통해 간접적으로 받고, 그리고 제 4 반도체 소자(210d)는 컨트롤 핀 본딩 패드(212dc)와 이웃하는 적층용 본딩 패드(212dsu3) 사이의 짧은 거리를 연결하는 부가적인 연결 배선(213dsl)을 통해 간접적으로 받을 수 있다.
- <70> 제 1, 제 2, 제 3 및 제 4 반도체 소자들(210a, 210b, 210c 및 210d)은 적어도 하나의 적층용 본딩 패드(212asu1, 212asu2, 212asu3, 212bsu1, 212bsu2, 212bsu3, 212csu1, 212csu2, 212csu3, 212dsu1, 212dsu2 및 212dsu3)가 컨트롤 핀 본딩 패드(212ac, 212bc, 212cc 및 212dc)에 이웃하는 본딩 패드 배열을 가지기 때문에, 종래와는 달리, 적층된 제 1, 제 2, 제 3 및 제 4 반도체 소자들(210a, 210b, 210c 및 210d) 사이에는 반도체 소자 패키지의 적층된 제 1, 제 2, 제 3 및 제 4 반도체 소자들(210a, 210b, 210c 및 210d)의 동작을 제어하는 동작 신호를 받기 위한 경로로 사용되는 배선의 물리적 길이 차이가 최소화될 수 있다. 이에 따라, 적층된 제 1, 제 2, 제 3 및 제 4 반도체 소자들(210a, 210b, 210c 및 210d) 사이의 신호 시간 차에 의한 신호 지연이 최소화될 수 있다.
- <71> 도 4a 및 도 4b는 본 발명의 또 다른 실시예에 따른 반도체 소자 패키지를 설명하기 위한 평면도 및 상부 평면도이다.
- <72> 도 4a 및 도 4b를 참조하면, 반도체 소자 패키지는 적층된 제 1, 제 2, 제 3 및 제 4 반도체 소자들(210a, 210b, 210c 및 210d) 및 배선 기관(220)을 포함할 수 있다. 제 1 및 제 3 반도체 소자들(210a 및 210c)은 제 1 반도체 소자군(210 I)을 구성하고, 제 2 및 제 4 반도체 소자들(210b 및 210d)은 제 2 반도체 소자군(210 II)을 구성할 수 있다. 제 1 및 제 2 반도체 소자군들(210 I 및 210 II) 중 적어도 하나의 반도체 소자군(210 I 또는/및 210 II)은 적어도 2개의 반도체 소자를 포함할 수 있다. 제 1 및 제 2 반도체 소자군들(210 I 또는 210 II)은 적어도 하나의 반도체 소자를 포함할 수 있다. 제 1 및 제 2 반도체 소자군들(210 I 및 210 II) 각각에 속하는 반도체 소자들은 동일 신호에 동작하도록, 동일한 본딩 패드 배열을 갖는 동일한 반도체 소자들로 이루어질 수 있다.
- <73> 도 4a에 도시된 것과 같이, 제 1 및 제 2 반도체 소자군들(210 I 및 210 II)에 속하는 반도체 소자들(210a, 210b, 210c 및 210d)은 서로 교차적으로 적층될 수 있다. 이외에도, 제 1 반도체 소자군(210 I)의 반도체 소자들(210a 및 210c) 사이에 제 2 반도체 소자군(210 II)의 반도체 소자들(210b 및 210d)이 배치될 수 있다. 이에

더하여, 제 2 반도체 소자군(210Ⅱ)의 반도체 소자들(210b 및 210d) 사이에 추가적인 제 3 반도체 소자군(미도시)이 더 배치될 수 있다.

<74> 제 1, 제 2, 제 3 및 제 4 반도체 소자들(210a, 210b, 210c 및 210d)은 각각의 활성면에 하나의 컨트롤 핀 본딩 패드(212ac, 212bc, 212cc 및 212dc), 적어도 하나의 전기적 검사용 본딩 패드(212ae, 212be, 212ce 및 212de), 복수의 시그널용 본딩 패드(212as, 212bs, 212cs 및 212ds) 및 적어도 하나의 적층용 본딩 패드(212asu1, 212asu2, 212bsu1, 212bsu2, 212csu1, 212csu2, 212dsu1 및 212dsu2)를 포함할 수 있다. 제 1, 제 2, 제 3 및 제 4 반도체 소자들(210a, 210b, 210c 및 210d)은 적어도 하나의 적층용 본딩 패드(212asu1, 212asu2, 212bsu1, 212bsu2, 212csu1, 212csu2, 212dsu1 및 212dsu2)가 컨트롤 핀 본딩 패드(212ac, 212bc, 212cc 및 212dc)에 이웃하는 본딩 패드 배열을 가질 수 있다.

<75> 시그널용 본딩 패드(212as, 212bs, 212cs 및 212ds)는 복수의 열로 배열될 수 있으며, 전기적 검사용 본딩 패드(212ae, 212be, 212ce 및 212de)의 개수는 시그널용 본딩 패드(212as, 212bs, 212cs 및 212ds)의 열 수와 동일할 수 있다. 시그널용 본딩 패드(212as, 212bs, 212cs 및 212ds)의 열 수가 2이기 때문에, 전기적 검사용 본딩 패드(212ae, 212be, 212ce 및 212de)의 개수는 2일 수 있다. 적층되는 반도체 소자군들(210Ⅰ 및 210Ⅱ)의 개수가 m (m 은 2 이상의 정수)이면, 적층용 본딩 패드(212asu1, 212asu2, 212bsu1, 212bsu2, 212csu1, 212csu2, 212dsu1 및 212dsu2)의 개수는 m 일 수 있다. 적층된 반도체 소자군들(210Ⅰ 및 210Ⅱ)의 개수가 2이므로, 적층용 본딩 패드(212asu1, 212asu2, 212bsu1, 212bsu2, 212csu1, 212csu2, 212dsu1 및 212dsu2)의 개수는 2일 수 있다. 전기적 검사용 본딩 패드(212ae, 212be, 212ce 및 212de)는 적층용 본딩 패드(212asu1, 212asu2, 212bsu1, 212bsu2, 212csu1, 212csu2, 212dsu1 및 212dsu2)의 위치에 배치될 수 있다. 이는 전기적 검사용 본딩 패드(212ae, 212be, 212ce 및 212de)를 컨트롤 핀 본딩 패드(212ac, 212bc, 212cc 및 212dc)에 이웃하게 형성함으로써, 적층용 본딩 패드(212asu1, 212asu2, 212bsu1, 212bsu2, 212csu1, 212csu2, 212dsu1 및 212dsu2)의 역할을 하게 할 수 있다.

<76> 각각의 본딩 패드들은 제 1, 제 2, 제 3 및 제 4 반도체 소자들(210a, 210b, 210c 및 210d)을 관통하는 관통 전극에 연결된 형태일 수 있다. 각각의 본딩 패드들과 그에 연결된 관통 전극은 제 1, 제 2, 제 3 및 제 4 반도체 소자들(210a, 210b, 210c 및 210d)의 표면으로부터 돌출되지 않은 형태일 수 있다. 적층된 제 1, 제 2, 제 3 및 제 4 반도체 소자들(210a, 210b, 210c 및 210d) 사이에 전기적으로 연결되지 않는, 예를 들어, 전기적 검사용 본딩 패드(212ae, 212be, 212ce 및 212de) 또는 컨트롤 핀 본딩 패드(212ac, 212bc, 212cc 및 212dc)는 관통 전극에 연결되지 않은 패드 형태일 수 있다. 도시된 것과 같이, 적층된 반도체 소자들(210a, 210b, 210c 및 210d)의 개수가 4일 경우에는, 제 4 반도체 소자(210d)의 모든 본딩 패드들(212dc, 212de, 212ds, 212dsu1, 212dsu2 및 212dsu3)은 관통 전극에 연결되지 않는 패드 형태일 수 있다.

<77> 적층된 제 1, 제 2, 제 3 및 제 4 반도체 소자들(210a, 210b, 210c 및 210d) 사이의 시그널용 본딩 패드(212as, 212bs, 212cs 및 212ds) 및 적층용 본딩 패드(212asu1, 212asu2, 212bsu1, 212bsu2, 212csu1, 212csu2, 212dsu1 및 212dsu2)는 각각 전기적으로 연결될 수 있다. 다만, 제 4 반도체 소자(210d)의 적층용 본딩 패드(212dsu2)와 전기적으로 연결되지 않는 제 3 반도체 소자(210c)의 적층용 본딩 패드(212csu2)는 관통 전극에 연결되지 않는 패드 형태일 수 있다. 이러한 전기적인 연결은 제 1, 제 2, 제 3 및 제 4 반도체 소자들(210a, 210b, 210c 및 210d) 사이에 각각 제공되는 반도체 소자간 접촉 물질막들(215aa, 215ba 및 215ca)에 의한 것일 수 있다. 반도체 소자간 접촉 물질막들(215aa, 215ba 및 215ca)은 이방성 도전 필름일 수 있다. 또는, 이러한 전기적인 연결은, 본딩 패드들과 그에 연결된 관통 전극이 제 1, 제 2, 제 3 및 제 4 반도체 소자들(210a, 210b, 210c 및 210d)의 표면으로부터 돌출되지 않은 형태이면, 반도체 소자간 접촉 물질막들(215aa, 215ba 및 215ca)에 포함된 각각의 접속 전극들(도 3a의 216a, 216b 또는 216c 참조)에 의한 것일 수 있다. 적층된 제 1, 제 2, 제 3 및 제 4 반도체 소자들(210a, 210b, 210c 및 210d) 사이의 컨트롤 핀 본딩 패드(212ac, 212bc, 212cc 및 212dc) 및 전기적 검사용 본딩 패드(212ae, 212be, 212ce 및 212de)는 서로 전기적으로 연결되지 않는다.

<78> 배선 기관(220)은 인쇄 회로 기관을 포함하는 시스템 기관 동일 수 있다. 배선 기관(220)은 코어 물질(222)을 몸체로 하여 상부 본딩 전극들(226u)을 포함하는 상부면 절연막 패턴(224u) 및 상부면 절연막 패턴(224u)에 대향하면서 하부 본딩 전극들(226l)을 포함하는 하부 절연막 패턴(224l)을 가질 수 있다.

<79> 배선 기관(220)은 상부면에 제 1 반도체 소자(210a)의 전기적 검사용 본딩 패드(212ae)를 제외한 본딩 패드들(212ac, 212as, 212asu1, 212asu2 및 212asu3)에 대응되는 상부 본딩 전극들(226u)을 가질 수 있다. 상부 본딩 전극들(226u)은 그에 대응되는 제 1 반도체 소자(210a)의 본딩 패드들(212ac, 212as, 212asu1, 212asu2 및

212asu3)과 전기적으로 연결될 수 있다. 적층된 제 1, 제 2, 제 3 및 제 4 반도체 소자들(210a, 210b, 210c 및 210d)은 실장용 접착 물질막(230)을 매개로 배선 기관(220)에 실장될 수 있다. 실장용 접착 물질막(230)은 이방성 도전 필름일 수 있다. 또는, 실장용 접착 물질막(230)은 적층된 제 1, 제 2, 제 3 및 제 4 반도체 소자들(210a, 210b, 210c 및 210d)과 배선 기관(220) 사이의 전기적 연결을 위해 제공된 접속 전극들(도 3a의 216a, 216b 또는 216c 참조)을 포함할 수 있다.

<80> 배선 기관(220)은 하부면에 솔더 볼들(228s)을 형성하기 위한 하부 본딩 전극들(226ℓ)을 가질 수 있다. 배선 기관(220)의 하부면에 제공되는 솔더 볼들(228s)은 배선 기관(220)의 내부 배선들(꺾인 실선)에 연결되어 적층된 제 1, 제 2, 제 3 및 제 4 반도체 소자들(210a, 210b, 210c 및 210d)과 외부 회로와의 전기적인 연결을 제공할 수 있다. 시그널용 솔더 볼(A0 및 A1)은 배선 기관(220)의 내부 배선에 의해 제 1 반도체 소자(210a)의 시그널용 본딩 패드(212as1 및 212as2)에 연결될 수 있다. 컨트롤용 솔더 볼들(c1t0 및 c1t1)은 배선 기관(220)의 내부 배선들에 의해 각각 제 1 반도체 소자(210a)의 컨트롤 핀 본딩 패드(212ac) 및 적층용 본딩 패드들(212asu1)에 연결될 수 있다.

<81> 적층된 제 1, 제 2, 제 3 및 제 4 반도체 소자들(210a, 210b, 210c 및 210d)을 포함하는 반도체 소자 패키지는 각각의 반도체 소자군들(210 I 및 210 II)을 제어하여 선택된 하나의 반도체 소자군을 동작시킬 것인지 결정할 수 있어야 한다. 제 1 반도체 소자군(210 I)에 속하는 제 1 반도체 소자(210a)는 동작 신호를 컨트롤 핀 본딩 패드(212ac)와 이웃하는 적층용 본딩 패드(212asu2) 사이의 짧은 거리를 연결하는 부가적인 연결 배선(213asℓ)을 통해, 제 3 반도체 소자(210c)는 동작 신호를 제 1 반도체 소자(210a)의 컨트롤 핀 본딩 패드(212ac) 및 적층용 본딩 패드(212asu2), 제 2 반도체 소자(210b)의 적층용 본딩 패드(212bsu2), 및 제 3 반도체 소자(210c)의 컨트롤 핀 본딩 패드(212cc)와 이웃하는 적층용 본딩 패드(212csu2) 사이의 짧은 거리를 연결하는 부가적인 연결 배선(213csℓ)을 통해 간접적으로 받을 수 있다. 제 2 반도체 소자군(210 II)에 속하는 제 2 반도체 소자(210b)는 제 1 반도체 소자(210a)의 적층용 본딩 패드(212asu1) 및 제 2 반도체 소자(210b)의 컨트롤 핀 본딩 패드(212bc)와 이웃하는 적층용 본딩 패드(212bsu1) 사이의 짧은 거리를 연결하는 부가적인 연결 배선(213bsℓ)을 통해, 제 4 반도체 소자(210d)는 제 1 반도체 소자(210a)의 적층용 본딩 패드(212asu1), 제 2 반도체 소자(210b)의 적층용 본딩 패드(212bsu1), 제 3 반도체 소자(210c)의 적층용 본딩 패드(212csu1) 및 제 2 반도체 소자의 컨트롤 핀 본딩 패드(212dc)와 이웃하는 적층용 본딩 패드(212dsu1) 사이의 짧은 거리를 연결하는 부가적인 연결 배선(213dsℓ)을 통해 간접적으로 받을 수 있다.

<82> 제 1, 제 2, 제 3 및 제 4 반도체 소자들(210a, 210b, 210c 및 210d)은 적어도 하나의 적층용 본딩 패드(212asu1, 212asu2, 212bsu1, 212bsu2, 212csu1, 212csu2, 212dsu1 및 212dsu2)가 컨트롤 핀 본딩 패드(212ac, 212bc, 212cc 및 212dc)에 이웃하는 본딩 패드 배열을 가지기 때문에, 종래와는 달리, 제 1 및 제 2 반도체 소자군들(210 I 및 210 II) 사이에는 반도체 소자 패키지의 적층된 제 1 및 제 2 반도체 소자군들(210a I 및 210 II)의 동작을 제어하는 동작 신호를 받기 위한 경로로 사용되는 배선의 물리적 길이 차이가 최소화될 수 있다. 이에 따라, 적층된 제 1 및 제 2 반도체 소자군들(210 I 및 210 II) 사이의 신호 시간 차에 의한 신호 지연이 최소화될 수 있다.

<83> 도 5는 본 발명의 실시예에 따른 반도체 소자의 본딩 패드 배열을 설명하기 위한 평면도이다.

<84> 도 5를 참조하면, 반도체 소자(310)는 배열 수가 1인 본딩 패드 배열을 가질 수 있다. 반도체 소자(310)는 활성면에 하나의 컨트롤 핀 본딩 패드(312c), 하나의 전기적 검사용 본딩 패드(312e), 복수의 시그널용 본딩 패드(312s) 및 3개의 적층용 본딩 패드(312su1, 312su2 및 312su3)를 포함할 수 있다. 반도체 소자(310)는 적어도 하나의 적층용 본딩 패드(312su1, 312su2 및 312su3)가 컨트롤 핀 본딩 패드(312c)에 이웃하는 본딩 패드 배열을 가질 수 있다. 이에 따라, 적층된 반도체 소자들 사이의 신호 시간 차에 의한 신호 지연이 최소화될 수 있다.

<85> 시그널용 본딩 패드(312s) 배열의 배열 수가 1이기 때문에, 전기적 검사용 본딩 패드(312e)의 개수는 1일 수 있다. 적층용 본딩 패드(312su)의 개수가 3이기 때문에, 적층된 반도체 소자들(310)들의 개수가 4개이거나, 적층된 반도체 소자군의 개수가 3개일 수 있다.

<86> 도 6a 내지 도 6f는 본 발명의 실시예에 따른 반도체 소자의 다른 본딩 패드 배열을 설명하기 위한 평면도들이다.

<87> 도 6a 내지 도 6f를 참조하면, 반도체 소자(410)는 배열 수가 2인 다양한 형태의 본딩 패드 배열들을 가질 수 있다. 반도체 소자(410)는 활성면에 하나의 컨트롤 핀 본딩 패드(412c), 2개의 전기적 검사용 본딩 패드(412e),

복수의 시그널용 본딩 패드(412s) 및 3개의 적층용 본딩 패드(412su1, 412su2 및 412su3)를 포함할 수 있다. 반도체 소자(410)는 적어도 하나의 적층용 본딩 패드(412su1, 412su2 및 412su3)가 컨트롤 핀 본딩 패드(412c)에 이웃하는 본딩 패드 배열을 가질 수 있다. 이에 따라, 적층된 반도체 소자들 사이의 신호 시간 차에 의한 신호 지연이 최소화될 수 있다.

- <88> 시그널용 본딩 패드(412s) 배열의 배열 수가 2이기 때문에, 전기적 검사용 본딩 패드(412e)의 개수는 2일 수 있다. 적층용 본딩 패드(412su)의 개수가 3이기 때문에, 적층된 반도체 소자들(410)의 개수가 4이거나, 적층된 반도체 소자군의 개수가 3개일 수 있다.
- <89> 도 7a 내지 도 7c는 본 발명의 실시예에 따른 반도체 소자의 또 다른 본딩 패드 배열을 설명하기 위한 평면도들이다.
- <90> 도 7a 내지 도 7c를 참조하면, 반도체 소자(510)는 배열 수가 3인 다양한 형태의 본딩 패드 배열들을 가질 수 있다. 반도체 소자(510)는 활성면에 하나의 컨트롤 핀 본딩 패드(512c), 2 또는 3개의 전기적 검사용 본딩 패드(512e), 복수의 시그널용 본딩 패드(512s) 및 2 또는 3개의 적층용 본딩 패드(512su1, 512su2 및 512su3)를 포함할 수 있다. 반도체 소자(510)는 적어도 하나의 적층용 본딩 패드(512su1, 512su2 및 512su3)가 컨트롤 핀 본딩 패드(512c)에 이웃하는 본딩 패드 배열을 가질 수 있다. 이에 따라, 적층된 반도체 소자들 사이의 신호 시간 차에 의한 신호 지연이 최소화될 수 있다.
- <91> 시그널용 본딩 패드(512s) 배열의 배열 수가 2 또는 3이기 때문에, 전기적 검사용 본딩 패드(512e)의 개수는 2 또는 3일 수 있다. 적층용 본딩 패드(512su)의 개수가 2 또는 3이기 때문에, 적층된 반도체 소자들(510)의 개수가 3 또는 4이거나, 적층된 반도체 소자군의 개수가 2 또는 3개일 수 있다.
- <92> 상기한 본 발명의 실시예에 따른 본딩 패드 배열을 갖는 반도체 소자를 사용함으로써, 반도체 소자 패키지에 포함된 적층된 반도체 소자들 사이의 신호 시간 차를 최소화할 수 있다. 이에 따라, 반도체 소자 패키지의 동작 속도를 향상시킬 수 있는 반도체 소자가 제공될 수 있다.
- <93> 또한, 본 발명의 실시예에 따른 본딩 패드 배열을 갖는 반도체 소자를 사용함으로써, 반도체 소자 패키지에 포함된 적층된 반도체 소자들 사이의 신호 시간 차를 최소화할 수 있다. 이에 따라, 반도체 소자 패키지의 동작 속도를 향상시킬 수 있는 반도체 소자의 적층 구조체가 제공될 수 있다.
- <94> 이에 더하여, 본 발명의 실시예에 따른 본딩 패드 배열을 갖는 반도체 소자를 사용함으로써, 반도체 소자 패키지에 포함된 적층된 반도체 소자들 사이의 신호 시간 차를 최소화할 수 있다. 이에 따라, 동작 속도가 향상된 반도체 소자 패키지가 제공될 수 있다.

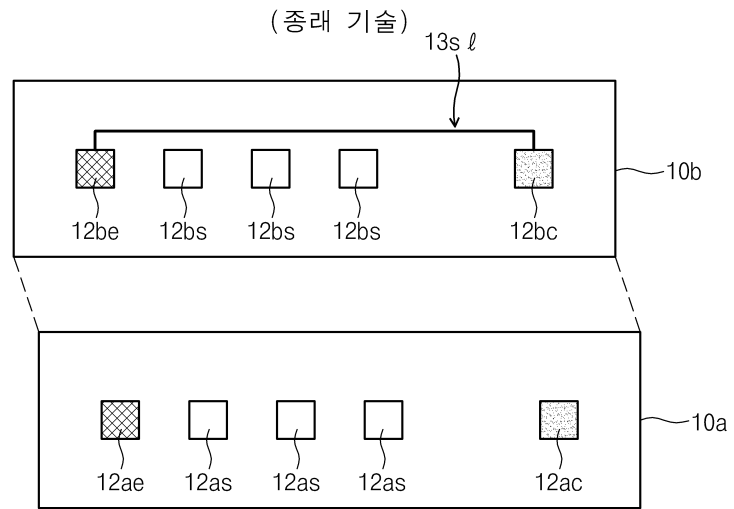
발명의 효과

- <95> 상술한 바와 같이, 본 발명에 따르면 적층된 반도체 소자들을 포함하는 반도체 소자 패키지에서 적층된 반도체 소자들 사이의 신호 시간 차를 최소화할 수 있다. 이에 따라, 반도체 소자 패키지의 동작 속도를 향상시킬 수 있는 반도체 소자가 제공될 수 있다.
- <96> 또한, 본 발명에 따르면 적층된 반도체 소자들을 포함하는 반도체 소자 패키지에서 적층된 반도체 소자들 사이의 신호 시간 차를 최소화할 수 있다. 이에 따라, 반도체 소자 패키지의 동작 속도를 향상시킬 수 있는 반도체 소자의 적층 구조체가 제공될 수 있다.
- <97> 이에 더하여, 본 발명에 따르면 적층된 반도체 소자들을 포함하는 반도체 소자 패키지에서 적층된 반도체 소자들 사이의 신호 시간 차를 최소화할 수 있다. 이에 따라, 동작 속도가 향상된 반도체 소자 패키지가 제공될 수 있다.

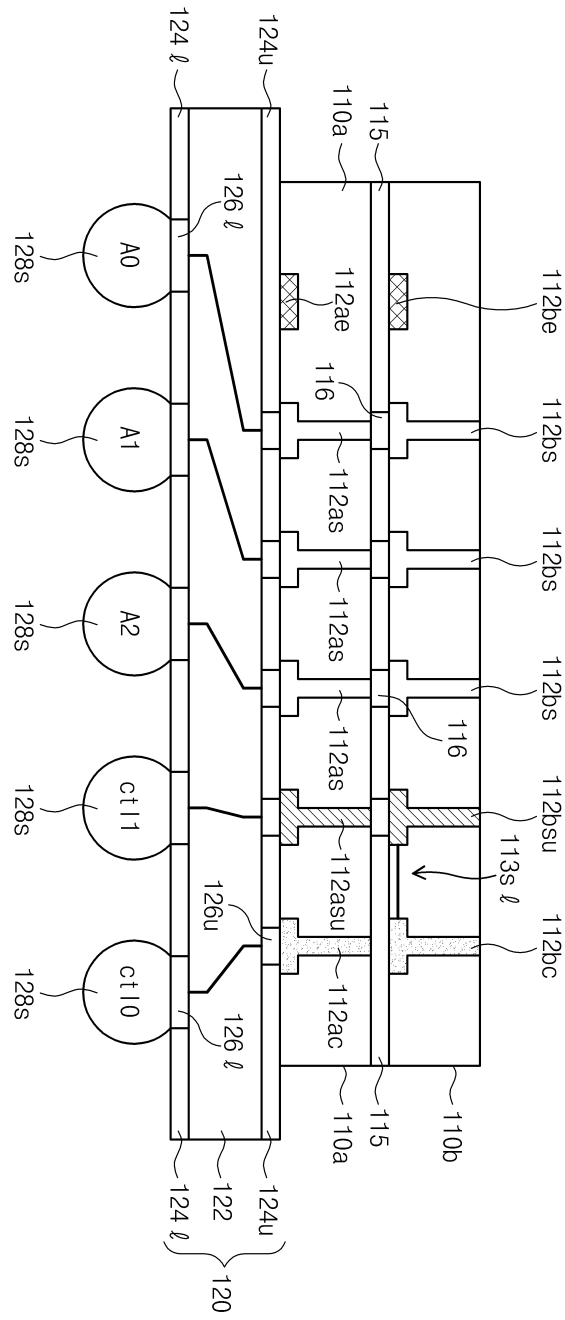
도면의 간단한 설명

- <1> 도 1a 및 도 1b는 각각 종래기술에 따른 반도체 소자 패키지를 설명하기 위한 단면도 및 상부 평면도;
- <2> 도 2a 및 도 2b는 각각 본 발명의 실시예에 따른 반도체 소자 패키지를 설명하기 위한 단면도 및 상부 평면도;
- <3> 도 3a 및 도 3b는 각각 본 발명의 다른 실시예에 따른 반도체 소자 패키지를 설명하기 위한 단면도 및 상부 평

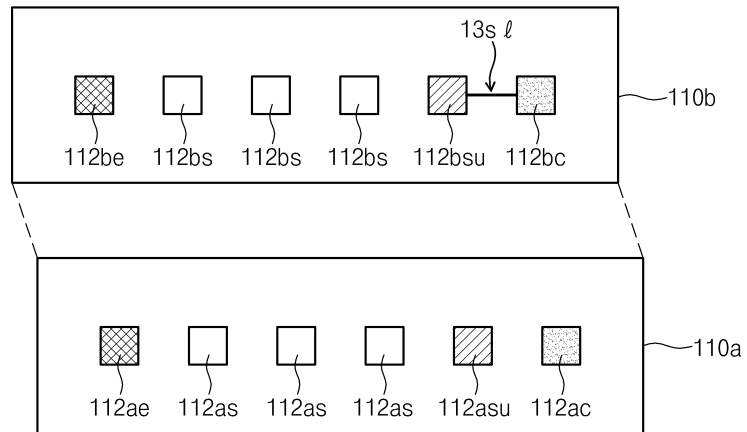
도면1b



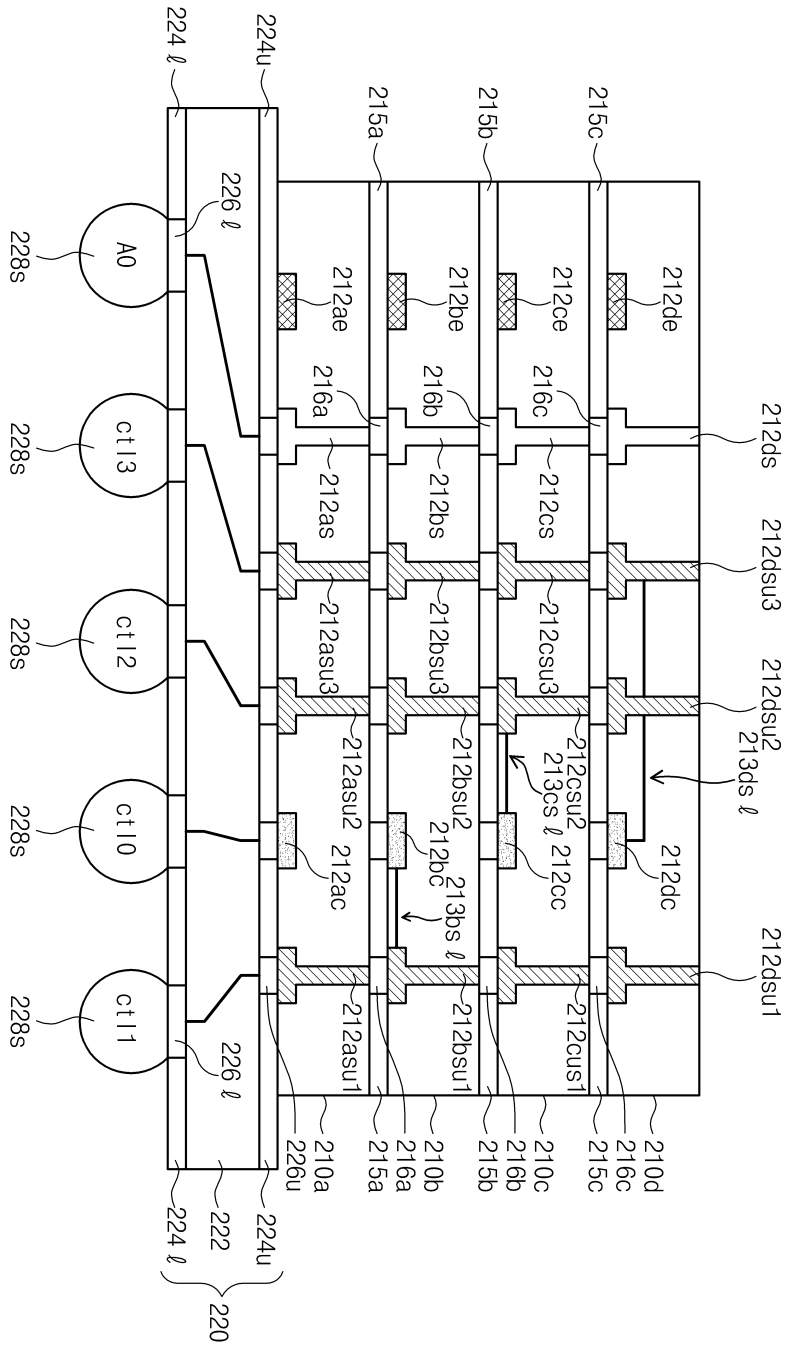
도면2a



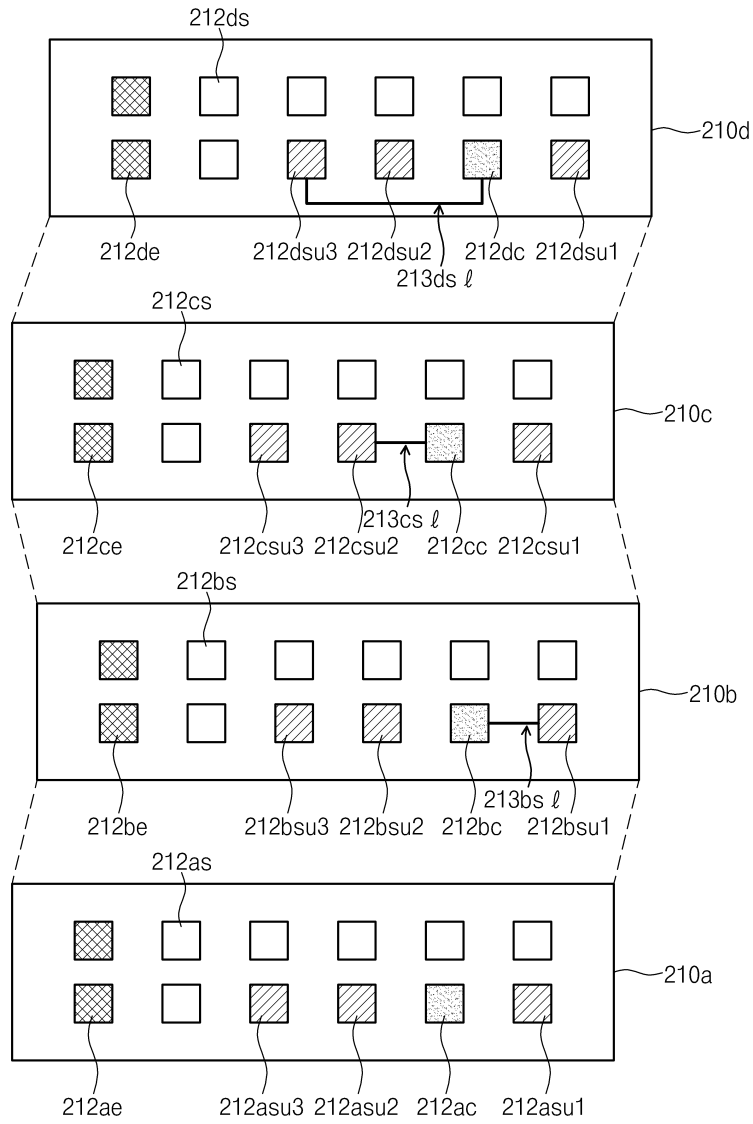
도면2b



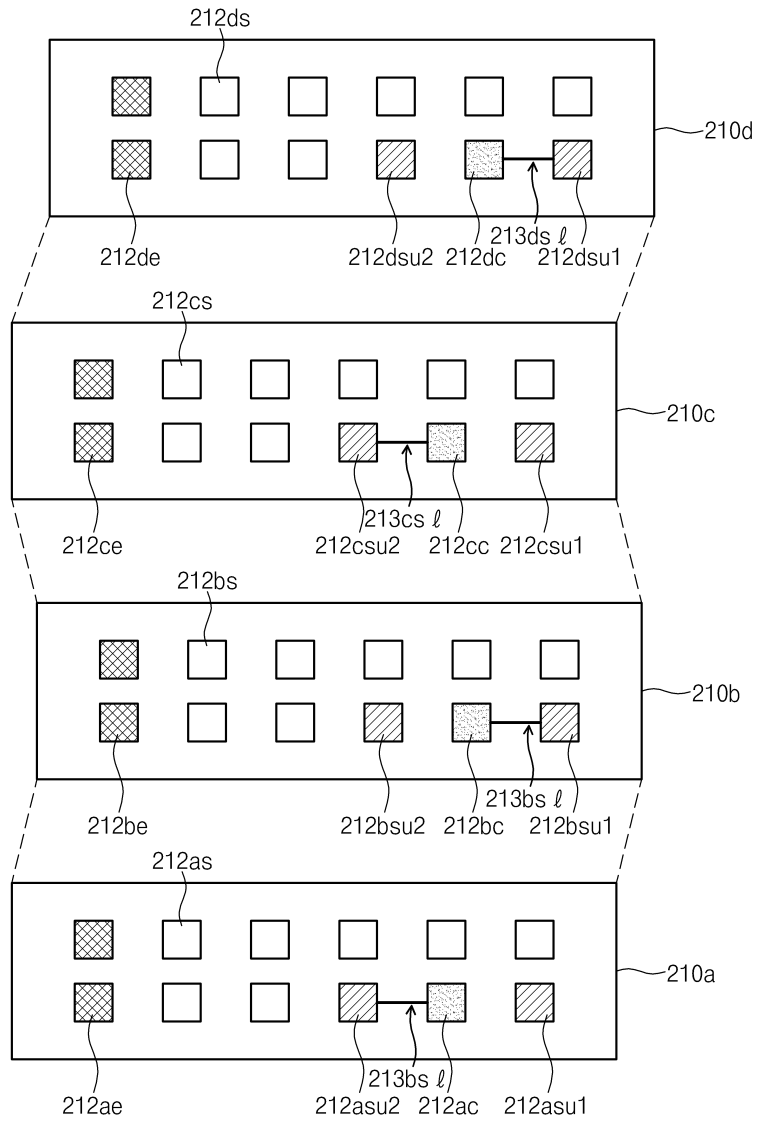
도면3a



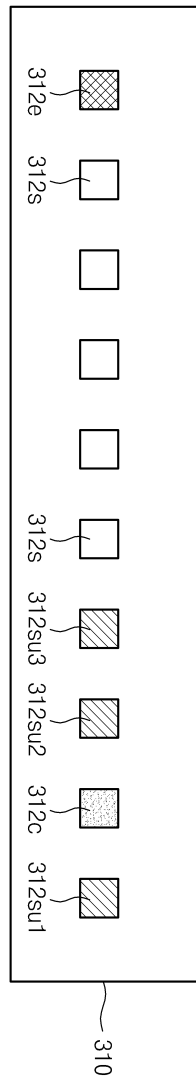
도면3b



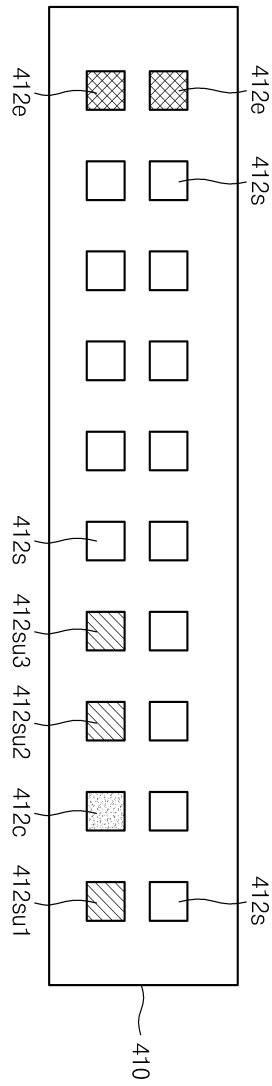
도면4b



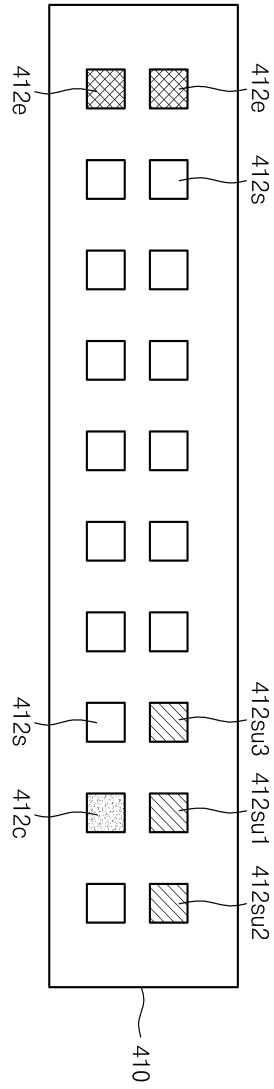
도면5



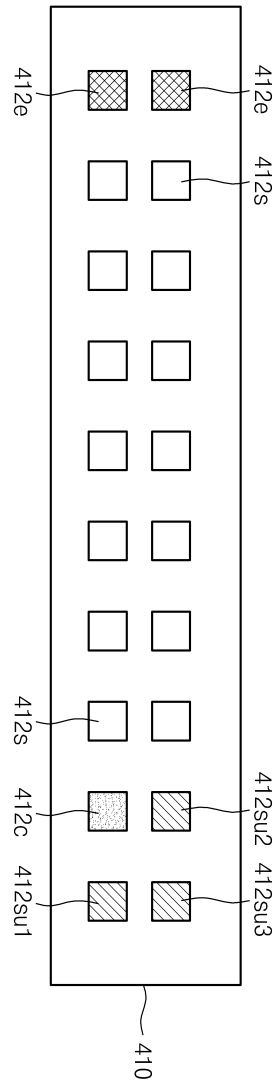
도면6a



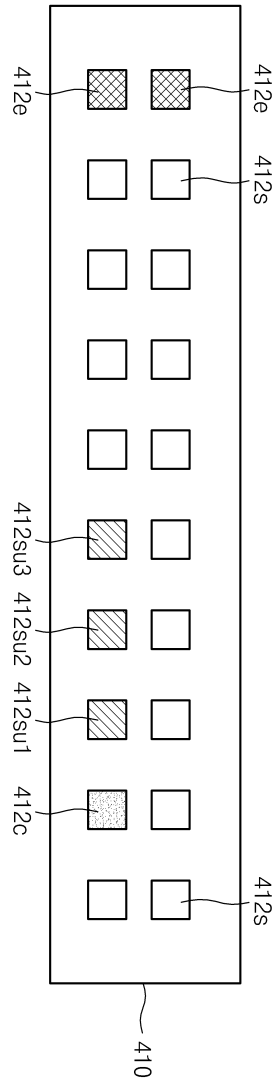
도면6b



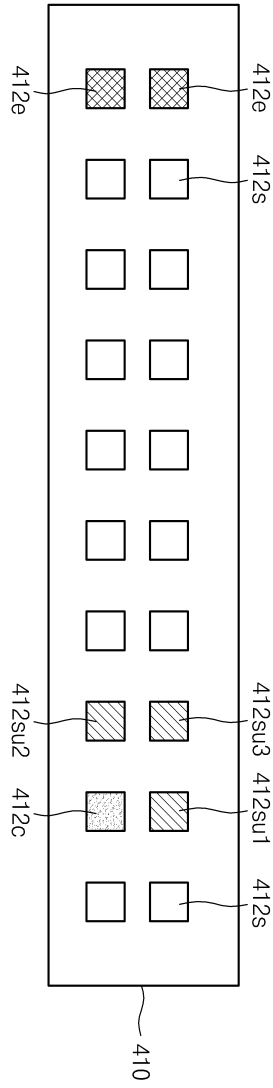
도면6c



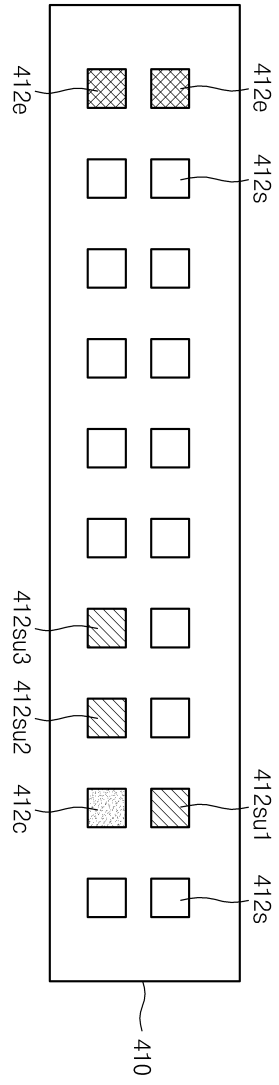
도면6d



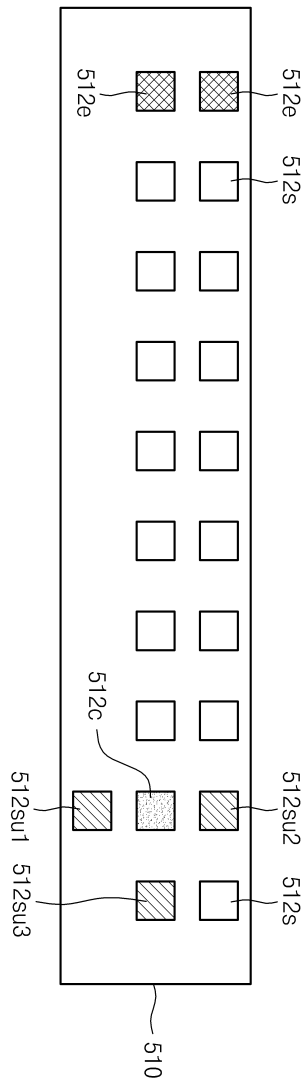
도면6e



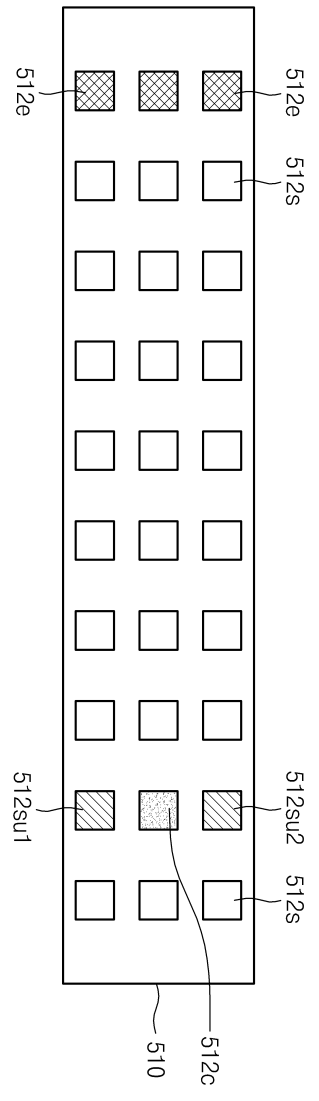
도면6f



도면7a



도면7b



도면7c

