



(12) 发明专利

(10) 授权公告号 CN 101631897 B

(45) 授权公告日 2011. 10. 12

(21) 申请号 200880008115. 8

(22) 申请日 2008. 02. 21

(30) 优先权数据

11/677, 472 2007. 02. 21 US

(85) PCT申请进入国家阶段日

2009. 09. 14

(86) PCT申请的申请数据

PCT/US2008/002371 2008. 02. 21

(87) PCT申请的公布数据

W02008/103456 EN 2008. 08. 28

(73) 专利权人 应用材料股份有限公司

地址 美国加利福尼亚

(72) 发明人 金泰元 李庆泰

亚历山大·帕特森

瓦伦丁·N·托多罗夫

沙尚克·C·德斯穆克

(74) 专利代理机构 北京律诚同业知识产权代理有限公司 11006

代理人 徐金国 钟强

(51) Int. Cl.

H01L 21/3065(2006. 01)

(56) 对比文件

US 6228241 B1, 2001. 05. 08, 全文.

审查员 童晓晨

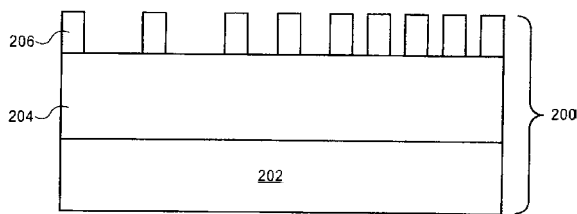
权利要求书 2 页 说明书 12 页 附图 18 页

(54) 发明名称

用于蚀刻半导体结构的具有脉冲样品偏压的脉冲等离子体系统

(57) 摘要

本发明描述一种用于蚀刻半导体结构的具有脉冲样品偏压的脉冲等离子体系统。在一实施例中, 利用一脉冲等离子体处理而移除一部分的样品, 其中该脉冲等离子体处理包括多个工作周期。在每一个工作周期的开启状态过程中, 施加负偏压至样品, 而在每一个工作周期的关闭状态过程中, 施加零偏压至样品。在另一实施例中, 通过应用连续等离子体处理以移除样品的第一部分, 接着连续等离子体处理停止, 并通过应用一脉冲等离子体处理以移除样品的第二部分。



1. 一种用于蚀刻一样品的方法,包括:

通过应用一脉冲等离子体处理而移除该样品的一部分,其中,该脉冲等离子体处理包括多个工作周期 (duty cycle),其中各个该些工作周期代表一等离子体的一开启 (ON) 状态及一关闭 (OFF) 状态的组合,其中在该开启状态的持续时间足够短以实质抑制邻近该样品的一反应区域中的微负载 (micro-loading),且其中该关闭状态的持续时间足够长以实质使得一组蚀刻副产物能够自邻近该样品的该反应区域中移除。

2. 如权利要求 1 所述的方法,其中在该开启状态的过程中,施加一负偏压至该样品,且在该关闭状态的过程中,施加一零偏压至该样品。

3. 如权利要求 1 所述的方法,其中该组蚀刻副产物的至少一部分于该等离子体的该开启状态过程中产生。

4. 如权利要求 3 所述的方法,其中该组蚀刻副产物的一部分在等离子体的开启状态转移至关闭状态的过渡时期产生。

5. 如权利要求 1 所述的方法,其中各个该些工作周期由该开启状态所构成的部分占 5 ~ 95%。

6. 如权利要求 5 所述的方法,其中该些工作周期的频率介于 1Hz ~ 200kHz。

7. 如权利要求 1 所述的方法,其中各个该些工作周期的持续时间介于 5 微秒 ~ 1 秒。

8. 如权利要求 1 所述的方法,其中该等离子体的该关闭状态的持续时间经选择以实质符合一时间,在该时间下,大于 50% 的该些蚀刻副产物已自该反应区域移除。

9. 如权利要求 1 所述的方法,其中在该等离子体的该关闭状态过程中,使用一惰性气体以促进该组蚀刻副产物的移除。

10. 如权利要求 1 所述的方法,更包括:

通过应用该脉冲等离子体处理而移除该样品的该部分之前,通过应用一连续等离子体处理以移除该样品的另一部分。

11. 一种用于蚀刻一样品的系统,其中该系统包括:

一腔室,装配有一样品承接器;

一抽气装置,耦接至该腔室,其中该抽气装置用于降低该腔室的压力;

一气体入口装置,与该腔室耦接,其中该气体入口装置用于将一反应气体注入该腔室中;

一等离子体点燃装置,与该腔室耦接,其中该等离子体点燃装置用于将源自该反应气体的一等离子体点燃;以及

一计算装置,与该等离子体点燃装置耦接,其中该计算装置包括一处理器及一存储器,其中该存储器包括一用于在一脉冲等离子体处理中以控制该等离子体点燃装置而切换一等离子体于一开启状态及一关闭状态之间的指令组,其中该脉冲等离子体处理包括多个工作周期,其中各个该些工作周期代表该等离子体的一开启状态及一关闭状态的组合。

12. 如权利要求 11 所述的系统,更包括:

一电压源,与该样品承接器耦接,其中该电压源用于偏压该样品承接器。

13. 如权利要求 12 所述的系统,其中在该开启状态的过程中,施加一负偏压至该样品,且在该关闭状态的过程中,施加一零偏压至该样品。

14. 如权利要求 11 所述的系统,更包括:

一侦测装置,与该腔室耦接,其中该侦测装置用于侦测一处理步骤的一终点。

15. 如权利要求 11 所述的系统,其中该开启状态的持续时间足够短以实质抑制邻近该样品的一反应区域中的微负载,且其中该关闭状态的持续时间足够长以实质使得一组蚀刻副产物能够自邻近该样品的该反应区域中移除。

16. 如权利要求 15 所述的系统,其中各个该些工作周期由该开启状态所构成的部分占 5 ~ 95%。

## 用于蚀刻半导体结构的具有脉冲样品偏压的脉冲等离子体系统

### 技术领域

[0001] 本发明涉及半导体结构及半导体设备。

### 背景技术

[0002] 过去几年来,通过将半导体结构的特征结构(feature)经微缩化(scaling)为极小的尺寸而大幅增进集成电路(ICs)(例如:用于计算的逻辑电路,及用于信息储存的存储器电路)的效能及性能。然而,用于制造集成电路微缩化的设备及处理几乎都存在有问题。半导体处理技术以及用于进行此种处理的设备的持续进步已确保半导体产业对于微缩化的持续追求的幸存。

[0003] 为了使半导体堆叠图案化成有意义的结构,通常是使用光刻/蚀刻处理。目前的蚀刻处理包括:以一包括离子化气体(例如:等离子体)的系统来蚀刻半导体堆叠。等离子体蚀刻处理对于具有细微特征结构的多个相邻结构的蚀刻是特别有用的。然而,随着对特征结构尺寸及间隔的更严苛的要求,等离子体蚀刻处理自身的限制也显现出。

[0004] 等离子体蚀刻的一可能限制是有关于在单一样品中的多个半导体结构之间存在有多种间隔的IC的制造。举例来说,蚀刻速率根据图案密度而定,这现象称为「微负载(micro-loading)」。在非常小的尺寸中,特别是在高深宽比(aspect ratio)体系中,经图案化而具有高密度(即,特征结构之间的间隔较小)的材料的蚀刻速率会较经图案化而具有低密度(即,特征结构之间的间隔较大)的相同材料的蚀刻速率还来的低。因此,可能需要「过蚀刻(over-etch)」才能完全将单一样品中的各种结构蚀刻掉,也就是说,当未完全蚀刻的区域继续进行蚀刻处理时,首先完成蚀刻的区域也会继续暴露于蚀刻处理。在此种实例中,过蚀刻对于最终的半导体结构具有不利的影响。

[0005] 参照「第1图」,为特定半导体结构的蚀刻速率与单一样品(其中发生有微负载现象)中的各种半导体结构的密度(即,特征结构之间的间隔)两者之间的关联性的图表。如图所示,随着关联线的斜率降低,则蚀刻速率随着密度的增加而降低。参照「第2A图」,半导体堆叠200包括一基板202、一半导体层204及一掩模206。参照「第2B图」,利用等离子体蚀刻处理而将掩模206的图案蚀刻进入半导体层204。半导体堆叠200的蚀刻过程中会发生微负载现象,因此使得半导体层204在低密度区域208的蚀刻速率高于中密度区域210及高密度区域212,如「第2B图」所示。参照「第2C图」,半导体堆叠200上所进行的蚀刻处理在低密度区域208先完成,其早于中密度区域210及高密度区域212。因此,当较高密度区域蚀刻完成时,低密度区域208中的结构会暴露于过蚀刻。参照「第2D图」,在过蚀刻过程中,较低密度区域中的结构上可能会发生有害的底切214。如「第2D图」所示,底切214可随着密度而改变,其取决于特定区域所承受的过蚀刻程度。

[0006] 因此,此处描述一种用于蚀刻半导体结构的方法,以及在其内部执行该方法的系统。

## 发明内容

[0007] 本发明提供一种用于蚀刻一样品的方法,包括:通过应用一脉冲等离子体处理而移除样品的一部分,其中,脉冲等离子体处理包括多个工作周期(dutycycle),其中各个该些工作周期代表一等离子体的一开启(ON)状态及一关闭(OFF)状态的组合,其中开启状态的持续时间足够短以实质抑制邻近样品的一反应区域中的微负载(micro-loading),且其中关闭状态的持续时间足够长以实质使得一组蚀刻副产物能够自邻近样品的反应区域中移除。

[0008] 本发明更提供一种用于蚀刻一样品的系统,其中该系统包括:一腔室,装配有一样品承接器;一抽气装置,耦接至腔室,其中抽气装置用于降低腔室的压力;一气体入口装置,与腔室耦接,其中气体入口装置用于将一反应气体注入腔室中;一等离子体点燃装置,与腔室耦接,其中等离子体点燃装置用于将源自反应气体的一等离子体点燃;以及一计算装置,与等离子体点燃装置耦接,其中计算装置包括一处理器及一存储器,其中存储器包括一用于在一脉冲等离子体处理中以控制等离子体点燃装置而切换一等离子体在一开启状态及一关闭状态之间的指令组,其中脉冲等离子体处理包括多个工作周期,其中各个该些工作周期代表等离子体的一开启状态及一关闭状态的组合。

## 附图说明

[0009] 第1图,绘示根据现有技术的蚀刻速率相对于结构密度的关联图式。

[0010] 第2A~D图,绘示根据现有技术而在半导体堆叠上进行蚀刻处理的微负载效应的剖面视图。

[0011] 第3图,绘示根据本发明的实施例的蚀刻速率相对于结构密度的关联图式。

[0012] 第4A~C图,绘示根据本发明的实施例而在半导体堆叠上进行具有脉冲样品偏压的脉冲蚀刻处理的微负载效应大幅降低的剖面视图。

[0013] 第5A图为流程图,第5B图为波形,两者皆表示根据本发明的实施例的具有脉冲样品偏压的脉冲蚀刻处理的一系列步骤。

[0014] 第6A~F图,绘示根据本发明的实施例的第5A图的流程图的步骤执行在半导体堆叠上的剖面视图。

[0015] 第7A~C图,绘示根据本发明的实施例的连续等离子体蚀刻处理/具有脉冲样品偏压的脉冲等离子体蚀刻处理执行在半导体堆叠上的剖面视图。

[0016] 第8图,绘示根据本发明的实施例的具有脉冲样品偏压的脉冲等离子体蚀刻处理的一系列步骤的流程图。

[0017] 第9A~D图,绘示根据本发明的实施例的第8图的流程图的步骤执行在半导体堆叠上的剖面视图。

[0018] 第10图,绘示根据本发明的实施例而在其中进行具有脉冲样品偏压的脉冲等离子体蚀刻处理的一系统。

[0019] 第11A~B图,绘示根据本发明的实施例的第10图的系统的腔室分别处于等离子体开启状态及等离子体关闭状态。

[0020] 第12A~D图,绘示根据本发明的实施例的第10图的系统的腔室分别处于等离子体开启/偏压关闭状态、等离子体开启/偏压开启状态、等离子体关闭/偏压开启状态及等

离子体关闭 / 偏压关闭状态。

### 具体实施方式

[0021] 此处描述一种用于蚀刻半导体基板的方法及系统。在下方说明中,提出数种特定细节(例如特定的尺寸及化学配置)以对本发明提供贯穿了解。明显的是,对于熟悉该技术领域的人士来说,本发明在无该些特定细节下也可实行。在其它实例中,并未详细描述已知的处理步骤,例如图案化步骤及湿式化学清洗,以避免对本发明产生不必要的混淆。再者,绘示在图式中的多种实施例仅为概要表示,而并无按比例绘制。

[0022] 此处所公开的是用于蚀刻半导体结构的脉冲等离子体方法及其相应系统。通过采用脉冲等离子体处理而可将样品的一部分移除,其中脉冲等离子体处理包括多个工作周期(duty cycle)。根据本发明的实施例,在各个工作周期的开启(ON)状态下,施加负偏压至基板,而在各个工作周期的关闭(OFF)状态下,则施加零偏压至基板。在一特定实施例中,通过应用连续等离子体处理而将样品的第一部分移除,接着,连续等离子体处理结束,再通过具有脉冲样品偏压的脉冲等离子体处理而移除样品的第二部分。

[0023] 通过在蚀刻处理过程中重复脉冲该等离子体,则可以缓和蚀刻速率取决于结构密度的程度。在等离子体的开启状态过程中(即,当等离子体为离子化气体的形式时),且因此在等离子体蚀刻处理中的半导体材料的初级蚀刻阶段中,形成蚀刻副产物。随着在较高密度区域中进行蚀刻处理,这些副产物以较慢的速率离开样品(相对于在样品的较低密度区域)。因此,在持续的开启状态下,蚀刻副产物会阻碍蚀刻处理而朝向微负载发展。然而,在关闭状态下,这些副产物会自所有区域移除而不竞争进行蚀刻处理。进行多个工作周期(即,开启/关闭状态的周期)以在整个样品上用实质相同的蚀刻速率来蚀刻半导体材料,而不用顾及结构密度。「第3图」绘示根据本发明的实施例而在脉冲等离子体蚀刻处理过程中的蚀刻速率与结构密度之间的关联图式。如图所示为关联线的可忽略的斜率,随着密度的增加,蚀刻速率实质相同。以此方式所蚀刻的半导体材料可承受过蚀刻的较少伤害,这是因为样品的所有部分的蚀刻处理是在实质相同的时间下完成。

[0024] 在脉冲等离子体蚀刻处理的工作周期的开启状态下,正电荷会传给待蚀刻的样品。在部分实例中,样品的正电荷是实质足够以使得由等离子体射出的带正电蚀刻物质被部分地偏向。此种蚀刻物质的偏向会造成蚀刻入特定样品中的特征结构呈现有害的底切现象。通过在蚀刻处理过程中,以负电荷来对样品产生偏压,则可以缓和带正电的粒子的偏向。另一方面,在脉冲等离子体蚀刻处理的工作周期由开启状态切换至关闭状态的过渡时期,若样品为负偏压,则可以抑制带负电的粒子自等离子体释出。通过在工作周期的关闭状态对样品产生负偏压,且因此不对等离子体放电时释出的带负电粒子产生排斥,则可达到等离子体放电的较短时间。另外,带负电物质会促成蚀刻处理,因而增进蚀刻处理。因此,根据本发明的实施例,脉冲样品偏压处理与脉冲等离子体处理平行进行。也就是说,在脉冲等离子体蚀刻处理中,在工作周期的开启状态下,样品为负偏压,在关闭状态下,样品则为零偏压。

[0025] 半导体堆叠的蚀刻可通过具有脉冲样品偏压的脉冲等离子体蚀刻处理来进行。「第4A~4C图」是绘示根据本发明的实施例而在半导体堆叠上进行具有脉冲样品偏压的脉冲蚀刻处理对于微负载现象的大幅降低的效应的剖面视图。

[0026] 参照「第 4A 图」, 半导体堆叠 400 包括一基板 402、一蚀刻层 404 及一掩模 406。掩模 406 被图案化而包括低密度区域 408、中密度区域 410 以及高密度区域 412。半导体堆叠 400 可包括较大复杂性的材料层及 / 或图案类型的堆叠, 但图中所示仅作为说明的目的。

[0027] 基板 402 可以包括任何可耐受制作过程且半导体层可适当地设置在其上的材料。在一实施例中, 基板 402 包括以第 IV 元素为基础的材料, 例如结晶硅、锗或硅 / 锗。在一实施例中, 基板 402 中的硅原子的原子浓度大于 99%。在另一实施例中, 基板 402 包括第 III-V 族材料, 例如但不限于为氮化镓、磷化镓、砷化镓、磷化铟、铟化铟、砷化铟镓、砷化铝镓、磷化铟镓或其混合物。在一选择性实施例中, 基板 402 包括在一清楚结晶状基板上生长出一外延层, 例如: 在硼掺杂块体硅单结晶基板上生长出硅外延层。基板 402 也可包括一位于块体结晶基板与外延层之间的绝缘层, 例如形成一绝缘层上覆硅 (SOI) 基板。在一实施例中, 绝缘层包括一材料, 该材料选自由二氧化硅、氮化硅、氮氧化硅及高介电常数 (k) 的介电层所组成的群组。在另一实施例中, 基板 402 包括一直接邻近蚀刻层 404 所设置的上绝缘层。

[0028] 基板 402 也可额外包括载流子掺杂杂质原子 (charge-carrier dopant impurity atom)。举例来说, 根据本发明的一实施例, 基板 402 包括硅及 / 或锗, 且载流子掺杂杂质原子选自由硼、砷、铟、铟或磷所组成的群组。在另一实施例中, 基板 402 包括第 III-V 族材料, 且载流子掺杂杂质原子选自由碳、硅、锗、氧、硫、硒或碲所组成的群组。

[0029] 蚀刻层 404 包括任何可适当地图案化成为清楚界定的半导体结构的阵列的材料。根据本发明的一实施例, 蚀刻层 404 可以包括以第 IV 族为基础的材料, 或是第 III-V 族材料, 例如上方所讨论与基板 402 相关的材料。另外, 蚀刻层 404 包括任何可适当地图案化成为清楚界定的半导体结构的阵列的形态结构。在一实施例中, 蚀刻层 404 的形态结构选自由非晶、单晶及多晶所组成的群组。在一实施例中, 蚀刻层 404 包括载流子掺杂杂质原子, 例如上方所讨论与基板 402 相关的材料。

[0030] 就其本身而言, 蚀刻层 404 的组成不需限制为半导体材料。根据本发明的一选择性实施例, 蚀刻层 404 包括金属层, 例如但不限于为铜、铝、钨、金属氮化物、金属碳化物、金属硅化物、铪、锆、钛、钽、铝、钒、钨、铂、钴、镍或导电金属氧化物, 例如氧化钒。在本发明的又一实施例中, 蚀刻层 404 包括一绝缘层。在一实施例中, 蚀刻层 404 包括选自由二氧化硅、氮氧化硅及氮化硅所组成的群组的绝缘材料。在另一实施例中, 蚀刻层 404 包括高 k 介电层, 其选自由氧化铪、硅酸铪、氧化镧、氧化锆、硅酸锆、氧化钽、钛酸钡锶、钛酸钡、钛酸锶、氧化钇、氧化铝、氧化铅钪钽及铌酸铅锌所组成的群组。

[0031] 掩模 406 可包括任何适于通过光刻处理或直写 (direct-write) 处理而图案化的材料。在一实施例中, 掩模 406 包括光刻胶材料。在一特定实施例中, 光刻胶材料是用于光刻处理, 并选自由正型光刻胶及负型光刻胶所组成的群组。掩模 406 可更包括一适于阻挡等离子体蚀刻处理 (例如用于图案化蚀刻层 404 的等离子体蚀刻处理) 的材料。因此, 根据本发明的另一实施例, 掩模 406 也包括一硬质掩模层, 该硬质掩模层选自由二氧化硅、氮氧化硅、氮化硅及金属薄膜所组成的群组。

[0032] 参照「第 4B 图」, 掩模 406 的图案通过具有脉冲样品偏压的脉冲等离子体蚀刻处理而蚀刻入蚀刻层 404 中, 以形成部分图案化的蚀刻层 414。在适当条件下, 当使用具有脉冲样品偏压的脉冲等离子体处理时, 根据本发明的一实施例, 所有密度区域 408、410、412 的

蚀刻速率实质相近,如「第 4B 图」所示。具有脉冲样品偏压的脉冲等离子体处理包含多个工作周期,其中各个工作周期代表蚀刻等离子体的一开启状态及一关闭状态的组合。在工作周期的开启状态下,对样品施加负偏压,在工作周期的关闭状态下,对样品施加零偏压。一个工作周期包括一个开启状态及一个关闭状态,其中开启状态及关闭状态的持续时间适于针对密度区域 408、410、412 以实质相近的蚀刻速率而将掩模 406 的图案转移至蚀刻层 404。根据本发明的一实施例,各个工作周期的开启状态部分为工作周期的 5 ~ 95%,在一特定实施例中,各个工作周期的开启状态部分为工作周期的 65 ~ 75%。在另一实施例中,多个工作周期的频率为介于 1Hz ~ 200kHz,即各个工作周期的持续时间为 5 微秒 ~ 1 秒。在一特定实施例中,多个工作周期的频率为 50kHz,且各个工作周期的开启状态部分为 70%。在工作周期的开启状态过程中施加至半导体堆叠 400 的负偏压应足以缓和由等离子体释出的带正电蚀刻物质的偏向。根据本发明的一实施例,在工作周期的开启状态过程中施加至半导体堆叠 400 的负偏压介于 5 ~ 1000 瓦 (Watts)。在一特定实施例中,在工作周期的开启状态过程中施加至半导体堆叠 400 的负偏压介于 100 ~ 200 瓦。

[0033] 可产生一用于具有脉冲样品偏压的脉冲等离子体处理中以蚀刻一蚀刻层 404 的等离子体的方法包括任何适于在足以符合工作周期的开启状态的持续时间以点燃并维持等离子体的方法。举例来说,根据本发明的一实施例,产生等离子体的方法包括产生一等离子体,该等离子体选电子回旋共振 (ECS) 等离子体、螺旋波等离子体、感应耦合等离子体 (ICP) 及表面波等离子体所组成的群组。在一特定实施例中,用于产生等离子体的方法包括在 AppliedMaterial™ AdvantEdge G3 etcher 中产生一感应耦合等离子体。

[0034] 所产生的用于具有脉冲样品偏压的脉冲等离子体蚀刻处理的等离子体包括任何反应气体,该些反应气体适于产生离子及反应性自由基以移除部分的蚀刻层 404 而不会对掩模 406 的图案造成不利影响。举例来说,根据本发明的一实施例,反应气体包括卤化物物质,用于蚀刻硅系 (silicon-based) 材料。在一特定实施例中,反应气体包括近似比例为 300 : 50 : 12 的 HBr、He 物质及 70% / 30% He/O<sub>2</sub> 混合物,且脉冲等离子体用于蚀刻非晶硅、多晶硅或单晶硅。在另一实施例中,反应气体包括氟碳化合物,并用于蚀刻介电层。在一特定实施例中,反应气体包括物质 CF<sub>4</sub>,且脉冲等离子体用于蚀刻二氧化硅或碳掺杂氧化硅。反应气体可包括一适于提供受控蚀刻速率的压力。在一实施例中,压力介于 1 ~ 100 毫托 (mTorr)。在另一实施例中,压力介于 3 ~ 100 毫托。在一特定实施例中,反应气体包括 HBr、He 及 O<sub>2</sub>,反应气体的压力介于 30 ~ 50 毫托,多晶硅的蚀刻速率则介于 500 ~ 6000 埃 / 分 (Angstroms/minute)。

[0035] 参照「第 4C 图」,上述的具有脉冲样品偏压的脉冲等离子体处理持续直到部分图案化的蚀刻层 414 变成图案化的蚀刻层 424 为止。通过使用上述具有脉冲样品偏压的脉冲等离子体蚀刻处理直到蚀刻层 404 的蚀刻完成,且在密度区域 408、410、412 的蚀刻处理在实质相同的时间完成。因此,仅需要微不足道的过蚀刻来形成图案化的蚀刻层 424。因此,图案化的蚀刻层 424 的各种结构的不利底切现象会大幅缓和,如「第 4C 图」所示的底切现象的不存在。

[0036] 具有脉冲样品偏压的脉冲等离子体蚀刻处理的工作周期中的开启状态及关闭状态的持续时间以相应于蚀刻副产物的形成及移除为目标。「第 5A 图」为流程图,「第 5B 图」为波形,这些图式皆代表根据本发明的一实施例的具有脉冲样品偏压的脉冲等离子体蚀刻

处理的此种一系列目标步骤。「第 6A ~ 6D 图」绘示在半导体堆叠上执行「第 5A 图」的流程图的步骤的剖面视图。

[0037] 参照流程图 500 的步骤 502, 且相符于「第 6A 图」, 在具有脉冲样品偏压的脉冲等离子体蚀刻处理的开始时, 半导体堆叠 600 包括一基板 602、一蚀刻层 604 及一掩模 606。掩模 606 经图案化而具有低密度区域 608、中密度区域 610 及高密度区域 612。基板 602、蚀刻层 604 及掩模 606 可以包括参照「第 4A 图」描述关于基板 402、蚀刻层 404 及掩模 406 的任何材料。半导体堆叠 600 可包括较大复杂度的材料层及 / 或图案类型的堆叠, 但此处所示的方式仅作为示例性。

[0038] 参照流程图 500 的步骤 504, 且相符于「第 6B 图」, 在具有脉冲样品偏压的脉冲等离子体蚀刻处理中的工作周期的开启状态过程中, 掩模 606 的图案被部分蚀刻至蚀刻层 604 中, 以形成部分图案化的蚀刻层 614A。等离子体蚀刻物质 620 可接近蚀刻层 604 的未屏蔽部分, 而由掩模 606 所遮蔽住的蚀刻层 604 的屏蔽区域则受到保护而免受等离子体蚀刻物质 620 作用, 如「第 6B 图」所示。蚀刻副产物 616 则在半导体堆叠 600 的反应区域 618 中产生。

[0039] 蚀刻物质 620 可包括任何带电物质及由用于脉冲等离子体蚀刻处理的等离子体所释出的反应性中性物。举例来说, 根据本发明一实施例, 蚀刻物质 620 包括带正电离子及自由基。在一实施例中, 反应气体包括 HBr、He 及  $O_2$ , 且蚀刻物质 620 选自自由  $H^+$ 、 $Br^+$ 、 $He^+$ 、 $O^+$ 、H、Br 及 O 所组成的群组。在另一实施例中, 反应气体包括氟碳化合物, 且蚀刻物质 620 选自自由  $F^+$ 、 $CF^+$  及  $CF_2^+$ , 以及  $CF_3^+$ 、F、CF、 $CF_2$  以及  $CF_3$  所组成的群组。蚀刻副产物 616 可包括来自半导体层 604 及蚀刻物质 620 的原子的任意组合。在一特定实施例中, 蚀刻物质 620 包括卤化物阳离子  $X^+$  及 / 或卤化物自由基  $X$  ( $X = F, Cl, Br$ ), 半导体层 604 包括硅原子, 蚀刻副产物 616 包括选自自由中性物质  $SiX_n$  所组成的群组的副产物, 其中 n 为 1、2、3 或 4。

[0040] 工作周期的开启状态的持续时间经选择以使得蚀刻效率最大化, 并能够使部分图案化的蚀刻层 614A 的所有密度区域 608、610 及 612 的蚀刻速率维持实质相近。如「第 6B 图」所示, 蚀刻副产物 616 至少一段时间被形成并存在于部分图案化的蚀刻层 614A 的部分蚀刻特征结构中 (即, 反应区域 618 内)。反应区域 618 为半导体堆叠 600 中邻近蚀刻副产物 616 形成的区域, 而蚀刻副产物 616 的形成会干涉等离子体蚀刻物质 620。也就是说, 在开启循环的使用期间, 随着蚀刻副产物 616 在反应区域 618 中的增加, 等离子体蚀刻物质 620 会被妨碍而无法接近部分图案化的蚀刻层 614A 的未屏蔽部分。此种等离子体蚀刻物质 620 的妨碍在高结构密度区域较为严重 (相较于低结构密度区域), 因而降低高结构密度区域的蚀刻速率 (相较于低结构密度区域的蚀刻速率)。因此, 根据本发明的一实施例, 具有脉冲样品偏压的脉冲等离子体蚀刻处理的工作周期的开启状态经选择以小于或至多符合一时间, 在该时间下产生足够量的蚀刻副产物以降低高密度区域的蚀刻速率 (相对于低密度区域)。在一实施例中, 开启状态的持续时间经选择以实质符合一时间, 而在该时间下, 部分图案化的蚀刻层 614A 的蚀刻速率取决于掩模 606 的图案密度。在一实施例中, 开启状态的持续时间足够短, 以实质抑制反应区域 618 中的微负载现象。在一实施例中, 开启状态的持续时间处于参照「第 4B 图」的工作周期的开启状态的时间范围内。在工作周期的开启状态下施加至半导体堆叠 600 的负偏压应足以缓和自等离子体释出的带正电蚀刻物质的偏向。根据本发明的一实施例, 在工作周期的开启状态下施加至半导体堆叠 600 的负偏压介

于 5 ~ 1000 瓦。在一特定实施例中,在工作周期的开启状态下施加至半导体堆叠 600 的负偏压介于 100 ~ 200 瓦。

[0041] 参照流程图 500 的步骤 506,且相符于「第 6C 图」,等离子体处于关闭状态,因此,蚀刻物质 620 不再存在于半导体堆叠 600 的反应区域 618。如「第 6C 图」所示,蚀刻副产物 616 自反应区域 618 移除,且半导体堆叠 600 为零偏压。

[0042] 工作周期的关闭状态的持续时间经选择以允许有足够的时间来将蚀刻副产物 616 自反应区域 618 移除(即,消除或排除)。在开启状态过程中,如上所述,蚀刻副产物 616 形成在反应区域 618 中。此外,在等离子体的开启状态转移至关闭状态的过渡时期,当等离子体气体中和时,其带负电的离子会自等离子体气体释出,因而产生新的蚀刻物质。这些新的蚀刻物质会更进一步促成反应区域 618 中的蚀刻副产物的量。

[0043] 在工作周期的关闭状态初期,反应区域 618 内的蚀刻副产物 616 的浓度实质大于反应区域 618 外的蚀刻副产物 616 的浓度。因此,会形成一自然扩散梯度,则蚀刻副产物 616 会扩散至反应区域 618 外。此过程可以通过额外的压力梯度来增进。也就是说,伴随着在开启状态过程中的蚀刻副产物 616 的增长,反应区域 618 内的压力可变成大于反应区域 618 外的压力,因而促进蚀刻副产物 616 的排出。因此,根据本发明的实施例,具有脉冲样品偏压的脉冲等离子体蚀刻处理中的工作周期的关闭状态经选择而具有足够长的持续时间,以实质促使蚀刻副产物 616 自反应区域 618 移除。在另一实施例中,蚀刻副产物 616 的移除量为足够,因此,仍存在于反应区域 618 中的任何蚀刻副产物 616 不会实质干涉在接续工作周期的开启状态过程中的蚀刻物质。在此种实施例中,关闭状态的持续时间经选择以实质符合一时间,在该时间之时,超过 50% 的蚀刻副产物 616 已自反应区域 618 移除。在另一实施例中,关闭状态的持续时间经选择以实质符合一时间,在该时间之时,超过 75% 的蚀刻副产物 616 已自反应区域 618 移除。在一选择性实施例中,关闭状态的持续时间处于参照「第 4B 图」讨论的工作周期的关闭状态的时间范围。

[0044] 参照流程图 500 的步骤 508,且相符于「第 6D-E 图」,在接续的具有脉冲样品偏压的脉冲等离子体蚀刻处理的工作周期过程中,掩模 606 的图案持续蚀刻入蚀刻层 604 中,以形成更为广泛蚀刻的部分蚀刻的蚀刻层 614B。重复工作周期(即,步骤 508)直到已蚀刻期望量的蚀刻层 604。因此,根据本发明的一实施例,一部分的蚀刻层 604 通过由包括多个工作周期的脉冲等离子体蚀刻处理而移除。在工作周期的开启状态过程中,对样品施加负偏压,而在工作周期的关闭状态过程中,则对样品施加零偏压。「第 5B 图」以波形绘示工作周期的时间线。

[0045] 参照流程图 500 的步骤 510,且相符于「第 6F 图」,在移除期望量的蚀刻层 604 之后,具有脉冲样品偏压的脉冲等离子体蚀刻处理结束。通过使用具有脉冲样品偏压的脉冲等离子体蚀刻处理以完成蚀刻层 604 的蚀刻,则密度区域 608、610 及 612 的蚀刻处理可在相同时间下完成。因此,仅需要可忽略量的过蚀刻以形成图案化的蚀刻层 624。这样,可大幅缓和图案化的蚀刻层 624 的各种结构的不利底切现象,其可由「第 6F 图」的缺乏底切现象可见。可通过任一适当因素来决定何时结束具有脉冲样品偏压的脉冲等离子体蚀刻处理。举例来说,根据本发明的一实施例,通过在预定的时间结束工作周期的重复,以决定具有脉冲样品偏压的脉冲等离子体蚀刻处理的结束。在一选择性实施例中,可通过侦测在蚀刻层 604 的蚀刻完成时的蚀刻副产物 616 的改变以及基板 602 的顶表面的相应暴露来决定具有

脉冲样品偏压的脉冲等离子体蚀刻处理的结束。在另一实施例中,可利用干涉术以量测沟槽 (trench) 的深度来决定具有脉冲样品偏压的脉冲等离子体蚀刻处理的结束。

[0046] 具有脉冲样品偏压的脉冲等离子体蚀刻处理可结合连续等离子体蚀刻处理。举例来说,直到半导体堆叠的一部分已被蚀刻之前,半导体堆叠的不同密度区域的蚀刻速率差别可能并不显著,这是因为蚀刻处理在高深宽比的图案中可能遭受更为严重的微负载。因此,较为有效的是,先施加一连续等离子体以蚀刻半导体堆叠的第一部分,直到达到特定的深度,再接着施加具有脉冲样品偏压的脉冲等离子体蚀刻处理以移除半导体堆叠的第二部分。根据本发明的一实施例,以连续等离子体蚀刻处理来蚀刻半导体堆叠直到达到期望深度,接着,半导体堆叠的蚀刻通过具有脉冲样品偏压的脉冲等离子体蚀刻处理来完成。在一实施例中,连续等离子体蚀刻处理 / 具有脉冲样品偏压的脉冲等离子体蚀刻处理用于增加单一晶片处理工具中的晶片产率。根据本发明一实施例的此种连续等离子体蚀刻处理 / 具有脉冲样品偏压的脉冲等离子体蚀刻处理被绘示于「第 7A ~ C 图」。以掩模 712 图案化的蚀刻层 704 (「第 7A 图」) 通过由连续等离子体蚀刻处理而部分图案化 (「第 7B 图」)。接着利用具有脉冲样品偏压的脉冲等离子体蚀刻处理以完成蚀刻层 704 的蚀刻,也就是说,直到蚀刻结束于蚀刻终止层 706 为止,如「第 7C 图」所示。在一实施例中,等离子体蚀刻处理由连续转变为脉冲的深度为最高结构密度的区域的间隔宽度的 0.5 ~ 4 倍。在一实施例中,深度经选择以实质等于最高结构密度的区域的间隔宽度,也就是说,当最高密度结构已达到深宽比 1。

[0047] 「第 8 图」为一流程图,显示根据本发明的一实施例的一系列步骤,其结合连续等离子体蚀刻处理以及具有脉冲样品偏压的脉冲等离子体蚀刻处理。「第 9A ~ D 图」绘示「第 8 图」的流程步骤执行在较为复杂的半导体堆叠上的剖面视图。

[0048] 参照流程图 800 的步骤 802,且相符于「第 9A 图」,在一连续 / 脉冲等离子体蚀刻处理起始时,半导体堆叠 900 包括一基板 902、二蚀刻层 904、908、二介电层 906、910 及一掩模 912。基板 902、蚀刻层 904、908 及掩模 912 包括任何参照「第 4A 图」所描述的基板 402、蚀刻层 404 及掩模 406 的材料。半导体堆叠 900 可包括较为复杂或较不复杂的材料层的堆叠,此处所示的方式仅作为说明之用。在一实施例中,半导体堆叠 900 包括多晶硅 /SiON/ 多晶硅 /SiO<sub>2</sub>,如典型的闪存堆叠中可见者。

[0049] 介电层 906、910 可包括任何适于绝缘半导体堆叠的导电部分的材料。在一实施例中,介电层 906、910 可包括选自由二氧化硅、氮氧化硅及氮化硅所组成的群组的绝缘材料。在另一实施例中,介电层 906、910 可包括选自由氧化钪、硅酸钪、氧化镧、氧化锆、硅酸锆、氧化钽、钛酸钽、钛酸钡、钛酸锶、氧化钇、氧化铝、氧化铅钪钽及铌酸铅锌所组成的群组的高 k 介电层。

[0050] 参照流程图 800 的步骤 804,且相符于「第 9B 图」,利用连续等离子体处理以将掩模 912 的图案蚀刻入蚀刻层 904 中,而形成部分图案化的蚀刻层 914。在半导体堆叠 900 的第一部分的各个密度区域中的蚀刻速率差异并不显著的情况下,连续等离子体蚀刻处理则足以蚀刻该蚀刻层 904。产生用于连续等离子体处理中以形成部分图案化的蚀刻层 914 的等离子体的方法可包括任何适于在足以符合连续蚀刻处理的持续时间以点燃并维持等离子体的方法。举例来说,根据本发明的一实施例,产生连续等离子体的方法包括产生一等离子体,该等离子体选自由电子回旋共振 (ECS) 等离子体、螺旋波等离子体、感应耦合等离子

体 (ICP) 及表面波等离子体所组成的群组。在一特定实施例中,用于产生连续等离子体的方法包括在 Applied Material™ AdvantEdge G3 etcher 中产生一感应耦合等离子体。

[0051] 参照流程图 800 的步骤 806,且相符于「第 9B 图」,通过任何适当的因素来决定何时可结束连续等离子体处理。举例来说,根据本发明的一实施例,基于待蚀刻的材料特质而在一预定时间结束以决定连续等离子体蚀刻处理的结束。在一选择性实施例中,通过侦测在蚀刻层 904 的蚀刻完成时的蚀刻副产物改变以及介电层 906 的顶表面的相应暴露(即,通过侦测蚀刻终点)而决定连续等离子体蚀刻处理的结束。在一实施例中,通过在连续蚀刻处理过程中所产生的化学物质组的实时组成(real-time composition)来决定连续等离子体蚀刻处理的结束。参照「第 9C 图」,在蚀刻层 904 的蚀刻之后,介电层 906 的暴露部分被移除以形成图案化的介电层 916。根据本发明的一实施例,介电层 906 的暴露部分的移除通过一蚀刻处理来进行,该蚀刻处理选自自由湿式蚀刻处理、连续等离子体蚀刻处理及脉冲等离子体蚀刻处理所组成的群组。

[0052] 参照流程图 800 的步骤 808、810 及 812,且相符于「第 9C ~ D 图」,掩模 912 的图案持续蚀刻入半导体堆叠 900 中。在此时,由于半导体堆叠 900 的第一部分已被蚀刻,蚀刻层 908 的不同密度区域的蚀刻速率差异为显著的,故需要应用脉冲等离子体蚀刻处理。因此根据本发明的一实施例,具有脉冲样品偏压的脉冲等离子体蚀刻处理用于图案化蚀刻层 908 以形成图案化的蚀刻层 918。可重复工作周期(即,步骤 812)直到期望量的蚀刻层 908 已被蚀刻。因此,根据本发明的一实施例,利用连续蚀刻等离子体处理以对半导体堆叠 900 的第一部分进行图案化,并利用包括多个工作周期的脉冲等离子体蚀刻处理来对半导体堆叠 900 的第二部分进行图案化。在工作周期的开启状态过程中对样品施加负偏压,而在工作周期的关闭状态过程中则对样品施加零偏压。

[0053] 参照流程图 800 的步骤 814,且相符于「第 9D 图」,在移除期望量的蚀刻层 908 之后,具有脉冲样品偏压的脉冲等离子体蚀刻处理结束。通过使用具有脉冲样品偏压的脉冲等离子体蚀刻处理以完成蚀刻层 908 的蚀刻,则各个密度区域的蚀刻处理可在实质相同时间下完成。因此,仅需要可忽略量的过蚀刻以形成图案化的蚀刻层 918。这样,可大幅缓和图案化的蚀刻层 918 的各种结构的不利底切现象,其可由「第 9D 图」的缺乏底切现象可见。可通过任一适当因素来决定何时结束具有脉冲样品偏压的脉冲等离子体蚀刻处理。举例来说,根据本发明的一实施例,通过在预定的时间结束工作周期的重复,以决定具有脉冲样品偏压的脉冲等离子体蚀刻处理的结束。在一选择性实施例中,可通过侦测在蚀刻层 908 的蚀刻完成时的蚀刻副产物的改变以及介电层 910 的顶表面的相应暴露来决定具有脉冲样品偏压的脉冲等离子体蚀刻处理的结束。

[0054] 可通过循环式的连续 / 脉冲等离子体蚀刻处理以将上述的连续及脉冲等离子体蚀刻处理的组合方法应用至更为复杂的材料堆叠。举例来说,根据本发明的一实施例,半导体堆叠的第一部分通过第一连续等离子体蚀刻处理而图案化;半导体堆叠的第二部分通过具有脉冲样品偏压的第一脉冲等离子体蚀刻处理而图案化;半导体堆叠的第三部分通过第二连续等离子体蚀刻处理而图案化;半导体堆叠的第四部分通过具有脉冲样品偏压的第二脉冲等离子体蚀刻处理而图案化。在一特定实施例中,半导体堆叠 900 的蚀刻层 904 也通过第一连续等离子体蚀刻处理以图案化,接着再进行具有脉冲样品偏压的第一脉冲等离子体蚀刻处理。之后,蚀刻层 908 通过第二连续等离子体蚀刻处理以图案化,并接着再进行具

有脉冲样品偏压的第二脉冲等离子体蚀刻处理。

[0055] 具有脉冲样品偏压的脉冲等离子体蚀刻处理可以在任何适于在接近样品处提供蚀刻等离子体以进行蚀刻的处理设备中进行。「第 10 图」绘示根据本发明的一实施例而进行具有脉冲样品偏压的脉冲等离子体蚀刻处理的系统。

[0056] 参照「第 10 图」,用于进行脉冲等离子体蚀刻处理的系统 1000 包括一腔室 1002,该腔室 1002 配备有样品承接器 1004。一抽气装置 1006、一气体入口装置 1008 及一等离子体点燃装置 1010 耦接至腔室 1002。电压源 1014 与样品承接器 1004 耦接。计算装置 1012 与等离子体点燃装置 1010 及电压源 1014 耦接。系统 1000 可额外包括耦接至腔室 1002 的侦测器 1016。计算装置 1012 也可以与抽气装置 1006、气体入口装置 1008 及侦测器 1016 耦接,如「第 10 图」所示。

[0057] 腔室 1002 及样品承接器 1004 可包括任何适于含有一离子化气体(即,等离子体)的反应室及样品定位装置,并使样品靠近离子化气体或自其释出的带电物质。抽气装置 1006 可以为任何对腔室 1002 进行抽气及使其压力降低的装置。气体入口装置 1008 可以为任何适于将反应气体注入腔室 1002 中的装置。等离子体点燃装置 1010 可以为任何适于将源自气体入口装置 1008 所注入腔室 1002 的反应气体的等离子体点燃的装置。侦测器 1016 可以为任何适于侦测处理步骤终点的装置。在一实施例中,系统 1000 包括一腔室 1002、一样品承接器 1004、一抽气装置 1006、一气体入口装置 1008、一等离子体点燃装置 1010 及一侦测器 1016,其类似或相同于 Applied Material™ AdvantEdge G3 etcher 中所包括的。

[0058] 计算装置 1012 包括处理器及存储器。根据本发明的一实施例,计算装置 1012 的存储器包括用于控制等离子体点燃装置 1010 以在具有脉冲样品偏压的脉冲等离子体蚀刻处理中切换等离子体在开启状态及关闭状态之间的一指令组。在一实施例中,该指令组包括机器可操作的程序代码,并对多个工作周期产生作用,其中各个工作周期代表等离子体的一开启状态及一关闭状态的组合。计算装置 1012 的存储器也包括用于控制电压源 1014 切换在负偏压与零偏压之间的一指令组。在等离子体的开启状态下,负偏压被施加至样品承接器 1004,在等离子体的关闭状态下,零偏压被施加至样品承接器 1004。在一特定实施例中,用于控制等离子体点燃装置 1010 的指令组包括针对各个工作周期的时序指令,以使得开启状态占工作周期的持续时间的 5 ~ 95%。在一实施例中,用于控制等离子体点燃装置 1010 的指令组包括针对各个工作周期的时序指令,以使得开启状态占工作周期的持续时间的 65 ~ 75%。在另一实施例中,用于控制等离子体点燃装置 1010 的指令组包括时序指令,因而使得多个工作周期的频率介于 1Hz ~ 200kHz 之间,即,各个工作周期的持续时间介于 5 微秒 ~ 1 秒。在一特定实施例中,用于控制等离子体点燃装置 1010 的指令组包括时序指令,因而使得多个工作周期的频率为 50kHz,且各个工作周期包括开启状态的部分为 70%。在一实施例中,在工作周期的开启状态下通过电压源 1014 施加至样品承接器 1004 的负偏压介于 5 ~ 1000 瓦。在一特定实施例中,在工作周期的开启状态下通过电压源 1014 施加至样品承接器 1004 的负偏压介于 100 ~ 200 瓦。

[0059] 「第 11A ~ B 图」绘示根据本发明的一实施例的「第 10 图」的系统的腔室分别处于等离子体开启状态及等离子体关闭状态。参照「第 11A 图」,系统 1000 的腔室 1002 包括一处于开启状态下的等离子体 1100,且该等离子体 1100 接近样品承接器 1004 上的一样品 1102。反应区域 1104 直接邻近于样品 1102。在蚀刻处理期间,至少在一段时间内,蚀刻副

产物形成在并存在于反应区域 1102 中。因此,根据本发明的一实施例,用于控制等离子体点燃装置 1010 的指令组包括时序指令,因而使得开启状态的持续时间为足够短以实质抑制反应区域 1104 内的微负载现象。参照「第 11B 图」,系统 1000 的腔室 1002 包括处于关闭状态下的等离子体(即,中性反应气体)。根据本发明的一实施例,用于控制等离子体点燃装置 1010 的指令组包括时序指令,因而使得脉冲等离子体蚀刻处理的工作周期的关闭状态经选择而具有足够长的持续时间,以实质将蚀刻副产物自反应区域 1104 移除。

[0060] 在脉冲等离子体蚀刻处理的工作周期的开启状态过程中,正电荷会分给正在进行蚀刻的样品。在部分实例中,样品的正电荷会实质足以使得自等离子体释出的带正电蚀刻物质产生部分地偏向。此种蚀刻物质的偏向可能会导致蚀刻入特定样品中的特征结构出现不利的底切现象。通过在蚀刻处理过程中,以负电荷来偏压样品,则可缓和带正电粒子的偏向。另一方面,在脉冲等离子体蚀刻处理的工作周期由开启状态至关闭状态的过渡期间,若样品为负偏压,则可抑制带负电粒子自等离子体的释出。通过在工作周期的关闭状态过程中对样品产生零偏压,且因此不对等离子体放电时释出的带负电粒子产生排斥,则可达到等离子体放电的较短时间。另外,带负电物质会促成蚀刻处理,因而增进蚀刻处理。因此,根据本发明的实施例,脉冲样品偏压处理与脉冲等离子体处理平行进行。也就是说,在脉冲等离子体蚀刻处理中,在工作周期的开启状态下,样品为负偏压,在关闭状态下,样品则为零偏压。

[0061] 「第 12A ~ D 图」绘示根据本发明的一实施例的「第 10 图」的系统 1000 的腔室 1002 分别处于等离子体开启 / 偏压关闭状态、等离子体开启 / 偏压开启状态、等离子体关闭 / 偏压开启状态及等离子体关闭 / 偏压关闭状态。电压源 1014 与样品承接器 1004 耦接,并用于在工作周期的开启状态过程中,对样品承接器 1004 且因而对样品 1102 产生偏压。参照「第 12A 图」,电压源 1014 处于关闭状态,由等离子体 1100 释出的带正电蚀刻物质在接近样品 1102 的表面处呈部分偏向。然而,参照「第 12B 图」,电压源 1014 处于开启状态(即,负偏压样品承接器 1004),因此,由等离子体 1100 释出的带正电蚀刻物质在接近样品 1102 的表面处维持正交轨道(即,各向异性轨道)。根据本发明的一实施例,电压源 1014 用于在工作周期的开启状态过程中施加一介于 5 ~ 1000 瓦的负偏压至样品承接器 1004。在一特定实施例中,电压源 1014 用于在工作周期的开启状态过程中施加一介于 100 ~ 200 瓦的负偏压至样品承接器 1004。脉冲等离子体蚀刻处理(相较于连续等离子体蚀刻处理)可降低蚀刻处理过程中正电荷积聚在样品 1102 上的程度。然而,以电压源 1014 对样品承接器 1004 产生偏压的额外步骤可用作脉冲等离子体蚀刻处理的一部分,以使得对蚀刻处理过程中的结构的底切现象的缓和达到最佳化。因此根据本发明的另一实施例,以电压源 1014 对样品承接器 1004 产生偏压的额外步骤可用作于延长脉冲等离子体蚀刻处理的工作周期中的开启状态的持续时间。

[0062] 参照「第 12C 图」,电压源 1014 处于开启状态,由等离子体开启状态切换至等离子体关闭状态的过渡期间所释出的带负电粒子受到抑制而无法到达样品 1102 的表面,因而延缓等离子体关闭状态步骤。然而,参照「第 12D 图」,电压源 1014 处于关闭状态(即,零偏压样品承接器 1004),因此,由等离子体开启状态切换至等离子体关闭状态的过渡期间所释出的带负电粒子不会受到抑制而可到达样品 1102 的表面。根据本发明的一实施例,在工作周期的关闭状态过程中,电压源 1014 被关闭以施加零偏压至样品承接器 1004。因此,根据

本发明的一实施例,电压源 1014 使样品承接器 1004 为负偏压以延长在脉冲等离子体蚀刻处理的工作周期的开启状态的持续时间,而电压源 1014 使样品承接器 1004 为零偏压以减少工作周期的关闭状态的持续时间。

[0063] 因此,本发明公开一种具有脉冲样品偏压以蚀刻半导体结构的脉冲等离子体系统。在一实施例中,通过应用一脉冲等离子体蚀刻处理而移除一部分的样品,其中脉冲等离子体蚀刻处理包括多个工作周期。在各工作周期的开启状态过程中,施加负偏压至样品,而在各工作周期的关闭状态过程中,施加零偏压至样品。在其它实施例中,样品的第一部分通过连续等离子体蚀刻处理来移除。接着,连续等离子体处理结束,再通过具有脉冲样品偏压的脉冲等离子体蚀刻处理以移除样品的第二部分。应了解脉冲样品偏压处理不需要与脉冲等离子体处理绑在一起。因此,根据本发明的另一实施例,脉冲等离子体工作周期的开启状态以及脉冲样品偏压的开启状态彼此独立。在另一实施例中,脉冲等离子体工作周期的关闭状态以及脉冲样品偏压的关闭状态彼此独立。

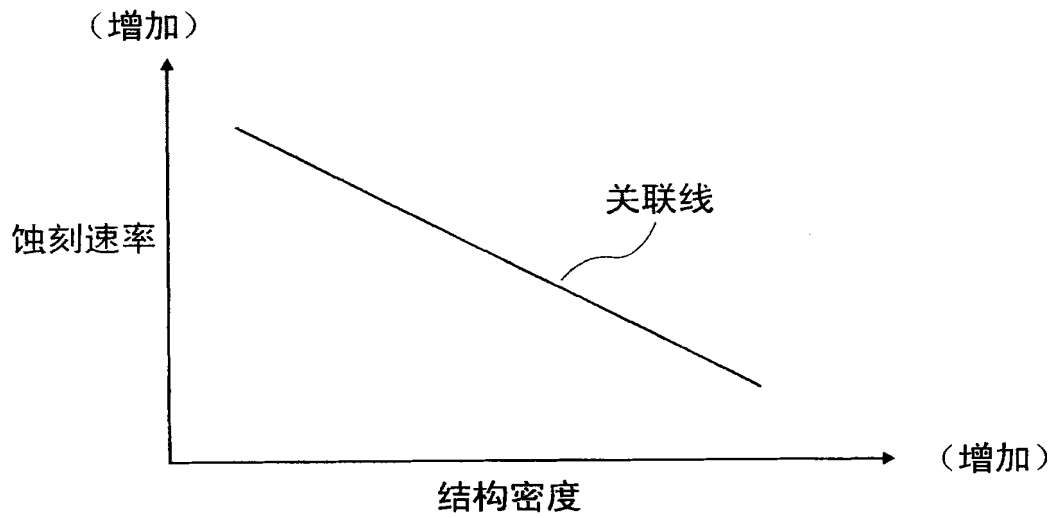


图 1

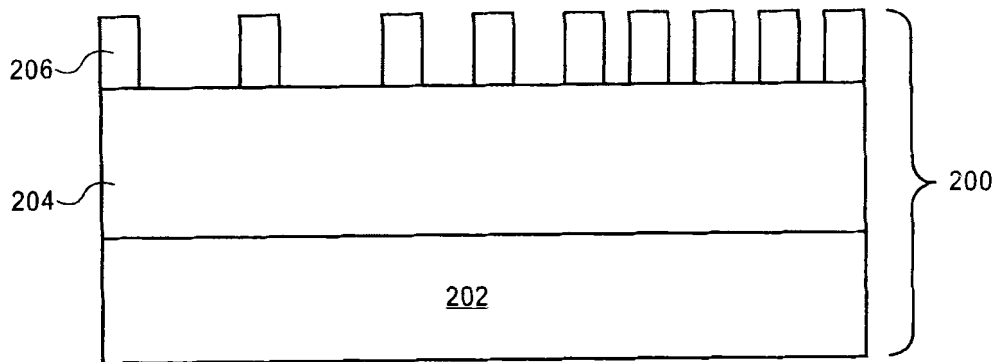


图 2A

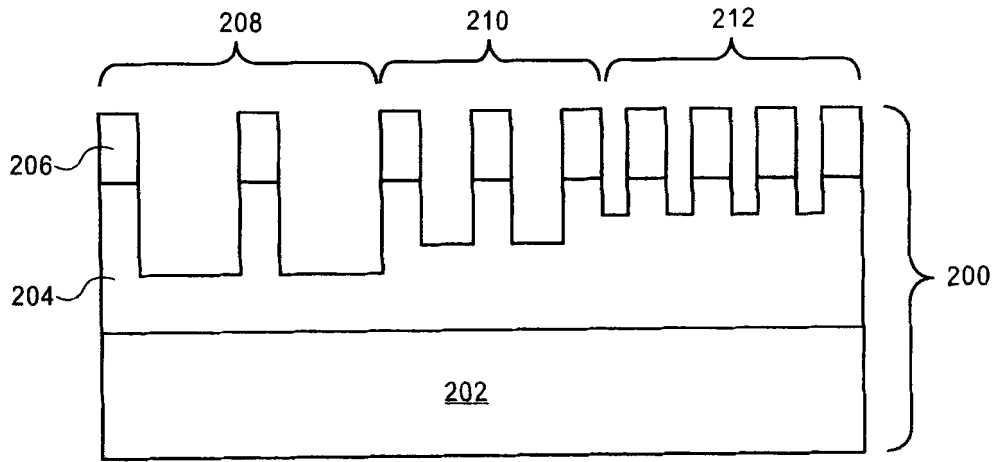


图 2B

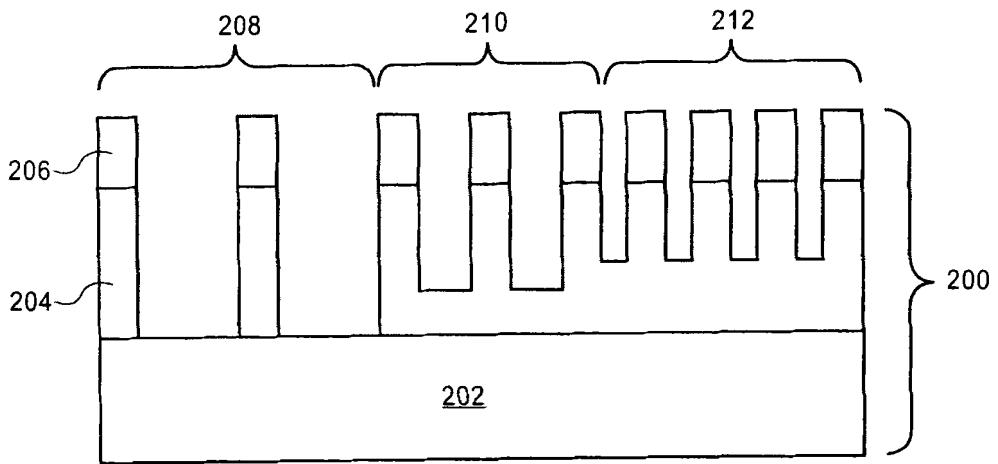


图 2C

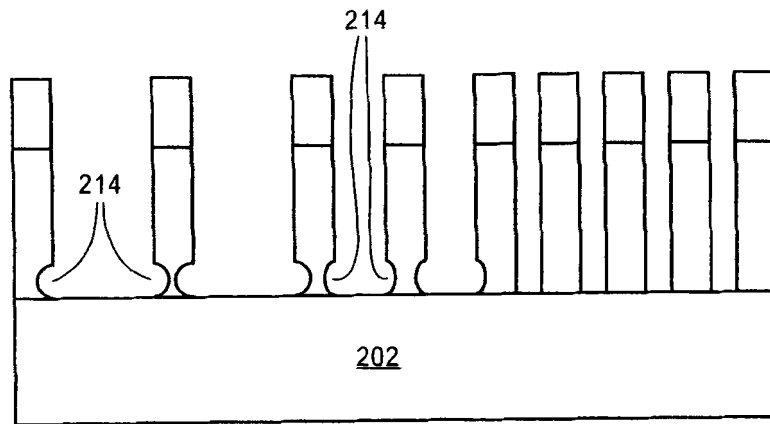


图 2D

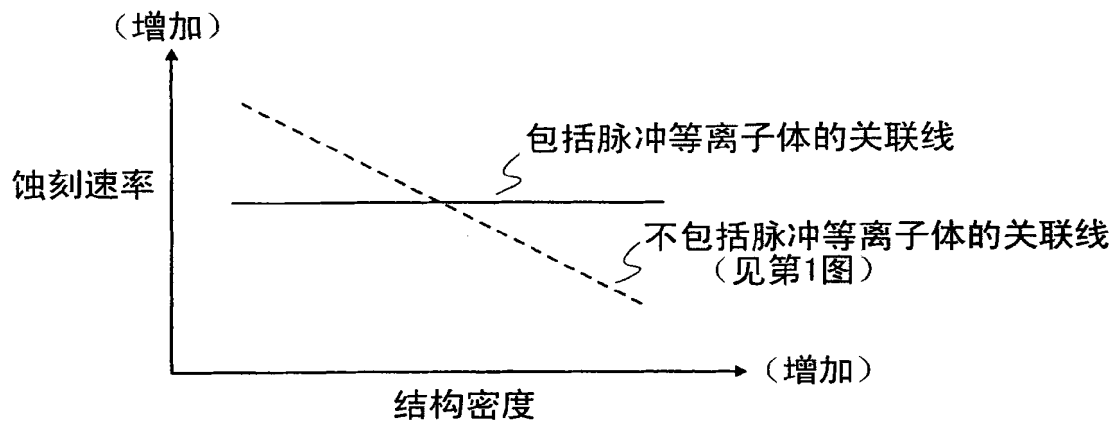


图 3

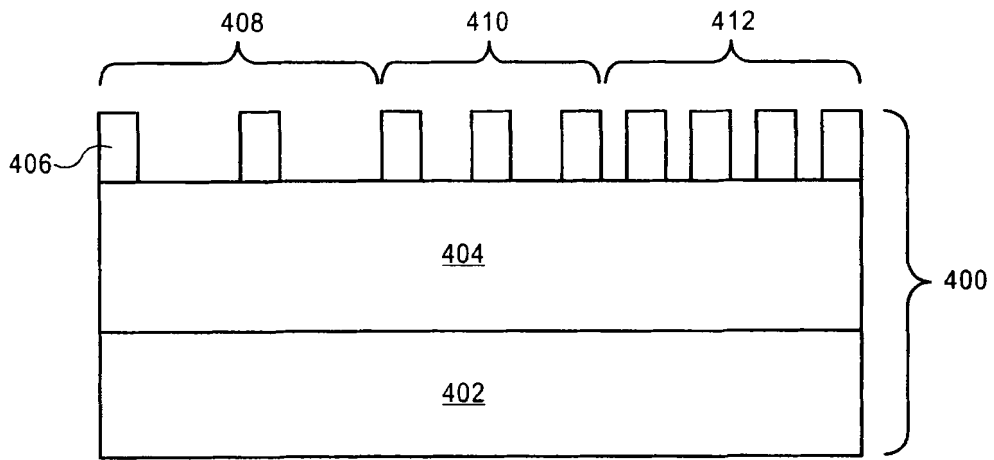


图 4A

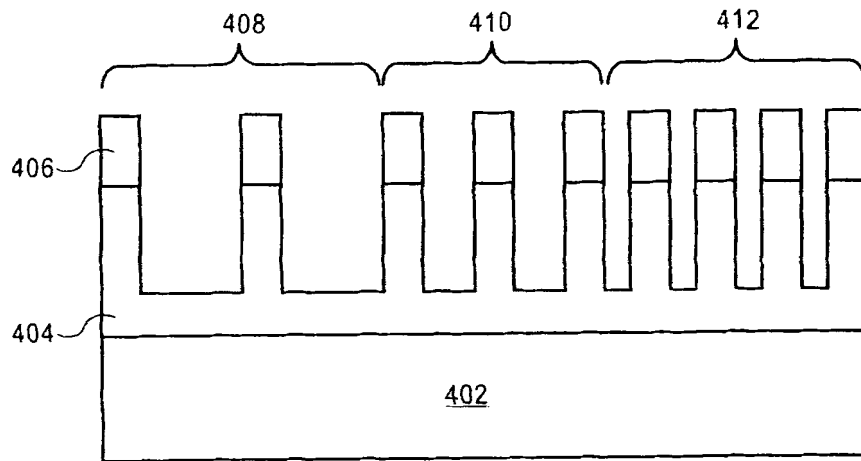


图 4B

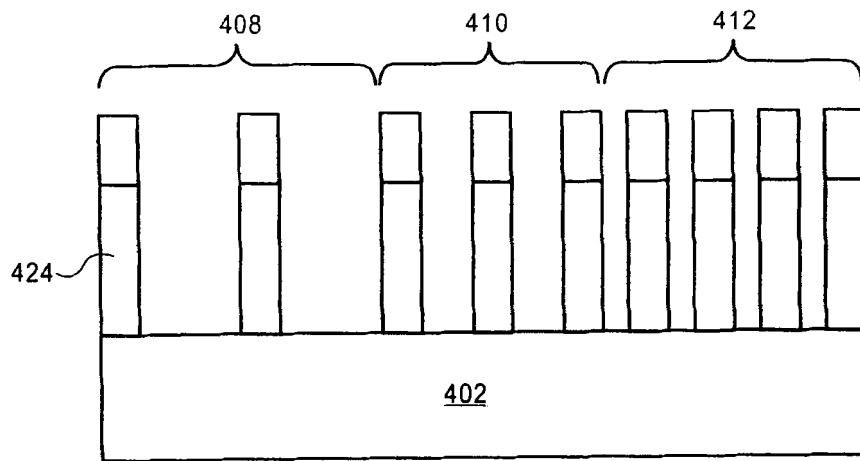


图 4C

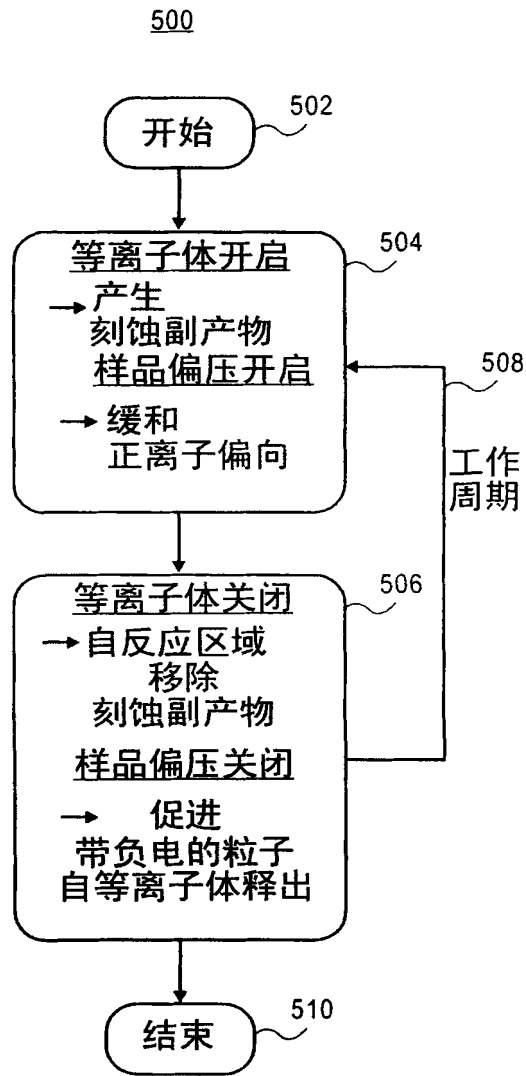


图 5A

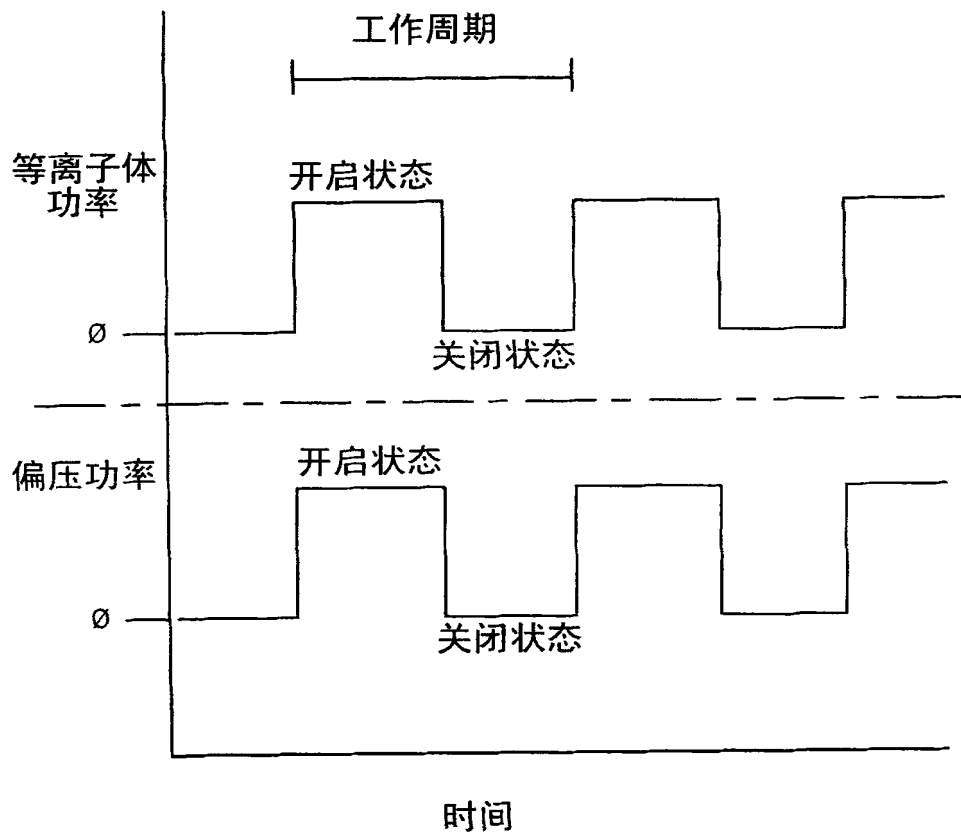


图 5B

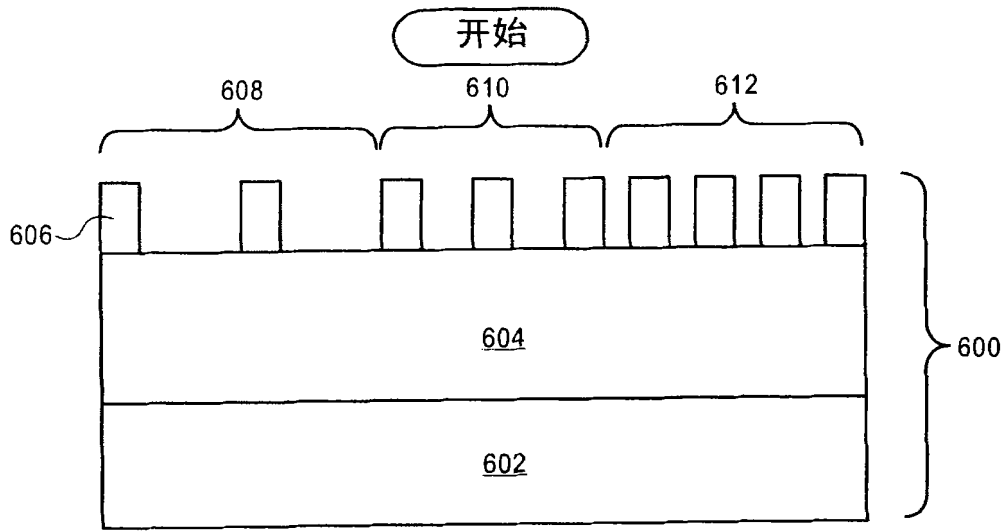


图 6A

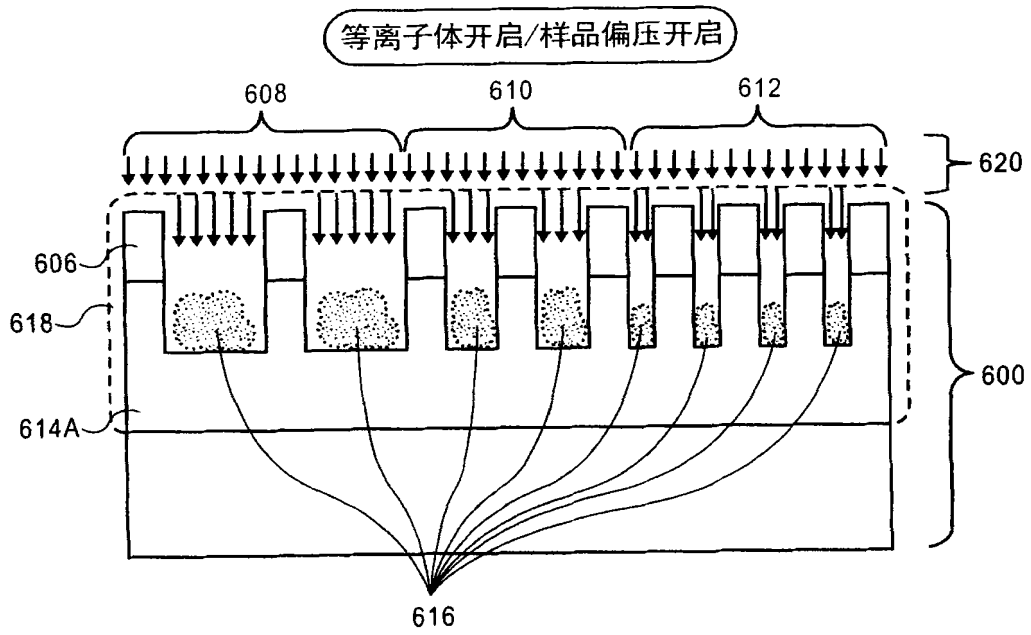


图 6B

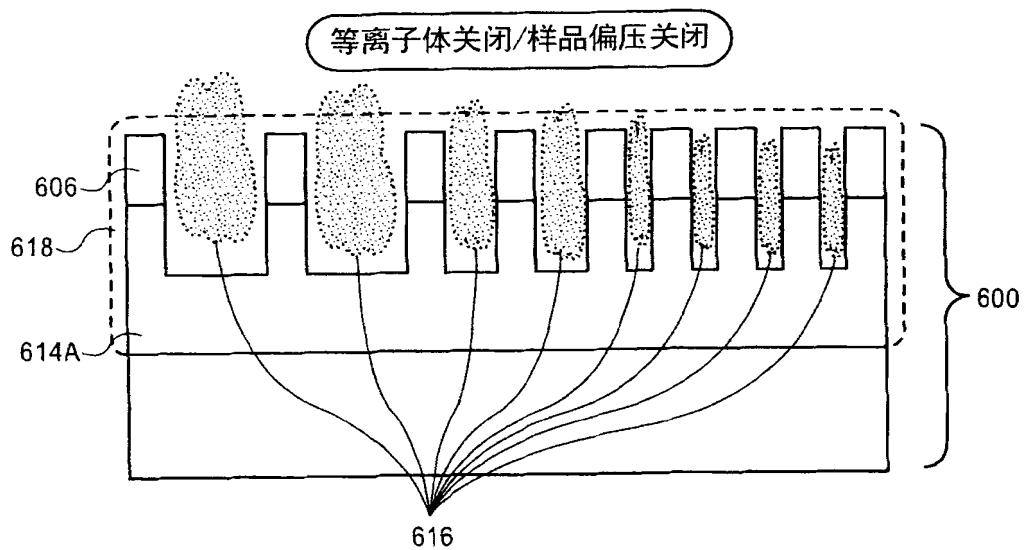


图 6C

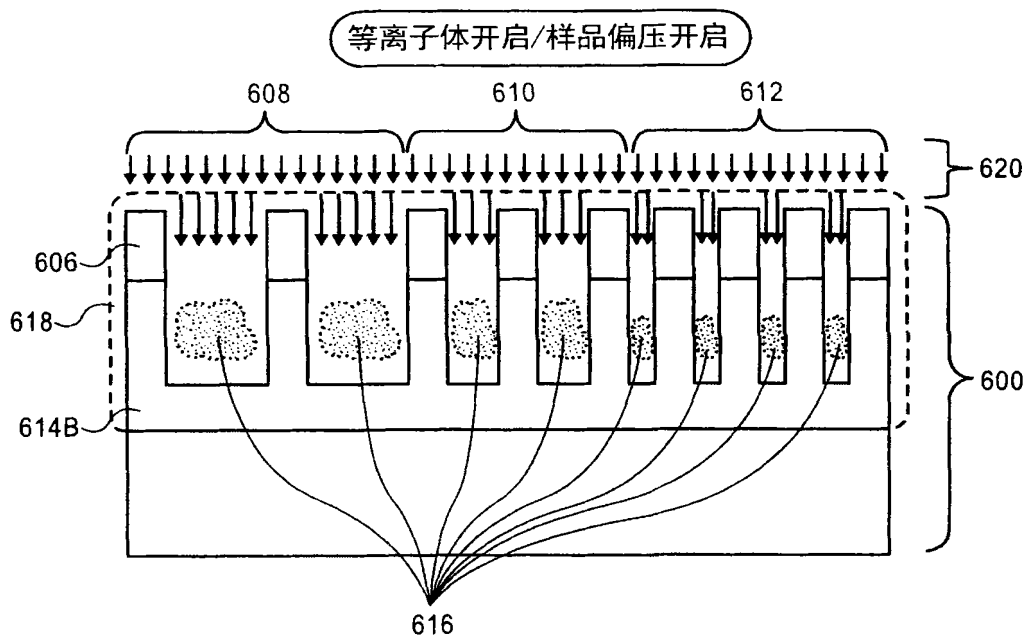


图 6D

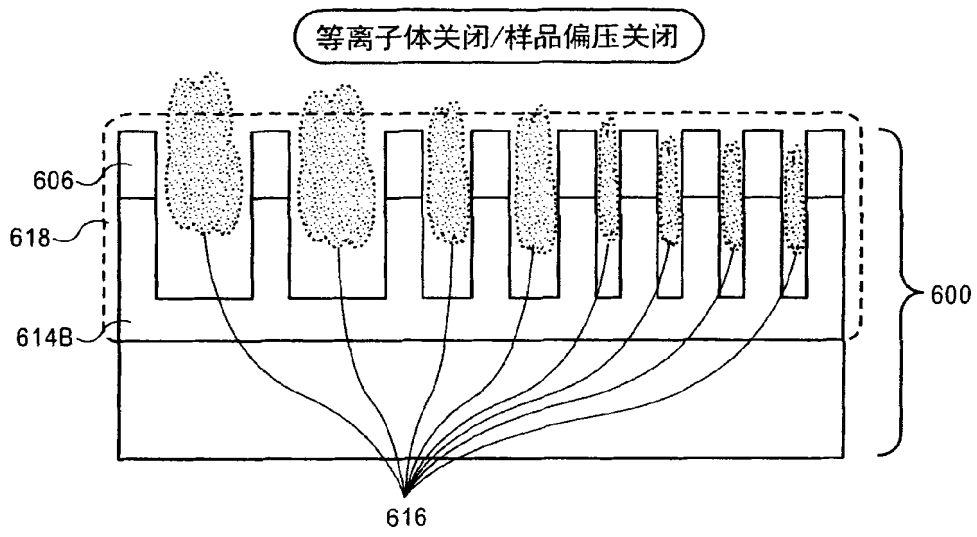


图 6E

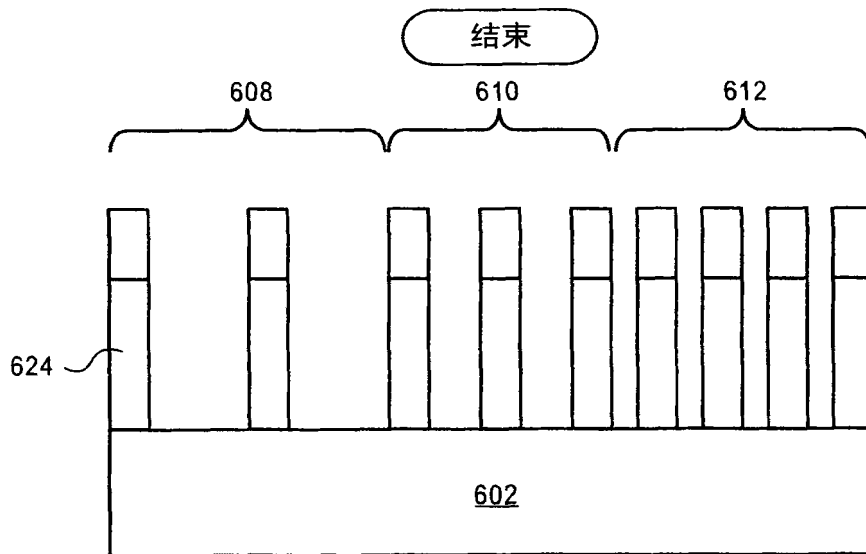


图 6F

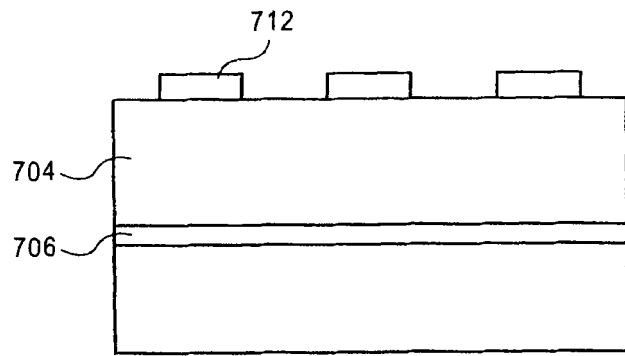


图 7A

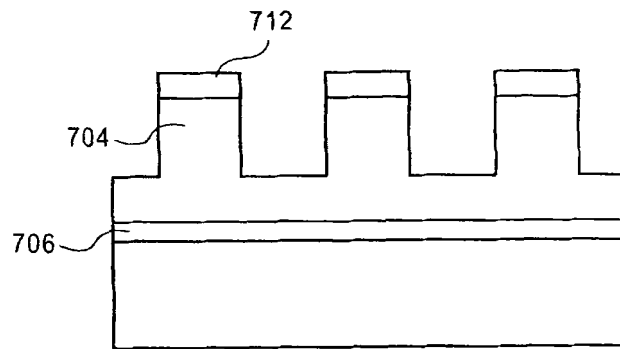


图 7B

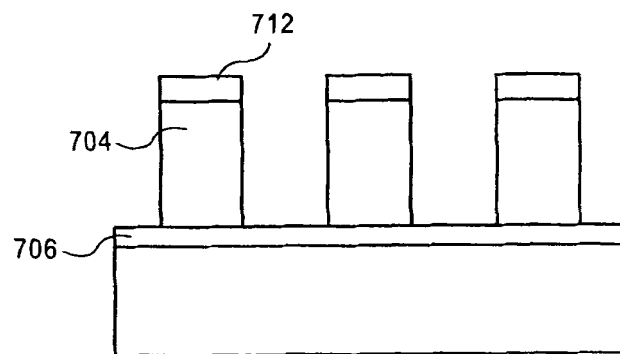


图 7C

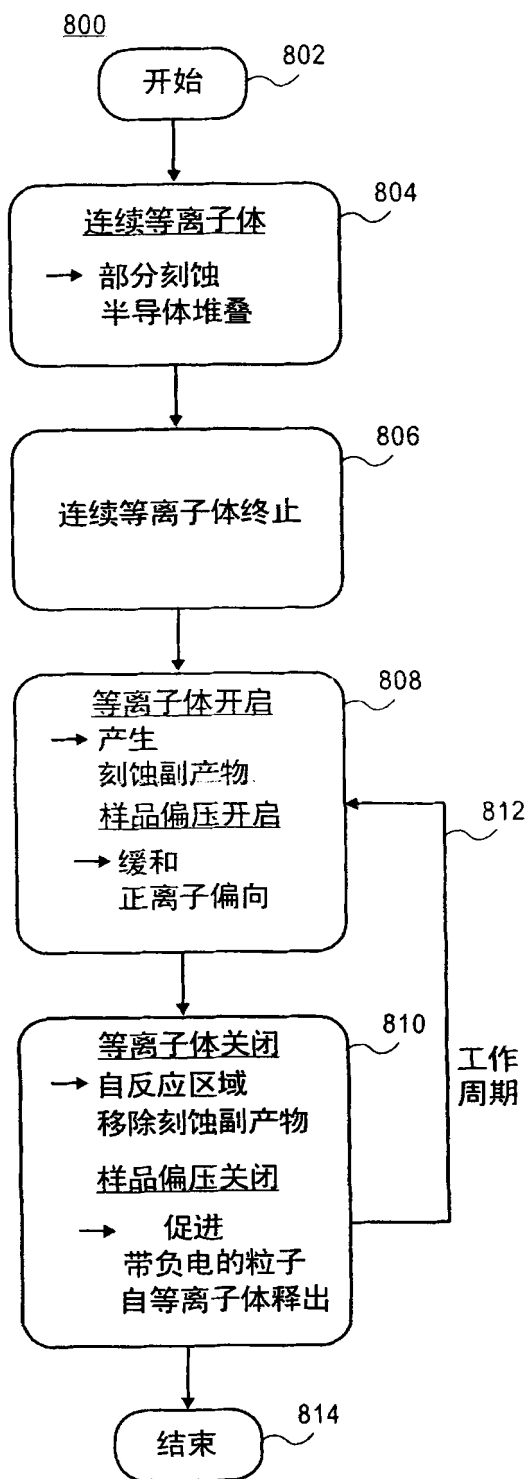


图 8

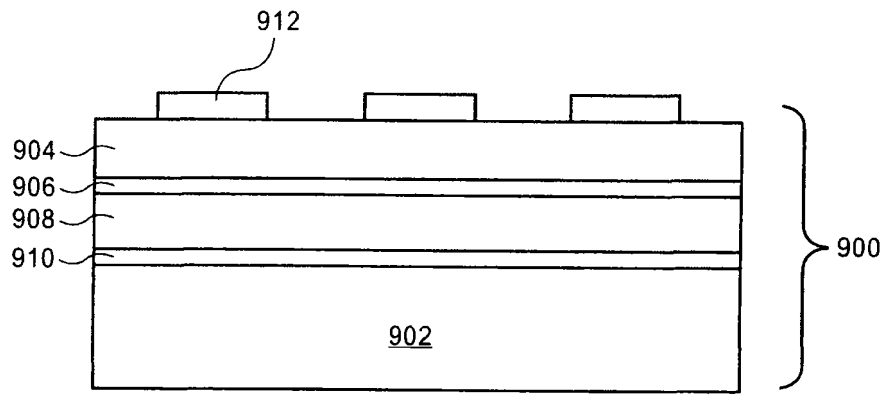


图 9A

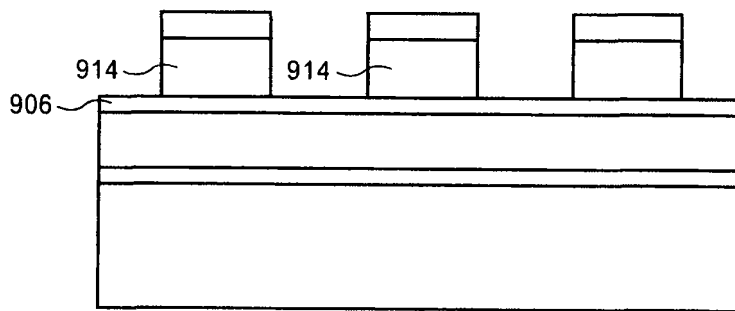


图 9B

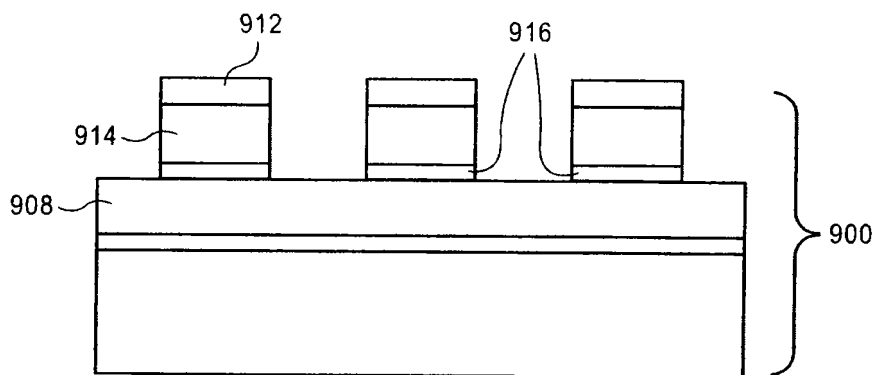


图 9C

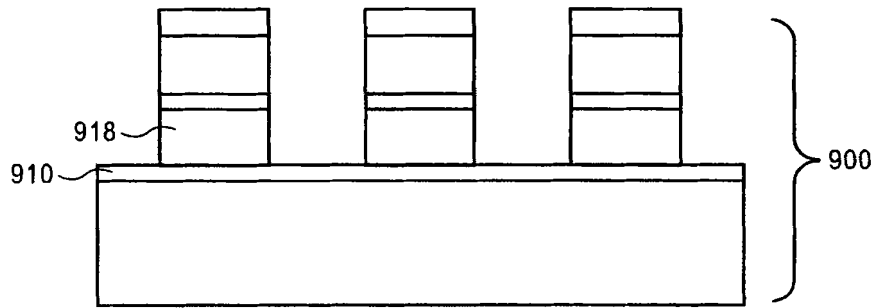


图 9D

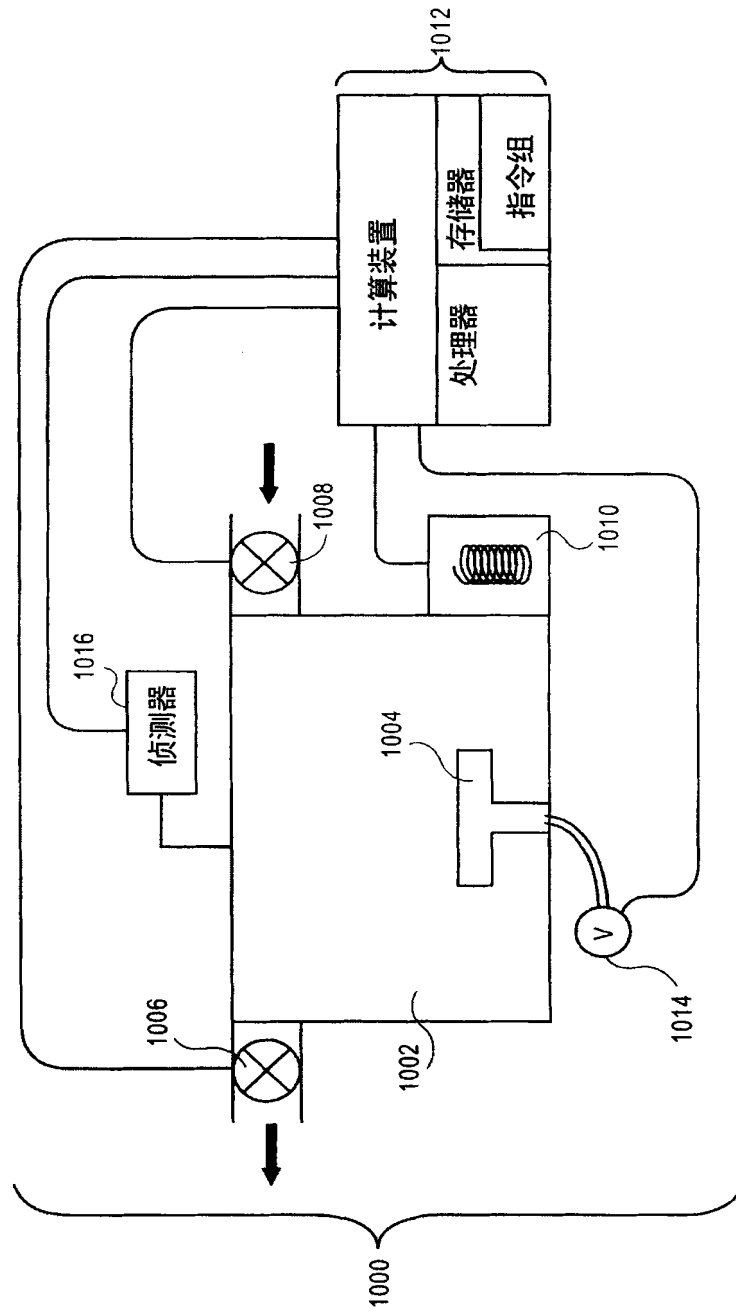


图 10

等离子体开启

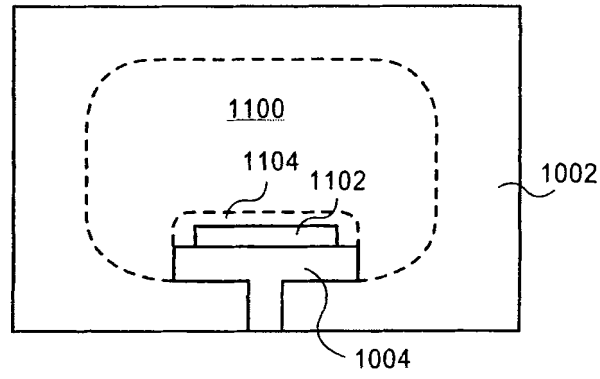


图 11A

等离子体关闭

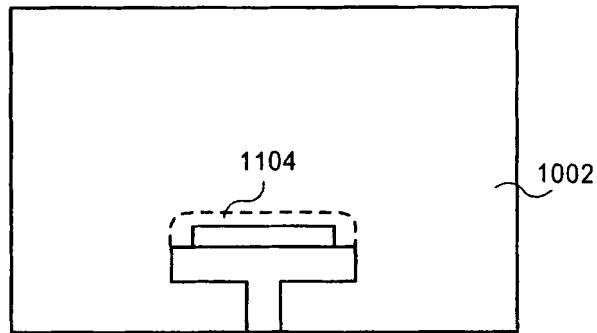


图 11B

等离子体开启：偏压关闭

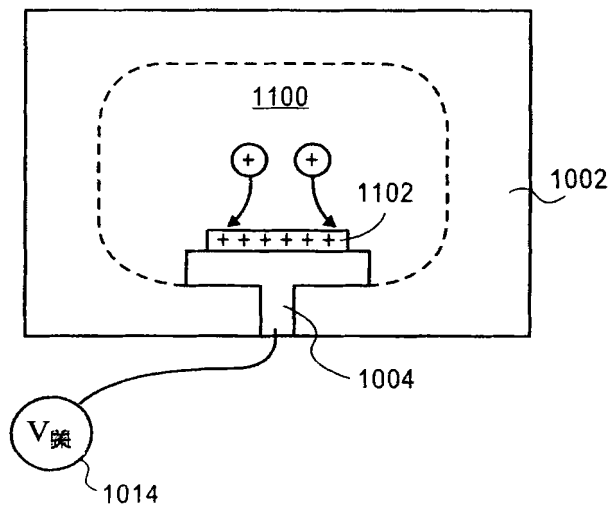


图 12A

等离子体开启：偏压开启

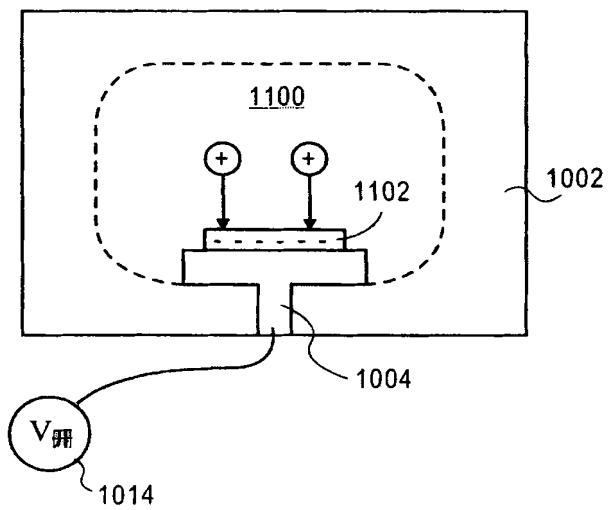


图 12B

等离子体关闭：偏压开启

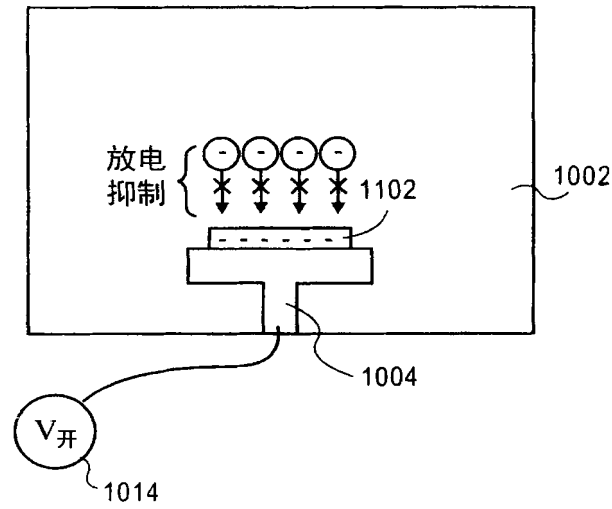


图 12C

等离子体关闭：偏压关闭

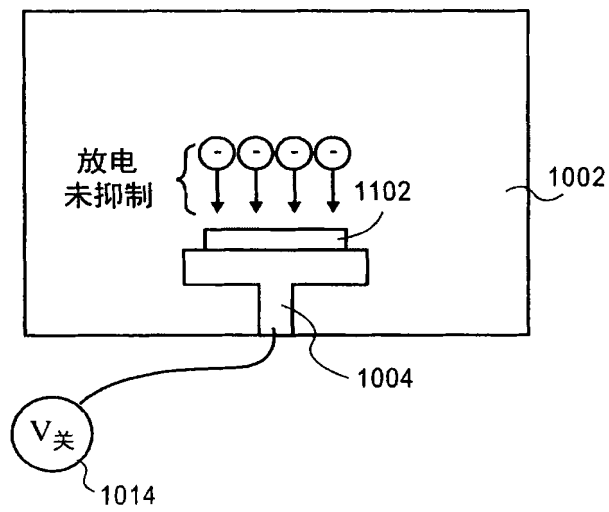


图 12D