



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2012-0013121
(43) 공개일자 2012년02월14일

(51) Int. Cl.

H03M 1/12 (2006.01)

(21) 출원번호 10-2010-0075309

(22) 출원일자 2010년08월04일

심사청구일자 2010년08월04일

(71) 출원인

서강대학교산학협력단

서울 마포구 신수동 1-1 서강대학교

(72) 발명자

이승훈

서울특별시 용산구 이촌로 324-10, 2동 210호 (이촌동, 반도아파트)

(74) 대리인

특허법인충현

전체 청구항 수 : 총 7 항

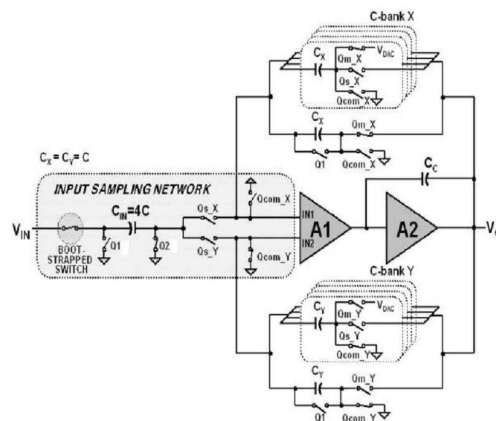
(54) 커패시터 및 증폭기를 공유하는 ADC

(57) 요약

본 발명은 ADC의 입력 단에 구비되는 Sample and Hold Amplifier(SHA)와 Multiplying D/A Converter(MDAC)가 커패시터(capacitor) 및 증폭기를 공유(sharing)하여 ADC의 소모 전력을 최소화시킬 수 있고 아울러 ADC의 구현 면적을 최소화시킬 수 있는 ADC에 관한 것이다.

본 발명에 의하면, ADC의 입력 단을 구성하는 SHA와 MDAC이 커패시터 및 증폭기를 공유토록하기 때문에 ADC의 구현 면적을 최소화시킬 수 있고 전력 소모도 최소화시킬 수 있다. 아울러 상기의 공유를 통하여 추가적인 클록을 필요로 하지 아니하고, 메모리 효과도 제거할 수 있으며, 공유된 증폭기의 트랜스 컨덕턴스(G_m)를 적절히 조절하여 ADC의 동작 안정화를 기할 수 있다.

대표도 - 도5



이 발명을 지원한 국가연구개발사업

과제고유번호	NRF 2010-0007618
부처명	교육과학기술부
연구관리전문기관	한국연구재단
연구사업명	한국연구재단 일반연구자지원사업
연구과제명	선택적 SHA 기반의 저전력 12비트 100MS/s 급 0.13um CMOS ADC 연구
기여율	1/2
주관기관	서강대학교 산학협력단
연구기간	2010.05.01 ~ 2013.04.30이 발명을 지원한 국가연구개발사업
과제고유번호	NIPA-2011-C1090-1101-0003
부처명	지식경제부
연구관리전문기관	정보통신산업진흥원 (NIPA)
연구사업명	지식경제부 대학 IT연구센터 육성지원사업
연구과제명	차세대 융복합 시스템용 아날로그 IP 핵심설계기술 개발
기여율	1/2
주관기관	서강대학교 산학협력단
연구기간	2010.06.01 ~ 2013.12.31

특허청구의 범위

청구항 1

Analog-to-Digital Converter(ADC)의 입력 단을 구성하는 Sample-and-Hold Amplifier(SHA)와 Multiplying D/A Converter(MDAC)가 두 개의 커패시터 열(C-BANK X, C-BANK Y) 및 하나의 증폭기를 공유토록 하여, 상기 SHA와 상기 MDAC을 하나의 블록(SHADAC)으로 병합한 것을 특징으로 하는 커패시터 및 증폭기를 공유하는 ADC.

청구항 2

제 1 항에 있어서,

상기 두 개의 커패시터 열 중 상기 ADC의 동작 모드에 따라, 해당 동작 모드의 작동에 필요하지 아니한 커패시터 열은 리셋(reset)되는 것을 특징으로 하는 커패시터 및 증폭기를 공유하는 ADC.

청구항 3

제 2 항에 있어서,

상기 하나의 증폭기는 두 개의 입력 단을 가지며, 상기 두 개의 입력 단 중 상기 ADC의 동작 모드에 따라, 해당 동작 모드의 작동에 필요하지 아니한 입력 단은 리셋(reset)되는 것을 특징으로 하는 커패시터 및 증폭기를 공유하는 ADC.

청구항 4

제 3 항에 있어서,

상기 하나의 증폭기는 telescopic 구조 기반의 두 개의 NMOS 입력 단을 갖는 차동 증폭기이고, 상기 두 개의 NMOS 입력 단 중 상기 해당 동작 모드의 작동에 필요하지 아니한 입력 단은 리셋되는 것을 특징으로 하는 커패시터 및 증폭기를 공유하는 ADC.

청구항 5

제 4 항에 있어서,

상기 하나의 증폭기의 두 개의 NMOS 입력 단 각각에 상기 하나의 증폭기의 구동 전류 경로를 형성시키는 것을 특징으로 하는 커패시터 및 증폭기를 공유하는 ADC.

청구항 6

제 5 항에 있어서,

상기 하나의 증폭기가 홀딩(holding) 동작을 하는 경우, 상기 하나의 증폭기의 구동 전류의 일부만을 상기 하나의 증폭기의 두 개의 NMOS 입력 단 각각에 흐르게 하는 것을 특징으로 하는 커패시터 및 증폭기를 공유하는 ADC.

청구항 7

제 6 항에 있어서,

상기 MDAC이 잔류 전압 증폭 동작을 하는 경우, 상기 하나의 증폭기의 구동 전류의 모두를 상기 하나의 증폭기의 두 개의 NMOS 입력 단 각각에 흐르게 하는 것을 특징으로 하는 커패시터 및 증폭기를 공유하는 ADC.

명세서

기술분야

본 발명의 기술분야는 Analog-to-Digital Converter(ADC)에 관한 것으로, 보다 상세하게는 ADC의 입력 단에 구비되는 Sample-and-Hold Amplifier(SHA)와 Multiplying D/A Converter(MDAC)가 커패시터(capacitor) 및 증폭기

[0001]

를 공유(sharing)하여 ADC의 소모 전력을 최소화시킬 수 있고 아울러 ADC의 구현 면적을 최소화시킬 수 있는 ADC에 관한 것이다.

배경 기술

[0002] 최근 멀티미디어 정보의 활용은 획기적으로 증가하고 있으며, 멀티미디어 정보의 핵심인 영상 정보의 활용은 다른 멀티미디어 정보에 비해 가일층 증가하고 있다. 이에 따라 영상 신호의 디지털적 처리를 수반하는 디지털 영상 처리 기술은 교육, 의료산업, 우주과학, 게임, 영화산업 및 군사 분야 등에 이르기까지 다양하게 활용되고 있다.

[0003] 디지털 영상 처리는, 하드웨어적인 측면에서 보면, 전용 신호 처리용 칩을 통해 이루어짐이 통상인데 VLSI 공정 기술의 발전과 더불어 관련된 System-on-a-Chip(SoC)에 대한 연구도 활발하게 진행되면서 이에 상응하여 시스템 입력 단에 필수적인 고성능 ADC에 대한 요구도 급격하게 증가하고 있다. 특히, ultrasound, Charge Coupled Device(CCD), 고성능 스캐너와 같은 고화질 영상 시스템, 자동차용 영상 레이더 시스템 및 각종 휴대용 통신 단말기 등의 영상 처리가 필요한 아날로그 프론트-엔드(Analog Frond-End: AFE)에는 12비트 이상의 고해상도를 가지면서 수십 MHz의 샘플링 속도(sampling rate)가 요구되는 동시에 최소의 면적 및 전력을 소모하는 ADC가 요구된다.

발명의 내용

해결하려는 과제

[0004] 본 발명은 상기한 요구에 부응하기 위해 창안된 것으로, 본 발명이 해결하려는 과제는 ADC의 소모 전력을 최소화시킬 수 있고 아울러 ADC의 구현 면적을 최소화시킬 수 있는 저전력 소모 및 소면적 구현이 가능한 ADC를 제안하는 것이다.

과제의 해결 수단

[0005] 상기와 같은 과제를 해결하기 위한 본 명세서에서 개시하는 ADC는

[0006] ADC의 입력 단을 구성하는 SHA와 MDAC이 두 개의 커패시터 열(C-BANK X, C-BANK Y) 및 하나의 증폭기를 공유토록 하여 상기한 과제를 해결한다.

발명의 효과

[0007] 본 발명에 의하면, ADC의 입력 단을 구성하는 커패시터 및 증폭기를 SHA와 MDAC이 공유토록하기 때문에 ADC의 구현 면적을 최소화시킬 수 있고 전력 소모도 최소화시킬 수 있다. 아울러 상기의 공유를 통하여 추가적인 클록을 필요로 하지 아니하고, 메모리 효과도 소거할 수 있으며, 공유된 증폭기의 트랜스 컨덕턴스(Gm)를 적절히 조절하여 ADC의 동작 안정화를 기할 수 있다.

도면의 간단한 설명

[0008] 도 1은 본 발명에 의한 ADC의 구현 예를 제시한 도면이다.

도 2는 커패시터 공유 기법이 적용되지 아니한 SHA와 MDAC1의 동작을 설명하기 위해 제시한 도면이다.

도 3a와 도 3b는 기존의 커패시터 공유 기법을 설명하기 위해 제시한 도면이다.

도 4는 본 발명에 의한 커패시터 공유 기법을 설명하기 위해 제시한 도면이다.

도 5는 본 발명에 의한 커패시터 및 증폭기 공유 기법에 의해 SHA와 MDAC1이 하나의 블록으로 구현된 SHADAC의 전체 구성을 제시한 도면이다.

도 6a 내지 도 6d는 SHADAC의 각 동작 모드에 해당하는 회로들을 제시한 도면이다.

도 7은 도 6a 내지 도 6d에 제시된 각 동작 모드의 타이밍 다이어그램 및 동작 상태를 제시한 도면이다.

도 8은 커패시터 열의 배치의 일례를 제시한 도면이다.

도 9a와 도 9b는 SHADAC의 동작 안정화를 위한 회로 구성을 나타낸 도면이다.

도 10은 본 발명에 의한 커패시터 및 증폭기 공유 기법이 적용된 ADC를 칩(chip)으로 구현한 사진을 제시한 도면이다.

도 11은 본 발명에 의한 커패시터 및 증폭기 공유 기법이 적용된 ADC의 Differential Non-Linearity(DNL) 및 Integral Non-Linearity(INL)을 제시한 도면이다.

도 12a와 도 12b는 본 발명에 의한 커패시터 및 증폭기 공유 기법이 적용된 ADC의 동적 성능의 결과를 제시한 그래프이다.

발명을 실시하기 위한 구체적인 내용

- [0009] 본 발명을 실시하기 위한 구체적인 내용의 설명에 앞서 이해의 편의를 위해 본 발명이 해결하려는 과제의 해결 방안의 개요를 우선 제시한다.
- [0010] ADC의 저전력 소모 및 소면적 구현은 본 기술분야에서 언제나 화두가 되어 왔으며, 이를 실현하기 위한 여러 기법들이 제안되거나 실시되고 있다. 이들 기법들을 간략히 소개하면 다음과 같다.
- [0011] 기존의 다양한 ADC 구조 중에서 12비트 이상의 해상도 및 수십 MHz 수준의 샘플링 속도에 가장 적합한 ADC 구조로 최근에는 파이프라인(pipeline) 구조가 보편적으로 사용되고 있다. 한편, 파이프라인 구조 기반의 ADC에서 가장 많은 전력을 소모하는 증폭기의 전력 소모를 줄이고 아울러 저면적 구현을 위한 회로 구현 기법들이 많이 제안되어 왔다.
- [0012] 우선 스위치 기반 기법은 증폭기를 사용하지 않는 반주기 동안 증폭기의 바이어스 전류를 차단함으로써 전력 소모를 감소시키는 기법으로 소모되는 전력은 줄일 수 있지만 사용되는 증폭기의 개수가 전혀 줄어들지 않기 때문에 소면적 구현 측면에서 문제가 있다. 또한, 샘플링 주기 동안 증폭기의 바이어스 전류가 차단된 후 다시 정상 동작 모드로 들어가기 위해 전류가 증폭기에 재공급될 때 증폭기 출력단에 생길 수 있는 일시적인 오버슈트(overshoot) 및 위상 변화로 인한 불안정한 동작으로 정착 시간(settling time)이 증가하는 단점이 있다.
- [0013] 증폭기 공유 기법은 인접한 단들에서 하나의 증폭기만을 사용하여(하나의 증폭기를 공유하여) ADC의 구현 면적과 전력 소모를 동시에 줄이는 기법이다. 그러나 이 기법은 인접 단으로 증폭기 입력을 결정하기 위한 스위치의 온-저항(on-resistance)으로 인하여 정착 시간이 느려지고 스위치로 사용된 MOS 트랜지스터의 온-저항이 신호의 크기에 따라 변하므로 증폭기 출력 신호의 정착 수준에 오차가 생긴다. 또한, 증폭기가 전체 한 주기 동안 계속 사용되기 때문에 입력단이 리셋(reset)되지 않아 발생하는 메모리 효과(memory effect)로 인하여 이전에 샘플링된 전하 일부가 입력단에 남아서 출력 신호의 오차가 발생하는 단점이 있다.
- [0014] ADC의 입력단에 구비되는 SHA 자체를 제거하는 기법은 ADC의 전력 소모를 상당히 줄일 수 있으나, 입력 신호가 첫 번째 파이프라인 단의 Multiplying D/A Converter(MDAC1) 및 flash ADC(FLASH1)의 서로 다른 입력 샘플링 네트워크에 인가 및 저장되므로 샘플링 신호 오차로 인해 입력 신호의 대역폭이 제한된다. 이러한 제한은 서로 다른 입력 신호 경로 상의 RC 시상수를 고려한 설계 및 레이아웃(Layout)으로 어느 정도 해결할 수 있으나, 각 블록 샘플링 스위치 간 클록 지터 등의 문제로 인해 입력 신호의 대역폭은 여전히 제한된다. 또한, 샘플링 주기 이후 MDAC1이 증폭 동작을 하기 전에 FLASH1로부터 입력 신호에 해당하는 디지털 코드를 전달받아야 하기 때문에 ADC 전체 동작을 위해 사용되는 클록(main clock)보다 짧은 주기를 갖는 클록을 외부에서 추가적으로 공급해주어야 하는 문제가 있다.
- [0015] 커패시터 공유 기법은 인접한 파이프라인 단에서 커패시터를 공유하는 기법으로 인접 단의 커패시터를 공유하면 앞 단에서 구동하는 부하 커패시턴스가 줄어들어 추가적인 전력 소모 없이 동작 속도를 증가시킬 수 있다. 그러나 공유된 커패시터가 다음 단의 증폭 동작 이후 이전 단의 샘플링 커패시터로 바로 사용되기 때문에 이전의 증폭 동작 시 커패시터에 남아있는 일부 전하로 인한 메모리 효과로 인해 해상도가 제한된다. 이런 문제의 해결을 위해 커패시터 및 증폭기의 입력단을 리셋(reset)시키는데, 리셋을 위한 추가적인 클록을 사용하여야 하므로 ADC의 동작 속도를 감소시키는 문제점을 갖는다.
- [0016] 본 발명은 따라서 상기와 같은 추가적인 클록을 필요로 하지 아니하고, 아울러 메모리 효과도 제거할 수 있도록 ADC의 입력단을 구성하는 커패시터 및 증폭기를 SHA와 MDAC1이 공유하는 ADC를 제안한다. 본 발명이 제안하는 ADC는 두 개의 커패시터 열을 사용하여 입력단 SHA와 MDAC1이 커패시터를 공유토록 함과 동시에 두 개의 NMOS 입력단을 갖는 증폭기를 공유토록 하여 SHA와 MDAC1을 하나의 블록으로 병합한다. 이러한 병합을 통해 ADC의 전력 소모 및 구현 면적을 최소화시킨다.

- [0017] 아울러 공유된 증폭기의 트랜스 컨덕턴스(Gm)를 적절히 조절하여 ADC의 동작 안정화를 꾀한다.
- [0018] 이하, 본 발명을 실시하기 위한 구체적인 내용을 본 발명의 바람직한 실시예에 근거하여 첨부 도면을 참조하여 상세히 설명하되, 도면의 구성요소들에 참조번호를 부여함에 있어서 동일 구성요소에 대해서는 비록 다른 도면 상에 있더라도 동일 참조번호를 부여하였으며 당해 도면에 대한 설명시 필요한 경우 다른 도면의 구성요소를 인용할 수 있음을 미리 밝혀둔다. 아울러 본 발명과 관련된 공지 기능 혹은 구성에 대한 구체적인 설명 그리고 그 이외의 제반 사항이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우, 그 상세한 설명을 생략한다.
- [0019] 도 1은 본 발명에 의한 ADC의 구현 예를 제시한 도면이다.
- [0020] 본 발명에 의한 ADC의 전체 구조는, 도 1에 제시된 바와 같이, 입력 단 SHA, 3개의 MDAC(MDAC1, MDAC2, MDAC3), 1개의 3비트 flash ADC(FLASH ADC1), 3개의 4비트 flash ADC(FLASH ADC2, FLASH ADC3, FLASH ADC4), 디지털 교정회로(digital correction logic), 클록 발생기(timing circuit), 온-칩 기준 전류 및 전압 발생기(on-chip I/V reference)로 구성된다. 아울러 본 발명에 의한 ADC는 12비트 50[MS/s] 목표 사양에서 구현 면적 및 소모 전력을 최소화하기 위해 첫 번째 단(FLASH ADC1 출력단)에서 3비트를 결정하고 나머지 3개의 단(FLASH ADC2 내지 FLASH ADC4 출력단)에서 각각 4비트를 결정하는 4단 파이프라인 구조를 가진다.
- [0021] 여기서, 입력 단 SHA와 MDAC1은 상기에서 다수 언급된 추가적인 클록(clock)이 필요가 없도록 두 개의 커패시터 열(C-BANK X, C-BANK Y) 및 두 개의 NMOS 입력 단을 갖는 하나의 2단 증폭기(A1과 A2)를 사용하여 커패시터와 증폭기를 동시에 공유함으로써 하나의 블록인 SHADAC(=SHA+MDAC1)로 병합하였다. 아울러 두 번째 MDAC(MDAC2) 및 세 번째 MDAC(MDAC3)은 두 개의 NMOS 입력 단을 갖는 하나의 2단 증폭기(B1과 B2)를 공유하여 전력 소모 및 구현 면적을 추가로 줄였다.
- [0022] 한편, 입력 단 SHADAC에는 나이퀴스트(Nyquist) 입력 주파수 이상에서도 샘플링 되는 입력 신호의 정밀도 향상을 위해 게이트-부트스트래핑(gate-boot strapping) 기법을 적용하였으며, 기준 전류 및 전압 발생기(on-chip I/V reference)를 온-칩으로 집적하여 핵심 아날로그 블록에 기준 전류 및 전압을 안정적으로 공급할 수 있도록 하였다.
- [0023] 각 블록의 스위치드-커패시터 회로 동작을 위해 클록 발생기는 외부에서 입력되는 하나의 클록으로부터 서로 중첩되지 않는 두 개의 클록 Q1, Q2를 생성하며, SHADAC, MDAC 및 flash ADC 등 각 회로 블록들 사이에서 발생하는 오프셋(offset) 및 클록 피드-스루(clock feed-through) 등의 비선형 오차는 디지털 교정회로에 입력되는 15비트 중에서 각각 1비트씩 중첩하여 12비트 출력을 얻는 디지털 방식으로 교정된다.
- [0024] 본 발명은 이처럼 ADC의 구현 면적 및 전력 소모를 줄이기 위해, ADC 입력 단의 SHA와 MDAC1이 두 개의 커패시터 열(C-BANK X, C-BANK Y) 및 두 개의 NMOS 입력 단을 갖는 하나의 2단 증폭기(A1과 A2)를 공유토록 하여 SHA와 MDAC1을 하나의 모듈화(SHADAC)하고, 두 번째 MDAC(MDAC2) 및 세 번째 MDAC(MDAC3)은 두 개의 NMOS 입력 단을 갖는 하나의 2단 증폭기(B1과 B2)를 공유토록 하여 하나의 모듈화 한다. 본 발명은 특히 전자의 하나의 모듈화(SHADAC)에 중점을 둔 것으로 ADC의 입력 단 부분의 회로를 간소화시켜 본 발명의 기술적 과제를 해결하려고 한다. 이하 전자의 하나의 모듈화(SHADAC)에 대해 보다 상세히 설명한다.
- [0025] <본 발명에 의한 커패시터 및 증폭기 공유 기법>
- [0026] ADC의 전력 소모를 줄이기 위해 다양한 저전력 구현 기법들이 연구 및 개발되어 왔으며 최근에는 커패시터를 공유하는 각종 기법들이 제안되고 있다. 도 2에서와 같이, 커패시터를 공유하지 않는 SHA와 MDAC1에서는 특히 SHA의 홀딩 동작 시에 다음 단 MDAC1의 샘플링 커패시터가 앞 단 SHA의 부하로 보이게 된다. 그러나 도 3a와 도 3b에서와 같이 커패시터 공유 기법이 적용된 회로에서는 다음 단의 샘플링 커패시터가 없기 때문에 이전 단의 부하 커패시턴스가 줄어들어 동일한 동작 속도를 얻는데 전력 소모를 감소시킬 수 있다.
- [0027] 먼저, 도 3a에 제시된 커패시터 공유 기법은 MDAC1의 잔류 전압 증폭 동작 시 커패시터에 남아있는 이전 전하로 인한 메모리 효과를 해결하기 위해서 커패시터 리셋(capacitor reset)을 적용한다. 따라서 커패시터 리셋을 위해서(정상적인 SHA와 MDAC1 동작을 위해서) 추가적인 클록이 필요하다. 이 경우 추가된 클록으로 인한 리셋 시간만큼 동작 속도가 감소한다. 또한, 도 3b에 제시된 두 개의 커패시터 열(C-BANK X, C-BANK Y)을 사용하는 커패시터 공유 기법은 미사용(unused) 커패시터 열을 리셋하여 커패시터에 남아있는 전하를 제거한다. 따라서 리셋을 위한 추가적인 클록은 필요 없지만 공유하는 증폭기(A)의 입력 단이 리셋되지 않고 모든 클록 주기 동안 계속 사용되어 전류 전하에 의한 메모리 효과가 발생한다.
- [0028] 본 발명은 기존의 커패시터 공유 기법들의 단점들인 추가적인 클록 및 공유된 증폭기 입력 단의 메모리 효과 문

제를 해결하기 위해 새로운 커패시터 공유 기법을 제안한다. 본 발명이 제안하는 커패시터 공유 기법은, 도 4에 제시된 바와 같이, 두 개의 커패시터 열(C-BANK X, C-BANK Y)을 사용하되 이 중에서 미사용 커패시터 열을 리셋하여 MDAC1의 잔류 전압 증폭 시 커패시터에 남아있는 전하를 제거함과 동시에 두 개의 입력 단(IN1, IN2)을 갖는 증폭기(A)를 공유하여(Op-amp sharing) 미사용 입력 단을 리셋하여 증폭기 입력 단의 메모리 효과도 제거하도록 한다.

[0029] 아래 표는 기존의 커패시터 공유 기법과 본 발명이 제안하는 커패시터 공유 기법(PROPOSED)을 비교한 표이다. 본 발명에 의한 커패시터 공유 기법은 기존의 커패시터 공유 기법과 동일하게 증폭기의 개수 및 부하 커패시턴스가 일반적인 스위치드-커패시터 구조에 비하여 반으로 줄어든다. 또한, 커패시터 리셋을 위한 추가적인 클록이 필요하지 않으므로 동작 속도의 감소가 없으며, 공유된 증폭기의 미사용 입력 단을 리셋하여 메모리 효과가 없어지는 장점이 있다.

* CSS : Capacitor Sharing Scheme

	# of Amplifier	Max. Load Capacitance	# of Capacitor	# of Clock Phase	Op amp Sharing	Memory Effect
WITHOUT CSS	2	4C	4	2	NO	NO
CSS [11]	1	2C	4	3	YES	NO
CSS [12]	1	2C	6	2	YES	YES
PROPOSED	1	2C	6	2	YES	NO

[0030]

<본 발명에 의한 SHADAC의 구현>

[0031]

위에서 본 발명은 입력 단 SHA와 MDAC1이 두 개의 커패시터 열(C-BANK X, C-BANK Y) 및 두 개의 NMOS 입력 단을 갖는 하나의 증폭기(도 4의 A)를 공유토록 하여 하나의 모듈화(SHADAC)한다고 언급하였다. 이에 대해서는 도 5에 제시되어 있다.

[0032]

[0033] 도 5를 참조하면, SHADAC은 두 개의 커패시터 열(C-bank X와 C-bank Y)과 두 개의 NMOS 입력 단을 갖는 하나의 2단 증폭기(A1, A2)로 구성되었으며, 미사용 커패시터 열과 미사용 증폭기 입력 단(IN1 또는 IN2 중 어느 하나)을 리셋하여 커패시터 리셋 또는 증폭기 입력 단 리셋을 위한 추가적인 클록이 없이도 커패시터에 남아있는 전하를 제거할 수 있음과 동시에 증폭기 입력 단에 나타나는 메모리 효과를 제거하도록 한다. 또한, 입력 단 샘플링 스위치에는 게이트-부트스트래핑 회로를 사용하여 온-저항(on-resistance)의 크기를 줄이고, 입력 신호의 변화에 독립적인 온-저항 값을 갖도록 하여 나이퀴스트 입력 주파수 이상의 입력 신호도 왜곡 없이 높은 정확도로 샘플링 할 수 있도록 한다.

[0034]

[0035] 본 발명에 의한 SHADAC은 4가지 동작 모드를 가질 수 있다. 도 6a 내지 도 6d에 이러한 4가지 동작 모드의 회로 연결 상태가 각각 제시되어 있으며, 도 7은 이러한 4가지 동작 모드에 따른 SHA와 MDAC1, 커패시터 열(C-BANK X, C-BANK Y) 각각의 세부적인 동작을 나타내는 타이밍 다이어그램을 제시하고 있다. 도 6a는 ①에, 도 6b는 ②에 도 6c는 ③에 도 6d는 ④에 각각 대응된다.

[0036]

[0037] 우선, 클록 주기 ①에서는 입력 신호(V_{IN})가 샘플링 커패시터(C_{IN})에 저장되며, 커패시터 열(C-bank X)은 이전 주기에 저장된 입력 신호와 FLASH1의 온도계 코드에 해당하는 전압과의 차이를 증폭하는 MDAC1의 잔류 전압 증폭(Amplifying) 동작을 한다. 이때, 미사용 커패시터 열(C-bank Y)은 리셋된다(도 6a).

[0038]

[0039] 클록 주기 ②에서는 샘플링 커패시터(C_{IN})에 저장된 입력 신호(V_{IN})가 커패시터 열(C-bank Y)에 전달되어 SHA의 홀딩(Holding) 동작 및 MDAC1의 샘플링 동작을 동시에 하며, 이전 주기에 잔류 전압 증폭에 사용되었던 커패시터 열(C-bank X)은 다음 동작을 위해 리셋된다(도 6b).

[0040]

[0041] 클록 주기 ③에서는 다음 입력 신호가 샘플링 커패시터(C_{IN})에 저장되며 커패시터 열(C-bank Y)은 MDAC1의 잔류 전압 증폭을 위해서 사용되며, 커패시터 열(C-bank X)은 리셋된 상태를 유지한다(도 6c).

[0042]

[0043] 클록 주기 ④에서는 MDAC1의 잔류 전압 증폭에 사용된 커패시터 열(C-bank Y)이 다음 동작을 위해 리셋되며, 샘플링 커패시터(C_{IN})에 저장된 입력신호가 커패시터 열(C-bank X)로 전달되어 SHA의 홀딩 및 MDAC1의 샘플링 동작을 반복한다(도 6d).

[0044]

- [0039] 따라서 본 발명에 의한 커패시터 공유 기법은 잔류 전압을 증폭한 후 커패시터 열에 남아있는 전하를 제거하기 위한 추가적인 클럭이 필요 없으며 이로 인한 동작 속도의 감소도 없다. 그리고 증폭기(A1)는 완전 차동(differential) 구조로 동작한다.
- [0040] 한편, 본 발명에 의한 커패시터 공유 기법은 커패시터 열 간의 부정합으로 인하여 두 개 이상의 채널을 사용하는 time-interleaved ADC 구조에서 나타날 수 있는 채널 간의 부정합 등과 유사한 문제가 발생할 수 있다. 따라서 본 발명에 의한 커패시터 공유 기법은, 도 8에 제시된 바와 같이, 더미(dummy) 커패시터 사이에 두 개의 커패시터 열에 있는 단위 커패시터를 교대로 배열함과 동시에 사용 가능한 모든 금속 층으로 단위 커패시터를 둘러싸서 배치하여 단위 커패시터들의 주변 조건을 동일하게 하여 커패시터 열 간에 생길 수 있는 부정합을 최소화한다.
- [0041] <본 발명에 의한 증폭기 공유 기법 상세>
- [0042] 본 발명은 상기의 과제를 해결하기 위해 커패시터 공유 기법과 증폭기 공유 기법을 동시에 사용한다고 언급하였다. 커패시터 공유 기법에 관한 상세는 위에서 언급하였으며, 이하에서는 증폭기 공유 기법에 관해서 더욱 상세히 설명한다.
- [0043] 본 발명에서의 증폭기 공유 기법은, 도 9a와 도 9b에 제시된 바와 같이, 2단 증폭기(AMP1(A1), AMP2(A2))의 첫 번째 증폭기(AMP1)에는 telescopic 구조 기반으로 두 개의 NMOS 입력 단(IN1, IN2)을 갖는 증폭기를 사용하며, 두 개의 NMOS 입력 단 중 미사용 입력 단을 리셋함으로써 증폭기 공유 시 발생하는 메모리 효과를 해결한다. 두 번째 증폭기(AMP2)에는 PMOS 트랜지스터 부분만 하나의 단을 더 사용한 공통 소스(common source) 증폭기를 사용하여 높은 DC 전압 이득을 얻음과 동시에 $1.5[V_{p-p}]$ 의 높은 범위의 출력 신호를 처리할 수 있도록 하였다.
- [0044] 또한, 본 발명에 의한 증폭기 공유 기법은 첫 번째 증폭기(AMP1)의 공통 모드 피드백 전압(CMFB1)을 게이트 전압으로 사용하는 전류 원에 항상 일정한 전류($2I$)가 흐를 수 있도록 스위칭 클럭(QcomB_X, QcomB_Y, Q1B, Q2B)을 일부 중첩(overlap)시켰다. 중첩된 클럭을 사용함으로써 증폭기를 교대로 선택하는 과정에서 발생하는 글리치 에너지(glitch energy)를 최소한으로 줄였으며 낮은 전력으로 증폭기의 고속 동작이 가능하도록 한다.
- [0045] 한편, 본 발명에 의한 SHADAC에 적용된 커패시터 및 증폭기 공유 기법은 증폭기(AMP1, AMP2)가 각 클럭 주기(Q1과 Q2) 동안 SHA와 MDAC1의 동작을 위해서 계속 사용되기 때문에 증폭기의 닫힌 루프 이득(closed loop gain) 및 부하 커패시턴스가 매 동작 클럭 주기(Q1 또는 Q2)마다 달라진다. 즉, Q1 클럭 주기 동안 증폭기가 SHA의 홀딩 동작을 위해서 사용될 때, 피드백 인자(feedback factor)는 $1/2$ 이 되며, 피드백 커패시터를 MDAC1의 샘플링 커패시터로 사용하기 때문에 부하 커패시턴스가 줄어든다. 그 반면, Q2 클럭 주기 동안에는 증폭기가 MDAC1의 증폭 동작을 위해서 사용되며 이때 피드백 인자는 $1/4$ 이 되며 다음 단인 MDAC2의 샘플링 커패시터를 부하 커패시턴스로 인식한다. 따라서 본 발명에서는 공유된 증폭기가 모든 클럭 위상에서 안정적인 SHA의 홀딩 동작 및 MDAC1의 증폭 동작을 수행할 수 있도록 도 9a와 도 9b에 제시된 바와 같이 첫 번째 증폭기(AMP1)의 두 개의 입력 단(IN1, IN2)에 각각 증폭기(AMP1)의 구동 전류(I)의 경로(path)를 형성시킨다. 이러한 구동 전류 경로의 형성 모양은 도 9a와 도 9b에 파란 색으로 표시된 전류 경로가 두 개인 것으로 제시되어 있다.
- [0046] 먼저, 도 9a에 제시된 바와 같이 증폭기가 SHA 홀딩(holding) 동작을 할 때 첫 번째 증폭기의 입력 단으로 흐르는 전류(I)를 60% 수준($3I/5$)으로 줄인다. 이는 입력 단의 트랜스 컨덕턴스를 줄임으로써 위상 여유(phase margin)를 높여 안정적인 SHA의 홀딩 동작을 수행하게 하기 위함이다. 일반적으로 입력 단 트랜스 컨덕턴스가 감소하면 증폭기의 동작 속도가 감소하지만, 본 발명에 의한 커패시터 공유 기법에 의해 증폭기 출력 단에서 부하 커패시턴스로 보이는 MDAC1의 샘플링 커패시터가 없으므로 입력 단 트랜스 컨덕턴스가 감소해도 요구되는 증폭기의 동작 속도를 충분히 만족한다.
- [0047] 또한, 도 9b에 제시된 바와 같이 증폭기가 MDAC1의 잔류 전압 증폭을 위해서 사용될 때는 첫 번째 증폭기에 흐르는 전류(I)를 모두 입력 단으로 흐르게 하여 입력 단의 트랜스 컨덕턴스를 증가시켜 동작 속도를 증가시키는 동시에 위상 여유를 조절할 수 있도록 한다.
- [0048] 한편, 본 발명에 의한 커패시터 공유 기법과 증폭기 공유 기법이 적용된 ADC의 입력 단을 구비하는 전체 ADC는 12비트 50[MS/s] 동작 속도의 목표 사양으로 $0.18[\mu m]$ CMOS 공정으로 칩으로 구현될 수 있다. 구현된 칩의 사진은 도 10에 제시되어 있으며 유휴 공간에는 각 블록 간의 간섭, EMI 문제 및 전원 전압의 잡음을 줄이기 위해 200[pF] 수준의 MOS decoupling 커패시터를 온-칩으로 집적하였다.
- [0049] 전체 ADC의 입출력 패드를 제외한 칩 면적은 $0.93[mm^2]$ 이며, 1.8[V] 전원 전압, 50[MS/s] 동작 속도에서

21.6[mW]의 전력을 소모한다. 시제품 ADC의 측정된 DNL 및 INL는 두 개의 커패시터 열(C-BANK X, C-BANK Y)을 모두 사용하였을 때 각각 최대 0.53LSB, 2.09LSB 수준, 커패시터 열(C-BANK X)만을 사용하였을 때 최대 0.53LSB, 2.09LSB 수준, 커패시터 열(C-BANK Y)만을 사용하였을 때 0.54LSB, 2.34LSB 수준으로 유사한 성능을 보인다. 이를 통해 두 개의 커패시터 열(C-BANK X, C-BANK Y)을 사용하면서 단위 커패시터 사이의 부정합에 의한 영향이 거의 없다는 것을 간접적으로 확인할 수 있다. DNL/INL에 관한 성능을 나타내는 수치 및 그래프는 도 11에 제시되어 있다.

[0050] 도 12a와 도 12b는 본 발명에 의한 커패시터 및 증폭기 공유 기법이 적용된 ADC의 동적 성능을 테스트한 결과를 제시한 그래프이다.

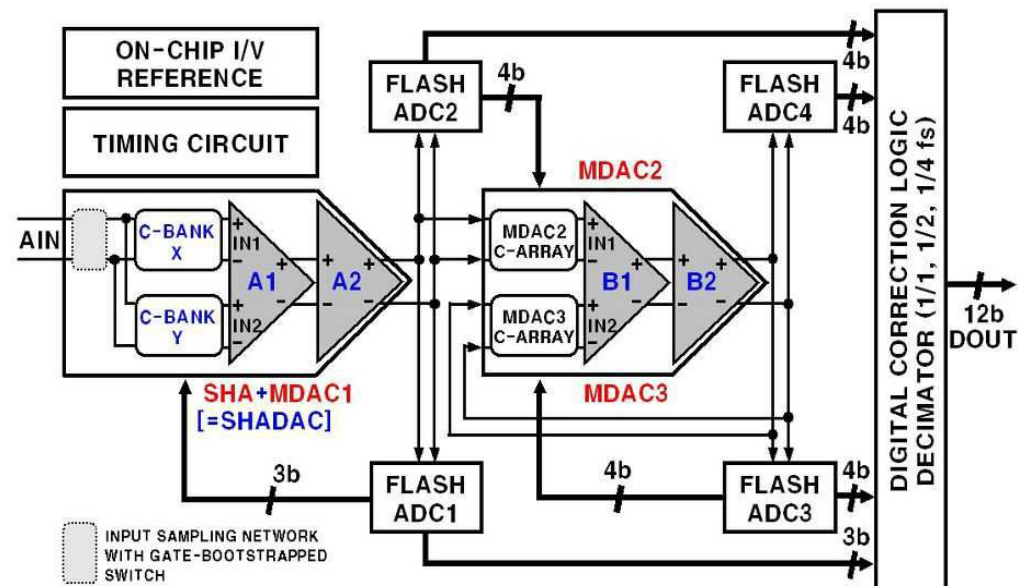
[0051] 먼저 도 12a는 ADC의 동작 속도를 10[MS/s]에서 60[MS/s]까지 증가시킬 때, 4[MHz]의 차동 입력 주파수(fin)에서의 Signal-to-Noise-and-Distortion Ratio(SNDR) 및 Spurious-Free Dynamic Range(SFDR)를 각각 나타낸 것이다. 동작 속도가 50[MS/s]까지 증가할 때 ADC의 측정된 SNDR과 SFDR은 각각 60.6[dB], 69.4[dB] 이상 유지된다. 도 12b는 50[MS/s]의 ADC의 동작 속도에서, 차동 입력 주파수를 증가시킬 때의 SNDR과 SFDR을 각각 나타낸 것이다. 입력 신호가 60[MHz] 까지 증가할 때, 측정된 SNDR과 SFDR은 각각 55.8[dB], 66.5[dB] 수준을 유지한다.

[0052] 이제까지 본 발명에 대하여 그 바람직한 실시예를 중심으로 살펴보았다. 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자는 본 발명이 본 발명의 본질적인 특성에서 벗어나지 않는 범위에서 변형된 형태로 구현될 수 있음을 이해할 수 있을 것이다.

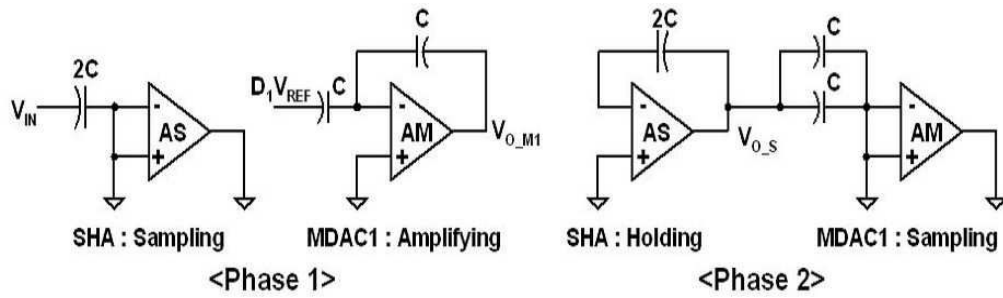
[0053] 그러므로 개시된 실시예들은 한정적인 관점이 아니라 설명적인 관점에서 고려되어야 한다. 본 발명의 범위는 전술한 설명이 아니라 특허청구범위에 나타나 있으며, 그와 균등한 범위 내에 있는 모든 차이점은 본 발명에 포함된 것으로 해석되어야 할 것이다.

도면

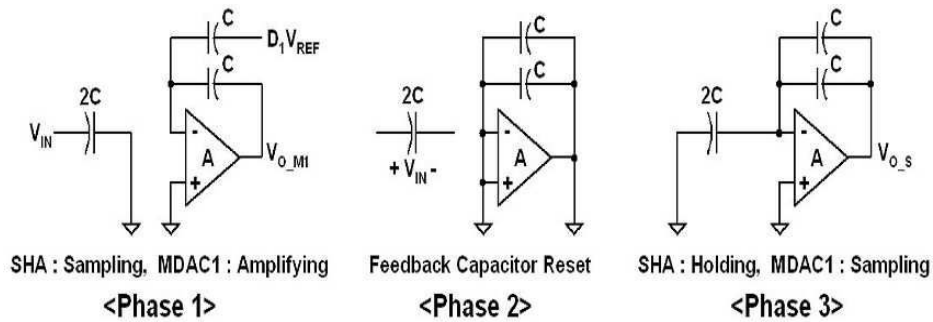
도면1



도면2

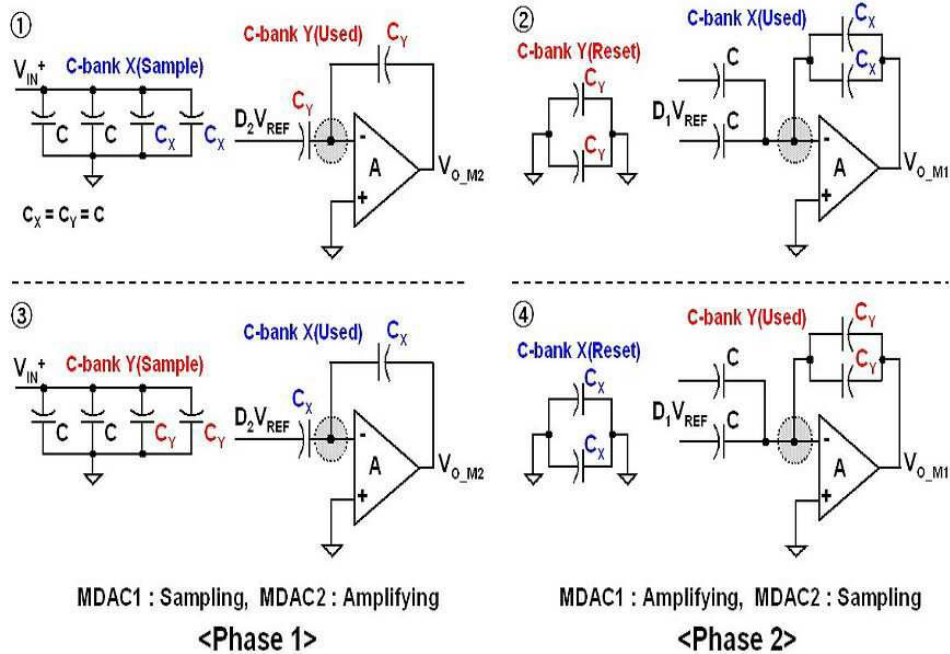


도면3a



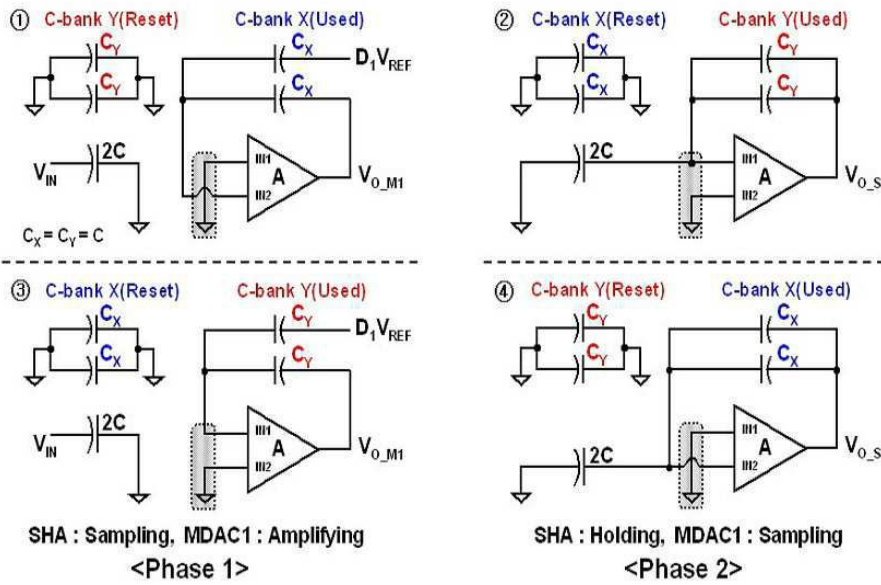
도면3b

Operation Sequence : ①→②→③→④

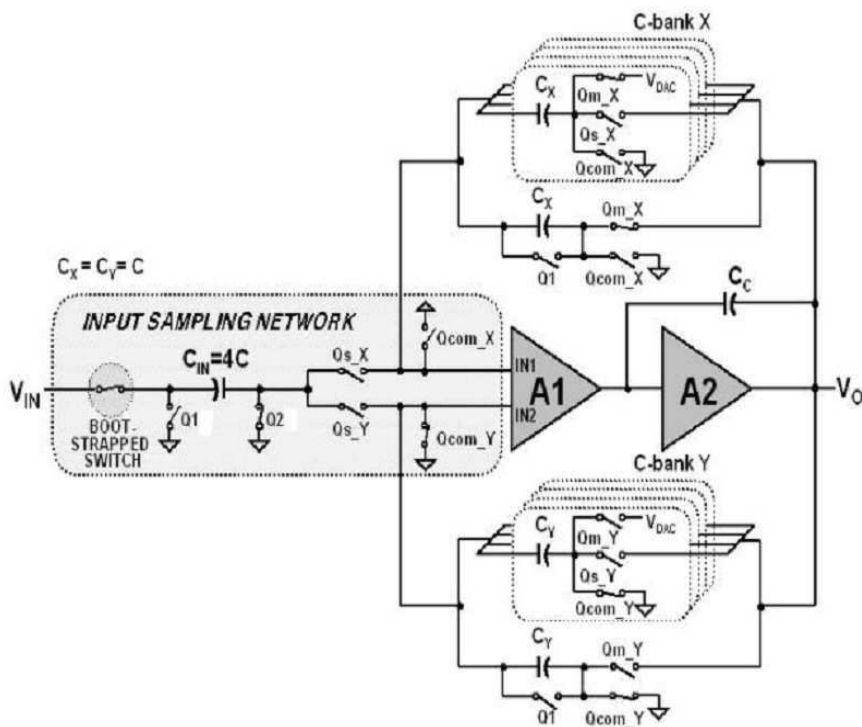


도면4

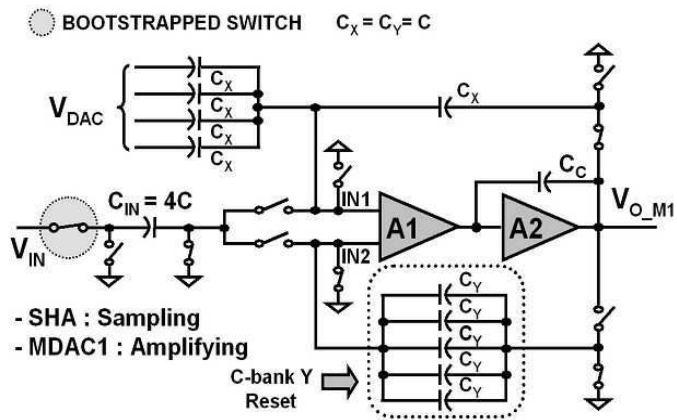
Operation Sequence : ①→②→③→④



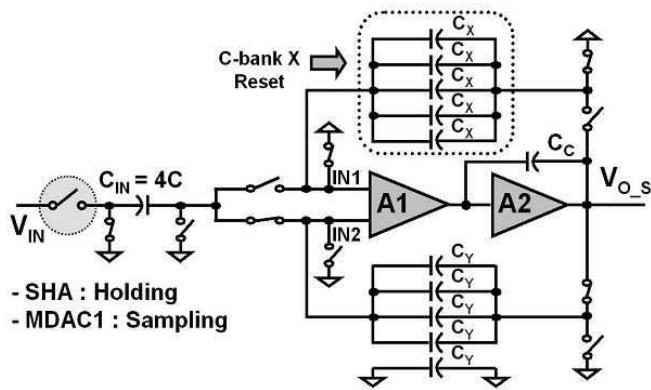
도면5



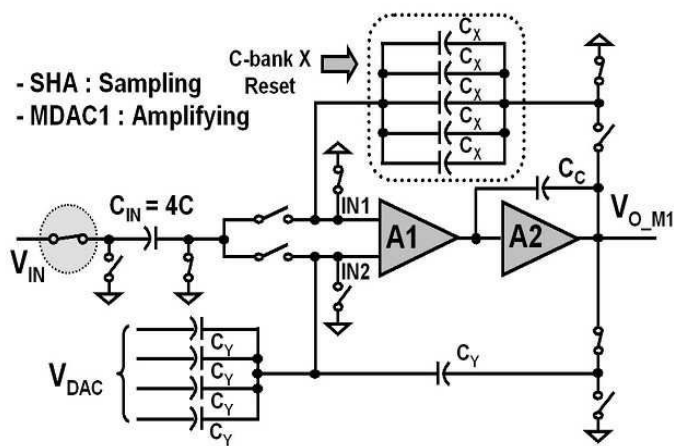
도면6a



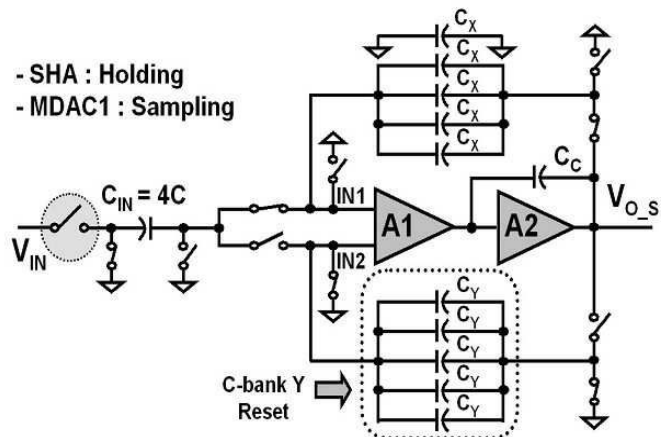
도면6b



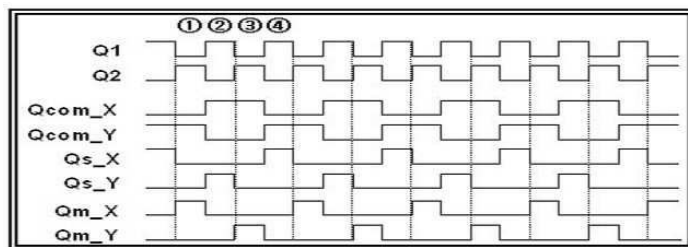
도면6c



도면6d

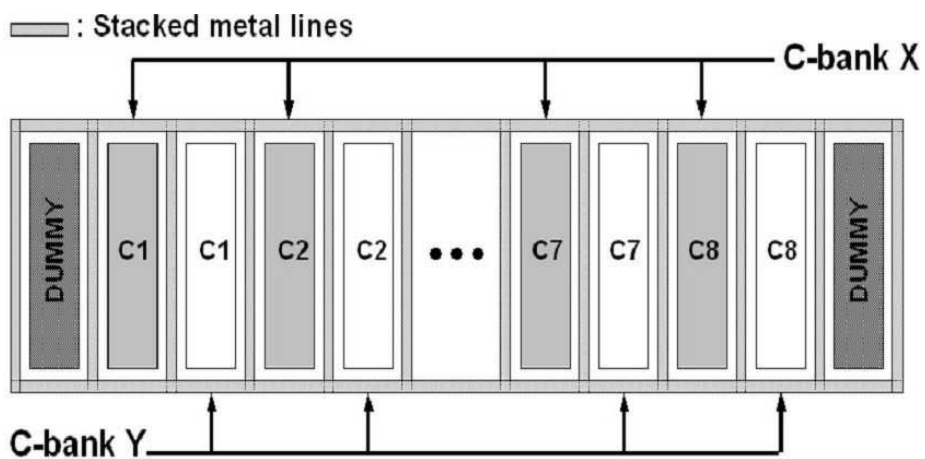


도면7

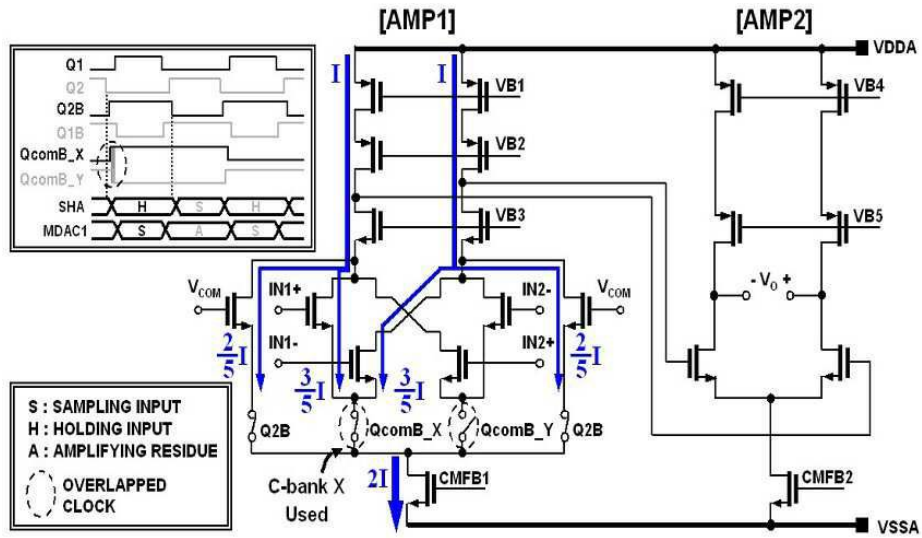


Phase	①	②	③	④
SHA	Sampling	Holding	Sampling	Holding
MDAC1	Amplifying	Sampling	Amplifying	Sampling
C-bank X	MDAC1 Operation	Reset	Reset	SHA Operation
C-bank Y	Reset	SHA Operation	MDAC1 Operation	Reset

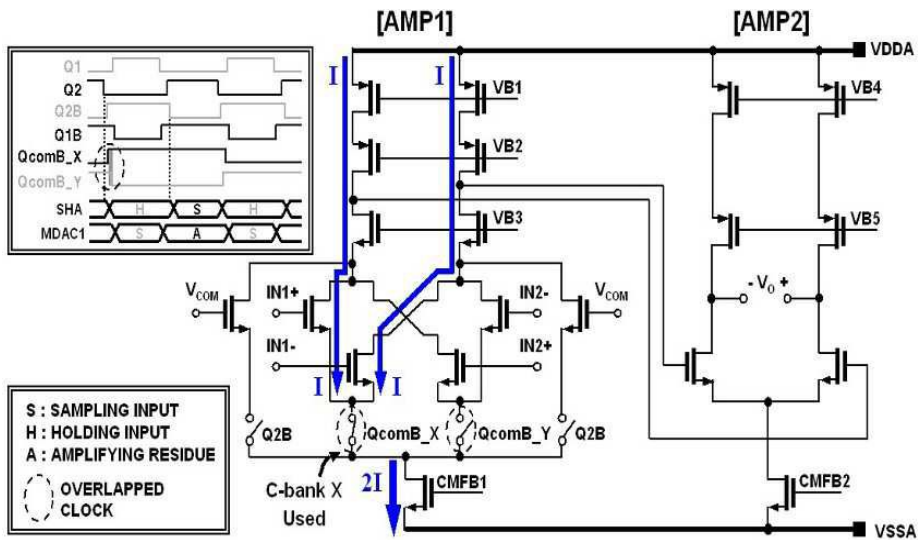
도면8



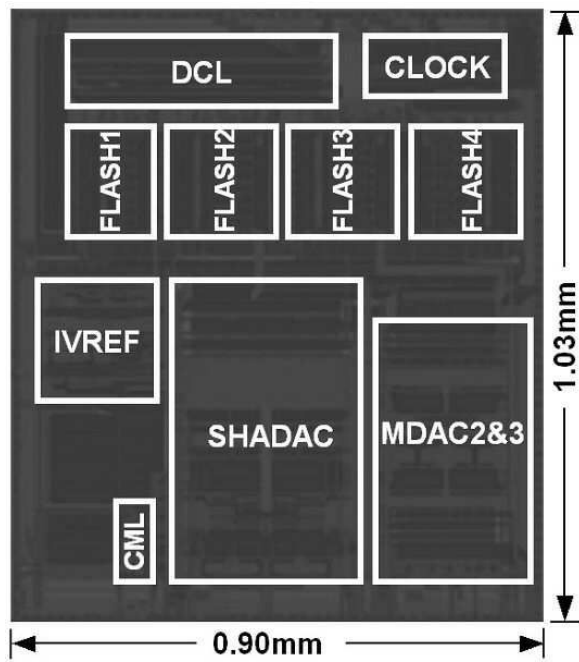
도면9a



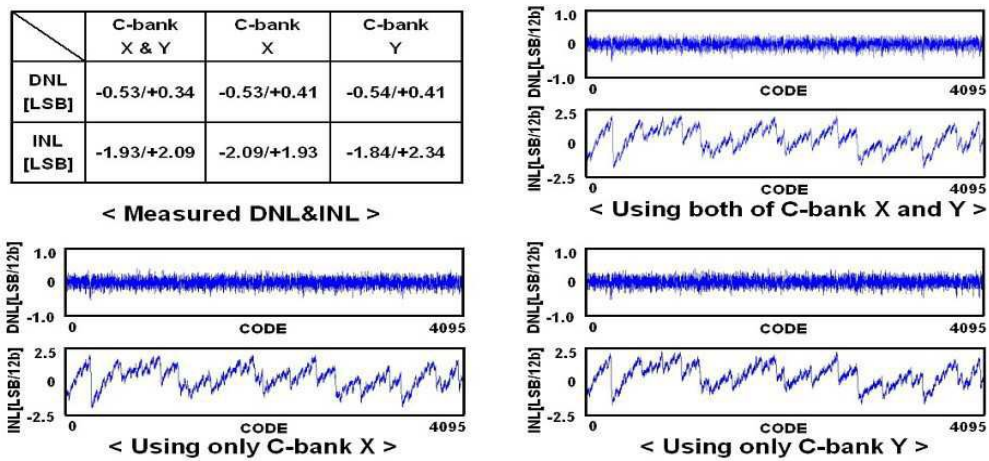
도면9b



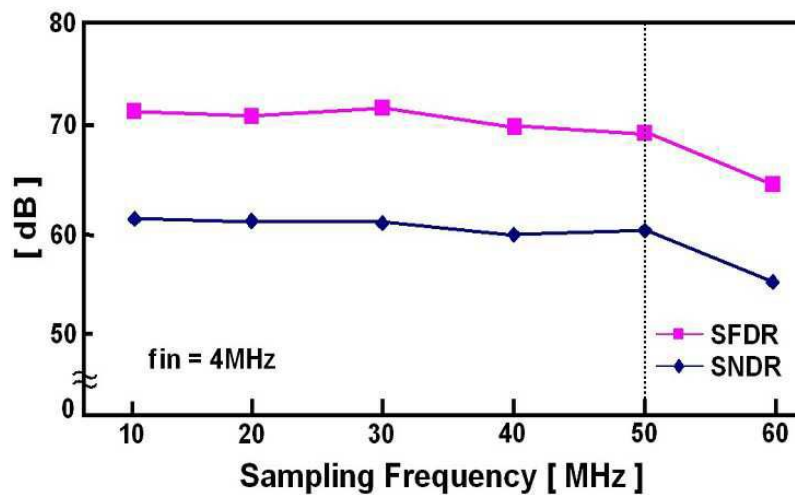
도면10



도면11



도면12a



도면12b

