



(12) 发明专利申请

(10) 申请公布号 CN 115280655 A

(43) 申请公布日 2022.11.01

(21) 申请号 202180021202.2

(22) 申请日 2021.03.24

(30) 优先权数据

2020-068113 2020.04.06 JP

(85) PCT国际申请进入国家阶段日

2022.09.14

(86) PCT国际申请的申请数据

PCT/IP2021/012286 2021.03.24

(87) PCT国际申请的公布数据

W02021/205882 JA 2021.10.14

(71) 申请人 罗姆股份有限公司

地址 日本京都府

(72) 发明人 柄泽伸也

(74) 专利代理机构 北京市柳沈律师事务所

11105

专利代理师 金兰

(51) Int.Cl.

H02M 1/08 (2006.01)

H03K 17/16 (2006.01)

H02J 1/00 (2006.01)

H02M 3/155 (2006.01)

H02M 3/28 (2006.01)

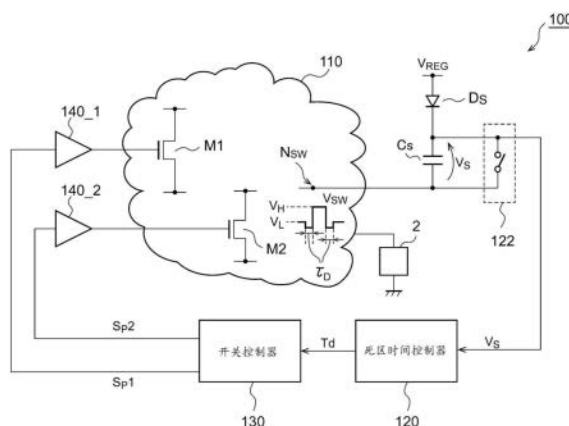
权利要求书4页 说明书11页 附图16页

(54) 发明名称

开关电路、开关电源、开关电源的栅极驱动器电路、开关电源的控制电路

(57) 摘要

开关控制器 (130) 生成控制脉冲 (Sp1、Sp2)，其指示第一晶体管 (M1) 和第二晶体管 (M2) 的导通、截止。电容器 (Cs) 的一端与开关节点 (Nsw) 连接，对其另一端经由整流元件 (Ds) 施加恒电压。死区时间控制器 (120) 根据电容器 (Cs) 的两端间的感测电压 (Vs)，控制第一控制脉冲 (Sp1) 和第二控制脉冲 (Sp2) 相邻的边沿间的延迟时间。



1. 一种开关电路,包括:

第一晶体管及第二晶体管;

开关节点,在所述第一晶体管导通、所述第二晶体管截止的期间,产生高电平电压,在所述第二晶体管截止、所述第二晶体管导通的期间,产生低电平电压,在所述第一晶体管及所述第二晶体管二者都截止的期间,产生负电压;

电容器,第一端与所述开关节点连接;

整流元件,向所述第二端施加恒电压;

开关控制器,生成指示所述第一晶体管及所述第二晶体管的导通、截止的第一控制脉冲及第二控制脉冲;

第一栅极驱动器,根据所述第一控制脉冲驱动所述第一晶体管;

第二栅极驱动器,根据所述第二控制脉冲驱动所述第二晶体管;以及

死区时间控制器,根据所述电容器的两端间的感测电压,控制所述第一控制脉冲与所述第二控制脉冲的边沿间的延迟时间。

2. 一种开关电路,包括:

第一晶体管及第二晶体管;

开关节点,在所述第一晶体管导通、所述第二晶体管截止的期间,产生高电平电压,在所述第二晶体管截止、所述第二晶体管导通的期间,产生低电平电压,在所述第一晶体管及所述第二晶体管二者都截止的期间,产生负电压;

电容器,第一端与所述开关节点连接;

整流元件,向所述第二端施加恒电压;

开关控制器,生成指示所述第一晶体管及所述第二晶体管的导通、截止的第一控制脉冲及第二控制脉冲;

第一栅极驱动器,根据所述第一控制脉冲驱动所述第一晶体管;

第二栅极驱动器,根据所述第二控制脉冲驱动所述第二晶体管;以及

死区时间控制器,根据所述电容器的两端间的感测电压,控制所述第一栅极驱动器及所述第二栅极驱动器的至少一者的延迟时间。

3. 根据权利要求1或2所述的开关电路,

所述死区时间控制器包括将所述电容器的两端间电压与规定的目标电压进行比较的比较器,根据所述比较器的输出,增减所述延迟时间。

4. 根据权利要求1或2所述的开关电路,

所述死区时间控制器以所述电容器的两端间电压接近规定的目标电压的方式,对所述延迟时间进行反馈控制。

5. 根据权利要求1至4的任一项所述的开关电路,

所述死区时间控制器单独控制所述第一晶体管变为导通时的所述延迟时间和所述第二晶体管变为导通时的所述延迟时间。

6. 根据权利要求1至5的任一项所述的开关电路,

还具备放电电路,其与所述电容器连接,在所述第一晶体管导通的期间,放出所述电容器的电荷。

7. 根据权利要求1至6的任一项所述的开关电路,

还具备变压器,其包括初级绕组和次级绕组,

所述第一晶体管与所述初级绕组连接,

所述第二晶体管与所述次级绕组连接,

所述开关节点是所述次级绕组和所述第二晶体管的连接节点。

8. 根据权利要求1至6的任一项所述的开关电路,

所述第一晶体管和所述第二晶体管串联连接,所述开关节点是所述第一晶体管和所述第二晶体管的连接节点。

9. 一种开关电源,

具备权利要求1至8的任一项所述的开关电路。

10. 一种控制电路,是开关电源的控制电路,

所述开关电源包括:

第一晶体管及第二晶体管,

开关节点,在所述第一晶体管导通、所述第二晶体管截止的期间,产生高电平电压,在所述第二晶体管截止、所述第二晶体管导通的期间,产生低电平电压,在所述第一晶体管和所述第二晶体管二者都截止的期间,产生负电压,

电容器,第一端与所述开关节点连接,

整流元件,向所述电容器的第二端施加恒电压,

第一栅极驱动器,根据第一控制脉冲驱动所述第一晶体管,以及

第二栅极驱动器,根据第二控制脉冲驱动所述第二晶体管;

所述控制电路包括:

开关控制器,生成指示所述第一晶体管和所述第二晶体管的导通、截止的第一控制脉冲和第二控制脉冲,以及

死区时间控制器,根据所述电容器的两端间的感测电压,控制所述第一控制脉冲和所述第二控制脉冲的相邻的边沿间的延迟时间。

11. 根据权利要求10所述的控制电路,

所述死区时间控制器包括将所述电容器的两端间电压与规定的目标电压进行比较的比较器,根据所述比较器的输出,增减所述延迟时间。

12. 根据权利要求10或11所述的控制电路,

所述死区时间控制器以所述电容器的两端间电压接近规定的目标电压的方式,对所述延迟时间进行反馈控制。

13. 根据权利要求10至12的任一项所述的控制电路,

所述死区时间控制器单独控制所述第一晶体管变为导通时的所述延迟时间和所述第二晶体管变为导通时的所述延迟时间。

14. 根据权利要求10至13的任一项所述的控制电路,

还具备放电电路,其与所述电容器连接,其在所述第一晶体管导通的期间,放出所述电容器的电荷。

15. 根据权利要求10至14的任一项所述的控制电路,

所述开关电源还具备变压器,其包括初级绕组和次级绕组,

所述第一晶体管与所述初级绕组连接,

所述第二晶体管与所述次级绕组连接，

所述开关节点是所述次级绕组和所述第二晶体管的连接节点。

16. 根据权利要求10至14的任一项所述的控制电路，

所述第一晶体管与所述第二晶体管串联连接，所述开关节点是所述第一晶体管和所述第二晶体管的连接节点。

17. 一种开关电源，

具备如权利要求10至16的任一项所述的控制电路。

18. 一种栅极驱动器电路，是开关电源的栅极驱动器电路，

所述开关电源包括：

第一晶体管及第二晶体管，

开关节点，在所述第一晶体管导通、所述第二晶体管截止的期间，产生高电平电压，在所述第二晶体管截止、所述第二晶体管导通的期间，产生低电平电压，在所述第一晶体管及所述第二晶体管二者都截止的期间，产生负电压，

电容器，第一端与所述开关节点连接，

整流元件，对所述第二端施加恒电压，以及

开关控制器，生成以所述开关电源的电气状态接近规定的目标状态的方式指示所述第一晶体管及所述第二晶体管的占空因数的控制信号；

所述栅极驱动器电路包括：

脉冲生成部，生成具有与所述控制信号相应的占空因数的第一控制脉冲及第二控制脉冲，

第一栅极驱动器，根据所述第一控制脉冲驱动所述第一晶体管，

第二栅极驱动器，根据所述第二控制脉冲驱动所述第二晶体管，

死区时间控制器，根据所述电容器的两端间的感测电压，控制所述第一控制脉冲及所述第二控制脉冲的相邻的边沿间的延迟时间。

19. 根据权利要求18所述的栅极驱动器电路，

所述死区时间控制器根据将所述电容器的两端间电压与规定的目标电压比较的结果，增减所述延迟时间。

20. 根据权利要求18所述的栅极驱动器电路，

所述死区时间控制器以所述电容器的两端间电压接近规定的目标电压的方式，对所述延迟时间进行反馈控制。

21. 根据权利要求18至20的任一项所述的栅极驱动器电路，

所述死区时间控制器单独控制所述第一晶体管变为导通时的所述延迟时间和所述第二晶体管变为导通时的所述延迟时间。

22. 根据权利要求18至21的任一项所述的栅极驱动器电路，

还具备放电电路，与所述电容器连接，其在所述第一晶体管导通的期间，放出所述电容器的电荷。

23. 根据权利要求18至22的任一项所述的栅极驱动器电路，

所述开关电源还具备变压器，其包括初级绕组和次级绕组，

所述第一晶体管与所述初级绕组连接，

所述第二晶体管与所述次级绕组连接，

所述开关节点是所述次级绕组和所述第二晶体管的连接节点。

24. 根据权利要求18至22的任一项所述的栅极驱动器电路，

所述第一晶体管与所述第二晶体管串联连接，所述开关节点是所述第一晶体管和所述第二晶体管的连接节点。

25. 一种开关电源，

具备权利要求18至24的任一项所述的开关电路。

开关电路、开关电源、开关电源的栅极驱动器电路、开关电源的控制电路

技术领域

[0001] 本公开涉及开关电路。

背景技术

[0002] 在以DC/DC转换器、AC/DC转换器、逆变器为代表的电力电子技术的领域中,使用半桥电路或全桥电路等的开关电路。

[0003] 在开关电路的控制中,为了防止贯通电流,插入有死区时间。死区时间越长,贯通电流的风险越低,但死区时间期间,电流流经晶体管的体二极管或回流二极管(续流二极管),因此效率较低。

[0004] 因此,死区时间在不流动贯通电流的限度中,优选尽可能短。

[0005] [现有技术文献]

[0006] [非专利文献]

[0007] 非专利文献1:“Predictive Gate Drive Frequency Asked Questions”, [online], February, 2003, [20200327检索], 互联网<URL:<https://www.ti.com/lit/an/slua285/slua285.pdf>>

发明内容

[0008] [发明要解决的技术问题]

[0009] 开关晶体管(功率晶体管)存在由与生成控制开关晶体管的脉冲信号的控制电路不同的分离器件所构成的情况。此外,驱动开关晶体管的栅极驱动器有时是与控制电路不同的IC(Integrated Circuit:集成电路)。并且,还存在控制电路与开关晶体管之间插入变压器的情况。在这样的情况中,需要考虑开关晶体管的栅极电容、栅极驱动器的延迟时间、变压器的延迟时间地确定死区时间。以往,开关电路的设计者需要考虑周边电路的特性地凭经验、或反复试验来决定死区时间。

[0010] 特别是,近年来发现将作为开关晶体管所使用的Si-FET或IGBT(Insulated Gate Bipolar Transistor:绝缘栅双极型晶体管)替换为能够进行更高速的转换的GaN-HEMT的动向。此时,由于转换周期缩短,死区时间的长度的调整变得更加严格。

[0011] 本公开是在相关状况中得到的,其一方案的例示性的目的之一在于,提供一种能够使死区时间最优化的开关电路。

[0012] [用于解决技术问题的方法]

[0013] 本公开的一方案涉及开关电路。开关电路包括:第一晶体管及第二晶体管;开关节点,在第一晶体管导通、第二晶体管截止的期间,产生高电平电压,在第二晶体管截止、第二晶体管导通的期间,产生低电平电压,在第一晶体管及第二晶体管二者都截止的期间,产生负电压;电容器,第一端与开关节点连接;整流元件,对电容器的第二端施加恒电压;开关控制器,生成第一控制脉冲及第二控制脉冲,其指示第一晶体管及第二晶体管的导通、截止;

第一栅极驱动器,根据第一控制脉冲驱动第一晶体管;第二栅极驱动器,根据第二控制脉冲驱动第二晶体管;以及死区时间控制器,根据电容器的两端间的感测电压,控制第一控制脉冲和第二控制脉冲的相邻的边沿间的延迟时间。

[0014] 本公开的其他方案也涉及开关电路。开关电路包括:第一晶体管及第二晶体管;开关节点,在第一晶体管导通、第二晶体管截止的期间,产生高电平电压,在第二晶体管截止、第二晶体管导通的期间,产生低电平电压,在第一晶体管及第二晶体管二者截止的期间,产生负电压;电容器,第一端与开关节点连接;整流元件,对电容器的第二端施加恒电压;开关控制器,生成第一控制脉冲及第二控制脉冲,其指示第一晶体管及第二晶体管的导通、截止;第一栅极驱动器,根据第一控制脉冲驱动第一晶体管;第二栅极驱动器,根据第二控制脉冲驱动第二晶体管;以及死区时间控制器,根据电容器的两端间的感测电压,控制第一栅极驱动器及第二栅极驱动器的至少一者的延迟时间。

[0015] 本公开的其他方案为开关电源的控制电路。开关电源包括:第一晶体管及第二晶体管;开关节点,在第一晶体管导通、第二晶体管截止的期间,产生高电平电压,在第二晶体管截止、第二晶体管导通的期间,产生低电平电压,在第一晶体管及第二晶体管二者都截止的期间,产生负电压;电容器,第一端与开关节点连接;整流元件,向电容器的第二端施加恒电压;第一栅极驱动器,根据第一控制脉冲驱动所述第一晶体管;以及第二栅极驱动器,根据第二控制脉冲驱动所述第二晶体管。控制电路包括:开关控制器,生成第一控制脉冲及第二控制脉冲,其指示第一晶体管及第二晶体管的导通、截止;以及死区时间控制器,根据电容器的两端间的感测电压,控制第一控制脉冲和第二控制脉冲相邻的边沿间的延迟时间。

[0016] 本公开的又一方案涉及开关电源的栅极驱动器电路。开关电源包括:第一晶体管及第二晶体管;开关节点,在第一晶体管导通、第二晶体管截止的期间,产生高电平电压,在第二晶体管截止、第二晶体管导通的期间,产生低电平电压,在第一晶体管及第二晶体管二者截止的期间,产生负电压;电容器,第一端与开关节点连接;整流元件,对电容器的第二端,施加恒电压;以及开关控制器,以开关电源的电气状态接近规定的目标状态的方式,生成控制信号,其指示第一晶体管及第二晶体管的占空因数。栅极驱动器电路包括:脉冲生成部,生成具有与控制信号对应的占空因数的第一控制脉冲及第二控制脉冲;第一栅极驱动器,根据第一控制脉冲驱动第一晶体管;第二栅极驱动器,根据第二控制脉冲驱动第二晶体管;以及死区时间控制器,根据电容器的两端间的感测电压,控制第一控制脉冲及第二控制脉冲相邻的边沿间的延迟时间。

[0017] 此外,上述构成要素的任意组合、以及将构成要素或表现形式在方法、装置、系统等之间相互置换的方案,作为本发明的方案也是有效的。

[0018] [发明效果]

[0019] 根据本公开的一方案,可以使得两个晶体管为二者截止的死区时间的长度最优化。

附图说明

[0020] 图1是实施方式1的开关电路的电路图。

[0021] 图2是图1的开关电路的动作波形图。

[0022] 图3是说明感应电容器Cs的充电的图。

- [0023] 图4是示出死区时间 τ_d 的长度与感测电压 V_s 的关系的图。
- [0024] 图5的(a)~(c)是说明开关电路的优点的图。
- [0025] 图6是图1的死区时间控制器进行的控制延迟 T_d 的最优化处理的流程图。
- [0026] 图7是实施例1的开关电源的电路图。
- [0027] 图8是图7的开关电源的动作波形图。
- [0028] 图9是实施例2的开关电源的电路。
- [0029] 图10是实施例3的开关电源的框图。
- [0030] 图11是图10的开关电源的动作波形图。
- [0031] 图12是实施例4的开关电源的框图。
- [0032] 图13是图12的开关电源的动作波形图。
- [0033] 图14是实施方式2的开关电路的电路图。
- [0034] 图15是实施方式3的开关电路的电路图。
- [0035] 图16的(a)~(f)是示出开关电源的变形的图。

具体实施方式

[0036] (实施方式的概要)

[0037] 一实施方式的开关电路包括:第一晶体管及第二晶体管;开关节点,在第一晶体管导通、第二晶体管截止的期间,产生高电平电压,在第二晶体管截止、第二晶体管导通的期间,产生低电平电压,在第一晶体管及第二晶体管二者都截止的期间,产生负电压;电容器,第一端与开关节点连接;整流元件,向电容器的第二端施加恒电压;开关控制器,生成指示第一晶体管及第二晶体管的导通、截止的第一控制脉冲及第二控制脉冲;死区时间控制器,根据电容器的两端间的感测电压,控制第一控制脉冲和第二控制脉冲的相邻的边沿间的延迟时间;第一栅极驱动器,根据第一控制脉冲驱动第一晶体管;以及第二栅极驱动器,根据第二控制脉冲驱动第二晶体管。

[0038] 在该结构中,第一晶体管及第二晶体管二者都截止的死区时间(也称为高阻抗期间)的长度与电容器的两端间电压具有正相关。因此,通过监视电容器的两端间的感测电压,可以检测实际的死区时间的长度。而且,根据检测出的感测电压(即死区时间的长度),使控制脉冲的边沿间的延迟时间最优化,能够使得第一晶体管及第二晶体管实际截止的死区时间的长度最优化。

[0039] 其他实施方式的开关电路包括:第一晶体管及第二晶体管;开关节点,在第一晶体管导通、第二晶体管截止的期间,产生高电平电压,在第二晶体管截止、第二晶体管导通的期间,产生低电平电压,在第一晶体管及第二晶体管二者都截止的期间,产生负电压;电容器,第一端与开关节点连接;整流元件,向电容器的第二端施加恒电压;开关控制器,生成指示第一晶体管及第二晶体管的导通、截止的第一控制脉冲及第二控制脉冲;第一栅极驱动器,根据第一控制脉冲驱动第一晶体管;第二栅极驱动器,根据第二控制脉冲驱动第二晶体管;以及根据电容器的两端间的感测电压,第一栅极驱动器及第二栅极驱动器的至少一

[0040] 在该结构中,通过使栅极驱动器的延迟时间最优化,使得第一晶体管及第二晶体管实际为截止的死区时间的长度最优化。

[0041] 也可以是,死区时间控制器包括将电容器的两端间电压与规定的目标电压进行比

较的比较器,根据比较器的输出,增减边沿间的延迟时间。此外,比较器可以是数字比较器,也可以是模拟比较器。

[0042] 也可以是,死区时间控制器以电容器的两端间电压接近规定的目标电压的方式,对边沿间的延迟时间进行反馈控制。死区时间控制器可以由包含PI控制器或PID控制器的数字电路构成,也可以由包含误差放大器的模拟电路构成。

[0043] 死区时间控制器也可以单独控制第一晶体管导通时的延迟时间和第二晶体管导通时的延迟时间。

[0044] 开关电路还可以包括放电电路,其与电容器连接,在第一晶体管导通的期间,放出电容器的电荷。

[0045] 开关电源还可以具备变压器,其包含初级绕组及次级绕组。第一晶体管与初级绕组连接,第二晶体管与次级绕组连接,开关节点也可以是次级绕组与第二晶体管的连接节点。

[0046] 也可以是,第一晶体管和第二晶体管串联连接,开关节点是第一晶体管和第二晶体管的连接节点。

[0047] (实施方式的详细内容)

[0048] 下面,基于优选的实施方式参照附图说明本发明。对于各附图所示的相同或同等的构成要素、部件、处理,标注相同的附图标记,适当省略重复的说明。另外,实施方式并不用于限定发明而是例示,并非实施方式记述的所有特征或其组合都是发明的本质部分。

[0049] 在本说明书中,所谓“部件A与部件B连接的状态”,包括部件A和部件B物理地直接地连接的情况,还包括部件A和部件B经由对它们的电连接状态不产生实质影响的、或不损害通过它们的耦合所实现的功能或效果的其他部件间接地连接的情况。

[0050] 同样地,所谓“部件C被设置在部件A和部件B之间的状态”是指,除直接连接部件A和部件C,或直接连接部件B和部件C的情况外,还包含对它们的电连接状态不产生实质影响地、或不损害通过它们的耦合所实现的功能或效果地、经由其他部件间接地连接的情况。

[0051] (实施方式1)

[0052] 图1是实施方式1的开关电路100的电路图。开关电路100具备主电路110、感应电容器Cs、整流元件Ds、死区时间控制器120、开关控制器130、栅极驱动器140_1、140_2。

[0053] 主电路110包括第一晶体管M1和第二晶体管M2。主电路110上连接有负载2,向负载2供给与第一晶体管M1及第二晶体管M2的导通、截止相应的电力。典型性地,主电路110可以是DC/DC转换器或逆变器、转换器等开关电源的一部分。如后文所述,对于主电路110的电路结构,存在各种变形,其结构并不特别限定。存在第一晶体管M1和第二晶体管M2直接连接的情况,也存在经由变压器连接的情况。

[0054] 开关控制器130将被供给至负载2的电压、电流或电力、或负载的状态的至少一者作为控制对象,以控制对象接近目标值的方式,生成规定第一晶体管M1及第二晶体管M2的导通、截止的控制脉冲Sp1、Sp2。栅极驱动器140_1根据第一控制脉冲Sp1驱动第一晶体管M1。此外,栅极驱动器140_2根据第二控制脉冲Sp2驱动第二晶体管M2。

[0055] 在开关控制器130中,在第一控制脉冲Sp1和第二控制脉冲Sp2的边沿间,设定有意图的控制延迟Td。该控制延迟(也有时将该控制延迟称为死区时间)Td是为了插入第一晶体管M1和第二晶体管M2二者都成为截止的期间(死区时间 τ_D)而设置的。但是,控制延迟Td是

设计上的死区时间,实际的死区时间 τ_d 的长度并不一定与控制延迟 T_d 一致。原因在于,至两个控制脉冲 $Sp1$ 、 $Sp2$ 到达对应的栅极为止的延迟时间并不一定相等,此外,若第一晶体管 $M1$ 和第二晶体管 $M2$ 的栅极电容不同,则变为导通的延迟(变为截止的延迟)也不同。

[0056] 主电路110包括开关节点 N_{sw} ,其在第一晶体管 $M1$ 导通、第二晶体管 $M2$ 截止的期间,产生高电平电压 V_H ,在第二晶体管 $M2$ 导通、第一晶体管 $M1$ 截止的期间,产生低电平电压 V_L ,在第一晶体管 $M1$ 、第二晶体管 $M2$ 二者都截止的死区时间(也称为高阻抗区间) τ_d 期间,产生负电压 $-V_{NEG}$ 。

[0057] 感应电容器 C_s 的一端与开关节点 N_{sw} 连接。在感应电容器 C_s 的另一端,经由整流元件 D_s ,施加正的恒电压 V_{REG} 。整流元件 D_s 典型地可以使用二极管,但也可以以晶体管替代它。恒电压 V_{REG} 可以是电源电压,也可以是基准电压。

[0058] 死区时间控制器120根据感应电容器 C_s 的两端间的感测电压 V_s ,检测开关控制器130中的死区时间 τ_d ,进行最优化设定。

[0059] 放电电路122与感应电容器 C_s 连接。放电电路122变为使能时,放出感应电容器 C_s 的电荷。例如,放电电路122也可以包含与感应电容器 C_s 并联连接的开关。

[0060] 也可以是,开关控制器130与控制脉冲 $Sp1$ 、 $Sp2$ 的导通、截止同步地控制放电电路122为使能(有效)/非使能(非有效)。例如可以是,放电电路122在第一晶体管 $M1$ 的导通期间、换言之开关电压 V_{sw} 为高电平电压 V_H 的期间,将放电电路122设为使能,在其余期间,将放电电路122设为非使能。

[0061] 以上为开关电路100的结构。接着说明其动作。

[0062] 图2是图1的开关电路100的动作波形图。在第一晶体管 $M1$ 导通的期间,开关电压 V_{sw} 为高电平电压 V_H ,在第二晶体管 $M2$ 导通的期间,开关电压 V_{sw} 为低电平电压 V_L (0V),在二者都截止的死区时间 τ_d 期间,开关电压 V_{sw} 为负电压 $-V_{NEG}$ 。负电压 $-V_{NEG}$ 的大小 V_{NEG} 取决于第二晶体管 $M2$ 的种类。例如,第二晶体管 $M2$ 为Si-MOSFET时,其体二极管的正向电压 V_f 为负电压的大小 V_{NEG} ,在0.5~1V左右。第二晶体管 $M2$ 为GaN-HEMT时,其漏极源极间电压 V_{DS} 为负电压的大小 V_{NEG} ,为几V。

[0063] 对感应电容器 C_s 的一端施加开关电压 V_{sw} ,对其另一端施加 $(V_{REG} - V_F)$ 。 V_F 是整流二极管 D_s 的正向电压。因此,在 $(V_{REG} - V_F) > V_{sw}$ 的期间,感应电容器 C_s 的两端间被施加 $(V_{REG} - V_F) - V_{sw}$ 。

[0064] 图3是说明感应电容器 C_s 的充电的图。开关电压 V_{sw} 为低(0V)的期间,对感应电容器 C_s 的一端施加低电平电压 V_L (0V),对另一端施加 $V_{REG} - V_F$,因此其两端间电压 V_s 为 $V_{REG} - V_F$ 。在其后的死区时间 τ_d 中,感应电容器 C_s 的一端的电压 V_{sw} 为负电压 $-V_{NEG}$ 时,感应电容器 C_s 被进一步充电,其两端间电压 V_c 进一步上升。此时的上升幅度 ΔV 为死区时间 τ_d 越长而越大,死区时间 τ_d 越短而越小。即,感测电压 V_s 为死区时间 τ_d 越长而越高,越短而越低。

[0065] 图4是示出死区时间 τ_d 的长度与感测电压 V_s 的关系的图。感测电压 V_s 相对于死区时间 τ_d 单调递增,感测电压 V_s 与实际的死区时间 τ_d 以1对1的方式对应。

[0066] 因此,死区时间控制器120进行控制,使得对于感测电压 V_s 设定目标值 $V_{s(REF)}$,在感测电压 V_s 高于目标值 $V_{s(REF)}$ 时缩短控制延迟 T_d ,感测电压 V_s 低于目标值 $V_{s(REF)}$ 时延长控制延迟 T_d ,从而可以使死区时间 τ_d 的长度最优化于与目标值 $V_{s(REF)}$ 相应的长度 $\tau_{d(REF)}$ 。

[0067] 图5的(a)~(c)是说明开关电路100的优点的图。在图5的(a)~(c)中,表示出控制

脉冲Sp1、Sp2与第一晶体管M1、第二晶体管M2的实际的导通、截止状态。在控制脉冲Sp2从高(导通电平)转移至低(截止电平)后,在经过截止延迟时间 τ_2 后,第二晶体管M2变为截止。此外,控制脉冲Sp1从低(截止电平)转移至高(导通电平)后,在经过导通延迟时间 τ_1 后,第一晶体管M1变为导通。

[0068] 延迟时间 τ_1 、 τ_2 受到栅极驱动器的能力、第一晶体管M1、第二晶体管M2的元件尺寸、布线的寄生阻抗等的影响。图5的(a)~(c)表示延迟时间 τ_1 、 τ_2 不同的样子。

[0069] 在本实施方式中,以感测电压 V_s 接近目标电压 $V_{s(REF)}$ 的方式,换言之,以第一晶体管M1与第二晶体管M2二者都成为截止的死区时间 τ_D 的长度接近目标值 $\tau_{D(REF)}$ 的方式,调节控制脉冲Sp1、Sp2的电平转变的延迟时间即控制延迟Td。图5的(a)示出 $\tau_1 = \tau_2$ 的情况。此时,死区时间 τ_D 的长度与控制延迟Td实质上相等。

[0070] 图5的(b)示出 $\tau_1 > \tau_2$ 的情况。此时,以死区时间 τ_D 的长度接近目标值的方式施加反馈,控制延迟Td变长。

[0071] 图5的(c)示出 $\tau_1 < \tau_2$ 的情况。此时,以死区时间 τ_D 的长度接近目标值的方式施加反馈,控制延迟Td变短。

[0072] 这样根据本实施方式,通过使控制延迟Td最优化,可以消除导通延迟时间或截止延迟时间的偏差或变动的影响。

[0073] 图6是图1的死区时间控制器120进行的控制延迟Td的最优化处理的流程图。如图2所示,死区时间 τ_D 中,存在第二晶体管M2刚变为截止后(第一晶体管M1刚变为导通前)的死区时间 τ_{D1} ,和第一晶体管M1刚变为截止后(第二晶体管M2刚变为导通前)的死区时间 τ_{D2} ,它们受到独立的偏差要素的影响。因此,死区时间控制器120使与两个死区时间 τ_{D1} 、 τ_{D2} 对应的两个死区时间(控制延迟)Td1、Td2独立地最优化即可。控制延迟Td1是控制脉冲Sp2的下降沿和控制脉冲Sp2的上升沿的延迟时间,控制延迟Td2是控制脉冲Sp1的下降沿与控制脉冲Sp2的上升沿的延迟时间。

[0074] 首先,对两个死区时间Td1、Td2设置初始值Td1_init、Td2_init(S100)。

[0075] 接着,测定感测电压 V_s 的初始值 V_{s_init} (S102)。接着,对死区时间Td1施加扰动(S104)。在不流动贯通电流的范围中,死区时间Td1尽可能短时效率较高。因此,扰动被向减少死区时间Td1的方向施加。 $\Delta td1$ 为规定的扰动幅度。

[0076] $Td1 = Td1 - \Delta td1$

[0077] 测定施加扰动后的感测电压 V_s (S106),计算扰动引起的感测电压 V_s 的变动幅度 $\Delta V_s = |V_s - V_{s_init}|$ (S108)。在该状态下,解除扰动(S110)。

[0078] $Td1 = Td1 + \Delta td1$

[0079] 如图4所示,在死区时间 τ_D (即,死区时间Td1、Td2)较小的区域中,感测电压 V_s 相对于死区时间Td1、Td2的灵敏度降低。该区域流动贯通电流的风险升高。为了避免该风险,将基于扰动的变动幅度 ΔV_s 与微小的阈值A进行比较(S112)。 $\Delta V_s < A$ 时(S112的Y),可能会流动贯通电流,因此增大死区时间Td1(S116)。

[0080] $\Delta V_s > A$ 时(S112的N),可以认为流动贯通电流的可能性较低。此时,将 V_s 与其目标电平 $V_{s(REF)}$ 进行比较(S114)。而且,若为 $V_s > V_{s(REF)}$ (S114的Y),则减少死区时间Td1(S116),若为 $V_s < V_{s(REF)}$ (S114的N),增大死区时间Td1(S118)。

[0081] 在处理S202~S218中,对Td2实施与处理S102~S118相同的处理。此外,使死区时间

Td1、Td2最优化的方法并不限于上述方法。

[0082] 死区时间Td1、Td2的最优化可以在开关电路100的工作中常时进行,也可以间歇地进行。或者,也可以是,在具备开关电路100的最终产品的出货前执行,因此将所得到的死区时间Td1、Td2存储在非易失性存储器中,在工作时,使用从非易失性存储器载入的死区时间Td1、Td2。

[0083] 本发明可以作为图1的框图或电路图进行把握,或者涉及由上述说明导出的各种装置、方法,但并不限于特定的结构。下面,为了辅助发明的本质或动作的理解,且为了使其明确,而不在于限缩本发明的范围,说明更具体的构成例或实施例。

[0084] (实施例1)

[0085] 图7是实施例1的开关电源300A的电路图。开关电源300A是正向转换器,安装有上述的开关电路100的结构。

[0086] 开关电源300A包括变压器TRN1、四个晶体管MA~MD、栅极驱动器340A~340D、隔离器342A、342B、死区时间控制器320、开关控制器330。开关电源300A的初级侧和次级侧由变压器TRN1及隔离器342A、342B绝缘。死区时间控制器320及开关控制器330也可以被集成在单一的控制电路310A中。放电电路122也可以集成在该控制电路310A中。

[0087] 开关控制器330以开关电源300A的输出电压 V_{OUT} (或其他的电气状态) 接近目标值的方式,生成控制脉冲SpA~SpD。开关控制器330的结构或控制方式并不特别地限定,使用公知技术即可。例如也可以是,开关控制器330以输出电压 V_{OUT} 接近目标值的方式,生成调节占空因数或频率等的占空因数指令值,生成与该占空因数指令值相应的内部脉冲dpwm。而且,也可以通过对该内部脉冲dpwm的上升沿、下降沿施加适当的控制延迟,生成控制脉冲SpA~SpD。或者,也可以从占空因数指令值直接转换为控制脉冲SpA~SpD。

[0088] 栅极驱动器340A、340B经由隔离器342A、342B接收控制脉冲SpA、Sp2,驱动初级侧的晶体管MA、MB。栅极驱动器340C、340D接收控制脉冲SpC、SpD,驱动次级侧的晶体管MC、MD。

[0089] 在该实施例中,初级侧的晶体管MB和次级侧的晶体管MD的对与上述的第一晶体管M1及第二晶体管M2对应,变压器TRN2的次级绕组Ws与晶体管M2的连接节点为上述的开关节点Nsw。感应电容器Cs的一端与该开关节点Nsw连接。

[0090] 死区时间控制器320根据感应电容器Cs的两端间的感测电压Vs,使控制脉冲SpA和SpD之间的控制延迟Td最优化。

[0091] 以上为开关电源300A的结构。图8是图7的开关电源300A的动作波形图。A~D表示晶体管MA~MD的实际的导通、截止状态。此外,开关电压Vsw的高电平为 V_{IN}/N 。N为变压器TRN1的绕组比,低电平为接地电压。死区时间 τ_D 的期间,开关电压Vsw为负电压。根据该开关电源300A,可以使死区时间 τ_D 最优化。

[0092] 图9是实施例2的开关电源300B的电路图。该开关电源300B是非绝缘型的DC/DC转换器(降压转换器)。降压转换器包括高侧晶体管MB(开关晶体管)、低侧晶体管(同步整流晶体管)MA、电感器L1、电容器C1、感应电容器Cs、整流元件Ds、死区时间控制器320、开关控制器330、栅极驱动器340A、340B。

[0093] 死区时间控制器320及开关控制器330也可以被集成在单个的控制电路210B。并且,栅极驱动器340A、340B、放电电路122也可以集成在该控制电路210B中。

[0094] 开关控制器330以开关电源300B的输出电压 V_{OUT} (或者其他的电气状态) 接近目标

值的方式,生成控制脉冲SpA、SpB。开关控制器330的结构或控制方式并不特别地限定,使用公知技术即可。例如,可以是,开关控制器330以输出电压 V_{OUT} 接近目标值的方式,生成占空因数或频率等被调节的占空因数指令值,生成与该占空因数指令值相应的内部脉冲dpwm。然后,可以通过对该内部脉冲dpwm的上升沿、下降沿施加适当的控制延迟,从而生成控制脉冲SpA、SpB。或者,也可以从占空因数指令值直接转换为控制脉冲SpA、SpB。

[0095] 栅极驱动器340A、340B根据控制脉冲SpA、Sp2驱动晶体管MA、MB。

[0096] 在该实施例中,高侧晶体管MB和低侧晶体管MA对应于上述的第一晶体管M1和第二晶体管M2,两个晶体管的连接节点为开关节点Nsw。感应电容器Cs的一端与该开关节点Nsw连接。

[0097] 死区时间控制器320根据感应电容器Cs的两端间的感测电压Vs,使控制脉冲SpA和SpB之间的控制延迟Td最优化。

[0098] (实施例3)

[0099] 图10是实施例3的开关电源400的框图。该开关电源400是半桥转换器,包括变压器TRN1、晶体管MA~MD、电容器C1~C3、控制电路410、栅极驱动器422A~422D、感应电容器Cs1、Cs2,整流元件Ds1、Ds2。

[0100] 控制电路410包括开关控制器412及死区时间控制器414。开关控制器412以开关电源400的输出电压 V_{OUT} (或其他的电气状态)接近目标值的方式,生成控制脉冲SpA~SpD。

[0101] 控制脉冲SpA、SpB被输入栅极驱动器422A、422B中。在绝缘应用中,栅极驱动器422A及422B与控制电路410之间,增加隔离器。

[0102] 在半桥转换器中,晶体管MA和MC的对互补地开关,晶体管MB和MD的对互补地开关。因此,控制脉冲SpA和SpC之间导入第一控制延迟 Td_{AC} ,在控制脉冲SpB和SpD之间导入第二控制延迟 Td_{BD} 。

[0103] 晶体管MC的漏极是第一开关节点Nsw1,连接电容器Cs1和二极管Ds1。死区时间控制器414根据电容器Cs1产生的感测电压Vs1,调节第一控制延迟 Td_{AC} 。此外,晶体管MD的漏极是第二开关节点Nsw2,连接电容器Cs2和二极管Ds2。死区时间控制器414根据电容器Cs2产生的感测电压Vs2,调节第二控制延迟 Td_{BD} 。

[0104] 例如,开关控制器412包括脉宽调制器416及脉冲生成部418。脉宽调制器416以与开关电源400的输出电压 V_{OUT} (或其他的电气状态)相应的反馈信号接近该目标值的方式,反馈控制占空因数Don。从脉宽调制器416向脉冲生成部418供给与占空因数Don相应的信号。脉冲生成部418根据脉宽调制器416生成的占空因数Don、控制延迟 Td_{AC} 、 Td_{BD} ,生成控制脉冲SpA~SpD。开关控制器412的结构或控制方式并不特别地限定,使用公知技术即可。

[0105] 图11是图10的开关电源的动作波形图。通过脉宽调制器416,反馈控制占空因数Don。pwm__p1、pwm__p2表示具有占空因数Don的脉冲信号。 τ_{12} 表示从控制脉冲SpB(或SpA)的边沿产生、到基于该边沿的开关电压Vsw2(或Vsw1)的变化发生为止的延迟时间。该延迟时间可以包含驱动器422B(422A)的延迟、晶体管MB的变为导通时间、变压器TRN的延迟等。

[0106] 着眼于晶体管对MB和MD时,开关电压Vsw2为负电压的死区时间 τ_{BD1} 为控制延迟 Td_{BD1} 和延迟时间 τ_{12} 的总计时间。

[0107] $\tau_{BD1} = Td_{BD1} + \tau_{12}$

[0108] 此外,死区时间 τ_{BD2} 是从控制延迟 Td_{BD2} 减去延迟时间 τ_{12} 的时间。

[0109] $\tau_{BD2} = Td_{BD2} - \tau_{12}$

[0110] 死区时间控制器414根据与 τ_{BD1} 的长度相应的感测电压Vs2,使控制延迟 Td_{BD1} 最优化。此外,死区时间控制器414根据与 τ_{BD2} 的长度相应的感测电压Vs2,使控制延迟 Td_{BD2} 最优化。

[0111] 着眼于晶体管对MA和MC时,开关电压Vsw1为负电压的死区时间 τ_{AC1} 是控制延迟 Td_{AC1} 和延迟时间 τ_{12} 的总和时间。

[0112] $\tau_{AC1} = Td_{AC1} + \tau_{12}$

[0113] 此外,死区时间 τ_{AC2} 是从控制延迟 Td_{AC2} 减去延迟时间 τ_{12} 的时间。

[0114] $\tau_{AC2} = Td_{AC2} - \tau_{12}$

[0115] 死区时间控制器414根据与 τ_{AC1} 的长度相应的感测电压Vs1,使控制延迟 Td_{AC1} 最优化。此外,死区时间控制器414根据与 τ_{AC2} 的长度相应的感测电压Vs1,使控制延迟 Td_{AC2} 最优化。

[0116] (实施例4)

[0117] 图12是实施例4的开关电源400A的框图。该开关电源400A与图10的开关电源400同样地,是半桥转换器,开关节点的位置不同。在图12中,变压器TRN的次级绕组的抽头与电感器L1的连接节点为开关节点。开关电源400A包括与开关节点Nsw连接的电容器Cs及整流元件Ds。

[0118] 控制电路410A的死区时间控制器414根据电容器Cs产生的感测电压Vs,对控制延迟 Td_{AC} 、 Td_{BD} 进行控制。

[0119] 图13是图12的开关电源400A的动作波形图。开关电压Vsw是将图11的两个开关电压Vsw1、Vsw2合成的电压。因此,根据与 τ_{BD1} 的长度对应的感测电压Vs,使控制延迟 Td_{BD1} 最优化,根据与 τ_{BD2} 的长度对应的感测电压Vs,使控制延迟 Td_{BD2} 最优化。同样地,死区时间控制器414根据与 τ_{AC1} 的长度对应的感测电压Vs,使控制延迟 Td_{AC1} 最优化,根据与 τ_{AC2} 的长度对应的感测电压Vs,使控制延迟 Td_{AC2} 最优化。

[0120] 根据实施例4,能够减少元件个数及控制电路410A的引脚数。

[0121] (实施方式2)

[0122] 图14是实施方式2的开关电路200的电路图。在实施方式1中,使两个控制脉冲Sp1、Sp2的边沿间的延迟时间最优化,而在实施方式2中,通过控制栅极驱动器的延迟时间Td,使死区时间 τ_d 最优化。

[0123] 开关电路200包括主电路110、死区时间控制器120、控制器130、栅极驱动器140__1、栅极驱动器140__2。栅极驱动器140__1、栅极驱动器140__2的至少一者被构成为延迟时间Td是可变的。

[0124]

[0125]

[0126]

[0127] 例如可以是,栅极驱动器140__1能够单独控制相对于控制脉冲Sp1的上升沿的延迟时间和相对于控制脉冲Sp1的下降沿的延迟时间。同样地,可以是,栅极驱动器140__2能够单独控制相对于控制脉冲Sp2的上升沿的延迟时间和相对于控制脉冲Sp2的下降沿的延迟时间。

[0128] 以上为开关电路200的结构。根据该开关电路200,通过控制栅极驱动器的延迟时间,能够使死区时间 τ_D 最优化。

[0129] (实施方式3)

[0130] 图15是具备实施方式3的栅极驱动器电路500的开关电路200的电路图。栅极驱动器电路500包括死区时间控制器510、脉冲生成部520、第一栅极驱动器530_1、第二栅极驱动器530_2。

[0131] 开关控制器130包括脉宽调制器,生成表示第一晶体管M1及第二晶体管M2的占空因数Don的控制信号,并供给至栅极驱动器电路500。该控制信号可以是脉冲信号,也可以是数字值,也可以是模拟信号。

[0132] 脉冲生成部520生成具有与来自开关控制器130的控制信号相应的占空因数的第一控制脉冲Sp1和第二控制脉冲Sp2。

[0133] 死区时间控制器510根据电容器Cs的两端间的感测电压Vs,控制第一控制脉冲Sp1和第二控制脉冲Sp2的相邻的边沿间的延迟时间。

[0134] 第一栅极驱动器530__1根据第一控制脉冲Sp1驱动第一晶体管M1。第二栅极驱动器530__2根据第二控制脉冲Sp2驱动第二晶体管M2。

[0135] 以上,针对本发明,基于实施方式进行了说明。该实施方式为例示,本领域技术人员应当理解的是,对它们的各构成要素或各处理程序的组合可以形成多个变形例,并且这样得到的变形例也包含在本发明的范围内。下面,针对这些变形例进行说明。

[0136] 开关电源的拓扑并不限于实施方式中说明的方式。图16的(a)~(f)是示出开关电源的变形的图。

[0137] 图16的(a)是降压转换器,在实施例2中对此进行了说明。此外,也可以将实施方式2或实施方式3的结构应用在该降压转换器中。此时,可以将晶体管A、B的连接节点作为开关节点,改变晶体管A、B的栅极驱动器的延迟时间。

[0138] 图16的(b)是正向转换器,在实施例1中对此进行了说明。在实施例1中,说明了晶体管A、D间的死区时间的控制,但代替其,或者除此之外,也可以控制晶体管A、C之间的死区时间(控制延迟 T_{AC})。也可以将实施方式2或实施方式3的结构应用在该正向转换器中。

[0139] 图16的(c)是半桥转换器,在实施例3、实施例4进行了说明。也可以将实施方式2或实施方式3的结构应用在该半桥转换器中。

[0140] 图16的(d)是全桥转换器。该全桥转换器与半桥转换器在次级侧的结构是共通的。初级侧被控制成晶体管对A1、A2同时导通,晶体管对B1、B2的对同时导通。

[0141] 因此,死区时间的最优化可以与实施例3或实施例4的半桥转换器同样地进行。具体而言,将晶体管A的动作替换为晶体管对A1、A2,将晶体管B的动作替换为晶体管对B1、B2即可。对于最优化,可以使用实施方式1的结构和实施方式2的结构任一者。

[0142] 图15的(e)是电流倍增同步整流器。在该结构中,晶体管A和C的对互补地工作,可以将晶体管C的漏极作为开关端子,使将它们之间的控制延迟 $T_{d_{AC}}$ 最优化。此外,晶体管B和D的对互补地动作,将晶体管D的漏极作为开关端子,使将它们之间的控制延迟 $T_{d_{BD}}$ 最优化。

[0143] 图15的(f)是次级侧全桥同步整流器。在初级侧的全桥电路中,晶体管对A和C同时导通、截止,晶体管对B和D同时导通、截止。此外,在次级侧的全桥电路中,晶体管对E和G同时导通、截止,晶体管对F和H同时导通、截止。在该结构中,将晶体管E的漏极作为开关节点

Nsw1,根据与该开关电压Vsw1对应的感测电压Vs1,可以使晶体管对A、C,晶体管对E、G间的控制延迟(死区时间) Td_{AE} 最优化。此外,将晶体管H的漏极作为开关节点Nsw2,根据与该开关电压Vsw2对应的感测电压Vs2,可以使晶体管对B、D,晶体管对F、H间的控制延迟 Td_{BF} (死区时间)最优化。

[0144] 或者在图15的(f)中,也可以是,将次级侧的全桥电路和次级侧的电感器的连接节点作为开关节点Nsw,根据其电压,使控制延迟 Td_{AE} 、 Td_{BF} 最优化。

[0145] 开关电路除电源之外,还在电机驱动电路等各种用途中使用,本发明还可以应用在电源以外的用途中。

[0146] 实施方式仅示出本发明的原理、应用,对于实施方式,在不脱离权利要求书规定的本发明的思想的范围内,允许多种变形例或配置的变更。

[0147] [工业上的可利用性]

[0148] 本发明涉及开关电路。

[0149] [附图标记说明]

[0150] 100 开关电路

[0151] M1 第一晶体管

[0152] M2 第二晶体管

[0153] Cs 电容器

[0154] Ds 整流元件

[0155] 110 主电路

[0156] 120 死区时间控制器

[0157] 122 放电电路

[0158] 130 开关控制器

[0159] 140、142 栅极驱动器

[0160] 200 开关电路

[0161] 300 开关电源

[0162] 310 控制电路

[0163] 320 死区时间控制器

[0164] 330 开关控制器

[0165] 340 栅极驱动器。

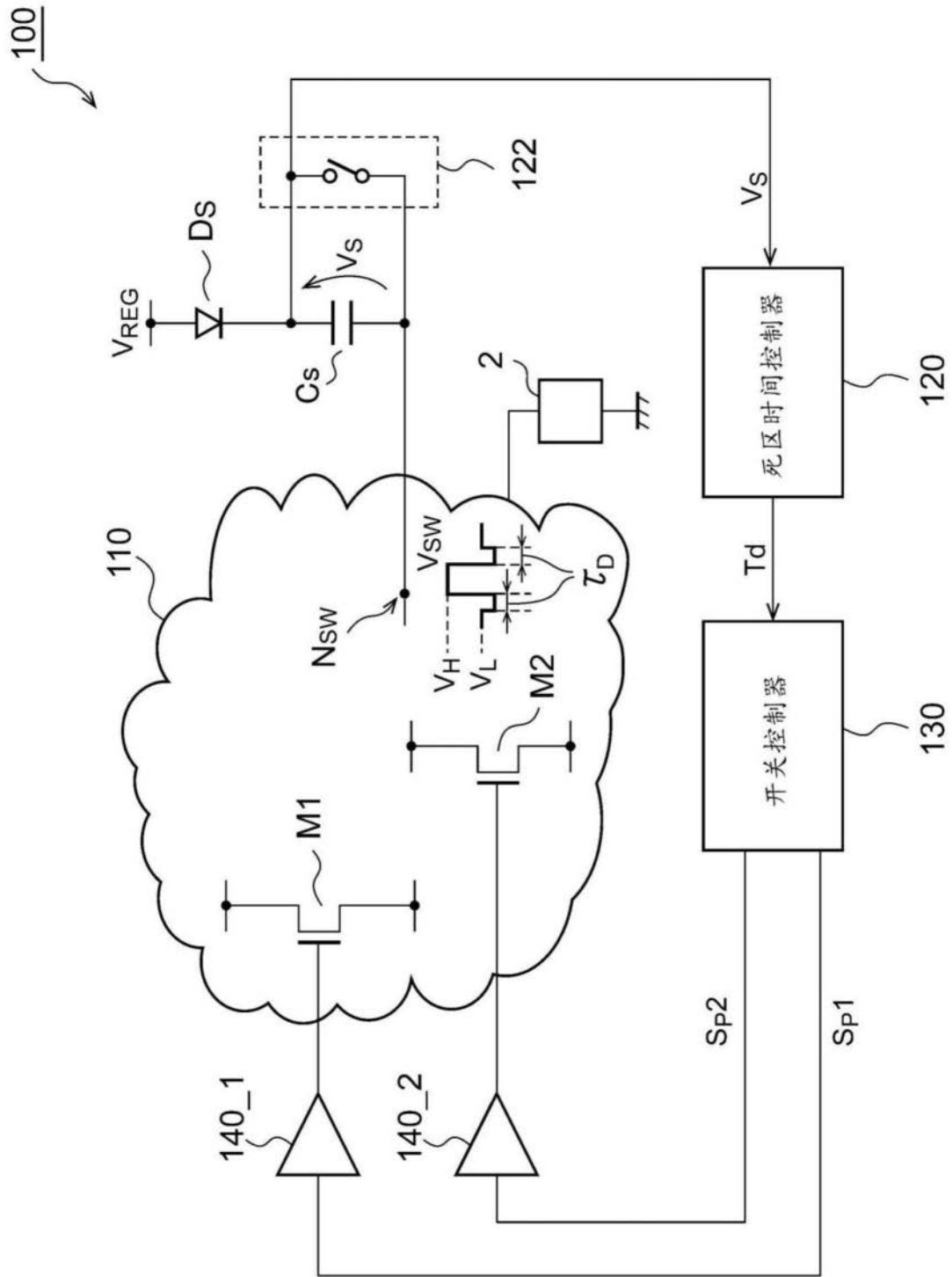


图1

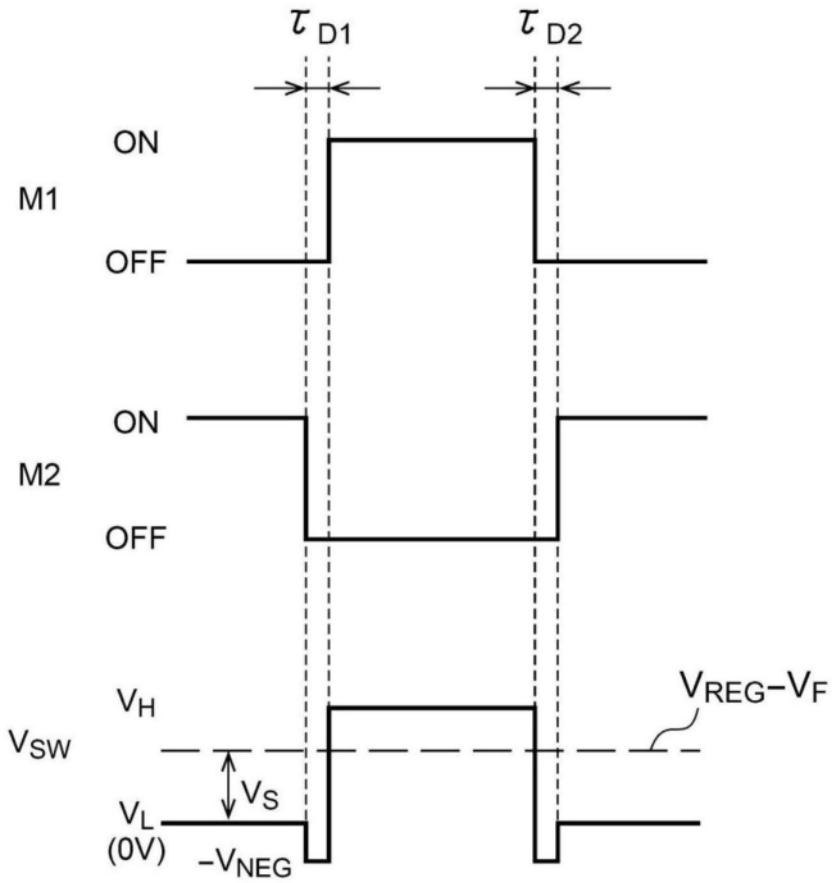


图2

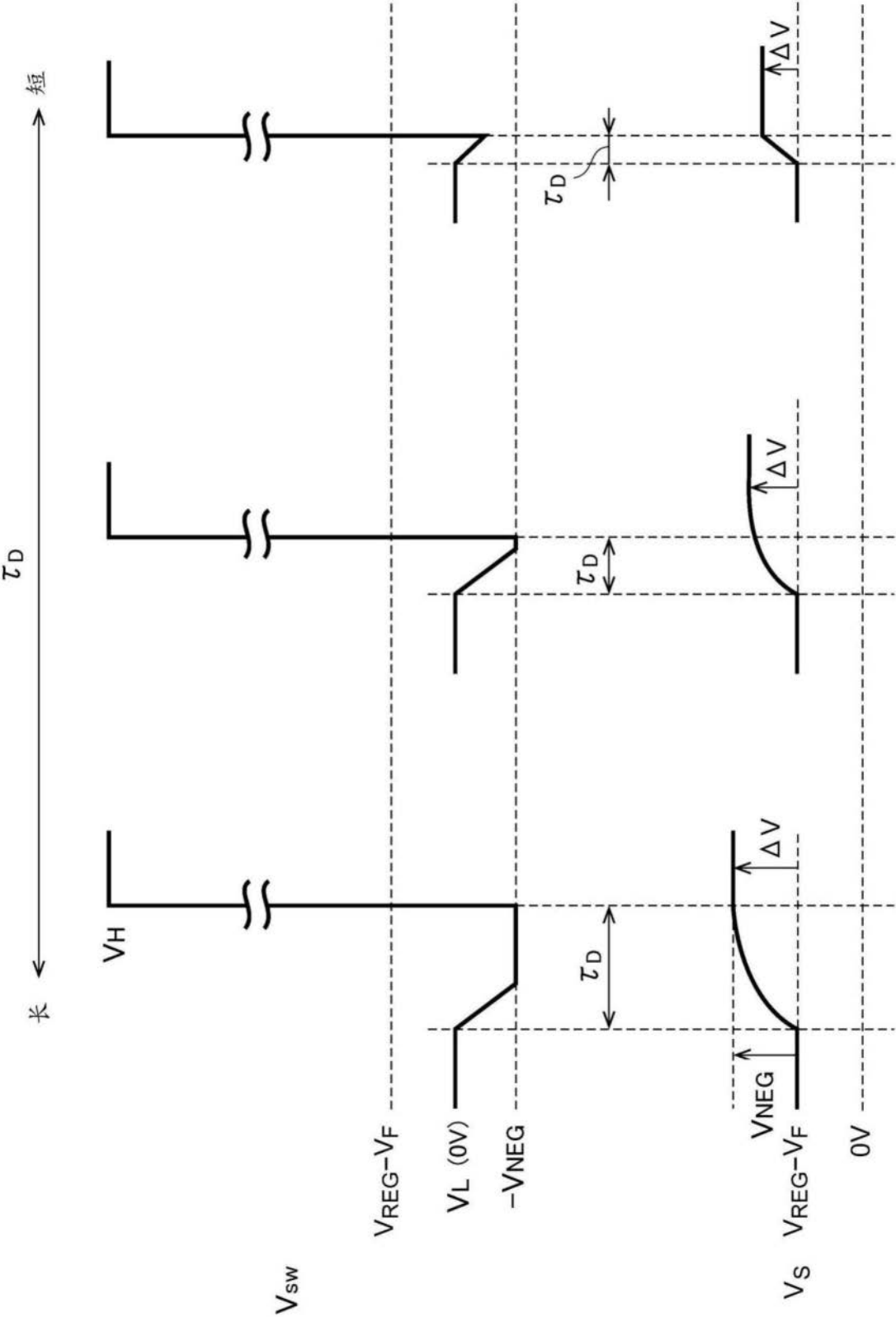


图3

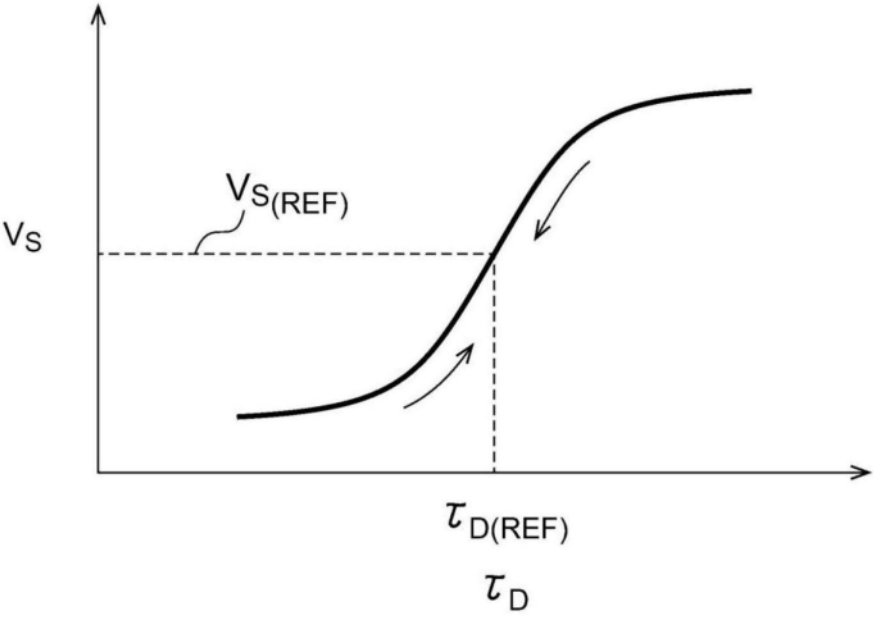


图4

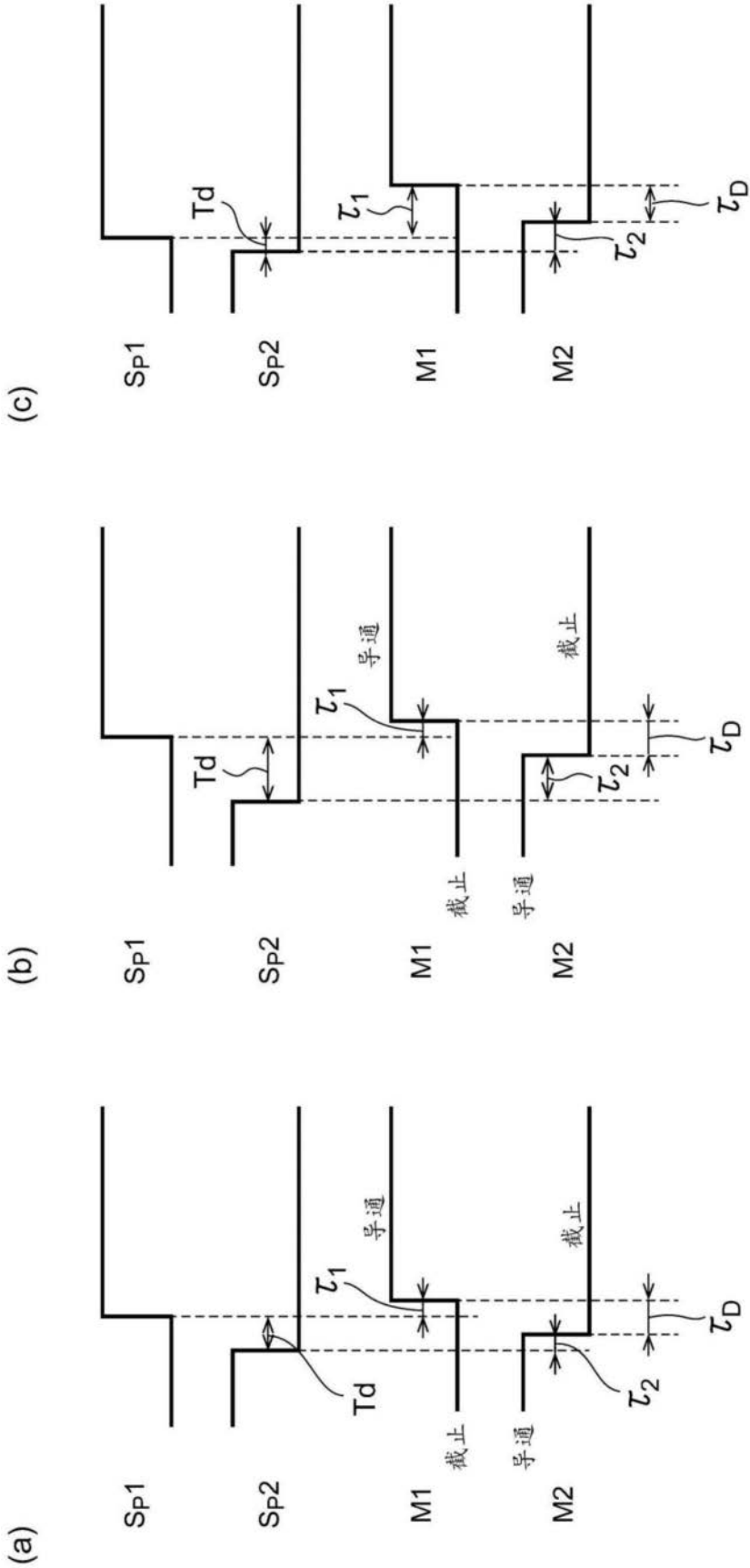


图5

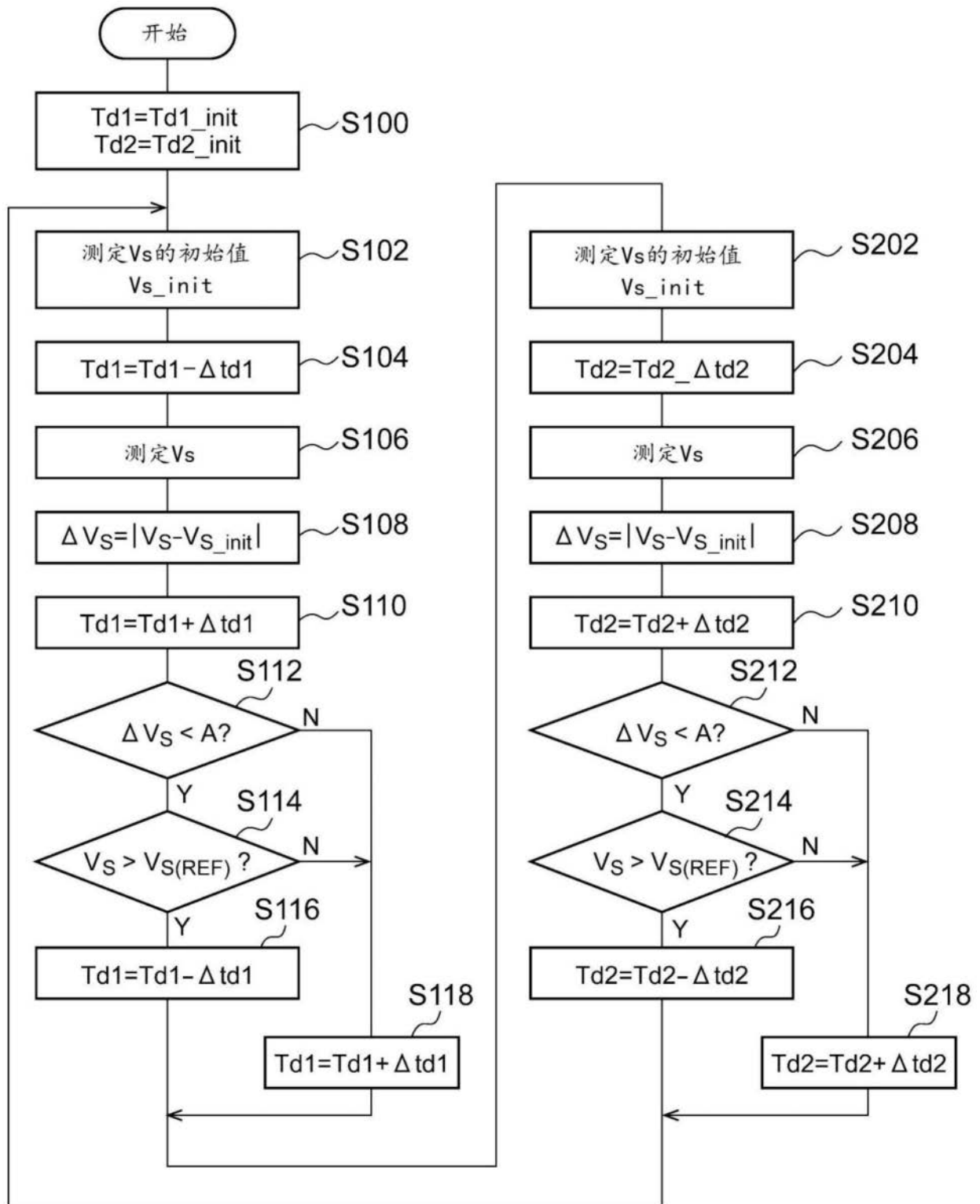


图6

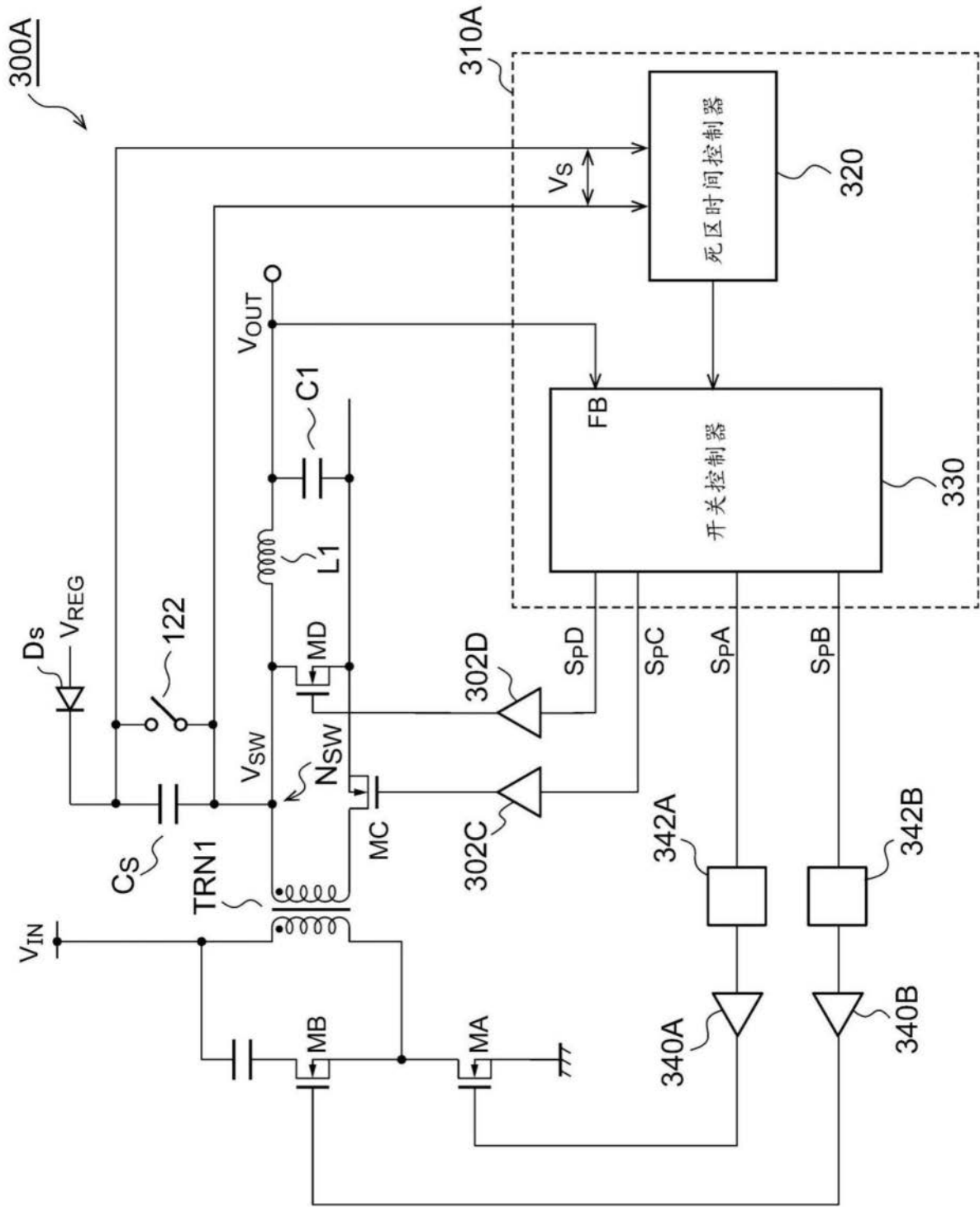


图7

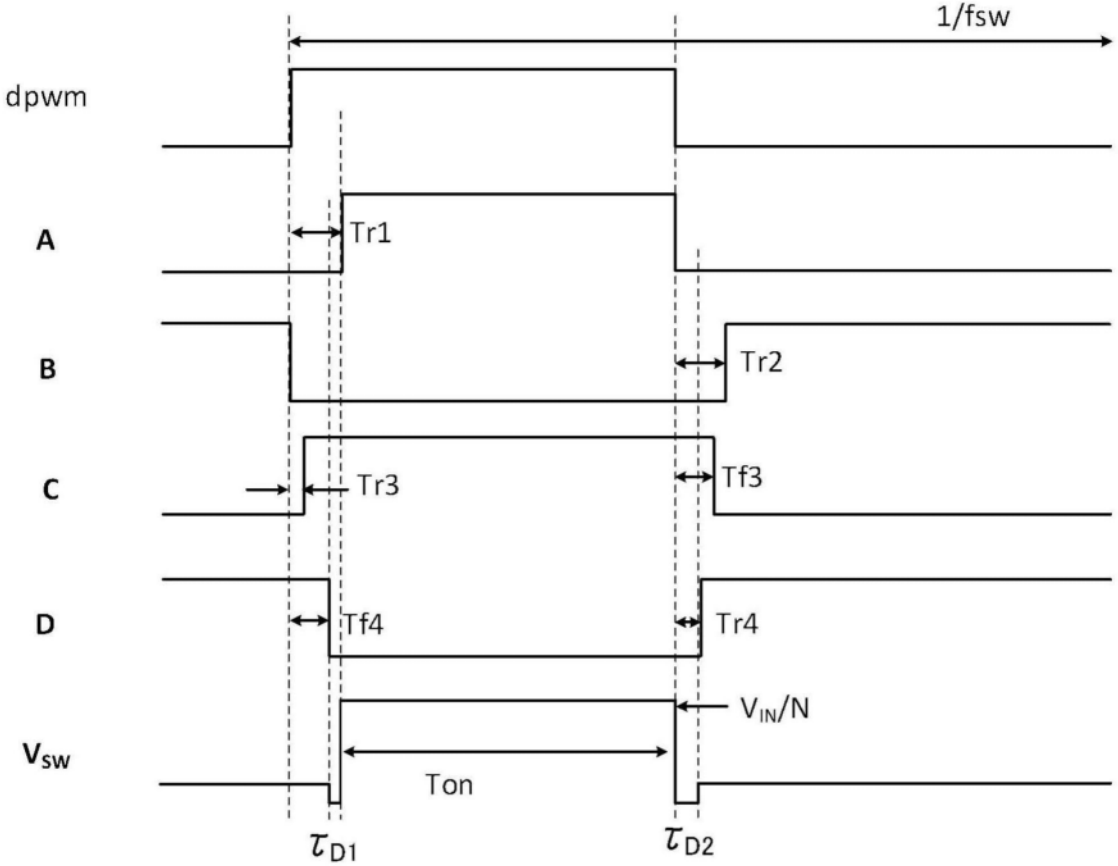


图8

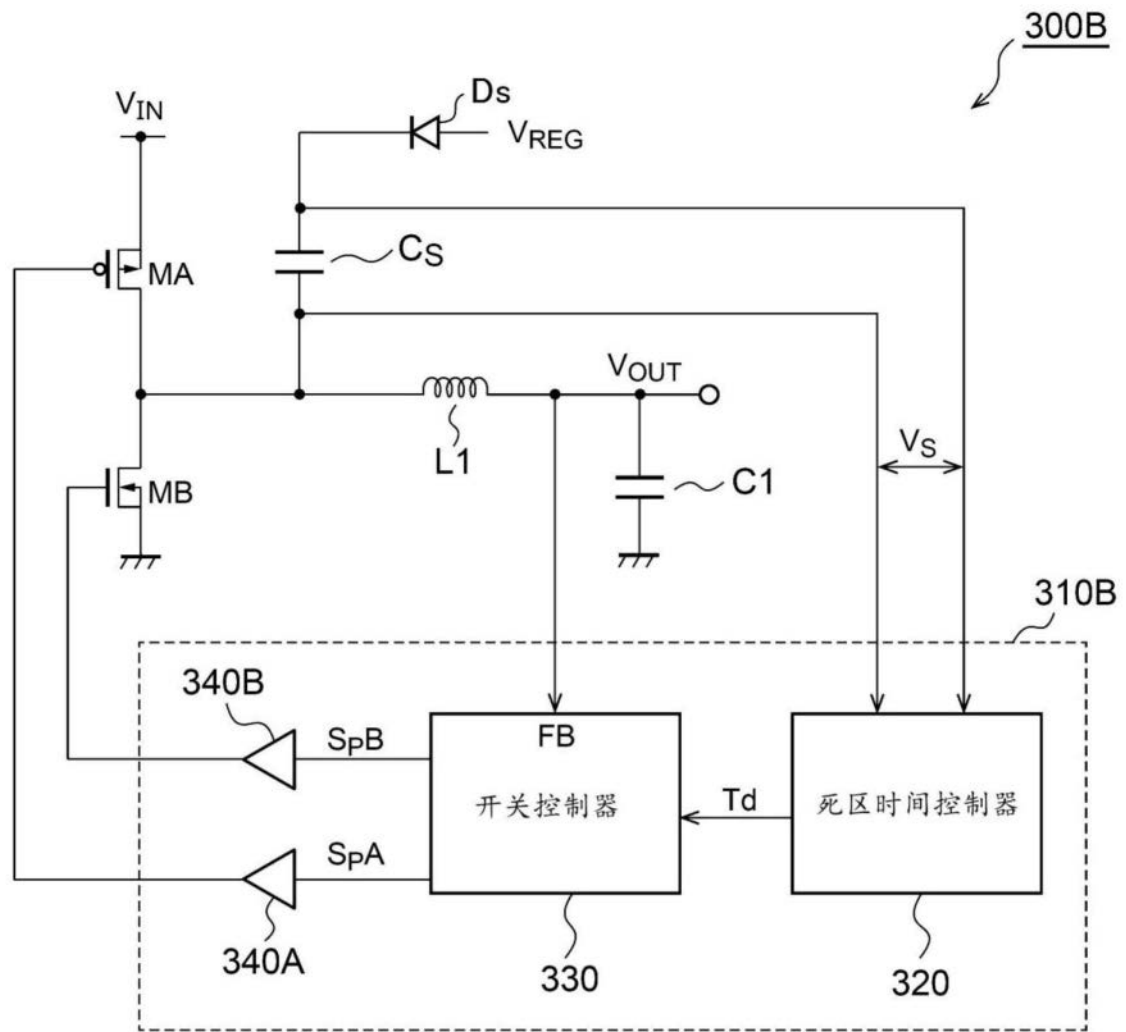


图9

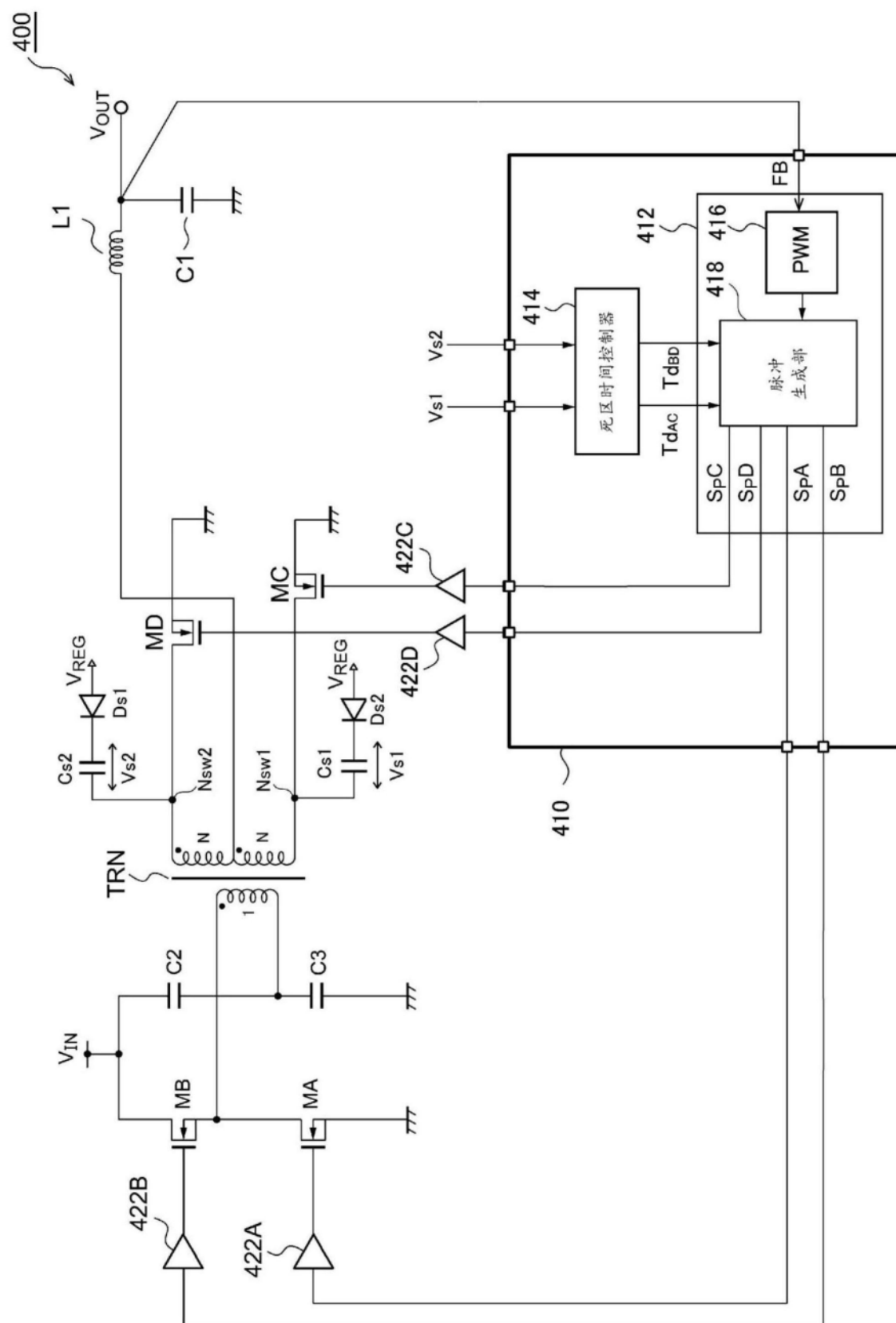


图10

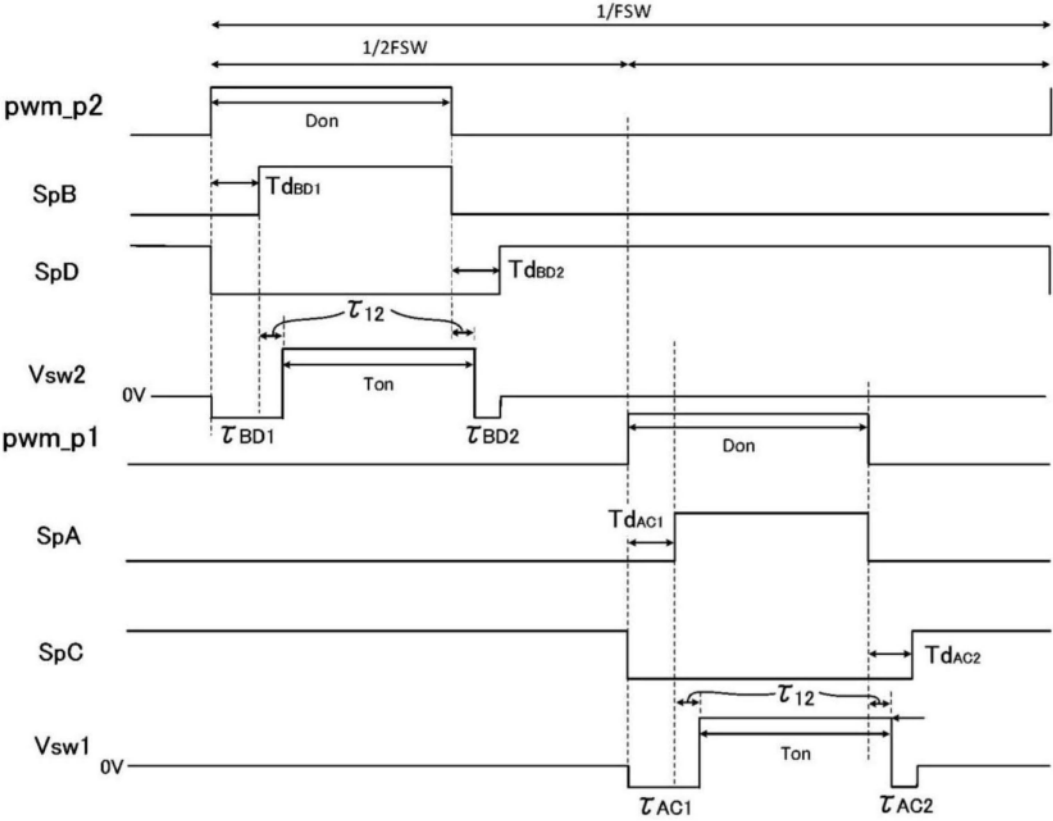


图11

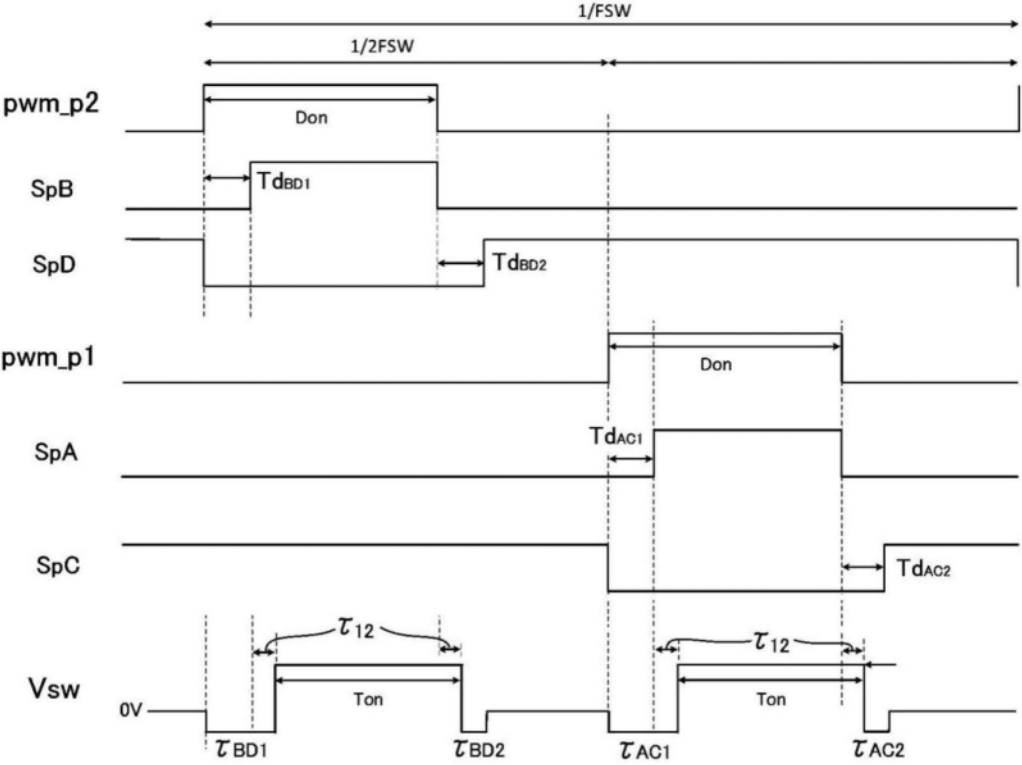


图13

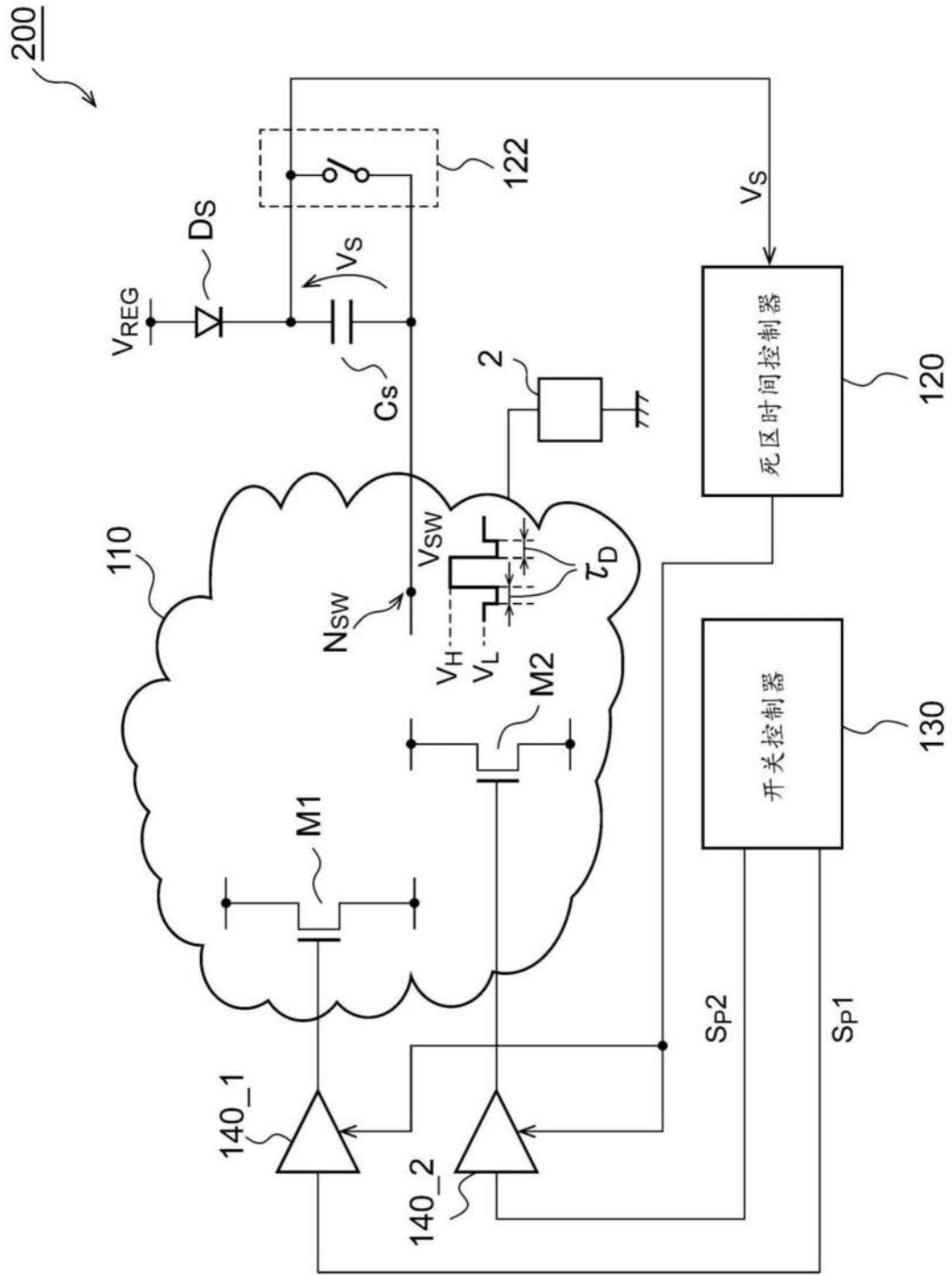


图14

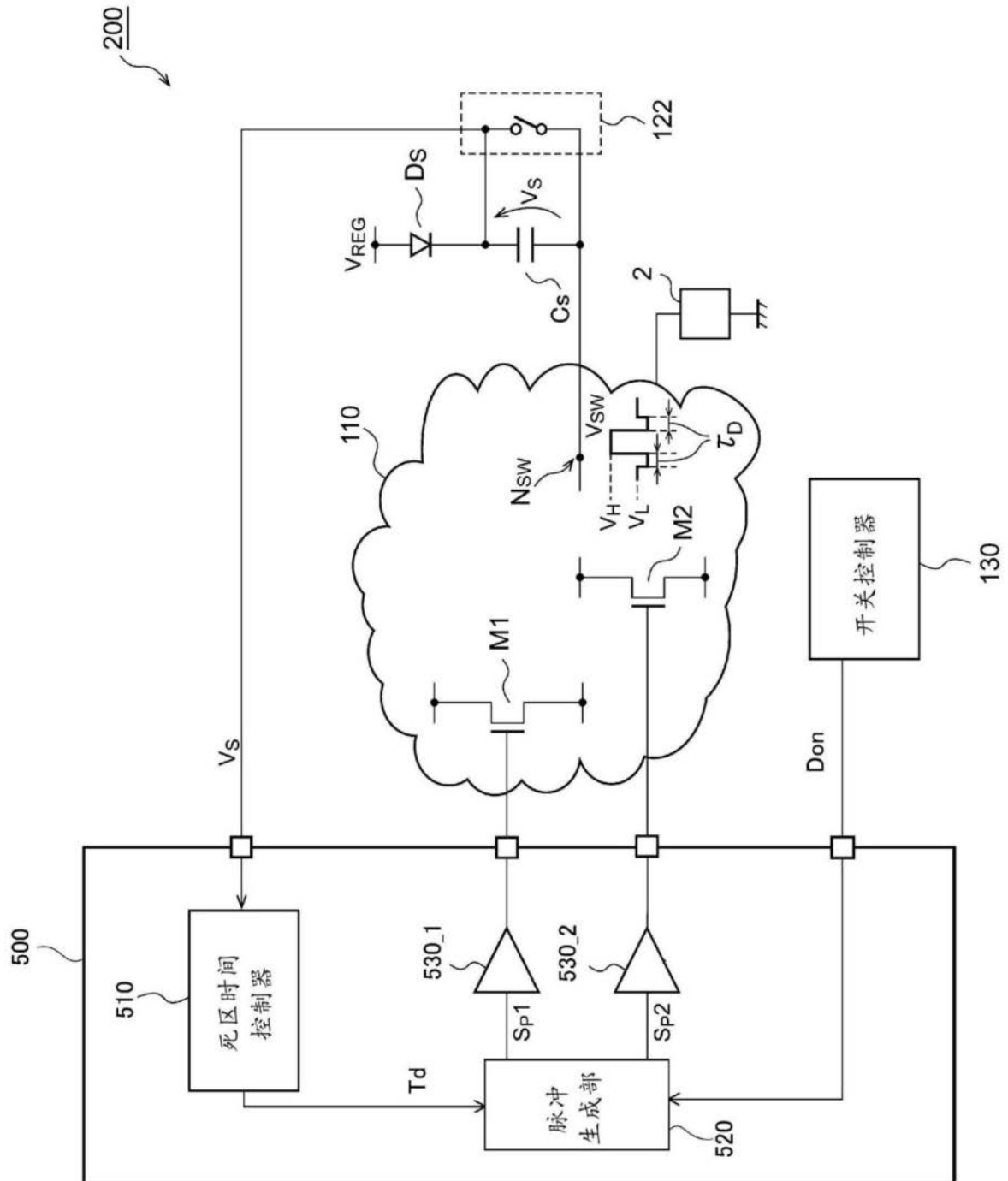


图15

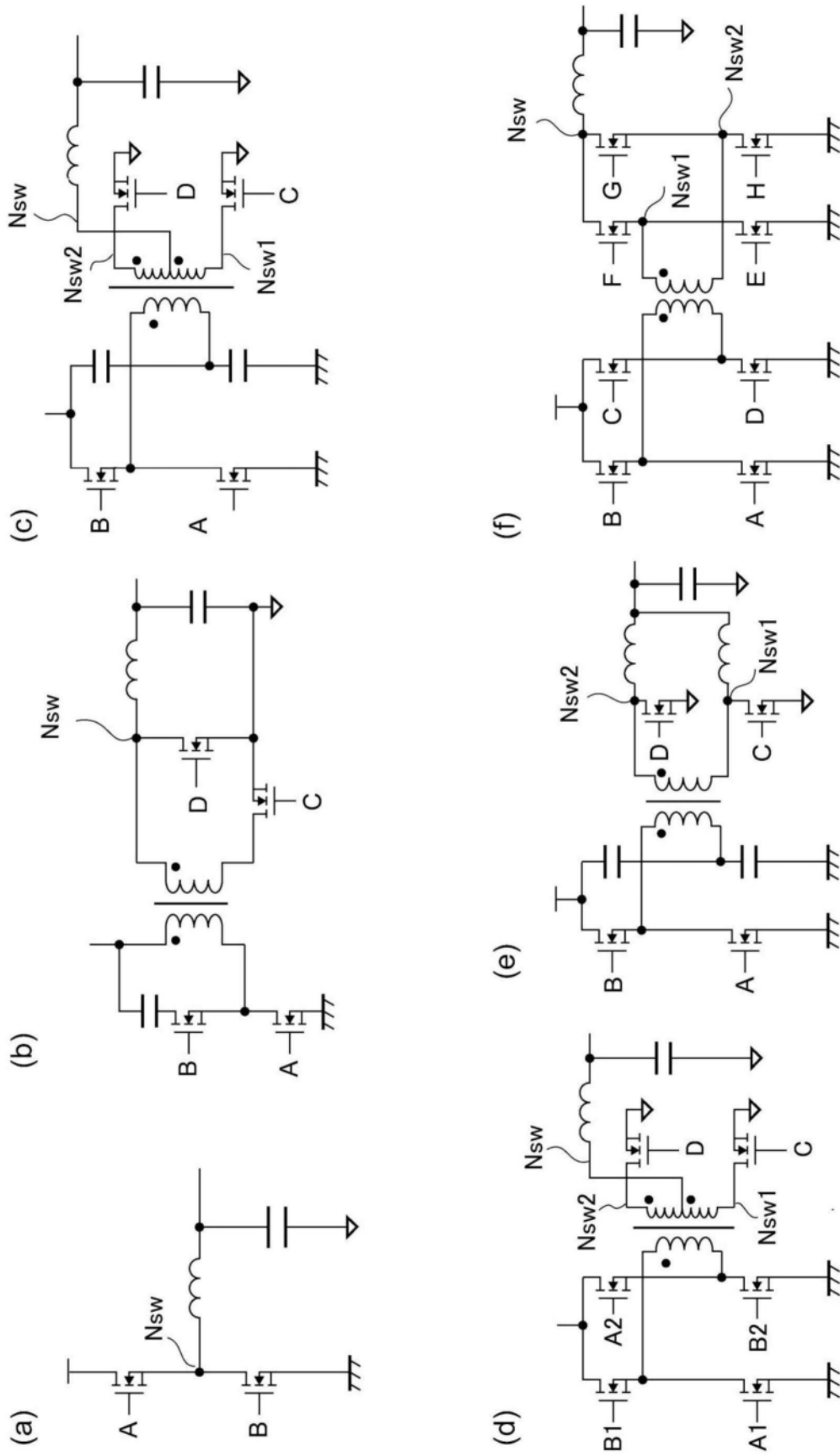


图16