



(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl. G11C 11/4074 (2006.01) G11C 7/20 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2007년05월07일 10-0713934 2007년04월25일
--	-------------------------------------	--

(21) 출원번호 (22) 출원일자 심사청구일자	10-2006-0032994 2006년04월11일 2006년04월11일	(65) 공개번호 (43) 공개일자
----------------------------------	---	------------------------

(73) 특허권자 주식회사 하이닉스반도체
 경기 이천시 부발읍 아미리 산136-1

(72) 발명자 이병철
 서울 관악구 봉천본동 958-25

(74) 대리인 강성배

(56) 선행기술조사문헌 KR1020040110317 A KR1020070005032 A US5767709 A	KR1020050117034 A US5712584 A
--	----------------------------------

심사관 : 김세영

전체 청구항 수 : 총 10 항

(54) 테스트시 초기값 오류를 줄이기 위한 반도체 메모리 장치의 파워 업 발생 회로

(57) 요약

본 발명은 테스트시 초기값 오류를 줄일 수 있는 반도체 메모리 장치의 파워 업 신호 발생 회로를 개시한다. 이 회로는, 파워 업 테스트시 외부 파워 업 신호(PWRUP_EXT)와 내부 파워 업 신호(PWRUP_IN)가 소정 시간 동안 디스에이블된 후에 다시 인에이블됨에 따라 초기화된 노드에 내부 전압이 인가된 후 다시 초기화되므로, 동작 테스트시 초기값 오류에 의한 불량 발생이 줄어든다.

대표도

도 2

특허청구의 범위

청구항 1.

외부 명령들을 디코딩하여 파워 업 테스트 신호를 발생하는 테스트 신호 발생부;

상기 파워 업 테스트 신호를 이용하여 초기화된 이후 소정 시간 뒤에 인에이블되는 펄스 신호를 발생하는 펄스 발생부; 및 초기화를 위해 일정 구간 동안 인에이블 상태로 유지되는 파워 업 신호를 발생하며, 상기 일정 구간 중 상기 펄스 신호가 인에이블되는 동안 상기 파워 업 신호를 디스에이블시키는 파워 업 신호 발생부;를 포함함을 특징으로 하는 파워 업 신호 발생 회로.

청구항 2.

제 1 항에 있어서,

상기 펄스 발생부는,

상기 파워 업 테스트 신호를 지연시키는 지연 수단; 및

상기 파워 업 테스트 신호와 상기 지연 수단에서 지연된 신호를 논리 조합하여 상기 펄스 신호를 발생하는 조합 수단;으로 구성됨을 특징으로 하는 파워 업 신호 발생 회로.

청구항 3.

제 2 항에 있어서,

상기 지연 수단은 직렬 연결된 다수의 인버터, 직렬 연결된 다수의 버퍼, 및 상기 다수의 인버터와 상기 다수의 버퍼의 조합 중 어느 하나로 구성됨을 특징으로 하는 파워 업 신호 발생 회로.

청구항 4.

제 2 항에 있어서,

상기 조합 수단은 상기 테스트 신호와 상기 지연 수단에서 지연된 신호를 낸드 조합하는 낸드 게이트로 구성됨을 특징으로 하는 파워 업 신호 발생 회로.

청구항 5.

제 1 항에 있어서,

상기 파워 업 신호 발생부는,

상기 펄스 신호가 인에이블 상태일 때 디스에이블되는 외부 파워 업 신호를 발생하는 외부 파워 업 신호 발생부; 및

외부 전압 이외의 모든 내부 전압들이 꺼지는 상태인 딥 파워다운 모드로 진입하거나 상기 펄스 신호가 인에이블 상태일 때 디스에이블되는 내부 파워 업 신호를 발생하는 내부 파워 업 신호 발생부;를 포함함을 특징으로 하는 파워 업 신호 발생 회로.

청구항 6.

제 5 항에 있어서,

상기 외부 파워 업 신호 발생부는,

상기 외부 전압을 일정한 저항비로 분배하는 분배 수단;

전원 전압 레벨의 신호를 전송 노드로 공급하며, 상기 분배 수단에서 분배된 전압의 레벨에 따라 상기 전송 노드를 접지 레벨로 하강시키는 스위칭 수단; 및

상기 전송 노드로 전달된 신호와 상기 펄스 신호를 논리 조합하여 상기 외부 파워 업 신호를 출력하는 조합 수단;으로 구성됨을 특징으로 하는 파워 업 신호 발생 회로.

청구항 7.

제 6 항에 있어서,

상기 스위칭 수단은,

접지 전압에 의해 턴 온 상태를 유지하여 상기 전송 노드를 전원 레벨로 상승시키는 PMOS 트랜지스터; 및

상기 분배 수단에서 분배된 전압에 의해 턴 온되어 상기 전송 노드를 접지 레벨로 하강시키는 NMOS 트랜지스터;로 구성됨을 특징으로 하는 파워 업 신호 발생 회로.

청구항 8.

제 6 항에 있어서,

상기 조합 수단은,

상기 펄스 신호의 위상을 반전하는 인버터; 및

상기 인버터에 의해 반전된 신호와 상기 전송 노드로 전달된 신호를 낸드 조합하는 낸드 게이트;로 구성됨을 특징으로 하는 파워 업 신호 발생 회로.

청구항 9.

제 5 항에 있어서,

상기 내부 파워 업 신호 발생부는 상기 딥 파워다운 모드 진입시 인에이블되는 딥 파워다운 신호와 상기 펄스 신호를 조합하여 상기 내부 파워 업 신호를 출력하는 조합 수단으로 구성됨을 특징으로 하는 파워 업 신호 발생 회로.

청구항 10.

제 9 항에 있어서,

상기 조합 수단은,

상기 펄스 신호의 위상을 반전하는 제 1 인버터;

상기 인버터에 의해 반전된 신호와 상기 딥 파워다운 신호를 노아 조합하는 노아 게이트;

상기 외부 전압 레벨을 갖는 신호의 위상을 반전하는 제 2 인버터; 및

상기 노아 게이트에 의해 노아 조합된 신호와 상기 인버터에 의해 반전된 신호를 낸드 조합하는 낸드 게이트;로 구성됨을 특징으로 하는 파워 업 신호 발생 회로.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 메모리 장치에 관한 것으로, 특히 테스트시 초기값 오류를 줄일 수 있는 반도체 메모리 장치의 파워 업 신호 발생 회로에 관한 것이다.

반도체 메모리 중에서 램(RAM:Random Access Memory)은 기억 장소로의 임의의 접근이 가능하고 정보의 기록 및 판독을 모두 수행할 수 있는 메모리로서, 컴퓨터나 주변 단말 기기의 기억 장치에 널리 사용된다. 램의 종류로는 전원이 연결된 상태에서 일정한 주기마다 리프레쉬(refresh)를 해주어야 정보가 지워지지 않는 다이내믹 램(Dynamic RAM)과, 전원만 연결되어 있으면 정보가 지워지지 않는 스태틱 램(Static RAM)이 있다.

스태틱 램은 다른 집적 회로와 접속하기 쉬운 이점이 있는 반면, 다이내믹 램과 같은 기억용량을 가지기 위해 3~4배의 소자가 더 필요하므로 그만큼 회로가 복잡해지고 가격도 상승하는 단점이 있다.

따라서, 최근에는 다이내믹 램의 셀을 이용하여 스태틱 램과 같은 동작을 구현한 슈도 스태틱 램(Pseudo SRAM)에 대한 연구가 활발히 진행되고 있으며, 이러한 슈도 스태틱 램은 기존의 스태틱 램에 비해 칩 사이즈가 작으면서 16Mbit, 32Mbit, 및 64Mbit 등의 고집적을 구현할 수 있는 장점이 있다.

슈도 스태틱 램에서 처음 동작을 시작할 때 특정 노드는 반드시 초기값을 가져야 하는 경우가 있다. 따라서, 슈도 스태틱 램에서는 초기 동작시 외부 전압이 인가됨에 따라 파워 업 신호가 인에이블되며, 이러한 인에이블 상태의 파워 업 신호에 의해 특정 노드가 초기화된다.

일 예로, 초기 동작시 외부 전압(VEXT)이 인가될 때, 도 1에 도시된 바와 같이, 파워 업 신호(PWRUP)가 인에이블되면, 특정 노드(ND0)의 전위가 약간 상승한 뒤, 소정 시간(A) 동안 로우 레벨을 유지한다.

그리고, 외부 전압(VEXT)이 어느 정도로 상승한 후, 파워 업 신호(PWRUP)가 디스에이블되고, 특정 노드(ND0)의 전위는 급상승한 뒤 외부 전압(VEXT)의 레벨과 동일하게 된다.

따라서, 도 1과 같은 초기 특성을 갖는 회로에서는 설계시 특정 노드(ND0)가 소정 시간(A)에서의 전압 레벨을 가지도록 설정되는 것이 바람직하다.

하지만, 슈도 스태틱 램에서는 실제 제품이 나와서 테스트를 했을 때, 파워 업 신호에 의한 초기값을 잘못 잡아서 불량이 발생하는 경우가 있으며, 이러한 불량이 초기값 오류에 의한 불량인지 판단하기 힘든 문제점이 있다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 목적은 초기화될 필요가 있는 곳에 적절한 초기값을 설정하는 파워 업 테스트 모드를 추가 적용함으로써, 동작 테스트시 초기값에 의해 발생하는 불량을 줄이고자 함에 있다.

발명의 구성

상기한 바와 같은 목적을 달성하기 위한 파워 업 발생 회로는 외부 명령들을 디코딩하여 파워 업 테스트 신호를 발생하는 테스트 신호 발생부; 상기 파워 업 테스트 신호를 이용하여 초기화된 이후 소정 시간 뒤에 인에이블되는 펄스 신호를 발생하는 펄스 발생부; 및 초기화를 위해 일정 구간 동안 인에이블 상태로 유지되는 파워 업 신호를 발생하며, 상기 일정 구간 중 상기 펄스 신호가 인에이블되는 동안 상기 파워 업 신호를 디스에이블시키는 파워 업 신호 발생부;를 포함함을 특징으로 한다.

상기 구성에서, 상기 펄스 발생부는, 상기 파워 업 테스트 신호를 지연시키는 지연 수단; 및 상기 파워 업 테스트 신호와 상기 지연 수단에서 지연된 신호를 논리 조합하여 상기 펄스 신호를 발생하는 조합 수단;으로 구성됨이 바람직하다.

상기 구성에서, 상기 지연 수단은 직렬 연결된 다수의 인버터, 직렬 연결된 다수의 버퍼, 및 상기 다수의 인버터와 상기 다수의 버퍼의 조합 중 어느 하나로 구성됨이 바람직하다.

상기 구성에서, 상기 조합 수단은 상기 테스트 신호와 상기 지연 수단에서 지연된 신호를 낸드 조합하는 낸드 게이트로 구성됨이 바람직하다.

상기 구성에서, 상기 파워 업 신호 발생부는, 상기 펄스 신호가 인에이블 상태일 때 디스에이블되는 외부 파워 업 신호를 발생하는 외부 파워 업 신호 발생부; 및 외부 전압 이외의 모든 내부 전압들이 꺼지는 상태인 딥 파워다운 모드로 진입하거나 상기 펄스 신호가 인에이블 상태일 때 디스에이블되는 내부 파워 업 신호를 발생하는 내부 파워 업 신호 발생부;를 포함함이 바람직하다.

상기 구성에서, 상기 외부 파워 업 신호 발생부는, 상기 외부 전압을 일정한 저항비로 분배하는 분배 수단; 전원 전압 레벨의 신호를 전송 노드로 공급하며, 상기 분배 수단에서 분배된 전압의 레벨에 따라 상기 전송 노드를 접지 레벨로 하강시키는 스위칭 수단; 및 상기 전송 노드로 전달된 신호와 상기 펄스 신호를 논리 조합하여 상기 외부 파워 업 신호를 출력하는 조합 수단;으로 구성됨이 바람직하다.

상기 구성에서, 상기 스위칭 수단은, 접지 전압에 의해 턴 온 상태를 유지하여 상기 전송 노드를 전원 레벨로 상승시키는 PMOS 트랜지스터; 및 상기 분배 수단에서 분배된 전압에 의해 턴 온되어 상기 전송 노드를 접지 레벨로 하강시키는 NMOS 트랜지스터;로 구성됨이 바람직하다.

상기 구성에서, 상기 조합 수단은, 상기 펄스 신호의 위상을 반전하는 인버터; 및 상기 인버터에 의해 반전된 신호와 상기 전송 노드로 전달된 신호를 낸드 조합하는 낸드 게이트;로 구성됨이 바람직하다.

상기 구성에서, 상기 내부 파워 업 신호 발생부는 상기 딥 파워다운 모드 진입시 인에이블되는 딥 파워다운 신호와 상기 펄스 신호를 조합하여 상기 내부 파워 업 신호를 출력하는 조합 수단으로 구성됨이 바람직하다.

상기 구성에서, 상기 조합 수단은, 상기 펄스 신호의 위상을 반전하는 제 1 인버터; 상기 인버터에 의해 반전된 신호와 상기 딥 파워다운 신호를 노아 조합하는 노아 게이트; 상기 외부 전압 레벨을 갖는 신호의 위상을 반전하는 제 2 인버터; 및 상기 노아 게이트에 의해 노아 조합된 신호와 상기 인버터에 의해 반전된 신호를 낸드 조합하는 낸드 게이트;로 구성됨이 바람직하다.

이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시 예를 상세히 설명하기로 한다.

본 발명의 실시 예로써 도 2의 블록도가 개시되며, 본 발명의 실시 예는 파워 업 테스트시 외부 파워 업 신호(PWRUP_EXT)와 내부 파워 업 신호(PWRUP_IN)가 소정 시간 동안 디스에이블된 후에 다시 인에이블됨에 따라 초기화된 노드에 내부 전압이 인가된 후 다시 초기화되므로, 동작 테스트시 초기값 오류에 의한 불량 발생이 줄어든다.

구체적으로, 도 2의 실시 예는 외부 명령들(/CS,/RAS,/CAS,/WE)을 디코딩하여 파워 업 테스트 신호(TEST_PWRUP)를 발생하는 테스트 신호 발생부(10), 파워 업 테스트 신호(TEST_PWRUP)를 이용하여 펄스 신호(PULSE)를 발생하는 펄스 발생부(20), 및 테스트시 펄스 신호(PULSE)가 인에이블되는 동안 디스에이블되는 파워 업 신호들(PWRUP_EXT,PWRUP_IN)을 발생하는 파워 업 신호 발생부(30)를 포함한다.

테스트 신호 발생부(10)는 외부 명령들, 예를 들어, 칩 선택 신호(/CS), 로오 어드레스 스트로브 신호(/RAS), 컬럼 어드레스 스트로브 신호(/CAS), 및 라이트 인에이블 신호(/WE) 등을 디코딩하여 파워 업 테스트 신호(TEST_PWRUP)를 발생한다.

그리고, 펄스 발생부(20)는 도 3에 도시된 바와 같이, 파워 업 테스트 신호(TEST_PWRUP)를 지연시키는 지연부(21)와, 파워 업 테스트 신호(TEST_PWRUP)와 지연부(21)에 의해 지연된 신호를 낸드 조합하는 낸드 게이트(NA1)로 구성된다.

이때, 지연부(21)는 직렬 연결된 다수의 인버터, 직렬 연결된 다수의 버퍼, 또는 이들의 조합으로 구성될 수 있다.

이러한 구성의 펄스 발생부(20)는 도 4에 도시된 바와 같이, 파워 업 테스트 신호(TEST_PWRUP)가 인에이블된 이후, 지연부(21)에 의해 일정 시간 지연되어 인에이블되는 펄스 신호를 발생한다. 즉, 펄스 발생부(20)는 파워 업 테스트로 진입한 후 일정 시간 뒤에 인에이블되는 펄스 신호(PULSE)를 발생한다.

파워 업 신호 발생부(30)는 펄스 신호(PULSE)가 인에이블 상태일 때 디스에이블되는 외부 파워 업 신호(PWRUP_EXT)를 발생하는 외부 파워 업 신호 발생부(31)와, 외부 전압 이외의 모든 내부 전압들이 꺼지는 상태인 딥 파워다운 모드(Deep Power Down Mode)이거나 펄스 신호(PULSE)가 인에이블 상태일 때 디스에이블되는 내부 파워 업 신호(PWRUP_IN)를 발생하는 내부 파워 업 신호 발생부(32)를 포함한다.

여기서, 외부 파워 업 신호 발생부(31)는 도 4에 도시된 바와 같이, 외부 전압(VEXT)을 분배하기 위한 두 저항(R1,R2), 정전기 방전 보호용 NMOS 트랜지스터(N1), 접지 전압 레벨을 가진 신호에 의해 턴 온 상태를 유지하여서 외부 전압(VEXT) 레벨의 신호를 노드(ND1)로 공급하는 PMOS 트랜지스터(P1), 두 저항(R1,R2)에 의해 분배된 전압의 상태에 따라 노드(ND2)의 전위를 선택적으로 접지 레벨로 하강시키기 위한 NMOS 트랜지스터(N2), 노드(ND2)의 신호와 인버터(IV1)에 의해 펄스 신호(PULSE)를 반전한 신호를 노아 조합하는 노아 게이트(NR1), 및 노아 게이트(NR1)에 의해 노아 조합된 신호를 지연하기 위한 다수의 인버터(IV2~IV5)로 구성될 수 있다.

이러한 구성의 외부 파워 업 신호 발생부(31)에서 동작 초기에 외부 전압(VEXT)이 인가될 때, 두 저항(R1,R2)에 의해 외부 전압(VEXT)이 분배됨에 따라 분배된 전압만큼 노드(ND1)의 전위가 상승한다. 이때, PMOS 트랜지스터(P1)의 구동 능력이 NMOS 트랜지스터(N2)의 구동 능력보다 크므로, 노드(ND2)의 전위는 외부 전압(VEXT)에 의해 전원 전압 레벨을 유지하고 있다.

이후, 외부 전압(VEXT) 레벨이 점점 상승함에 따라 노드(ND1)의 전위도 따라 상승하고, 노드(ND1)가 일정 전위까지 상승하면 NMOS 트랜지스터(N2)의 구동 능력이 PMOS 트랜지스터(P1)의 구동 능력보다 커지므로 노드(ND2)의 전위를 접지 레벨로 하강시킨다. 따라서, 외부 파워 업 신호(PWRUP_EXT)는 노아 게이트(NR1)의 노아 조합에 의해 인에이블된다.

그리고, 일정 시간 뒤에 펄스 신호(PULSE)가 인에이블되면, 노아 게이트(NR1)의 노아 조합에 의해 외부 파워 업 신호(PWRUP_EXT)가 디스에이블되고, 이후, 다시 펄스 신호(PULSE)가 디스에이블되면 외부 파워 업 신호(PWRUP_EXT)가 인에이블 상태로 돌아온다.

따라서, 외부 파워 업 신호 발생부(31)에서는 파워 업 테스트 중에 외부 파워 업 신호(PWRUP_EXT)가 일정 시간 동안 디스에이블되었다가 다시 인에이블되므로, 최초 동작시 외부 파워 업 신호(PWRUP_EXT)를 사용하는 회로에 초기값이 설정된 이후, 동작 중에 다시 한번 초기화된다.

내부 파워 업 신호 발생부(32)는 도 5에 도시된 바와 같이, 딥 파워다운 모드 진입시 인에이블되는 딥 파워다운 신호(DPD)와 인버터(IV6)에 의해 펄스 신호(PULSE)의 위상을 반전한 신호를 노아 조합하는 노아 게이트(NR2), 및 외부 전압(VEXT) 레벨을 갖는 신호의 위상을 반전하는 인버터(IV7), 및 인버터(IV7)에 의해 반전된 신호와 노아 게이트(NR2)에 의해 노아 조합된 신호를 낸드 조합하는 낸드 게이트(NA2)로 구성된다.

이러한 구성을 갖는 내부 파워 업 신호 발생부(32)에서 딥 파워다운 신호(DPD)와 펄스 신호(PULSE) 중 어느 하나가 인에이블될 때 내부 파워 업 신호(PWRUP_IN)는 디스에이블되고, 딥 파워다운 신호(DPD)와 펄스 신호(PULSE)가 모두 디스에이블될 때 내부 파워 업 신호(PWRUP_IN)는 인에이블된다.

즉, 내부 파워 업 신호(PWRUP_IN)는 동작 초기에 인에이블 상태를 유지하다가 딥 파워다운 모드로 진입하면 디스에이블 된다. 또한, 내부 파워 업 신호(PWRUP_IN)는 파워 업 테스트로 진입한 후 일정 시간 뒤에 펄스 신호(PULSE)가 인에이블 될 때 디스에이블되고, 이후, 펄스 신호(PULSE)가 디스에이블되면 다시 인에이블 상태로 되 돌아온다.

따라서, 내부 파워 업 신호 발생부(32)에서는 외부 파워 업 신호 발생부(31)와 마찬가지로, 파워 업 테스트시 내부 파워 업 신호(PWRUP_IN)가 일정 시간 동안 디스에이블되었다가 다시 인에이블되므로, 최초 동작시 내부 파워 업 신호(PWRUP_IN)를 사용하는 회로에 초기값이 설정된 이후, 동작 중에 다시 한번 초기화된다.

이와 같이, 본 발명의 실시 예에서는 외부 명령들을 디코딩하여 파워 업 테스트 모드를 설정한 후, 이 파워 업 테스트로 진입하면 테스트 중에 외부 파워 업 신호(PWRUP_EXT)와 내부 파워 업 신호(PWRUP_IN)가 일정 시간 동안 디스에이블된다.

즉, 파워 업 테스트에서 초기 동작시 외부 파워 업 신호(PWRUP_EXT)와 내부 파워 업 신호(PWRUP_IN)는 인에이블 상태로 되고, 이후, 소정 시간이 지난 뒤 디스에이블되었다가 다시 소정 시간이 지난 뒤 인에이블 상태로 된다.

따라서, 외부 파워 업 신호(PWRUP_EXT)와 내부 파워 업 신호(PWRUP_IN)를 사용하는 회로에서 동작전 초기화될 필요가 있는 노드는 최초 동작시 초기화된 이후, 각 파워 업 신호(PWRUP_EXT, PWRUP_IN)가 디스에이블될 때 내부 전압에 의해 노드의 전위 상태가 달라지고, 그 후, 다시 각 파워 업 신호(PWRUP_EXT, PWRUP_IN)가 인에이블되어 초기화되므로, 동작 테스트시 상기 노드의 초기값 오류에 의한 불량률이 줄어든다.

그리고, 이러한 파워 업 테스트를 반도체 메모리 장치에 적용해 보면, 우선, 반도체 메모리 장치가 제품화된 후 동작을 테스트하여 불량률을 검출한다. 그리고, 이러한 불량률이 파워 업 신호에 의해 초기화된 노드의 불량인지 확인하기 위해, 파워 업 테스트를 수행하여 해당 노드를 더욱 정확히 초기화시켜준다. 그 후, 다시 메모리 동작을 테스트해서 불량률이 사라진다면, 이는 파워 업 신호에 의해 초기화된 노드의 불량이라고 판단할 수 있게 된다.

발명의 효과

이와 같이, 본 발명은 파워 업 테스트 모드를 따로 설정하여 내부 전압이 인가된 후 특정 노드를 다시 한번 초기화시켜줌으로써, 동작 테스트시 초기화 오류에 의한 불량률이 발생이 줄어드는 효과가 있다.

본 발명을 특정 실시 예에 관련하여 도시하고 설명하였지만, 본 발명이 그에 한정되는 것은 아니며, 이하의 특허청구범위에 의해 마련되는 본 발명의 정신이나 분야를 이탈하지 않는 한도 내에서 본 발명이 다양하게 개조 및 변형될 수 있다는 것을 당업자는 용이하게 알 수 있다.

도면의 간단한 설명

도 1은 일반적인 슈도 스테틱 램에서 파워 업 신호(PWRUP)에 의한 특정 노드(ND0)의 전위 변화를 나타내는 파형도.

도 2는 본 발명의 실시 예에 따른 파워 업 발생 회로를 설명하기 위한 블록도.

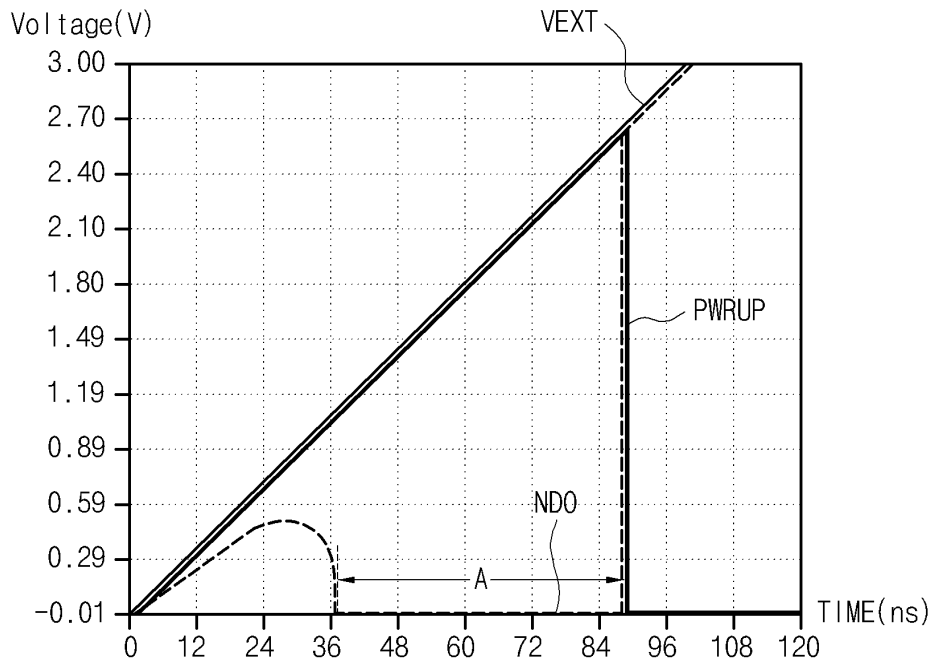
도 3은 도 2의 펄스 발생부(20)를 나타내는 회로도.

도 4는 도 2의 외부 파워 업 신호 발생부(31)를 나타내는 회로도.

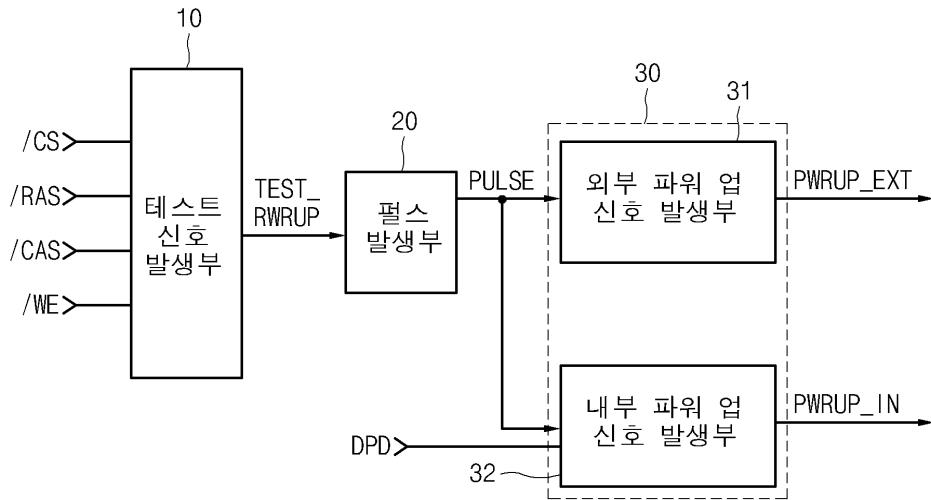
도 5는 도 2의 내부 파워 업 신호 발생부(32)를 나타내는 회로도.

도면

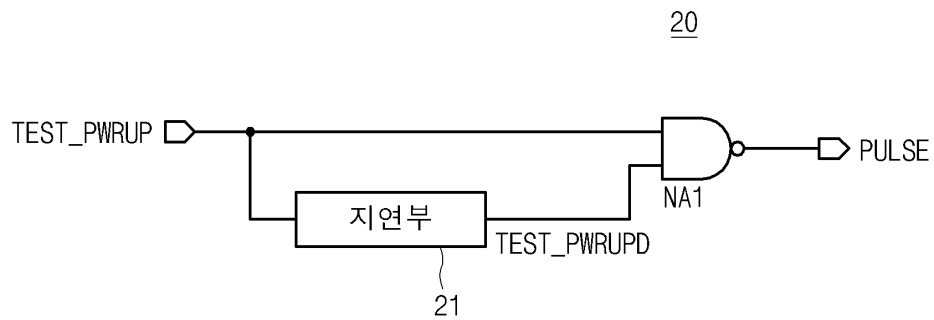
도면1



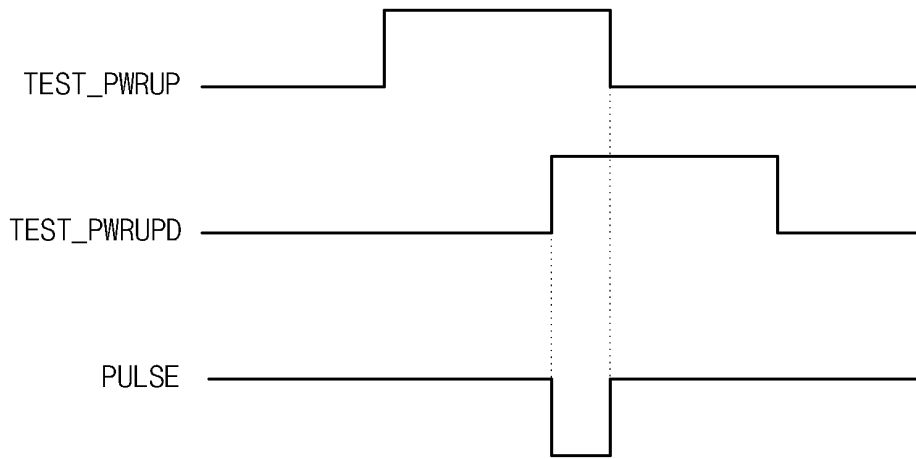
도면2



도면3

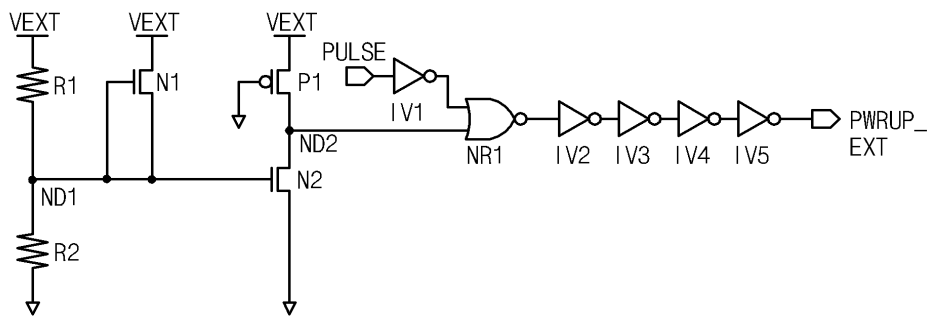


도면4



도면5

31



도면6

32

