

[19] 中华人民共和国国家知识产权局

[51] Int. Cl⁷

H01L 21/66

G01B 11/06



[12] 发明专利说明书

[21] ZL 专利号 99110024.7

[45] 授权公告日 2004 年 12 月 8 日

[11] 授权公告号 CN 1179406C

[22] 申请日 1999. 6. 26 [21] 申请号 99110024.7

[30] 优先权

[32] 1998. 6. 26 [33] US [31] 09/105632

[71] 专利权人 西门子公司

地址 联邦德国慕尼黑

[72] 发明人 R·F·施纳贝尔

审查员 方波

[74] 专利代理机构 中国专利代理(香港)有限公司

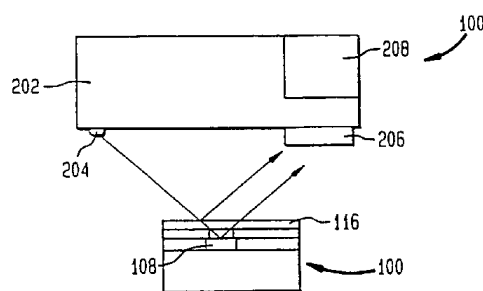
代理人 张志醒

权利要求书 1 页 说明书 6 页 附图 2 页

[54] 发明名称 以光学方式测量半导体器件的电介质厚度的方法

[57] 摘要

以光学方式测量层的厚度的方法，其步骤有，在半导体器件结构上面提供第一金属层，在第一金属层上面提供第二金属层，在第二金属层上面形成电介质层，让光射向此结构，使得从电介质层表面与从第二金属层表面反射的光形成干涉图，据此测量电介质层的厚度。以光学方式测量层的厚度的系统包括上述半导体器件结构和按上述方法提供的各层，其中第二金属层具有精密成形的顶面，还包括按上述方法形成干涉图的装置。



ISSN 1008-4274

1. 一种确定形成于半导体器件的金属上面的电介质层的厚度的方法，包括的步骤有：
- 5 提供其上面形成有第一层的基片，第一层包括与基片的活性区相连接的金属连接体；
- 在第一层上面形成第一电介质层；
- 在第一电介质层中蚀刻沟槽，使得沟槽的底部是金属连接体的上表面；
- 10 将金属沉积于沟槽中以形成金属线，所述金属包括镶嵌金属和双重镶嵌金属的其中一种；
- 抛光金属；
- 将第二电介质层沉积于金属和第一电介质层上面；和
- 让光射入金属连接体，使得从第二电介质层表面反射的光与从金属连接体表面反射的光形成干涉图象，据此测量第二电介质层的厚度。
- 15 2. 根据权利要求 1 所述的方法，其特征在于，所述半导体器件是存储器芯片，并且金属线是字线和位线的其中一种。
3. 根据权利要求 2 所述的方法，其特征在于，所述金属线包括的宽度为 20 微米或更宽。
- 20 4. 根据权利要求 1 所述的方法，其特征在于，所述抛光金属的步骤包括使金属上面形成有作为抛光结果的精密成形的顶面。
5. 根据权利要求 1 所述的方法，其特征在于，所述金属连接体包括接触体和通道的其中一种。
6. 根据权利要求 1 所述的方法，其特征在于，所述光具有的波长介于 200 纳米和 800 纳米之间。
- 25

以光学方式测量半导体器件的电介质厚度的方法

5

技术领域

本发明涉及半导体器件，具体地，涉及用于以光学方式测量金属或其它反射材料上面的电介质层的厚度的方法和系统。

10

背景技术

半导体器件利用镶嵌金属化方法构成各种导电通道。在半导体存储器件中，有时采用单一镶嵌层或双重镶嵌层来构成各部分的连接。镶嵌层用来为测量沉积其上的电介质层提供一个反射表面。

15

在使用镶嵌或双重镶嵌以形成给定的层的位置，最大线宽受到设计原则的限制，其值约为1至5微米。这是因为化学机械抛光(CMP)使得金属线变成凹面。

20

参照图1，惯常的存储器件如图所示，其金属线10形成于电介质层16的沟槽12之中。另一电介质层14沉积于金属线10上面。能够测量电介质层14的厚度是很重要的。通常采用光学干涉方法来测量半导体器件中各层的厚度。如图2所示，光(用箭头“A”表示)入射至层22的表面20。当到达表面20时，一部分光反射，一部分光透射。透射部分继续传播，直到经过层22到达界面24。然后其一部分光反射，一部分光透射。由于分别来自表面20和界面24的光的反射部分“B”和“C”具有相同的波长并且是平行的，就可以得出干涉图象，其中的相位移动和其它物理性质是可以测量的。只要获得适当的参数，就可确定层22的厚度。

25

参照图3，如上述，线宽(w)限制在约1-5微米。其原因是因为在化学机械抛光过程中有不断增加的凹面成形。在图3中，金属线32的弓状顶面30表明此凹面成形。线宽越大，越会出现如图3和4所示的凹面成形。图3示出具有小的线宽的金属线32的凹面成形，图4示出具有较大的线宽的金

属线 34 的凹面成形。最坏的情况是,如图 4 所示,金属线 36 的截面减少至其镶嵌金属线的中心部分 38 的所有金属都被磨去。

与凹面成形有关的另一个难题是如何利用上述光学装置来测量沉积在镶嵌金属上面的电介质层的厚度。光学干涉测量可用于大的范围,典型情况是以离子反应方式蚀刻(即非镶嵌金属)制成的宽度在 50 至 100 微米的金属。由于事实上在宽度超过 10 微米深度为 500 纳米的沟槽中因化学机械抛光而使镶嵌金属几乎全被磨去,就不可能对此运用同类的光学测量方法。

对于光学测量来说,需要的金属线宽度为 20 至 30 微米。尝试将金属线“分割”成较细的“线”,例如宽度为 5 微米,以使金属线较少受制于凹面成形并增加区域宽度,并不成功。较细的“线”干扰干涉图象,使测量电介质厚度的精确度降低。

发明内容

因此,本发明的目的在于提供一种方法来测量位于镶嵌金属上面的电介质层的厚度。

根据本发明的一种确定形成于半导体器件的金属上面的电介质层的厚度的方法,包括的步骤有:提供其上面形成有第一层的基片,第一层包括与基片的活性区相连接的金属连接体;在第一层上面形成第一电介质层;在第一电介质层中蚀刻沟槽,使得沟槽的底部是金属连接体的上表面;将金属沉积于沟槽中以形成金属线,所述金属包括镶嵌金属和双重镶嵌金属的其中一种;抛光金属;将第二电介质层沉积于金属和第一电介质层上面;和,让光射入金属连接体,使得从第二电介质层表面反射的光与从金属连接体表面反射的光形成干涉图象,据此测量第二电介质层的厚度。

在特别有用的一些方法中,第二金属层最好是单一镶嵌金属或双重镶嵌金属。第二金属层可包括金属线,而且金属线的宽度可以是约 20 微米或更宽。提供第二金属层的步骤可包括使第二金属层具有精密成形的顶面的步骤。第一金属层可包括接触体和通道的其中一种。光的波长可介于约 200 纳米和约 800 纳米之间。

一种确定形成于半导体器件的金属上面的电介质层的厚度的方法所包

括的步骤有，提供其上面形成有第一层的基片，第一层包括与基片的活性区相连接的金属连接体，在第一层上面形成第一电介质层，在第一电介质层中蚀刻若干沟槽，使得沟槽基本上与金属连接体相一致，将金属沉积于沟槽中以形成金属线，抛光金属，将第二电介质层沉积于金属和第一电介质层上面，并让光射入金属连接体，使得从第二电介质层表面反射的光与从金属线表面反射的光形成干涉图象，据此测量第二电介质层的厚度。

在其它一些特别有用的方法中，金属最好包括单一镶嵌金属或双重镶嵌金属中的一种。半导体器件可以是一块存储器芯片，金属线可以是字线或位线的一种。金属线的宽度可以是约 20 微米或更宽。抛光金属步骤可包括使金属上面形成有作为抛光结果的精密成形的顶面。金属连接体可包括接触体和通道的其中一种。光的波长可介于约 200 纳米和约 800 纳米之间。

用于以光学方式测量层的厚度的一种系统包括被测量的半导体器件。半导体器件包括第一金属层，沉积于第一金属层上面的第二金属层，第二金属层具有精密成形的顶面，并在第二金属层上面沉积有电介质层。还包括发出和接收光的装置，其中让光射入半导体器件，使得从电介质层表面反射的光与从第二金属层表面反射的光形成干涉图象，据此测量电介质层的厚度。

在另外一个实施例中，发出和接收光的装置可包括一个以相对于电介质层表面的预定角度定向发光的光源。发出和接收光的装置可包括一个用于测量半导体器件的反射光的光强的光学传感器。光的波长最好介于约 200 纳米和约 800 纳米之间。半导体器件可包括一个存储器芯片。

本发明的这些以及其它的目的、特征和优点将通过结合附图对示范的实施例的详细说明而变得清晰。

附图说明

本发明将参照以下附图对优选的实施例详细说明，附图中：

图 1 是根据现有技术的半导体器件的剖面图，它示出其下有金属线的电介质层；

图 2 是各层的剖面图，它示出根据现有技术所进行的光学测量；

图 3 是根据现有技术的抛光后的半导体器件的剖面图，其金属线是小宽度的；

图 4 是根据现有技术的抛光后的半导体器件的剖面图，它示出金属线的中心部分因抛光而被磨去的情况；

5 图 5 是根据本发明的半导体器件的剖面图，此半导体器件在抛光后具有凹面金属线；

图 6 是根据本发明的图 5 的半导体器件在沉积了电介质层之后的剖面图；

10 图 7 是根据本发明的图 6 的半导体器件的剖面图，它示出用于测量电介质层厚度的光的相互作用；及

图 8 是根据本发明的用于测量电介质层厚度的系统的剖面图。

具体实施方式

15 本发明涉及半导体器件，具体地，涉及以光学方法测量例如金属的反射材料上面的电介质层厚度的方法和系统。本发明对采用光学干涉方法测量经上述凹面成形的结构上面的电介质层提供了一种方法。这种结构可包括反射材料，其中包括金属，但不限于金属。当这种结构为镶嵌或双重镶嵌金属时，凹面成形问题就受到特别的关注。本发明对存储器芯片，例如 DRAM(动态随机存储器)芯片，是特别有用的。

20 现详细参见各附图，其中一些图中的同类的标号表示相似或相同的元件。图 5 示出半导体器件 100 的一部分。半导体器件 100 包括一个器件层 102。器件层 102 包括一个基片和一些器件。这些器件可包括例如沟槽电容器的电容器和/或例如场效应管的晶体管。这些器件利用含有掺杂物的一个或多个扩散区提供已为本领域技术人员所熟知的半导体性。

25 电介质层 104 形成于器件层 102 的上面。电介质层 104 经已知的处理过程而成型，其中的孔或沟槽 106 最好采用蚀刻工艺来制成。孔 106 中填有导电材料，最好是用金属来构成通道或接触体 108。通道 108 连接至扩散区并与较上的金属层相接，使得位于器件层 102 的各器件接通并激活。通道 108 通过在电介质层 104 上面沉积一金属层而形成。此金属层又被蚀刻

或抛光至一个预定的高度。

通道 108 形成之后，电介质层 110 沉积于电介质层 104 和通道 108 的上面。电介质层 110 经成型并经蚀刻以形成沟槽 112。导电层沉积在沟槽 112 之内并位于导电层 110 表面的上面。导电层构成了导电结构 114，例如
5 是为半导体器件 100 中的各器件或芯片以外的各器件经通道 108 提供相互连接的金属线，更具体地，对于半导体存储器件来说，金属线可以包括字线或位线。导电结构 114 最好是镶嵌金属或双重镶嵌金属。镶嵌金属或双重镶嵌金属可包括钛、钨、铜、钽、氮化钽、氮化钛或它们的组合。采用化学蒸镀 (CVD) 工艺、物理蒸镀 (PVD) 工艺和/或电镀工艺的方式，可使镶嵌
10 金属沉积。镶嵌处理包括第一材料的沉积，例如是电介质材料，以便在沉积的材料中形成沟槽，并将金属沉积于沟槽中。如本领域中所熟知的，在使用及沉积主要金属材料之前，要先使用及沉积衬底材料。

用化学机械抛光处理，可使导电层从电介质层 110 的表面除去。如图 5 所示，此处理过程造成在导电结构 114 中的凹面成形。

15 参照图 6，电介质层 116 沉积于导电结构 114 和电介质层 110 的上面。电介质层 116 最好包括硅氧化物，例如 TEOS 或硅烷氧化物。由于电介质层 116 是沉积的，电介质层 116 肯定与其所沉积的表面完全一致。换言之，电介质层 116 重复着其下面的导电结构 114 和电介质层 110 的拓扑结构。因此，电介质层 116 在半导体器件 110 上具有同样的厚度。

20 参照图 7，可见到电介质层 116 具有相同的厚度，根据本发明，可进行光学干涉测量。如采用一个相当深的范围以确保存留的部分金属可将入射光反射，则无须依赖于导电结构 114 的表面，它会由于形成凹面而变得不一致。用作光学干涉测量的深度范围内有光入射，用箭头“D”表示，入射光进入电介质层 116 并发生折射，如箭头“E”所示，一部分光被反射，
25 如箭头“F”所示。进入电介质层 116 的光穿行至通道 108 的深处。从通道 108 反射的光，或换言之从导电结构 114 的较深部分反射的光，用箭头“H”表示，此较深部分是举例性的，它在此例中是处于接近通道 108 但凹面成形并未达到通道 108 的深处。由“F”和“H”表示的光发生干涉以形成干涉图象，从中可测量电介质层 116 的深度。在一个优选的实施例中，光的

波长介于约 200 纳米和约 800 纳米之间，更优选的情况是介于约 700 纳米和 800 纳米之间。可采用单一波长的光或波长为某一范围的光。如前所述，进行这种测量的宽度范围是约 20 至 30 微米。因此，限制线宽以减少凹面成形的限制性设计原则已不再重要。而且，可以得到对位于凹面形的金属线上面的电介质层的精密的光学干涉测量，而金属线例如是凹面形的镶嵌和双重镶嵌的金属线。参照图 8，用于测量电介质层厚度的系统 200 如图所示。光学测量装置 202 包括一个光源 204 和一个用于测量半导体器件 100 的反射光的强度场的光学传感器 206。光源 204 以不大于临界角的角度发射光，使得一部分光被反射，一部分光透射。透射部分到达通道 108 的深处并如上所述被反射。反射光形成一个随位置而变化的强度场。计算干涉图象中的条纹(它是光的波长的倍数)，可得出电介质层 116 的厚度。也考虑过用于光学测量的其它技术。处理器 208 可用于处理反射光的强度数据以助得出强度场。光学测量装置所包括的干涉计量厚度测量工具已商业化。

以上对以光学方式测量电介质厚度的方法和系统的优选实施例进行了描述(该例为示范性的，不具限制作用)，需要指出的是，根据上述教导，本领域的技术人员可作出改进和改变。因此，尤其是对于本发明的优选实施例进行修改是可以理解的，而本发明应由后附的权利要求书界定其范围与精神。已对本发明详细地并且按照专利法的要求进行了描述，后附的权利要求书中列出了所要求保护的和所要求授权的内容。

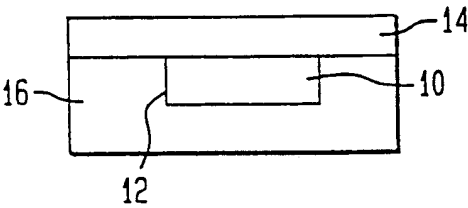


图 1
(现有技术)

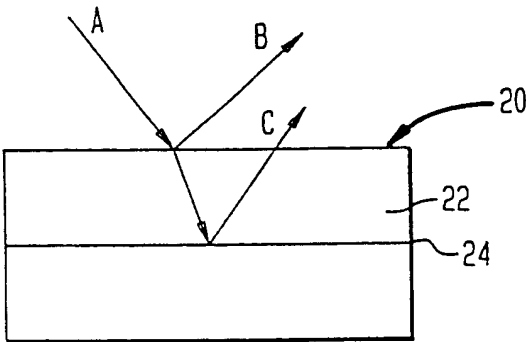


图 2
(现有技术)

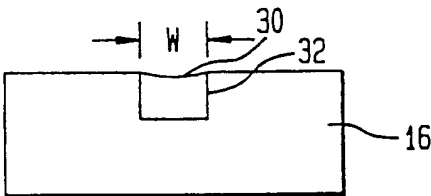


图 3
(现有技术)

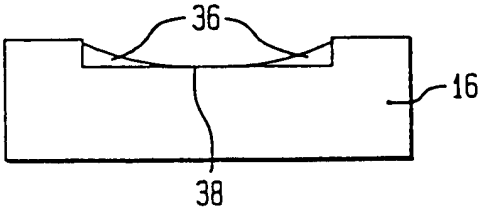


图 4 (现有技术)

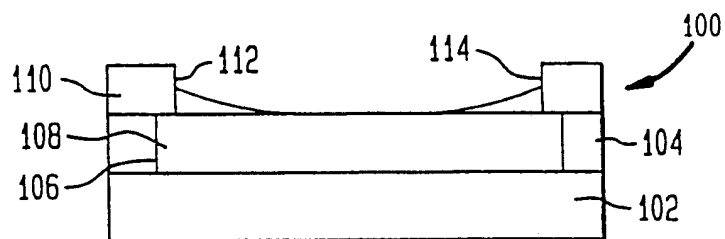


图 5

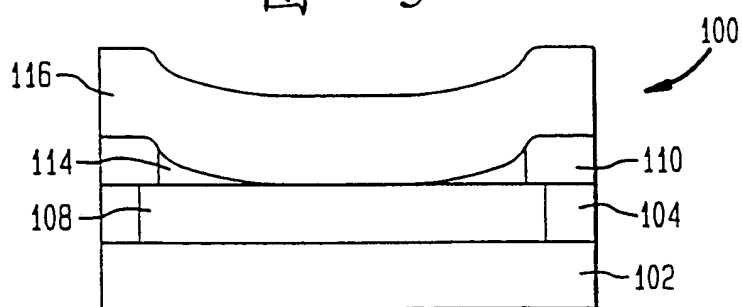


图 6

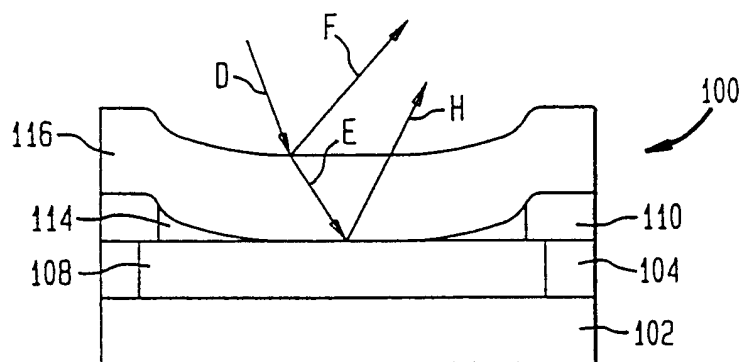


图 7

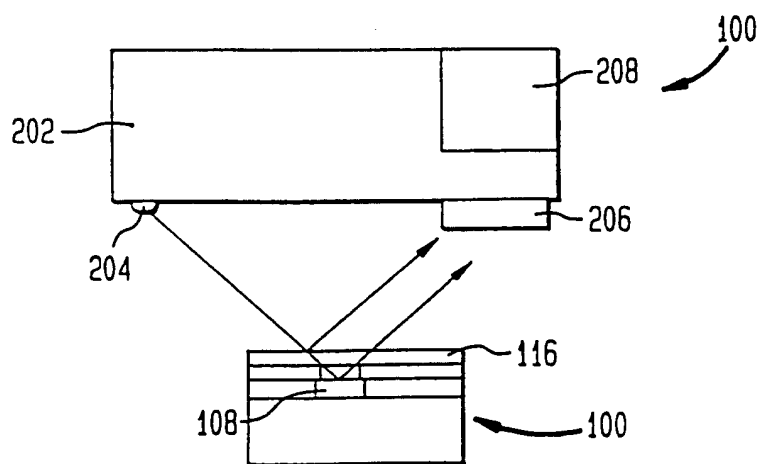


图 8