

(由本局填寫)

承辦人代碼：
大 類：
I P C 分類：

A6
B6

本案已向：

國（地區） 申請專利，申請日期： 案號： ，☐有 ☐無主張優先權
美國 2000年11月10日 09/709,699 ☒有 ☐無主張優先權

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明(1)

發明範疇

大體上，本發明係有關於大量儲存裝置的領域，而更明確而言，係有關用以提高一預放大器電路的寫入至讀取轉換之系統及方法。

發明背景

在圖1描述的例如範例磁碟機10的硬碟機包括可用於儲存資訊的一堆磁塗層磁盤12。該等磁塗層磁盤12係經由稱為一磁盤堆疊的轉軸14而整個安裝於一疊放位置。磁盤堆疊典型可藉由稱為一轉軸馬達或一伺服馬達(未在圖顯示)的馬達旋轉。一空間可在每個磁盤之間提供，以允許具有讀/寫頭的一臂18或滑動器20可置於各個磁盤12的每一面，所以資訊可儲存及取回。資訊可儲存在每個磁盤12的每一面，而且通常是以磁區、磁軌、磁域、及磁柱構成。

該等讀/寫頭或滑動器20之中每一者是安裝到專屬懸臂18的一端，所以該等讀/寫頭之中每一者可依需要放置。該等懸臂18之中每一者的相對端可在一聲圈馬達16(VCM)一起耦合，以形成可由聲圈馬達定位的一單元或組件(時常稱為一磁頭堆疊組件)。該等懸臂18之中每一者可在與彼此有關的一固定位置上提供。聲圈馬達16可配置所有懸臂18，所以主動讀/寫頭20可供讀取或寫入資訊而適當配置。讀/寫頭20可從資料儲存的每個磁盤12的至少一內部直徑移到一外部直徑。此距離稱為一資料行程。

硬碟機亦包括多種電子電路，用以處理資料及控制它整個操作。此電子電路包括一預放大器、一讀取通道、一寫

五、發明說明(2)

入通道、一伺服控制器、一馬達控制電路、一唯讀記憶體(ROM)、一隨機存取記憶體(RAM)、及多種磁碟片控制電路(未在圖顯示)，以控制硬碟機的操作，及使硬碟機與一系統匯流排正確形成介面。預放大器可包含一讀預放大器、及亦稱為一寫驅動的寫預放大器。預放大器能以例如一讀預放大器及一寫預放大器或寫驅動器的單一積體電路或個別積體電路實施。磁碟控制電路通常包括一個別微處理器，用以執行在記憶體中儲存的指令，以控制硬碟機的操作與介面。

當儲存及取回資料時，硬碟機可執行寫、讀、及伺服操作。通常，一寫操作包括從一系統匯流排接收資料、及將資料儲存在隨機存取記憶體。微處理器可排程一連串事件，以允許資訊可藉由寫入通道而從隨機存取記憶體傳輸給磁盤12。在資訊傳輸之前，讀/寫頭20可放置在適當磁軌上，而且磁軌的適當磁區可定位。然後，來自隨機存取記憶體的資料可當作一數位寫信號而與寫入通道溝通。寫入通道可處理數位寫信號，並且產生一類比寫信號。在如此做中，寫入通道可將資料編碼，所以資料可稍後更可靠取回。在由預放大器先定下條件之後，數位寫信號然後可提供給一適當讀/寫頭20。將資料寫到記錄媒體或磁盤12典型可藉著將一電流應用於一磁頭線圈20執行，所以一磁場可在一相鄰磁導核心中感應，而且該核心可在一磁碟間隔上傳輸一磁信號，以便使磁碟媒體的一小圖案或數位位元磁化。

五、發明說明(3)

有關一讀取操作的電路是在圖2描述，而且是以參考數字30表示。在一讀取操作中，讀取的適當磁區可找到，而且先前寫到磁盤的資料12可被偵測。適當的讀/寫頭20(如圖2的一磁阻負載20a描述)可感測磁通量變化，而且產生一對應類比讀信號。該類比讀信號可提供給電子電路，其中一預放大器電路32可放大類比讀信號。然後，放大的類比讀信號可提供給一讀取通道電路34，其中讀取通道可定下信號的條件，並且從信號偵測"零"和"壹"，以產生一數位讀信號。讀取通道可藉由使用例如自動增益控制(AGC)技術將信號放大成一適當位準而定下信號的條件。然後，讀取通道可將信號濾波，以便移除不必要的高頻率雜訊，使通道等化，執行從信號將資料復原、及格式化數位讀信號。然後，數位讀信號可從讀取通道傳輸，及儲存在隨機存取記憶體(未在圖顯示)。然後，微處理器可與主機溝通資料是否準備傳輸。

讀取通道電路34可使用任何各種已知或可用的讀取通道實施。例如，讀取通道34可如同一峰值偵測類型讀取通道或一更先進類型讀取通道實施，以利用非連續時間信號處理。峰值偵測類型讀取通道包括用以偵測放大類比讀信號的位準、及在取樣窗期間決定波形位準是否超過一臨界值位準。非連續時間處理類型信號讀取通道可藉由使用一資料復原時脈而同步取樣放大的類比讀信號。然後，取樣可藉著使用信號處理理論而經由一連串數學運算處理，以產生數位讀信號。有數種類型的非連續時間信號處理讀取通

五、發明說明(4)

道，例如一部分響應、最大可能(PRML)通道；一延伸PRML通道；一增強延伸PRML通道；一固定延遲樹狀搜尋通道；及一決定回授等化通道。

當磁盤12旋轉時，讀/寫頭20必須對準或保持在一特殊磁軌，為了要正確讀取在那上面的資料。此可藉著經由一伺服控制迴路中提供的一伺服控制器使用而由一伺服操作完成。請即參考圖3，其係表示一磁盤12的平視圖，在一伺服操作中，一伺服楔子40是從通常包括磁軌識別資訊及磁軌偏移資訊44的一磁軌42讀取。磁軌偏移資訊亦稱為位置錯誤資訊。當伺服猝發時，位置錯誤資訊44可提供，而且可在讀與寫操作期間使用，以確保讀/寫頭可在一磁軌上正確對準。如接收位置錯誤資訊的結果，伺服控制器可產生一對應控制信號，以便經由聲圈馬達將讀/寫頭20定位。來自伺服楔子40的磁軌識別資訊44亦可在讀與寫操作期間使用，所以一磁軌42可正確識別。

硬碟機設計者償試提供能以一高信號-雜訊比及低位元錯誤率操作的較高容量磁碟機。若要達成較高容量，在每個磁盤的每一面上儲存的資料密度必須增加。此在硬碟機電子電路上造成明顯負荷。例如，當密度增加時，用來儲存磁盤資料的磁轉換必須實質更緊密放置。當執行一讀取操作時，此時常會造成符號間干擾。結果，硬碟機電子電路必須提供可在較高頻率操作的更複雜處理電路，以正確處理符號間干擾及和較高頻率讀信號。在某些情況，轉軸馬達速度可增加，以進一步增加讀信號與寫信號的頻率。此

五、發明說明(5)

外，密度增加需要伺服控制系統提供一較高頻寬，以增加讀/寫定位解析度。

如上面說明增加資料儲存密度的討論，轉軸馬達速度可從大約5400 RPM的一磁盤旋轉速度增加到大約7200 RPM或更大。為了要說明增加速度，一磁頭20的寫入至讀取轉換時序變成很重要。例如，當執行一寫操作時，磁頭20可於磁盤旋轉時移到磁盤12的一磁軌42。如圖3所述，當遇到一伺服區域或楔子40時，磁頭20必須很快從一寫入狀態轉換成一讀取狀態，為了要讀取儲存的伺服資訊，而且然後很快轉變成一寫入狀態，為了要持續將資料寫到磁盤12。如果寫入至讀取轉換時間很慢，那麼既然磁盤是以一通常固定速度旋轉，所以伺服楔子40必須較大。既然許多伺服楔子40是在磁盤12(例如，大約60)上，一最佳化寫入至讀取轉換時間允許楔子40減少，藉此增加資料儲存密度。

在技藝中需要可提供展現減少寫入至讀取轉換時間的預放大器電路。

發明概述

本發明係有關於用以在一硬碟機預放大器電路中減少一寫入至讀取轉換時間之系統及方法。

根據本發明，當建立一交錯雜訊抑制關閉機構以避免預放大器電路飽和時，寫入至讀取轉換時間可藉著將一直流偏壓同時應用結合到預放大器電路的所有級而從傳統預放大器電路減少。藉著將實質同時將直流偏壓提供給預放大器電路的所有級，與所有放大器級有關的一決定時間可減

五、發明說明(6)

少，藉此當從一寫入狀態改變成一讀取狀態時，可允許預放大器電路可在一較早時間上開始讀取資料。此外，交錯雜訊抑制關閉機構藉由避免來自飽和放大器電路的直流偏壓所產生的不正常而允許直流偏壓的同時應用。

本發明亦包括預放大器電路的一極性改變元件，其操作可避免由於交錯雜訊抑制關閉機構而使低頻率不正常從預放大器電路飽發生。極性改變元件可選擇性採用或程式化，以致於只要激勵，一極性便可於一預定時間週期改變，其中與一高通濾波器有關的截止頻率點可增加，以確保拒絕經由預放大器電路的不正常。在預定時間之後，極性可改變成它最初位置，藉此減少高通濾波器的截止頻率，以便能以一迅速方式在較低頻率上讀取資料。

根據本發明的一觀點，一預放大器電路包含複數個放大器級，其操作可連續放大經由一硬碟機的磁頭偵測的一信號。預放大器電路可進一步包含一電源傳遞電路，其操作是耦合到放大器級，而且其操作能以一實質同時方式將電源提供給該等放大器級之中每一者，藉此減少一決定時間。此外，一控制電路的操作是耦合到放大器級，而且其操作可藉著以一交錯方式關閉一雜訊抑制機構而激勵該等放大器級，藉此從飽和預放大器電路移除或減少與放大器級的實質同時電力應用有關的不正常。

根據本發明的另一觀點，預放大器電路包含一極性改變電路，其操作是耦合到該等放大器級之中一者，而且該放大器級的操作是與此放大器級形成介面，以形成一可程式

五、發明說明(7)

高通濾波器電路。當一讀取狀態偵測到時，高通濾波器便可程式化到某種程度，例如，相關的截止頻率可被增加，以拒絕由同時直流偏壓應用及/或交錯雜訊抑制關閉所產生的低頻雜訊，如此可避免預放大器電路飽和。在一預定時間週期之後，截止頻率可藉著改變有關它最初位置的一極性而減少，以允許在較低信號頻率上傳遞資料。

根據本發明的仍然另一觀點，一預放大器電路包含串聯耦合的複數個差動放大器級。預放大器電路包含一直流偏壓傳遞電路，其操作可在一讀取模式偵測到時，將正與負直流偏壓大約同時傳遞給該等放大器級之中每一者。該等放大器級之中每一者的此直流偏壓應用可大約同時減少所有放大器級的一總決定時間，如此便允許比傳統解決更快讀取資料。此外，預放大器電路包含一雜訊抑制電路，在讀取模式偵測之後，其操作可根據一根據預定時序而以一交錯方式使多重放大器級的差動輸入或輸出短路。藉著交錯使多重放大器級的各種不同雜訊抑制情況關閉，與實質同時直流偏壓應用與較早雜訊抑制關閉有關的不正常可從飽和預放大器電路避免。

根據本發明的仍然另一觀點，一可程式高通濾波器電路的操作是與上述直流偏壓傳遞電路及雜訊抑制電路有關，以避免一寫入至讀取轉變時間受到雜訊或不正常的不利影響。只要偵測到一讀取模式，可程式高通濾波器的操作便可改變一極性，以增加與其有關的一截止頻率。結果，由雜訊抑制電路所產生的任何低頻不正常或偏移可於寫入至

五、發明說明(8)

讀取轉換期間在預放大器電路中拒絕。在一預定時間週期之後，截止頻率可藉著將極性改變成有關它最初位置而減少，以允許可由磁頭讀取的低頻資料傳遞。

根據本發明的另一觀點，其係揭露用以減少一硬碟機預放大器電路的寫入至讀取轉換時間之方法。該方法包含可大約同時偵測一讀取模式的開始及將直流偏壓耦合到預放大器電路的複數個放大器級。結果，有關啟動放大器級的一交錯決定時間可減少。此外，該方法包含下列：只要偵測到讀取狀態，可藉由一交錯方式關閉一或多個雜訊抑制情況，而以一預定順序選擇性啟動該等放大器級。此選擇性激勵可避免從飽和預放大器電路發生與直流偏壓應用有關的不正常。

根據本發明的仍然另一觀點，用以減少寫入至讀取轉換時間的方法係進一步包含下列：只要偵測到讀取狀態，可增加與放大器級有關的一高通濾波器截止頻率，藉此拒絕由直流偏壓所造成的低頻率不正常或雜訊、或以一預定順序選擇性激勵該等放大器級。在一預定時間週期之後，截止頻率可減少到一最初值，藉此允許低頻資料信號傳遞。

若要達成先前及相關目的，本發明包含下文詳細描述的特徵及在申請專利中特別提及的。下列描述及附圖是以本發明的觀點與實施詳細說明。然而，這些說明一些各種不同方法是採用本發明的原理。當考慮附圖時，本發明的其他目的、優點及新特徵將可從本發明的下列詳細描述而變得更顯然。

五、發明說明(9)

圖式之簡單說明

圖1是一先前技藝磁碟機大量儲存系統透視圖；

圖2係描述與在一磁碟機大量儲存系統的讀/寫有關的電路圖；

圖3係描述一磁盤的平面圖，其中該磁盤具有與用於將一讀/寫頭正確定位有關的一伺服楔子；

圖4係描述具有一增加直流偏壓控制結構的傳統4級預放大器電路圖；

圖5係根據本發明而描述具有一直流偏壓結構及雜訊抑制電路的一4級預放大器圖，其中該直流偏壓結構及雜訊抑制電路有助於改良寫入至讀取轉換時間；

圖6係根據本發明的一觀點而描述用以關閉圖5各種不同雜訊抑制電路的時序信號之一連串波形圖；

圖7係根據本發明的一觀點而描述預放大器電路的一放大器級圖，其具有的電路可調整在從一寫入狀態轉換成一讀取狀態中所使用一第一與第二頻率之間的截止頻率；

圖8a係根據本發明的一觀點而描述在一第一及第二頻率之間用以切換與一預放大器有關的一極性的電路方塊圖；

圖8b係根據本發明而描述在一第一及第二頻率之間切換一極性方式的一連串波形圖；

圖9係根據本發明而描述在一寫入至讀取轉變時間上的本發明數個觀點之一性能影響的一連串波形圖；及

圖10係根據本發明的另一觀點而描述在一硬碟機預放大器電路中用以減少一寫入至讀取轉換時間的方法流程圖。

五、發明說明 (10)

發明之詳細說明

本發明現將參考附圖描述，其中類似編號元件係表示相同零件。本發明是針對用以減少一硬碟機系統的寫入至讀取轉換時間之系統及方法。

為了要了解與本發明有關的各種不同原理，現將提供一寫入至讀取轉換時間的簡短說明。當一硬碟機是在一寫入模式時，預放大器電路的一讀取部分可被關閉，以減少功率消耗及避免通過預放大器電路讀取部分輸出的雜訊等。當硬碟機系統從一寫操作轉換成一讀取操作時，預放大器電路的讀取部分必須啟動，為了要開始一讀取操作。啟動預放大器電路的讀取部分需要各種不同電路的配置。將預放大器電路配置在它最後決定值10 mV內所需的時間典型是定義成預放大器的寫入至讀取轉換時間。從上面討論很顯然知道，減少寫入至讀取轉換時間是想要的，為了充份利用磁碟機。

本發明的發明家可了解到傳統預放大器電路的數個觀點並未提供一不想要的常寫入至讀取轉換時間。為了要了解本發明的各種不同觀點，一傳統預放大器電路將參考圖4的參考編號100簡短討論。預放大器電路100包含串聯耦合的複數個差動放大器級102、104、106和108。第一放大器102是一高增益級放大器，其可偵測跨在磁頭(如負載阻抗 R_{MR})上的一差動信號，並且輸出在它輸出上的一放大信號。第二放大器級104典型可將數個讀取通道一起多工，以致於來自用以驅動多重第一級102多重磁頭的信號可在單一

五、發明說明(11)

第二級104多工，並且在它的輸出上放大。第三及第四放大器級106和108典型是低增益級，並且可執行例如增益控制的各種不同功能。

當預放大器電路100是在一寫入模式時，多重級102、104、106和108不會啟動，為了要減少功率消耗。即是，例如 V_{DD} 和 V_{SS} 的直流偏壓可例如藉著經由如圖4所述開關110切斷此直流偏壓而不致於運用到各種不同級。當一讀取模式偵測到時，一控制電路(未在圖顯示)可藉著經由複數個控制信號將開關110關閉而啟動放大器級102、104、106和108。然而，為了要避免飽和預放大器電路100發生與直流偏壓有關的不正常，控制電路可先關閉與第一放大器級102(例如，在時間 t_1)有關的開關，然後等待高增益放大器級102，以便在關閉其他級(例如，在一稍後時間 t_2)的開關之前決定。放大器級的此連續激勵可藉著傳遞的直流偏壓耦合、及經由各種不同級獲得放大、及使預放大器電路飽和而避免在放大器級中產生的不正常。

因此，例如電路100的傳統預放大器電路可在兩或多個非連續時間週期將直流偏壓提供給放大器級，以致於整個預放大器電路100的總決定時間是基於第一級102及其他級104、106、和108的決定時間組合。本發明的發明家可了解到此一總決定時間會不利影響到預放大器電路的寫入至讀取轉換時間。

根據本發明的一觀點的預放大器電路是在圖5描述，而且是以參考數字150表示。預放大器電路150包含類似圖4方

五、發明說明 (12)

式的串聯耦合複數個差動放大器級102、104、106、和108。此外，預放大器電路150亦具有直流偏壓 V_{DD} 和 V_{SS} ，其可經由開關110而選擇性耦合到放大器級。預放大器電路150不同於圖4的傳統預放大器電路100，在於直流偏壓是以一實質同時的方式傳遞給放大器級。即是，只要偵測到一讀取模式情況，直流偏壓可例如實質大約同時耦合到多重放大器級之中每一者。為了此目的，預放大器電路150包括例如一控制電路152的電源傳遞電路，其操作可經由一信號154而偵測一讀取模式的開始，而且產生複數個控制信號，以便大約同時(例如， t_{all})激勵該等開關110之中每一者。

此外，圖5的預放大器電路150進一步包括參考數字160整體描述的一雜訊抑制電路。只要偵測到讀取模式，雜訊抑制電路160的操作便可經由例如控制電路52而以預定順序激勵數個放大器級。根據本發明的一觀點，雜訊抑制電路160包含在各種不同放大器級的一差動輸入或輸出上耦合的複數個開關S1、S2、和S3。當在一寫入模式關閉時，開關S1、S2和S3可使放大器級102和108短路，及避免從其到輸出來自磁頭 R_{MR} 的任何雜訊或不正常(例如，如差動輸出RDX和RDY的描述)。

當讀取模式由控制電路152偵測到時，雜訊抑制電路160的操作可藉著一預定順序開啟開關S1、S2、和S3而激勵多重放大器級。例如，在等待一預定時間週期(例如， t_{D1})之後，控制電路152可開啟開關S1，如此可激勵第一放大器級

五、發明說明 (13)

102。然後，在等待另一預定時間之後，在讀取模式偵測(例如 t_{D2})之後，控制電路152可開啟開關S2，而且在時間週期 t_{D3} 之後，S3可開啟。因此，雜訊抑制電路160與控制電路152的操作能以一交錯方式開啟開關S1、S2和S3。

雜訊抑制電路160的操作可避免與放大器級的直流偏壓實質同時應用有關的不正常。例如，當 V_{DD} 和 V_{SS} 提供給放大器級102、104、106和108時，不正常便會在其產生。然而，既然S1關閉，其表示一雜訊抑制情況，所以沒有不正常會在第一放大器級102的輸出上形成。同樣地，由於直流偏壓，在放大器級104和106所產生的任何不正常可由開關S2抑制，其中當提供直流偏壓時，開關S2可關閉。最後，在最後放大器級108上產生的任何失真可經由關閉的開關S3抑制。因此，當直流偏壓以一實質同時方式提供給放大器級時，雜訊抑制電路160的操作便可避免預放大器電路150飽和，如此允許一較快決定時間及減少寫入至讀取轉換時間。

在一預定時間週期(例如， t_{D1})之後，與直流偏壓應用有關的任何不正常可被雜訊抑制。然後，S1可由控制電路152開啟。S1本身的開啟會在放大器級102的輸出上造成一不正常，而經由放大器級104和106傳遞，然而，既然開關S2仍然是關閉，所以不正常可被抑制，如此可避免預放大器電路150飽和。在第二預定時間週期過去之後，既然讀取模式偵測可被偵測(例如， t_{D2} ，其中 $t_{D2} > t_{D1}$)，所以開關S2可開啟，其本身會造成最後放大器級108的一不正常。然而，既

五、發明說明 (14)

然開關S3仍然是關閉，所以不正常可被抑制，如此可避免預放大器電路150飽和。最後，在讀取模式偵測到後的一第三預定時間週期(例如， t_{D3} ，其中 $t_{D3} > t_{D2}$)之後，開關S3可開啟，其本身可在輸出RDX和RDY上建立一較小不正常。然而，如果此一不正常相當小，如此可被忽略。

在上述方式中，可看出雜訊抑制電路160由於一實質同時方式的直流偏壓應用而如何避免預放大器電路150飽和。此外，可看出開關S1、S2和S3的交錯關閉可進一步保護預放大器電路的飽和。此外，由於直流偏壓可大約同時傳遞給該等放大器級之中每一者，寫入至讀取轉換時間可減少，任何不正常可受雜訊抑制電路的抑制，藉此可避免預放大器電路150的一不想要飽和。

根據本發明的一觀點，開關S1、S2、和S3的交錯激勵或開啟如圖6所述以下列方式執行。在一讀取模式偵測到(例如， t_0)之後，控制電路152可等待一時間時期 t_{D1} (例如，大約55毫微秒)，其預期是足夠長的一時間週期，以確保與將直流偏壓耦合到該等放大器級之中每一者有關的任何不正常可大約同時抑制，如此可避免預放大器飽和。在 t_{D1} ，開關S1可開啟，造成經由放大器級102、104和106傳遞的一不正常。然而，既然開關S2仍然是關閉，任何此不正常可被抑制。在控制電路152等待第二時間週期 t_{D2} (例如，大約65毫微秒)之後，開關S2可經由控制電路152開啟。在 t_{D1} 與 t_{D2} 之間的10毫微秒是足夠的時間，以確保由S1開啟所形成的任何不正常可在S2開啟之前被抑制。在控制電路152等待

五、發明說明 (15)

第三時間週期 t_{D3} (例如，大約70毫微秒)之後，開關S3可經由控制電路152開啟。在 t_{D2} 與 t_{D3} 之間的5毫微秒是足夠時間，以確保開關由S2的開啟所形成任何不正常可在S3開啟之前可被抑制。

如上述，與一實質同時方式傳遞直流偏壓有關的雜訊抑制電路160可在傳統解決上減少預放大器電路的寫入至讀取轉換時間。然而，即使使用雜訊抑制電路160，一些偏移可能仍然在寫入至讀取模式轉換期間發生。例如，當S1開啟時，一低頻率、相當長持續時間的不正常(例如，具有大約150毫微秒的一時間常數，大約1-2 MHz的頻率)可能發生，其可經由放大器級104、106和108傳遞，而不管雜訊抑制操作。因此，根據本發明的另一觀點，一可程式化或可選擇性採用的高通濾波器電路能例如藉由與第三放大器級106有關的互補電路而結合在圖5的預放大器電路。本發明係係考慮使用一可程式高通濾波器電路，其可基於一寫入至讀取模式轉換而改變截止頻率。

大體上，可設計高通濾波器電路可如同一極性轉變電路的操作，當偵測到一讀取模式時，其激勵可改變一極性，藉此可於一預定時間週期提高一截止頻率(例如，從大約1-2 MHz到大約10 MHz)。在此預定時間週期期間，既然低頻偏移是低於高通濾波器的增加截止頻率，所以傳遞給預放大器輸出RDX與RDY而與放大器級有關的低頻偏移可被拒絕。在預定時間週期(例如，大約90毫微秒的 t_{DELAY})之後，極性可改變成有關它最初位置，藉此減少有關的截止

五、發明說明 (16)

頻率(例如，回到大約1-2 MHz)，以允許在讀取模式期間讀取低頻資料。

請即參考圖7，一高通濾波器電路190的電路圖係根據本發明的一觀點而描述。高通濾波器電路190包含另一放大器級192，其是與第三放大器級106並聯耦合，其中該等放大器級106和192具有相同增益。放大器級192的差動輸出可提供給具有一可程式截止頻率控制信號196的低通濾波器電路(LPF)194。控制信號196的操作可分別提供一數位類型信號，其中一狀態係指定一第一截止頻率，且第二狀態係指定一第二截止頻率。低通濾波器電路194的輸出可造成超過截止頻率的所有信號頻率元件被拒絕的一信號。低通濾波器電路194的輸出然後可提供給一減法電路198，其中低通濾波器電路194的輸出可從第三放大器級106的輸出減去。減法電路的輸出如此可造成低於LPF 194截止頻率的所有信號頻率元件被拒絕的一信號，藉此可如同一高通濾波器操作。

高通濾波器電路190具有可受來自例如控制電路152的截止頻率控制信號196所控制的一可程式截止頻率。最初，在一讀取模式之前，例如，在寫入模式期間，低通濾波器電路194的截止頻率可於一第一較低頻(例如，大約1-2 MHz)設定。根據本發明的一觀點：當讀取模式偵測到時，控制信號196可改變狀態，而且低通濾波器電路194的操作可將它的截止頻率調整到一第二較高頻(例如，大約10 MHz)。在此時間期間，高通濾波器電路190的操作可避免降到低於

五、發明說明(17)

目前較大範圍頻率的第二截止頻率的任何雜訊或低頻偏移。在一預定時間週期(例如，大約90毫微秒)之後，當任何此低頻偏移預期已放電時，控制信號196便可重新改變狀態，藉此將低通濾波器電路194的截止頻率於其餘的讀取模式降回到它最初截止頻率。隨著較低截止頻率重建，高通濾波器電路190將可通過2 MHz範圍的包含由磁頭所讀取資料的較低頻信號。

若要進一步描述圖7的高通濾波器電路190是如何操作，用以改變高通濾波器電路190極性的一功能電路是在圖8a描述，而且是以參考數字250表示。電路250包括一輸入252，其中放大器級106的輸出可提供給一延遲方塊254及一低通濾波器電路256。延遲方塊254可有利採用，以便在決定方塊258上可同步從一輸入濾波版本隨後減去輸入254。低通濾波器256的操作可傳遞具有低於一截止頻率的信號，該截止頻率 f_{LPF} 是想要極性的一功能。

圖8b係描述在一讀取狀態的低通濾波器194的低通響應範例，其中具有超過截止頻率 f_{LPF} 的頻率信號可被拒絕。如圖8b所述，一第一繪圖310係表示與低通濾波器194的一輸入信號有關的頻率範圍194，而且第二繪圖312係表示與低通濾波器194的輸出有關的一頻率範圍。藉著從響應310減去低通響應312而可獲得如圖8b所述的一高通響應314，其中低頻率截止 f_{LPF} 是低通濾波器截止頻率的一功能。因此，藉著改變低通濾波器194的截止頻率，當預放大器從例如寫入狀態的一非讀取狀態轉換成讀取狀態時，電路的極性可從

五、發明說明 (18)

一第一頻率移到一第二頻率。

如上面的討論，本發明的各種不同觀點可一起操作，以減少預放大器電路的一寫入至讀取轉換時間，而不致於從飽和電路產生不正常、雜訊等。為了要描述與本發明有關的性能優點，圖9係描述3個不同預放大器電路的寫入至讀取轉換時間。一電壓波形402是與圖4的傳統預放大器電路100有關。注意，只要在大約1微秒時間週期上偵測到讀取模式，此一預放大器電路100便可連續提供直流偏壓。波形402最後是在大約350毫微秒內的0V最後想要決定時間值的10 mV範圍內，其是大約傳統預放大器電路100的寫入至讀取轉換時間。

一第二波形404係描述圖5的預放大器電路150，該預放大器電路可大約同時將直流偏壓提供給該等放大器級之中每一者，及結合一雜訊抑制電路，以便將不正常移除。注意，波形404係表示操作放大器級(如比波形402較早的最初尖峰波形所示)的一較短總決定時間。然而，波形404係顯示一相當低頻的不正常傳遞，如此便造成大約200毫微秒的一寫入至讀取轉換時間，其仍然表示在預放大器電路100上的一明顯改良。

最後，圖9係描述結合具圖7可程式高通過濾電路190的預放大器電路150之一第三波形406。注意，在波形406中，波形404的低頻不正常已濾除。因此，波形406的信號不能在用來測量寫入至讀取轉換時間的10 mV防護頻帶外延伸。然而，因為截止頻率增加大約10 MHz的可程式時期是

五、發明說明 (19)

大約90毫微秒，而且既然它另外使用大約10毫微秒將截止頻率移回到大約1-2 MHz，所以資料讀取開始的最小時間是大約100毫微秒。因此，本發明的各種不同觀點組合允許預放大器的寫入至讀取轉換時間從大約350毫微秒減少到大約100毫微秒。

根據本發明的另一觀點，用以減少一寫入至讀取轉換時間的一方法是在如圖10所述揭露。為了說明簡化目的，雖然圖10的方法顯示及以一連串步驟描述，但是可了解到本發明並未局限於步驟順序，根據本發明，一些步驟能以不同順序及/或從圖式及在此描述的其他步驟同時發生。例如，根據本發明的一觀點的方法能以各種不同狀態(例如，在一狀態圖)組合表示。而且，不是所有描述的步驟需要根據本發明的一觀點實施一方法。

請即參考圖10，方法是在步驟502上開始，其中一讀取模式開始可被偵測。例如，此偵測可藉由監視表示硬碟機狀態的二進位信號狀態或一數位字值完成。然而，偵測一讀取模式情況的任何方式可被利用，而且認為是在本發明的範圍內。

回想起當預放大器電路的讀取部分不是在讀取模式時，放大器級並未提供電力，為了要減少功率消耗。因此，在步驟504，在讀取模式偵測之後，用來啟動該等放大器級之中每一者的直流偏壓能以一實質同時方式耦合。即是，直流偏壓不耦合到選取一些的放大器級，而且然後在一預定等待時間之後，可實質提供給其他級，為了要允許同時完

五、發明說明(20)

成第一啟動級的設定。藉著大約同將直流偏壓提供給該等放大器級之中每一者，啟動及準備操作的所有級的總決定時間可實質減少。

方法500可在步驟506持續，其中一雜訊抑制電路的選取部分能以一交錯方式關閉。例如，在一讀取狀態偵測到之前，一部分雜訊抑制電路可被激勵，藉此抑制一或多個放大器級，以避免當不在一讀取模式時，雜訊等經由該讀取預放大器傳遞而發生。當讀取模式在步驟502上偵測到時，雜訊抑制電路可開始它的選取關閉模式，為了要避免來自飽和預放大器的直流偏壓同時應用發生不正常。

根據本發明的一觀點範例，步驟506包含在放大器級上於一預定時間週期(例如，大約55毫微秒)維持雜訊抑制情況，以確保該等直流偏壓不正常可有效抑制。然後，在第一放大器級(例如，級102)上的一雜訊抑制可關閉，而其他雜訊抑制情況可維持，如此可避免不正常從飽和預放大器電路發生。然後，在更多時間(例如，另外10毫微秒)之後，與預放大器電路輸出有關的另一雜訊抑制情況可關閉。雜訊抑制情況的交錯關閉可避免直流偏壓發生預放大器飽和，而且亦可從飽和預放大器避免與雜訊抑制關閉處理本身有關的不正常。

此外，在讀取模式於步驟502偵測到之後，一高通濾波器電路的截止頻率會在步驟508上增加。因此，經由雜訊抑制關閉處理造成的任何低頻率雜訊或偏移可被拒絕。在一預定時間週期(例如，大約90毫微秒)之後，高通濾波器的截

五、發明說明(21)

止頻率可回到它最初狀態，以允許讀取低頻資料。

雖然本發明已顯示及描述某較佳具體實施例或一些具體實施例，但是它很明顯類似變更及修改可在技藝中熟諳此技者閱讀及了解此規格與附圖而發生。特別是有關上述元件(組件、裝置、電路等)執行的各種不同功能，除非另外表示，用來描述此元件的術語(包括一"裝置"參考)係對應執行描述元件(即是，類似功能)所指定功能的任何元件，即使結構不是類似在執行本發明的具體實施例中所述功能的結構。此外，雖然本發明的一特殊特徵的揭露是與數個具體實施例之中一者有關，但是此特徵可結合想要其他具體實施例的一或多個特徵及任何特定或特殊應用的優點。此外，對於在詳細說明及申請專利範圍中所使用"包括"的術語而言，此術語包括類似術語"包含"的一种方式。

四、中文發明摘要(發明之名稱： 用於硬碟驅動系統中之差動預放大器
電路的寫入至讀取切換改良)

本發明係有關揭露一種預放大器電路，該預放大器電路包含複數個放大器級，耦合在一起且其可操作以連續放大與一硬碟機的磁頭有關的信號。當硬碟機從一寫入狀態轉換成一讀取狀態時，該預放大器電路可進一步包含一電源傳遞電路，其可操作地耦合到該等放大器級，而且其可操作地以一實質同時方式將電源提供給該等放大器級。此外，該電路包含一控制電路，其可操作地耦合到該等放大器級，並且在將電源提供給該等放大器級之後，能以一大致連續方式將複數個放大器級之中至少兩者激勵。在上述的方式中，該預放大器電路之一輸出飽和可藉著實質防止經由預放大器電路的不正常傳遞、及提供一實質快速寫入至讀取轉移時間而避免。

英文發明摘要(發明之名稱： WRITE-TO-READ SWITCHING
IMPROVEMENT FOR DIFFERENTIAL
PREAMPLIFIER CIRCUITS IN HARD DISK
DRIVE SYSTEMS)

The present invention relates to a preamplifier circuit comprising a plurality of amplifier stages coupled together and operable to consecutively amplify a signal associated with a head of a hard disk drive. The preamplifier circuit further comprises a power delivery circuit operably coupled to the amplifier stages and operable to provide power to the amplifier stages in a substantially concurrent manner when the hard disk drive is transitioning from a write state to a read state. In addition, the circuit comprises a control circuit operably coupled to the amplifier stages, and operable to activate at least two of the plurality of amplifier stages in a generally consecutive manner after the providing of power to the amplifier stages. In the above manner a saturation of an output of the preamplifier circuit is avoided by preventing substantially a propagation of glitches through the preamplifier circuit and providing for a substantially fast write-to-read transition time.

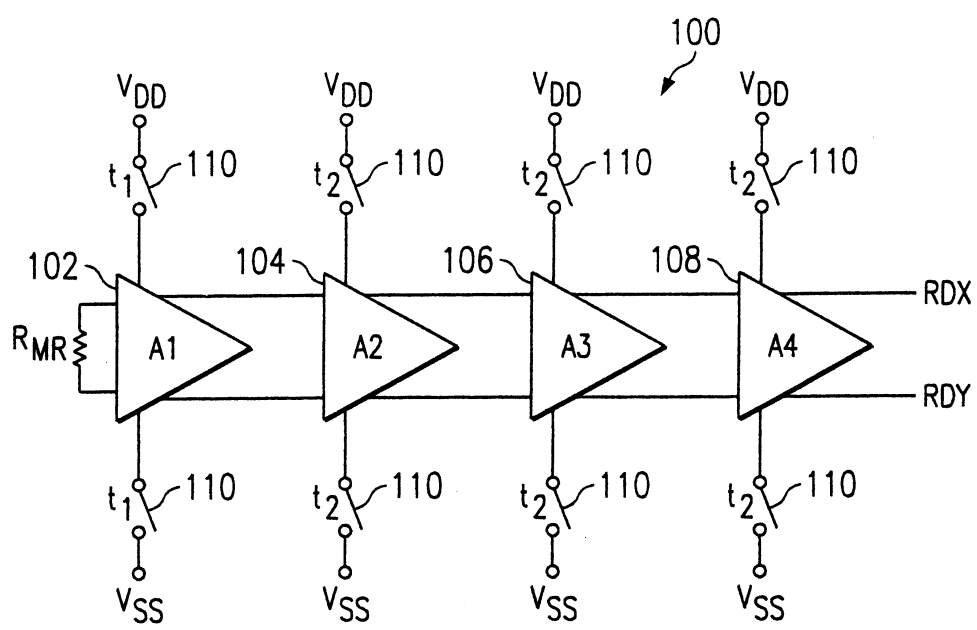


圖 4

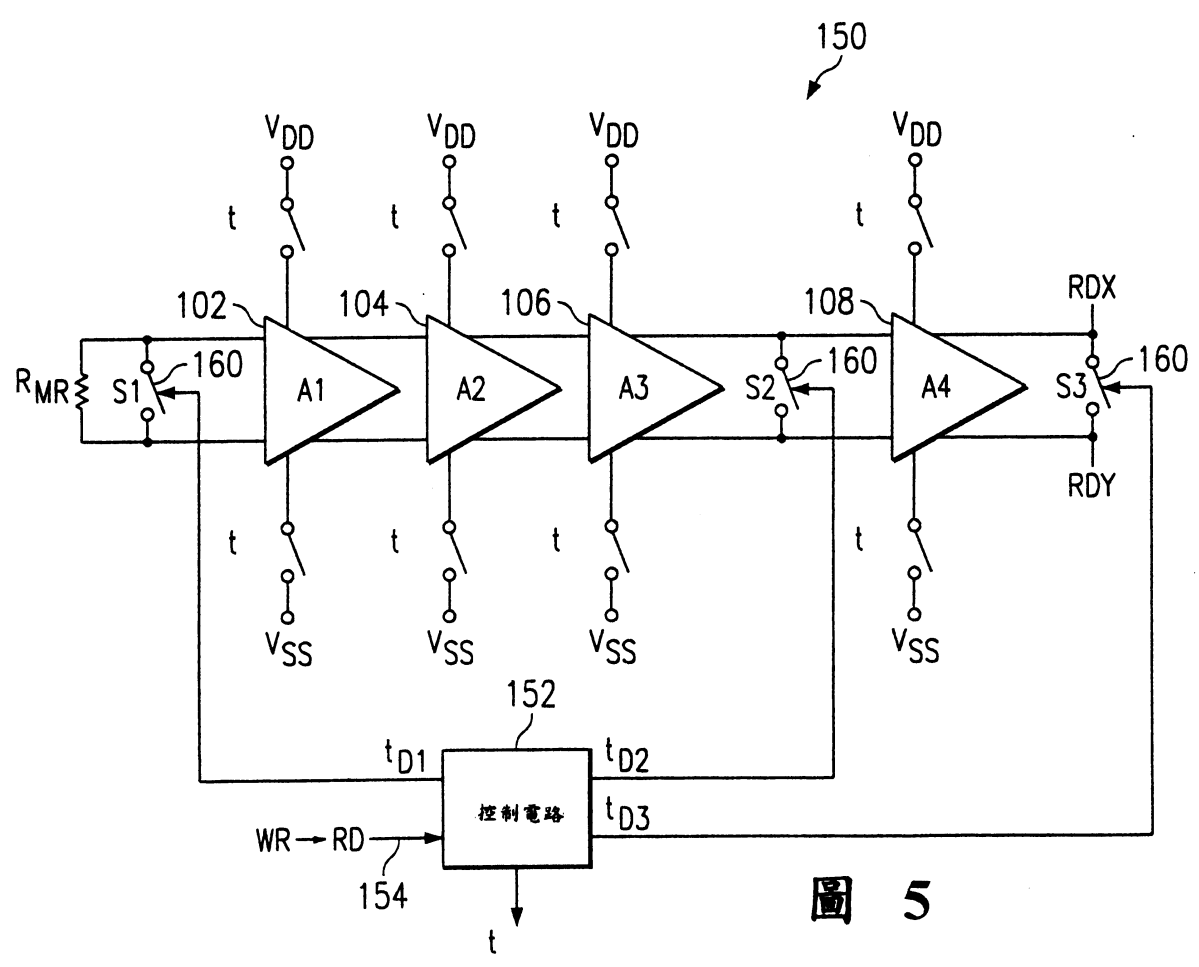


圖 5

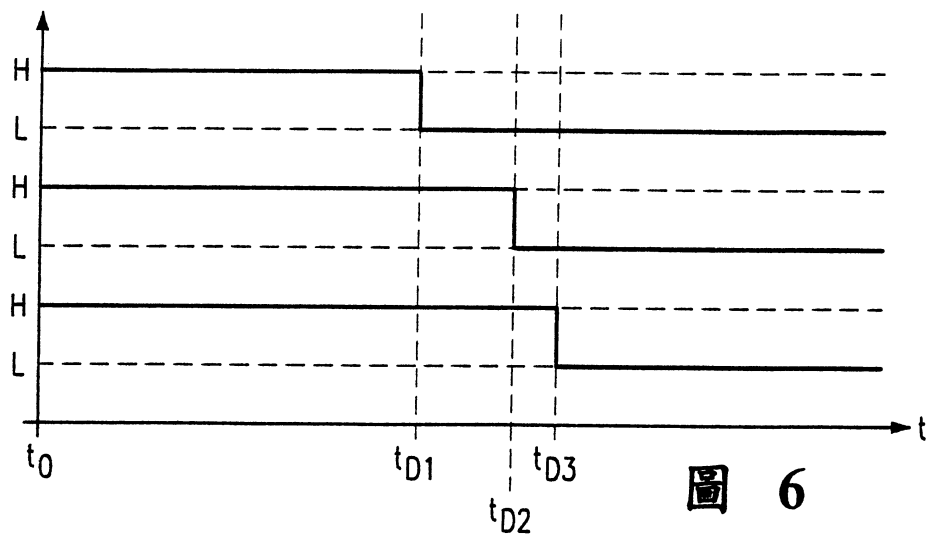


圖 6

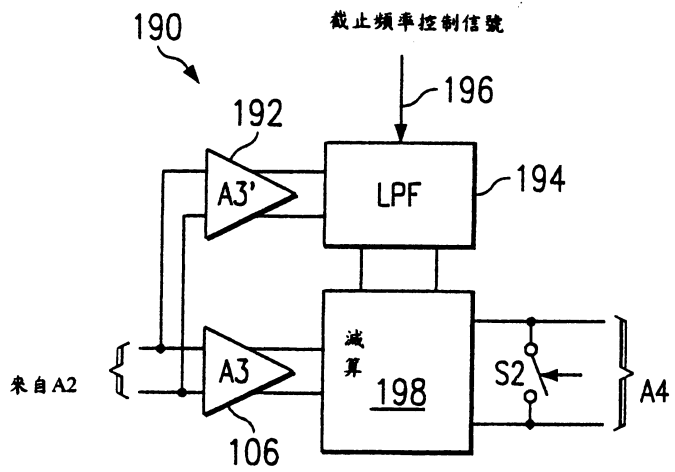


圖 7

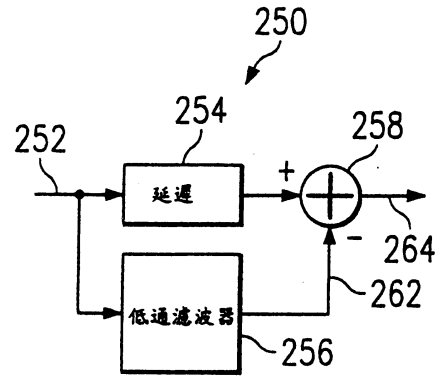


圖 8a

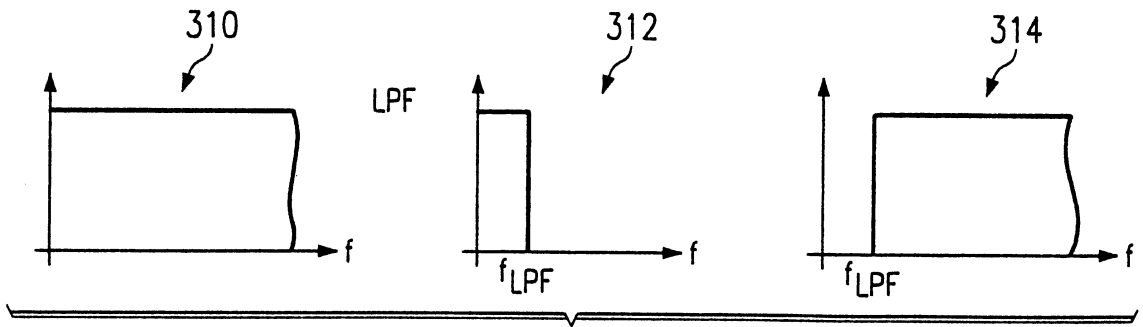


圖 8b

圖 9

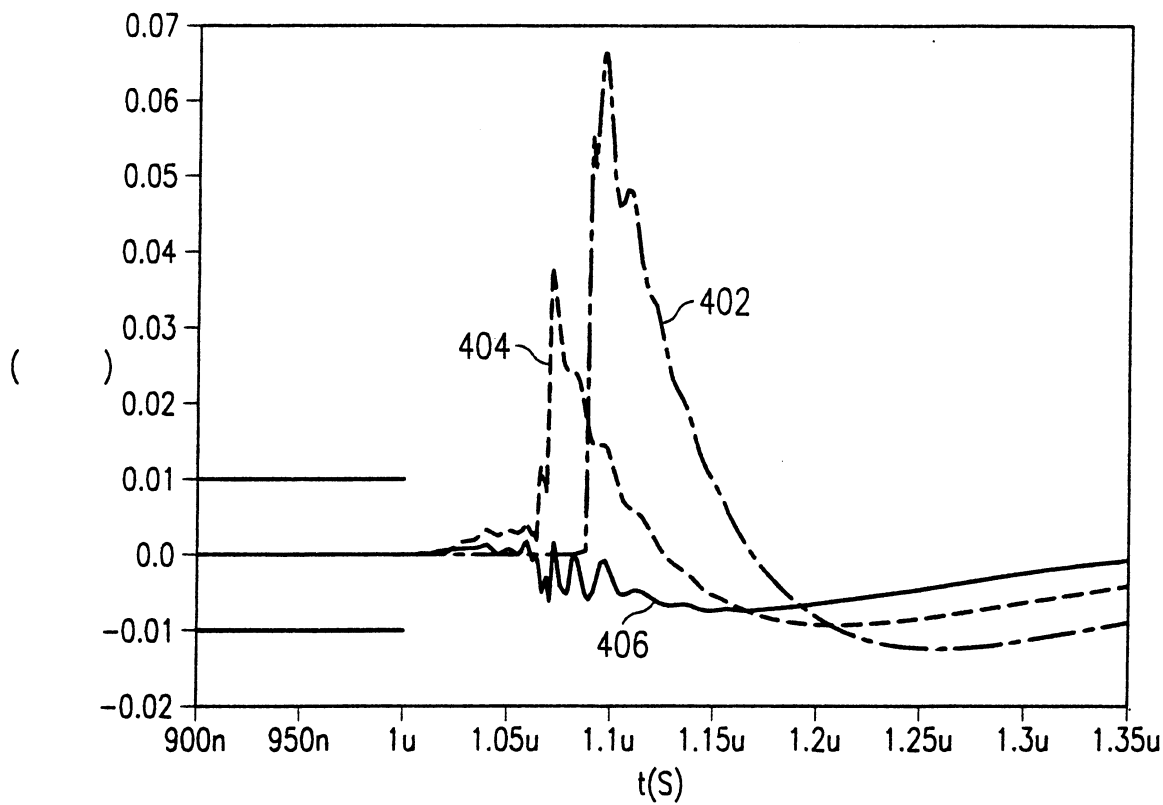
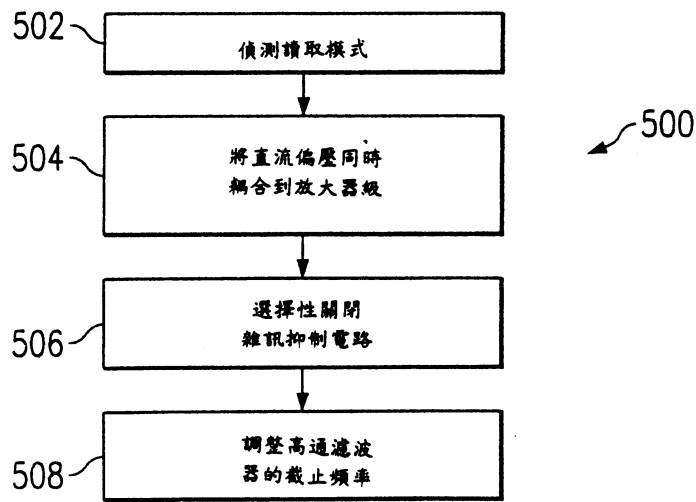


圖 10



公告本

申請日期	90.11.9
案 號	090127875
類 別	G11B 80

91年5月7日 修正 補元

A4
C4

(以上各欄由本局填註)

中文說明書修正頁(91年5月)

發 明 專 利 說 明 書 577053		
一、發明 新 型 名 稱	中 文	用於硬碟驅動系統中之差動預放大器電路的寫入至讀取切換改良
	英 文	WRITE-TO-READ SWITCHING IMPROVEMENT FOR DIFFERENTIAL PREAMPLIFIER CIRCUITS IN HARD DISK DRIVE SYSTEMS
二、發明 創 作 人	姓 名	1. 蔣洪 HONG JIANG
	國 籍	2. 殷杜米尼 雷姆蘇 INDUMINI RANMUTHU
	住、居所	1. 中國 2. 斯里蘭卡
		1. 美國德州派拉諾市史賓瑟路4628號 2. 美國德州派拉諾市綠塢路8012號
三、申請人	姓 名 (名 稱)	美商德州儀器公司 TEXAS INSTRUMENTS INCORPORATED
	國 籍	美國
	住、居所 (事務所)	美國德州達拉斯市梅爾史特遜邱吉爾路7839號
	代 表 人 姓 名	華倫 L. 法蘭茲 WARREN L. FRANZ

六、申請專利範圍

1. 一種預放大器電路，其包含：
複數個放大器級，其是耦合在一起，並且可將與一硬碟機磁頭有關的信號連續放大；
一電源傳遞電路，其可操作地耦合到該等放大器級，而且當硬碟機是從一寫入狀態改變成一讀取狀態時，能以一實質同時的方式將電源提供給該等放大器級；及
一控制電路，其可操作地耦合到該等放大器級，而且在將電源提供給該等放大器級之後，能以一通常連續方式激勵複數個放大器級之中至少兩者，藉此透過實質避免該預放大器電路的不正常傳遞及提供一實質快速寫入至讀取轉換時間而避免該預放大器電路的一輸出飽和。
2. 如申請專利範圍第1項之預放大器電路，其中複數個放大器級包含串聯耦合的四個放大器電路，而且其中該等四個放大器電路之中每一個具有大於零的一增益。
3. 如申請專利範圍第1項之預放大器電路，其中該電源傳遞電路進一步可操作以大約同時將電源提供給該等放大器級之中每一者。
4. 如申請專利範圍第1項之預放大器電路，其中該電源傳遞電路包含電源供應電路，其可經由開關電路而耦合到該等放大器級之中每一個，而且其中該開關電路可操作以大約同時將電源從電源供應電路傳遞給該等放大器級之中每一個，藉此減少與該預放大器電路啟動有關的一整體決定時間。
5. 如申請專利範圍第1項之預放大器電路，其中在該電源傳

六、申請專利範圍

遞電路將電源提供複數個放大器級之後，該控制電路可操作以在複數個放大器級的一第一放大器級的差動輸入上開啟一先前關閉的第一開關。

6. 如申請專利範圍第5項之預放大器電路，其中該控制電路可操作以在複數個放大器另一者的一差動輸入或一差動輸出上開啟一關閉的第二開關之前，開啟該第一開關。
7. 如申請專利範圍第5項之預放大器電路，其中該控制電路進一步可操作於開啟該第一開關之後，將在一第三放大器級的差動輸出上所耦合一先前關閉的第二開關開啟一預定時間量。
8. 如申請專利範圍第7項之預放大器電路，其中該控制電路進一步可操作以在開啟第二開關之後，將在一第四放大器級差動輸出上所耦合的一先前關閉的第三開關開啟一預定時間量。
9. 如申請專利範圍第1項之預放大器電路，其進一步包含一極性偏移電路，其可操作地耦合到該等放大器級之中一個，其中該極性偏移電路的操作可增加與一高通濾波器電路有關的一截止頻率，因此，可避免低於該截止頻率的一頻率不正常(glitch)傳遞給該預放大器電路輸出。
10. 如申請專利範圍第9項之預放大器電路，其中該極性偏移電路可操作以偏移一前饋電路的極性，以增加與該高通濾波器電路有關的截止頻率。
11. 如申請專利範圍第9項之預放大器電路，其中該極性偏移電路可操作以大約在該電源傳遞電路將電源提供給該等放

六、申請專利範圍

大器級時，增加該高通濾波器電路的截止頻率。

12. 如申請專利範圍第11項之預放大器電路，其中該極性偏移電路可在一預定時間週期之後，將該高通濾波器的截止頻率減少到大約一初始頻率。

13. 如申請專利範圍第9項之預放大器電路，其中該極性偏移電路是耦合到複數個放大器級的一第三放大器級，而且其中該極性偏移電路包含：

另一放大器級，其具有耦合到該第三放大器級差動輸入的一差動輸入；

一低通濾波器電路，其具有耦合到另一放大器級差動輸入的一輸入；及

一減法電路，其是耦合到該第三放大器級的差動輸出，及耦合到該低通濾波器電路的一輸出，其中該減法電路的操作可將該低通濾波器電路的一輸出從該第三放大器級的一輸出減去，藉此使一高通濾波器可操作以避免在該第三放大器級輸出上低於一截止頻率的信號。

14. 一種硬碟機預放大器電路，用以提供減少的寫入至讀取切換時間，其包含：

複數個放大器級，其具有相關的差動輸入及差動輸出，該等複數個放大器級是彼此串聯耦合；

一直流偏壓傳遞電路，用以將正與負直流偏壓選擇性提供給複數個放大器極之中每一者，其中該直流偏壓傳遞電路可操作以大約同時將正與負直流偏壓傳遞給該等放大器級之中每一者；及

六、申請專利範圍

一與該等放大器有關的雜訊抑制電路級，並且可在將正與負直流偏壓傳遞給該等放大器級期間，將一或多個放大器級的一差動輸入或一差動輸出短路，藉此當從一寫入狀態轉換成一讀取狀態時，可避免直流偏壓不正常，不致使該預放大器電路飽和。

15. 如申請專利範圍第14項之預放大器電路，其中該直流偏壓傳遞電路包含複數個開關，其可操作以分別將一相對的正或負直流偏壓耦合到複數個放大器級，而且其中複數個開關之中每一者可大約同時提供此耦合。
16. 如申請專利範圍第15項之預放大器電路，其進一步包含一控制電路，其可操作以於硬碟機在一非讀取狀態時，關閉該等複數個開關，而且在一讀取狀態期間可將該等複數個開關開啟。
17. 如申請專利範圍第14項之預放大器電路，其中該預放大器電路包含四個放大器級，而且其中該雜訊抑制電路包含：

一控制電路；及

三個開關電路，其是耦合到該控制電路，一第一開關電路，其係跨耦合在一第一放大器級的差動輸入；一第二開關電路，其係跨耦合在一第四放大器級的差動輸入；及一第三開關電路，其係跨耦合在該第四放大器的差動輸出，

其中當硬碟機是在一非讀取狀態時，該控制電路可操作以關閉三個開關元件，而且當硬碟機轉換成一讀取狀態時，根據第一、第二及第三開關電路順序開啟該三個開關電路。

六、申請專利範圍

18. 如申請專利範圍第17項之預放大器電路，其中與該等三個開關電路有關的該控制電路可在第二開關電路之前開啟該第一開關電路，而且可在第三開關電路之前，開啟該第二開關電路，藉此可使與第一及第二開關電路開啟有關的不正常不會飽和該預放大器電路的輸出。
19. 如申請專利範圍第18項之預放大器電路，其中該控制電路可操作以偵測一讀取狀態的開始，並且可基於從初始讀取狀態的偵測所測量的一第一、第二及第三預定時間延遲，連續開啟第一、第二及第三開關電路。
20. 如申請專利範圍第19項之預放大器電路，其中該第一預定時間延遲是大約55毫微秒，該第二預定時間延遲是大約65毫微秒，且該第三預定時間延遲是大約70毫微秒。
21. 如申請專利範圍第14項之預放大器電路，其進一步包含一與該等放大器級有關的極性偏移電路，其可選擇性避免經由一或多個放大器級傳遞低於一預定截止頻率的信號。
22. 如申請專利範圍第21項之預放大器電路，其中該極性偏移電路可操作而具有與在一非讀取狀態期間表示一第一頻率值的截止頻率有關的一初始位置處的極性，而且其進一步可操作而將該極性移到一第二位置，以便將該截止頻率增加到一第二頻率值，如此可在一第一部分的偵測讀取狀態期間拒絕一較大範圍的低頻率，而且其進一步可操作以將極性移回到大約初始位置，並且可將截止頻率減少到大約該第一頻率值，如此可在一第二部分的偵測讀取狀態期間避免一實質較小範圍的低頻率。

六、申請專利範圍

23. 如申請專利範圍第22項之預放大器電路，其中該偵測讀取狀態的一第一時間部分係對應該等放大器級在初始讀取狀態激勵所決定的一時間週期，而且該偵測讀取狀態的第二時間部分係對應當資料可於一硬碟機磁頭上偵測及供讀取而經由該等放大器級放大的一時間週期。

24. 如申請專利範圍第21項之預放大器電路，其中該極性偏移電路包含：

另一放大器級，其具有差動輸入，其中該等差動輸入係耦合到複數個放大器的一第三級的差動輸入；

一低通濾波器電路，其具有耦合到另一放大器級差動輸出的一輸入級，而且可輸出具有一信號，其中該信號具有超過該實質拒絕預定截止頻率的頻率元件；及

一減法電路，其具有輸入以耦合到該第三放大器級之差動輸出，及輸入以耦合到該低通濾波器電路、及具有輸出以耦合到一第四放大器級差動之輸入；

其中該減法電路的操作可將來自低通濾波器電路的信號從該第三放大器級輸出的信號減去，藉此造成一輸出信號，其中該輸出信號具有低於實質上被拒斥之預定截止頻率的頻率成分，如此可拒斥該預放大器電路的低頻率不正常。

25. 一種用以減少硬碟機預放大器電路中的一寫入至讀取轉換時間之方法，其包含下列步驟：

偵測一讀取狀態的開始；

當偵測到讀取狀態時，將一或多個直流偏壓實質同時耦

六、申請專利範圍

合到預放大器電路的複數個放大器級；及

當偵測到該讀取狀態時，以一預定順序選擇性啟動複數個放大器級，藉此使來自直流偏壓實質同時耦合的潛在不正常不會飽和預放大器電路。

26. 如申請專利範圍第25項之方法，其中將直流偏壓實質同時耦合到複數個放大器級的步驟，包含大約同時將該等直流偏壓耦合到複數個放大器級之中每一者。
27. 如申請專利範圍第26項之方法，其中該等直流偏壓耦合到複數個放大器級的步驟，包含可大約同時將與複數個放大器之中每一者有關的一開關關閉，藉此將該等直流偏壓分別耦合到該等放大器級之中每一者。
28. 如申請專利範圍第25項之方法，其中選擇性啟動複數個放大器級包含下列步驟：

在偵測到讀取狀態之前，維持與該等放大器級之中至少兩者有關的差動輸入；

在偵測到讀取狀態之後，可於一第一預定時間之後使該等放大器級之中一第一放大器級的雜訊抑不作用；及

在偵測到讀取狀態之後，可於一第一預定時間之後使該等放大器級之中一第二放大器級的雜訊抑制不作用，其中該第二預定時間週期大於該第一預定時間週期。
29. 如申請專利範圍第25項之方法，其中該預放大器電路包含四個放大器級，其具有差動輸入及差動輸出，而且其中四個放大器級是串聯耦合，其中能以預定順序而選擇性啟動複數個放大器級，其包含：

六、申請專利範圍

在偵測到讀取狀態之前，第一及第四放大器級的差動輸入、及第四放大器級的差動輸出短路；

在偵測到讀取狀態之後，可於一第一預定時間週期將與第一放大器差動輸入有關的一短路情況關閉；

在偵測到讀取狀態之後，可於一第二預定時間週期將與該第四放大器差動輸入有關的一短路情況關閉，其中該第二預定時間週期是大於該第一預定時間週期；及

在偵測到讀取狀態之後，可於一第三預定時間週期將與該第四放大器差動輸出有關的一短路情況關閉，該第三預定時間週期是大於該第二預定時間週期。

30. 如申請專利範圍第25項之方法，其進一步包含下列步驟：

只要偵測到讀取狀態，可於一預定時間週期選擇性增加與該等放大器級有關的一高通濾波器電路的截止頻率，藉此增加由該高通濾波器拒絕的頻率範圍，而且當偵測到讀取狀態時，可使低頻不正常不會飽和預放大器電路。

31. 如申請專利範圍第30項之方法，其中增加該高通濾波器的截止頻率包含於一預定時間週期使一極性移動。

91年5月7日 修正
補充

74555

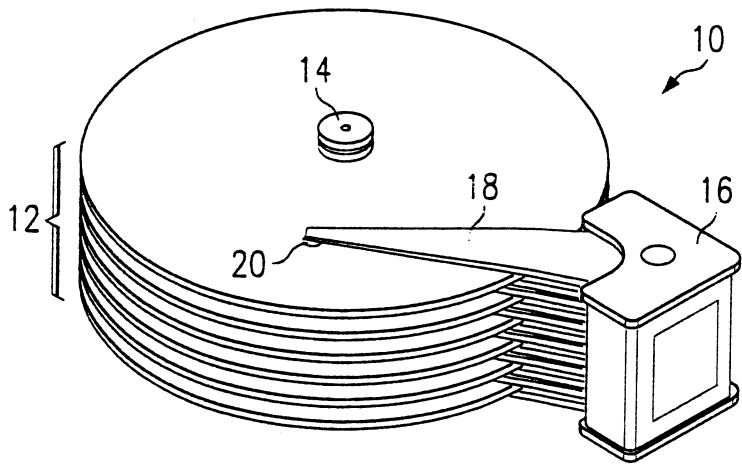


圖 1

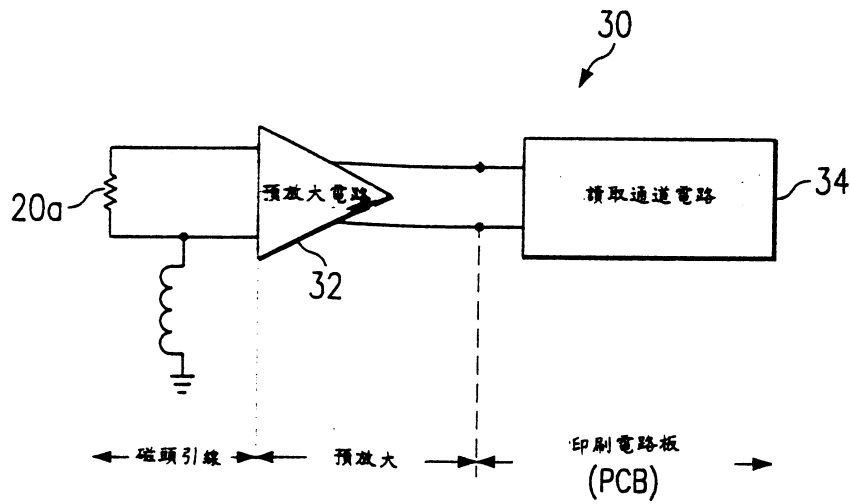


圖 2

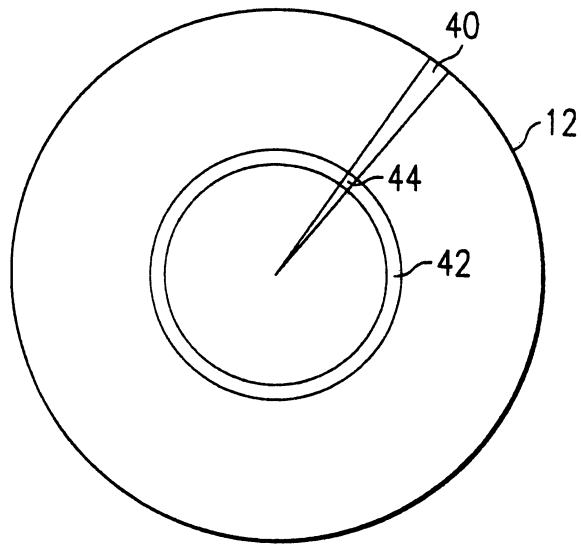


圖 3

煩請委員明示，本案修正後是否變更原實質。