



(12) 发明专利申请

(10) 申请公布号 CN 118891712 A

(43) 申请公布日 2024. 11. 01

(21) 申请号 202380028968.2

(22) 申请日 2023.03.20

(30) 优先权数据

63/332,622 2022.04.19 US

(85) PCT国际申请进入国家阶段日

2024.09.20

(86) PCT国际申请的申请数据

PCT/US2023/015640 2023.03.20

(87) PCT国际申请的公布数据

W02023/204918 EN 2023.10.26

(71) 申请人 应用材料公司

地址 美国加利福尼亚州

(72) 发明人 尼古拉斯·路易斯·布雷尔

B·普拉纳瑟提哈兰

本杰明·科伦坡 王安川

(74) 专利代理机构 北京律诚同业知识产权代理有限公司 11006

专利代理师 徐金国 吴启超

(51) Int.Cl.

H01L 21/768 (2006.01)

H01L 21/285 (2006.01)

H01L 21/3213 (2006.01)

H01L 21/67 (2006.01)

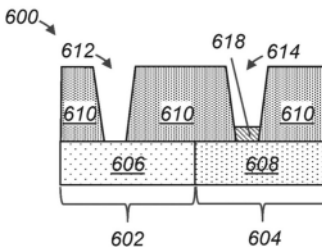
权利要求书3页 说明书16页 附图11页

(54) 发明名称

用于CMOS器件的接触形成处理

(57) 摘要

一种在半导体结构中形成接触层的方法,包括:在基板上形成的多个第一半导体区域及多个第二半导体区域的暴露表面上执行预清洁处理,其中多个第一及第二半导体区域的暴露表面各自设置在形成于介电层中的开口内,介电层设置在基板上方;执行第一选择性外延沉积处理以在第一半导体区域的暴露表面上形成第一接触层并且在第二半导体区域的暴露表面上形成第二接触层;执行图案化处理以形成图案化堆叠,其中图案化堆叠包含图案化层,该图案化层包含形成于设置在介电层中的每个开口内的第一接触层上方的开口及在设置于介电层中的每个开口内的每个第二接触层上方设置的图案化层的一部分;以及执行选择性移除处理以对多个第一半导体区域、介电层、及图案化层选择性地移除第一接触层。



1. 一种在半导体结构中形成电气接触的方法, 包含以下步骤:

在形成于基板上的多个第一半导体区域及多个第二半导体区域的暴露表面上执行预清洁处理, 其中所述多个第一半导体区域及所述多个第二半导体区域的所述暴露表面各自设置在形成于介电层中的开口内, 所述介电层设置在所述基板上方;

执行第一选择性外延沉积处理, 以在所述第一半导体区域的所述暴露表面上形成第一接触层并且在所述第二半导体区域的所述暴露表面上形成第二接触层;

执行图案化处理, 以形成图案化堆叠, 其中所述图案化堆叠包含图案化层, 所述图案化层包含形成于设置在所述介电层中的每个开口内的所述第一接触层上方的开口, 以及在设置于所述介电层中的每个开口内的每个第二接触层上方设置的所述图案化层的一部分; 以及

执行选择性移除处理, 以对所述多个第一半导体区域、所述介电层、及所述图案化层选择性地移除所述第一接触层。

2. 根据权利要求1所述的方法, 其中

形成在所述基板上的所述第一半导体区域包含硅,

形成在所述基板上的所述第二半导体区域包含锗硅, 并且

所述第一接触层及所述第二接触层包含锗硅。

3. 根据权利要求1所述的方法, 其中

所述图案化堆叠包含从有机介电层、硅抗反射涂层、及光刻胶中选择的材料。

4. 根据权利要求1所述的方法, 其中所述选择性移除处理是在以下条件下执行的:

-20°C与60°C之间的温度,

1 Torr与50 Torr之间的压力,

约5 sccm与40 sccm之间的含氟前驱物的流动速率,

4 sccm与1500 sccm之间的氩气(Ar)的流动速率,

100 sccm与5000 sccm之间的氦气(He)的流动速率, 以及

100 sccm与5000 sccm之间的氮气(N₂)的流动速率。

5. 根据权利要求1所述的方法, 进一步包含以下步骤:

在所述选择性移除处理之后, 执行灰化处理以移除所述图案化堆叠。

6. 根据权利要求5所述的方法, 进一步包含以下步骤:

在所述灰化处理之后, 执行第二沉积处理, 以在所述第一半导体区域的暴露表面并在形成于所述第二半导体区域上的所述第二接触层的暴露表面上形成金属层。

7. 根据权利要求6所述的方法, 其中

所述金属层包含从硅化钛(Ti)、硅化钴(Co)、硅化镍(Ni)、硅化钼(Mo)、及硅化钽(Ta)中选择的材料。

8. 一种在半导体结构中形成接触层的方法, 所述方法包含以下步骤:

在形成于基板上的多个第一半导体区域及多个第二半导体区域的暴露表面上执行预清洁处理, 其中所述多个第一半导体区域及所述多个第二半导体区域的所述暴露表面各自设置在形成于介电层中的开口内, 所述介电层设置在所述基板上方;

执行第一选择性外延沉积处理, 以同时在所述第一半导体区域的所述暴露表面上形成具有第一厚度的第一接触层并且在所述第二半导体区域的所述暴露表面上形成具有第二

厚度的第二接触层,其中所述第二厚度大于所述第一厚度;以及

执行选择性移除处理,以对所述多个第一半导体区域、及所述介电层选择性地移除所述第一接触层及所述第二接触层,直到所述第一接触层实质上从所述第一半导体区域移除并且所述第二接触层的一部分保留在所述第二半导体区域上。

9.根据权利要求8所述的方法,其中

形成在所述基板上的所述第一半导体区域包含硅,

形成在所述基板上的所述第二半导体区域包含锗硅,并且

所述第一接触层及所述第二接触层包含锗硅。

10.根据权利要求8所述的方法,其中所述选择性移除处理是在以下条件下执行的:

-20°C与60°C之间的温度,

1 Torr与50 Torr之间的压力,

约5 sccm与40 sccm之间的含氟前驱物的流动速率,

4 sccm与1500 sccm之间的氩气(Ar)的流动速率,

100 sccm与5000 sccm之间的氦气(He)的流动速率,以及

100 sccm与5000 sccm之间的氮气(N₂)的流动速率。

11.根据权利要求8所述的方法,进一步包含以下步骤:

执行第二选择性外延沉积处理,以在所述第一半导体区域的暴露表面并在形成于所述第二半导体区域上的所述第二接触层的暴露表面上形成金属层。

12.根据权利要求11所述的方法,其中

所述金属层包含从硅化钛(Ti)、硅化钴(Co)、硅化镍(Ni)、硅化钼(Mo)、及硅化钽(Ta)中选择的材料。

13.一种处理系统,包含:

第一处理腔室;

第二处理腔室;

第三处理腔室;以及

系统控制器,所述系统控制器被配置为:

在所述第一处理腔室中在形成于基板上的多个第一半导体区域及多个第二半导体区域的暴露表面上执行预清洁处理;

在所述第二处理腔室中执行第一选择性沉积处理,以在所述第一半导体区域的所述暴露表面上外延地形成第一接触层并且在所述基板的所述第二半导体区域的所述暴露表面上外延地形成第二接触层;以及

在所述第三处理腔室中执行选择性移除处理,以对所述第一半导体区域选择性地移除所述第一接触层。

14.根据权利要求13所述的处理系统,其中所述系统控制器进一步被配置为在不破坏真空环境的情况下在所述第一处理腔室、所述第二处理腔室、及所述第三处理腔室之中传递所述基板。

15.根据权利要求13所述的处理系统,其中

形成在所述基板上的所述第一半导体区域包含硅,

形成在所述基板上的所述第二半导体区域包含锗硅,并且

所述第一接触层及所述第二接触层包含锗硅。

16. 根据权利要求13所述的处理系统, 其中在所述第三处理腔室中的所述选择性移除处理是在以下条件下执行的:

-20°C与60°C之间的温度,

1 Torr与50 Torr之间的压力,

约5 sccm与40 sccm之间的含氟前驱物的流动速率,

4 sccm与1500 sccm之间的氩气(Ar)的流动速率,

100 sccm与5000 sccm之间的氦气(He)的流动速率, 以及

100 sccm与5000 sccm之间的氮气(N₂)的流动速率。

17. 根据权利要求13所述的处理系统, 进一步包含:

第四处理腔室, 其中所述系统控制器进一步被配置为:

在所述第四处理腔室中执行第二沉积处理, 以在所述第一半导体区域的暴露表面并在形成于所述基板上的第二半导体区域上形成的所述第二接触层的暴露表面上形成金属层, 所述金属层包含从硅化钛(Ti)、硅化钴(Co)、硅化镍(Ni)、硅化钼(Mo)、及硅化钽(Ta)中选择的材料。

18. 根据权利要求17所述的处理系统, 进一步包含:

第五处理腔室, 其中所述系统控制器进一步被配置为:

在所述第五处理腔室中执行保形沉积处理, 以在所述金属层上形成阻挡金属层, 所述阻挡金属层包含选自氮化钛(TiN)及氮化钽(TaN)的材料。

19. 根据权利要求18所述的处理系统, 进一步包含:

第六处理腔室;

其中所述系统控制器进一步被配置为在所述第四处理腔室中的所述第二沉积处理之前并且在所述第三处理腔室中的所述选择性移除处理之后, 在所述第六处理腔室中执行灰化处理以移除图案化堆叠。

用于CMOS器件的接触形成处理

技术领域

[0001] 本文描述的实施方式大体涉及半导体器件制造,并且更特定地,涉及在半导体结构内形成接触的系统及方法。

背景技术

[0002] 多栅极金属氧化物半导体场效应晶体管(MOSFET),诸如互补金属氧化物半导体(CMOS)器件,归因于其三维(3D)设计及小尺寸,对可制造性提出了挑战。在先进的CMOS器件中,在沟槽接触的底部处形成的含硅材料(例如,硼掺杂的p型锗硅或磷掺杂的n型硅)的外延层经常用于将接触电阻率降低到 $10^{-9} \Omega \cdot \text{cm}^2$ 的范围,并且实现先进CMOS技术所需的性能。

[0003] 然而,这种外延层的形成及图案化,例如,使用硬掩模以保护n-MOS区域或p-MOS区域,可损坏CMOS器件的各个部分,诸如间隔层、栅极覆盖层、或外延生长层。

[0004] 由此,需要可以在半导体器件的所选部分处形成包括含硅材料的外延层的接触的方法及系统的。

发明内容

[0005] 本公开内容的实施方式提供了一种在半导体结构中形成接触层的方法。方法包括:在形成于基板上的多个第一半导体区域及多个第二半导体区域的暴露表面上执行预清洁处理,其中多个第一及第二半导体区域的暴露表面各自设置在形成于介电层中的开口内,该介电层设置在基板上方;执行第一选择性外延沉积处理,以在第一半导体区域的暴露表面上形成第一接触层并且在第二半导体区域的暴露表面上形成第二接触层;执行图案化处理以形成图案化堆叠,其中图案化堆叠包含图案化层,该图案化层包含形成在设置于介电层中的每个开口内的第一接触层上方的开口,以及在设置于介电层中的每个开口内的每个第二接触层上方设置的图案化层的一部分;以及执行选择性移除处理,以对多个第一半导体区域、介电层、及图案化层选择性地移除第一接触层。

[0006] 本公开内容的实施方式提供了一种在半导体结构中形成接触层的方法。方法包括:在形成于基板上的多个第一半导体区域及多个第二半导体区域的暴露表面上执行预清洁处理,其中多个第一及第二半导体区域的暴露表面各自设置在形成于介电层中的开口内,该介电层设置在基板上方;执行第一选择性外延沉积处理,以同时第一半导体区域的暴露表面上形成具有第一厚度的第一接触层,并且在第二半导体区域的暴露表面上形成具有第二厚度的第二接触层,其中第二厚度大于第一厚度;以及执行选择性移除处理以对多个第一半导体区域、及介电层选择性地移除第一接触层及第二接触层,直到第一接触层实质上从第一半导体区域移除并且第二接触层的一部分保留在第二半导体区域上。

[0007] 本公开内容的实施方式提供了一种处理系统,包括第一处理腔室、第二处理腔室、第三处理腔室、及系统控制器,该系统控制器被配置为:在第一处理腔室中在形成于基板上的多个第一半导体区域及多个第二半导体区域的暴露表面上执行预清洁处理;在第二处理

腔室中执行第一选择性沉积处理,以在第一半导体区域的暴露表面上外延形成第一接触层并且在基板的第二半导体区域的暴露表面上外延形成第二接触层;以及在第三处理腔室中执行选择性移除处理,以对第一半导体区域选择性地移除第一接触层。

附图说明

[0008] 为了能够详细理解本公开内容的上述特征所用方式,可参考实施来获得上文简要概述的本公开内容的更具体描述,一些实施方式在附图中示出。然而,将注意,附图仅示出本公开内容的典型实施方式,并且由此不被认为限制其范围,因为本公开内容可允许其他等同有效的实施方式。

[0009] 图1是根据本公开内容的一个或多个实施方式的多腔室处理系统的示意性俯视图。

[0010] 图2A是根据一个或多个实施方式的处理腔室的横截面图。

[0011] 图2B是图2A的处理腔室的一部分的放大视图。

[0012] 图3是根据一个或多个实施方式的处理腔室的横截面图。

[0013] 图4是根据一个或多个实施方式的处理腔室的横截面图。

[0014] 图5描绘了根据本公开内容的第一实施方式的在半导体结构中形成接触层的方法的处理流程图。

[0015] 图6A、图6B、图6C、图6D、图6E、图6F、及图6G是对应于图5的方法的各个状态的半导体结构的一部分的横截面图。

[0016] 图7描绘了根据本公开内容的第二实施方式的在半导体结构中形成接触层的方法的处理流程图。

[0017] 图8A、图8B、图8C、图8D、及图8E是对应于图7的方法的各个状态的半导体结构的一部分的横截面图。

[0018] 为了便于理解,相同附图标记在可能的情况下已经用于标识图中共有的相同元件。可以预期,一个实施方式的元件及特征可有利地并入其他实施方式中,而无需进一步叙述。

具体实施方式

[0019] 本文描述的实施方式提供了用于在用于形成CMOS器件的结构的首选部分处(例如,在硅或锗硅的层的暴露表面上)形成包括含硅材料(例如,硼掺杂的p型锗硅或磷掺杂的n型硅)的外延层的接触的方法及系统。方法及系统可特别适用于在具有包括硅的区域、包括锗硅的区域、及其上方形成的介电层的半导体结构中在形成于介电层中的开口或特征(例如,接触沟槽)内的锗硅材料的暴露表面上选择性地形成包括锗硅的外延层。不同于需要形成硬掩模及各种蚀刻及图案化处理步骤(这些处理步骤往往会损坏所制造的半导体结构(例如,间隔层,栅极盖等))以形成接触的常规处理,本文描述的处理被配置为在不损坏这些先前形成的半导体结构的情况下形成接触。

[0020] 图1是根据本公开内容的一个或多个实施方式的多腔室处理系统100的示意性俯视图。处理系统100大体包括工厂接口102、装载锁定腔室104、106、具有相应传递机器人112、114的传递腔室108、110、保持腔室116、118、及处理腔室120、122、124、126、128、130。如

本文详述,在处理系统100中的基板可以在各个腔室中处理并且在各个腔室之间传递而不将基板暴露于处理系统100外部的周围环境(例如,诸如可在工厂中存在的大气周围环境)。例如,基板可以在维持在低压(例如,小于或等于约300 Torr)或真空环境下的各个腔室中处理并且在各个腔室之间传递,而不破坏在处理腔室100中在基板上执行的各个处理之间的低压或真空环境。由此,处理系统100可提供用于基板的一些处理的整合解决方案。

[0021] 可根据本文提供的教导适宜地修改的处理系统的示例包括Endura[®]、Producer[®]或Centura[®]整合处理系统或从位于加利福尼亚州圣克拉拉市应用材料公司商业获得的其他适宜处理系统。将预期,其他处理系统(包括来自其他制造商的彼等)可适用于从本文描述的方面获益。

[0022] 在图1示出的示例中,工厂接口102包括对接站132及工厂接口机器人134以促进基板的传递。对接站132适于接受一个或多个前开式标准舱(front opening unified pod; FOUP) 136。在一些示例中,每个工厂接口机器人134通常包括设置在相应工厂接口机器人134的一端上的叶片138,适于将基板从工厂接口102传递到装载锁定腔室104、106。

[0023] 装载锁定腔室104、106具有耦接到工厂接口102的相应端口140、142及耦接到传递腔室108的相应端口144、146。传递腔室108进一步具有耦接到保持腔室116、118的相应端口148、150及耦接到处理腔室120、122的相应端口152、154。类似地,传递腔室110具有耦接到保持腔室116、118的相应端口156、158及耦接到处理腔室124、126、128、130的相应端口160、162、164、166。端口144、146、148、150、152、154、156、158、160、162、164、166可以是例如具有狭缝阀的狭缝阀开口,狭缝阀用于通过传递机器人112、114将基板从其穿过并且用于在相应腔室之间提供密封以防止气体在相应腔室之间通过。他刚才,打开任何端口以用于通过其传递基板。否则,关闭端口。

[0024] 装载锁定腔室104、106、传递腔室108、110、保持腔室116、118、及处理腔室120、122、124、126、128、130可流体耦接到气体及压力控制系统(未具体示出)。气体及压力控制系统可以包括一个或多个气体泵(例如,涡轮泵、低温泵、低真空泵)、气体源、各种阀、及流体耦接到各个腔室的管道。在操作中,工厂接口机器人134将基板从FOUP 136穿过端口140或142传递到装载锁定腔室104或106。气体及压力控制系统随后抽空装载锁定腔室104或106。气体及压力控制系统进一步将传递腔室108、110及保持腔室116、118维持为具有内部低压或真空环境(其可包括惰性气体)。因此,抽空装载锁定腔室104或106促进在例如工厂接口102的大气环境与传递腔室108的低压或真空环境之间传递基板。

[0025] 在基板在已经抽空的装载锁定腔室104或106中的情况下,传递机器人112穿过端口144或146将基板从装载锁定腔室104或106传递到传递腔室108中。传递机器人112随后能够穿过相应端口152、154将基板传递到处理腔室120、122的任一者和/或在处理腔室120、122的任一者之间传递以用于处理,并且穿过相应端口148、150将基板传递到保持腔室116、118用于保持以等待进一步传递。类似地,传递机器人114能够穿过端口156或158接取在保持腔室116或118中的基板,并且能够穿过相应端口160、162、164、166将基板传递到处理腔室124、126、128、130的任一者和/或在这些处理腔室的任一者之间传递以用于处理,并且穿过相应端口156、158将基板传递到保持腔室116、118用于保持以等待进一步传递。基板在各个腔室之内及之间的传递及保持可以处于由气体及压力控制系统提供的低压或真空环境中。

[0026] 处理腔室120、122、124、126、128、130可以是用于处理基板的任何适当腔室。在一些示例中,处理腔室120可以能够执行蚀刻处理,处理腔室122可以能够执行清洁处理,处理腔室124可以能够执行选择性移除处理,并且处理腔室126、128、130可以能够执行相应外延生长处理。处理腔室120可以是可获自加利福尼亚州圣克拉拉市的应用材料公司的Selectra州蚀刻腔室。处理器腔室122可以是可获自加利福尼亚州圣克拉拉市的应用材料公司的SiCoNi预清洁腔室。处理腔室126、128、或130可以是可获自加利福尼亚州圣克拉拉市的应用材料公司的Centura亚州圣克拉腔室。

[0027] 系统控制器168耦接到处理系统100用于控制处理系统100或其部件。例如,系统控制器168可使用对处理系统100的腔室104、106、108、110、116、118、120、122、124、126、128、130的直接控制或通过控制与腔室104、106、108、110、116、118、120、122、124、126、128、130相关联的控制器来控制处理系统100的操作。在操作中,系统控制器168实现来自相应腔室的数据收集及反馈以协调处理系统100的性能。

[0028] 系统控制器168通常包括中央处理单元(CPU) 170、存储器172、及支援电路174。CPU 170可以是可以在工业环境中使用的任何形式的通用处理器的一者。存储器172或非暂时性计算机可读取介质可由CPU 170存取的并且可以是诸如随机存取存储器(RAM)、只读存储器(ROM)的存储器、软盘、硬盘、或任何其他形式的数字储存装置(本地或远程)中的一者或多者。支援电路174耦接到CPU 170并且可包含告诉缓存、时钟电路、输入/输出子系统、电源供应器、及类似者。本文公开的各种方法可通常在CPU 170的控制下由CPU 170执行在存储器172中(或在特定处理腔室的存储器中)储存的计算机指令代码(例如,作为软件例程)来实施。当计算机指令代码由CPU 170执行时,CPU 170控制腔室以根据各种方法执行处理。

[0029] 其他处理系统可以采用其他配置。例如,更多或更少的处理腔室可耦接到传递设备。在示出的示例中,传递设备包括传递腔室108、110及保持腔室116、118。在其他示例中,更多或更少的传递腔室(例如,一个传递腔室)和/或更多或更少的保持腔室(例如,没有保持腔室)可实施为处理系统中的传递设备。

[0030] 图2A是根据一个或多个实施方式的适于执行如下文详述的预清洁处理的处理腔室200的横截面图。处理腔室200可以是图1所示的处理腔室122。图2B是图2A的处理腔室200的一部分的放大视图。

[0031] 处理腔室200可特别用于执行基于热或等离子体的清洁处理和/或等离子体辅助的干式蚀刻处理。处理腔室200包括腔室主体202、盖组件204、及支撑组件206。盖组件204设置在腔室主体202的上端处,并且支撑组件206至少部分设置在腔室主体202内。真空系统可以用于从处理腔室200中移除气体。真空系统包括耦接到设置在腔室主体202中的真空端口210的真空泵208。处理腔室200亦包括用于控制处理腔室200内的处理的控制器212。

[0032] 盖组件204包括适于将前驱物气体和/或等离子体提供到处理腔室200内的处理区域214的堆叠部件。第一板216耦接到第二板218。第三板220耦接到第二板218。盖组件204可连接到电源(未图示),用于将等离子体供应到形成在盖组件204中的锥形腔室222。盖组件204亦可以连接到在盖堆叠上游产生等离子体的远程等离子体源224。远程等离子体空腔(例如,图2A至图2B中的处理区域214、第一板216、及第二板218)耦接到气体源226(或在不存在远程等离子体源224的情况下,气体源226直接耦接到盖组件204)。气体源226可包括适于提供氦气、氩气、或其他惰性气体的气体源。在一些配置中,由气体源226提供的气体可以

激发为等离子体,该等离子体通过使用远程等离子体源224提供到盖组件204。在替代实施方式中,气体源226可提供可以在引入到设置在处理腔室200内的基板的表面之前通过远程等离子体源224活化的处理气体。参见图2B,锥形腔室222具有开口228,开口228允许所形成的等离子体从远程等离子体源224流动到形成在盖组件204的第四板232中的容积230。

[0033] 在盖组件204的一些配置中,等离子体通过施加从等离子体源传递的能量而在锥形腔室222内产生。在一个示例中,能量可以通过对盖组件204进行偏压来提供,以将RF、VHF和/或UHF能量电容耦接到位于锥形腔室222中的气体。在盖组件204的此配置中,可以不使用远程等离子体源224,或其不安装在盖组件204内。

[0034] 在第四板232中形成的中心导管234适于将从容积230提供的等离子体产生的物种通过第五板236提供到形成在盖组件204的第六板240中的混合腔室238。中心导管234通过第五板236中的开口242与混合腔室238连通。开口242可具有小于、大于或与中心导管234的直径相同的直径。在图2B的实施方式中,开口242具有与中心导管234相同的直径。

[0035] 第四板232亦包括适于将气体提供到混合腔室238的入口244及246。入口244耦接到第一气体源248并且入口246耦接到第二气体源250。第一气体源248及第二气体源250可包括处理气体以及用作载体气体的惰性气体,例如,诸如氩气和/或氦气的惰性气体。第一气体源248可包括氨气(NH_3)以及氩气(Ar)。第二气体源250可含有含氟气体、含氢气体、或其组合。在一个示例中,第二气体源250可含有氟化氢(HF)以及氩气(Ar)。

[0036] 如在图2B中示出,在一些配置中,入口244穿过圆柱形通道252(以阴影图示)及在第五板236中形成的孔254耦接到混合腔室238。入口246通过圆柱形通道256(以阴影图示)及形成在第五板236中的孔258耦接到混合腔室238。形成在第五板236中的孔254、258的尺寸通常被调整为使得它们能够实现从其相应气体源248、250提供的气体到混合腔室238中的均匀流动。在一种配置中,孔258具有小于由形成在第四板232中的圆柱形通道256的相对侧壁所界定的开口宽度的直径。孔258通常围绕圆柱形通道256的中心线的圆周分布以提供到混合腔室238中的均匀流体流动。在一种配置中,孔254具有小于由形成在第四板232中的圆柱形通道252的相对侧壁界定的开口宽度的直径。孔254通常围绕圆柱形通道252的中心线的圆周分布以提供到混合腔室238中的均匀流体流动。

[0037] 入口244及246所提供的相应的流体流动路径横向地穿过第四板232,转向第五板236并且穿过第五板236,从而到达混合腔室238。盖组件204亦包括第七板或第一气体分配器260,其可以是气体分配板,诸如喷淋头,其中在盖组件204中混合的各种气体穿过形成在其中的穿孔262流动。穿孔262与混合腔室238流体连通以提供从混合腔室238穿过第一气体分配器260的流动路径。回到图2A,阻挡板264及气体分配板(诸如第二气体分配器266,其可以是气体分配板,诸如喷淋头)设置在盖组件204之下。

[0038] 或者,不同的清洁处理可用于清洁基板表面。例如,含有氦气(He)及氨气(NH_3)的远程等离子体可穿过盖组件204引入处理腔室200中,同时氨气(NH_3)可经由设置在腔室主体202的侧面处并且耦接到气体源(未图示)的单独的气体入口268直接注入处理腔室200中。

[0039] 支撑组件206可包括基板支撑件270,以在处理期间支撑其上的基板272。基板支撑件270可通过轴件276耦接到致动器274,轴件276穿过形成在腔室主体202的底部中的中心定位的开口延伸。致动器274可通过防止轴件276周围的真空泄漏的波纹管(未图示)柔性地

密封到腔室主体202。致动器274允许基板支撑件270在腔室主体202内在处理位置与装载位置之间垂直地移动。装载位置略微低于在腔室主体202的侧壁中形成的通道(未图示)的开口。

[0040] 基板支撑件270具有平坦、或实质上平坦的基板支撑表面,用于在其上支撑将被处理的基板272。基板支撑件270可通过致动器274在腔室主体202内垂直地移动,致动器274通过轴件276耦接到基板支撑件270。针对一些步骤,基板支撑件270可提升到紧密靠近盖组件204的位置以控制正处理的基板272的温度。因此,基板272可经由从第二气体分配器266或另一辐射源发射的辐射来加热、或由来自第二气体分配器266通过中间气体的对流或传导来加热。在一些处理步骤中,基板可设置在升降销278上以执行额外的热处理步骤,诸如执行退火步骤。

[0041] 图3是根据一个或多个实施方式的适于执行如下文详述的外延(Epi)沉积处理的处理腔室300的横截面图。处理腔室300可以是图1所示的处理腔室126、128、或130。

[0042] 处理腔室300包括由耐处理材料(诸如铝或不锈钢,例如316L不锈钢)制成的外壳结构302。外壳结构302封闭处理腔室300的各个功能元件,诸如石英腔室304,石英腔室304包括上部石英腔室306及下部石英腔室308,其中含有处理容积310。反应物种通过气体分配组件312提供到石英腔室304,并且通过通常与真空源(未图示)连通的出口端口314从处理容积310移除处理副产物。

[0043] 基板支撑件316适于接收传递到处理容积310的基板318。基板支撑件316沿着处理腔室300的纵轴320设置。基板支撑件316可由陶瓷材料或用硅材料(诸如碳化硅)涂布的石墨材料、或其他耐处理材料制成。来自前驱物反应材料的反应物种施加到基板318的表面322,并且副产物随后可从基板318的表面322移除。基板318和/或处理容积310的加热可通过辐射源提供,诸如上部灯模块324A及下部灯模块324B。

[0044] 在一个实施方式中,上部灯模块324A及下部灯模块324B是红外(IR)灯。来自灯模块324A及324B的非热能量行进穿过上部石英腔室306的上部石英窗326,并且穿过下部石英腔室308的下部石英窗328。用于上部石英窗306的冷却气体(若需要)通过入口330进入并且通过出口332离开。前驱物反应物材料以及用于处理腔室300的稀释剂、净化及排放气体,通过气体分配组件312进入并且通过出口端口314离开。尽管将上部石英窗326图示为弯曲或凸起的,但上部石英窗326可以是平面或凹入的,因为在上部石英窗326的两个侧面上的压力实质上相同(即,大气压)。

[0045] 在处理容积310中的用于激发反应物种并且辅助在基板318的表面322吸附反应物及从基板318的表面322解吸附处理副产物的低波长辐射通常从约0.8 μm 至约1.2 μm 变化,例如,在约0.95 μm 至约1.05 μm 之间,例如取决于正外延生长的膜的组成提供各种波长的组合。

[0046] 组成气体经由气体分配组件312进入处理容积310。如通常由流动路径334图示,气体从气体分配组件312流动并且通过出口端口314离开。用于清洁/钝化基板表面、或形成正外延生长的含硅和/或锗膜的组成气体的组合通常在进入处理气体310中之前混合。在处理容积310中的总压力可通过出口端口314上的阀(未图示)调整。处理容积310的内表面的至少一部分被衬垫336覆盖。在一个实施方式中,衬垫336包含不透明的石英材料。以此方式,腔室壁与处理容积310中的热绝缘。

[0047] 可由通过入口330进入并且通过出口332离开的冷却气体的流动结合来自位于上部石英窗326之上的上部灯模块324A的辐射将处理容积310中的表面的温度控制在约200°C至约600°C、或更大的温度范围内。通过调整未图示的鼓风机单元的速度、并且通过来自设置在下部石英腔室308之下的下部灯模块324B的辐射,在下部石英腔室308中的温度可控制在约200°C至约600°C、或更大的温度范围内。处理容积310中的压力可在约0.1 Torr至约600 Torr之间,诸如在约5 Torr至约30 Torr之间。

[0048] 在基板318的表面322上的温度可通过对下部石英腔室308中的下部灯模块324B的功率进行调整来控制,或通过对覆盖上部石英窗326的上部灯模块324A、及下部石英腔室308中的下部灯模块324B两者的功率进行调整来控制。处理容积310中的功率密度可在约40 W/cm²至约400 W/cm²之间,诸如约80 W/cm²至约120 W/cm²。

[0049] 在一个方面中,气体分配组件312与处理腔室300或基板318的纵轴320正交地设置,或相对于处理腔室300或基板318的纵轴320在径向方向338上设置。在此定向中,气体分配组件312适于跨过或平行于基板318的表面322在径向方向338上流动处理气体。在一个处理应用中,处理气体在到处理腔室300的引入点处预热,以在引入处理容积310之前启动气体的预热、和/或破坏气体中的特定键。以此方式,表面反应动力学可独立于基板318的热温度修改。

[0050] 在操作中,用于形成硅(Si)及锗硅(SiGe)毯覆层或选择性外延膜的前驱物从一个或多个气体源340A及340B提供到气体分配组件312。IR灯342(在图3中仅图示一个)可用于在气体分配组件312内以及沿着流动路径334加热的前驱物。气体源340A、340B可以以适于促进气体分配组件312内的引入区域(诸如当从顶部平面视图观察时的径向外围区域及在外部区域之间的径向内部区域)的方式耦接气体分配组件312。气体源340A、340B可包括阀(未图示)以控制引入区域中的速率。

[0051] 气体源340A、340B可包括硅前驱物,诸如硅烷,包括硅烷(SiH₄)、二硅烷(Si₂H₆)、二氯硅烷(SiH₂Cl₂)、六氯二硅烷(Si₂Cl₆)、二溴硅烷(SiH₂Br₂)、更高阶硅烷、其衍生物、及其组合。气体源340A、340B亦可包括含锗前驱物,诸如锗烷(GeH₄)、二锗烷(Ge₂H₆)、四氯化锗(GeCl₄)、二氯锗烷(GeH₂Cl₂)、其衍生物、及其组合。含硅和/或锗的前驱物可与氯化氢(HCl)、氯气(Cl₂)、溴化氢(HBr)、及其组合物进行组合使用。在气体源340A、340B的一个或两个中,气体源340A、340B可包括含硅及锗的前驱物中的一者或多者。

[0052] 处于此激发状态的前驱物材料通过穿孔板346中的开口或孔344(在图3中仅图示一个)进入处理容积310,在一个实施方式中,穿孔板346是具有穿过其形成的孔344的石英材料。穿孔板346对IR能量透明,并且可由透明石英材料制成。在其他实施方式中,穿孔板346可以是对IR能量透明的任何材料并且耐受处理化学物种及其他处理化学物种。激发前驱物材料通过穿孔板346中的孔344并且通过通道348(在图3中仅图示一个)朝向处理容积310流动。来自IR灯342的光子及非热能的一部分亦穿过孔344、穿孔板346、及通道348,这得益于在气体分配组件312的内表面上设置的反射材料和/或表面,从而照亮前驱物材料的流动路径334。以此方式,前驱物材料的振动能量可从引入处理容积310的点沿着流动路径被维持。

[0053] 图4是根据一个或多个实施方式的适于执行如下文详述的选择性移除处理(selective removal process; SRP)的处理腔室400的横截面图。处理腔室400可以是图1

所示的处理腔室124。

[0054] 处理腔室400包括腔室主体402、盖组件404、及支撑组件406。盖组件404设置在腔室主体402的上端处,并且支撑组件406至少部分地设置在腔室主体402内。真空系统可以用于从处理腔室400中移除气体。真空系统包括耦接到设置在腔室主体402中的真空端口410的真空泵408。

[0055] 盖组件404包括远程等离子体系统(remote plasma system; RPS) 412,其可处理随后行进通过气体入口组件414的含氟前驱物。在气体入口组件414内可看到两个不同的气体供应通道。第一通道416承载通过RPS 412的气体,而第二通道418绕过RPS 412。任一通道可用于含氟前驱物。在一些实施方式中,第一通道416可用于处理气体并且第二通道418可用于加工气体(treatment gas)。盖(亦称为“导电顶部”)420及穿孔隔板(亦称为“喷淋头”)422图示为在其间具有绝缘环424,绝缘环424允许将AC电位相对于穿孔隔板422施加到盖420。AC电位撞击腔室等离子体区域426中的等离子体。处理气体可行进通过第一通道416进入腔室等离子体区域426中并且可单独或与RPS 412组合地通过腔室等离子体区域426中的等离子体激发。若处理气体(例如,含氟前驱物)流动通过第二通道418,则仅有腔室等离子体区域426用于激发。穿孔隔板422将腔室等离子体区域426与穿孔隔板422下面的基板处理区域428分离。穿孔隔板422允许在腔室等离子体区域426中存在的等离子体避免直接激发基板处理区域428中的气体,同时仍允许激发的物种从腔室等离子体区域426行进到基板处理区域428中。

[0056] 穿孔隔板422位于腔室等离子体区域426与基板处理区域428之间并且允许在RPS 412和/或腔室等离子体区域426内产生的等离子体流出物(前驱物或其他气体的激发的衍生物)穿过横穿板厚度的过孔430。穿孔隔板422亦具有可以用蒸气或气体的形式的前驱物(诸如含氟前驱物)填充的一个或多个中空容积432,并且通过小孔434进入到基板处理区域428中但不直接进入腔室等离子体区域426中。在此实施方式中,穿孔隔板422比过孔430的最小直径436的长度更厚。过孔430的最小直径436的长度438可通过形成部分通过穿孔隔板422的过孔430的较大直径部分来限制,以维持从腔室等离子体区域426渗透到基板处理区域428的激发物种的显著浓度。在一些实施方式中,过孔430的最小直径436的长度可与过孔430的最小直径436具有相同数量级或更小。

[0057] 穿孔隔板422可适于用作离子抑制器。或者,可包括分离的处理腔室元件(未图示),该处理腔室元件抑制行进到基板处理区域428中的离子浓度。盖420及穿孔隔板422可分别用作第一电极及第二电极,使得盖420及穿孔隔板422可接收不同的电压。在这些配置中,电功率(例如,RF功率)可施加到盖420、穿孔隔板422、或两者。例如,电功率可施加到盖420,同时穿孔隔板422(用作离子抑制器)接地。RF产生器可将电功率提供到盖420和/或穿孔隔板422。施加到盖420的电压可促进等离子体(即,减少的局部等离子体)在腔室等离子体区域426内的均匀分布。为了实现在腔室等离子体区域426中的等离子体的形成,绝缘环424可使盖420与穿孔隔板422电气绝缘。绝缘环424可由陶瓷制成并且可具有高击穿电压以避免产生火花。处理腔室400的在上文描述的电容耦合等离子体部件附近的进一步部分可进一步包括冷却单元(未图示),该冷却单元包括一个或多个冷却流体通道以利用循环冷却剂(例如,水)冷却暴露于等离子体的表面。

[0058] 在所示的实施方式中,穿孔隔板422可(经由过孔430)分配含有氟、氢的处理气体

或该处理气体在由腔室等离子体区域426中的等离子体激发之后的等离子体流出物。在一些实施方式中,引入RPS 412和/或腔室等离子体区域426中的处理气体可含有氟(例如, F_2 、 NF_3 或 XeF_2)。处理气体亦可包括稀释剂气体,诸如氦气(He)、氩气(Ar)、或氮气(N_2)。等离子体流出物可包括处理气体的离子化或中性衍生物,并且本文中亦可称为自由基氟和/或自由基氢,指的是所引入的处理气体的原子组成。

[0059] 过孔430抑制离子带电物种从腔室等离子体区域426迁移出来,同时允许不带电的中性或自由基物种通过穿孔隔板422进入到基板处理区域428中。这些不带电的物种可包括通过过孔430与较低反应性载体气体一起运输的高反应性物种。如上文提及,离子物种通过过孔430的迁移可减少,并且在一些示例中被完全抑制。控制通过穿孔隔板422的离子物种的量提供了对与下层图案化基板接触的气体混合物的增加的控制,这接着增加了对气体混合物的沉积和/或蚀刻特性的控制。例如,对气体混合物的离子浓度的调整可以更改变蚀刻选择性(例如,锗硅的蚀刻速率与硅的蚀刻速率的比率)。

[0060] 在一些实施方式中,过孔430的数量可在约60与约2000之间。过孔430可具有各种形状,但最容易制成为圆形。在一些实施方式中,过孔430的最小直径436可在约0.5 mm与约20 mm之间或在约1 mm与约6 mm之间。过孔的横截面形状的选择也很灵活,这些过孔可制成为锥形、圆柱形或两种形状的组合。在不同实施方式中,用于将未激发的前驱物引入基板处理区域428中的小孔434的数量可在约100与约5000之间或在约500与约2000之间。小孔434的直径可在约0.1 mm与约2 mm之间。

[0061] 过孔430可控制等离子体活化的气体(即,离子、自由基、和/或中性物种)通过穿孔隔板422的通道。例如,孔的纵横比(即,孔直径与长度的比值)和/或孔的几何形状可被控制为使得活化气体中的离子带电物种通过穿孔隔板422的流动减少。穿孔隔板422中的过孔430可包括面向腔室等离子体区域426的渐缩部分、及面向基板处理区域48的圆柱形部分。圆柱形部分的比例及尺寸可被设计以控制传递到基板处理区域428中的离子物种的流动。可调节的电偏压亦可施加到穿孔隔板422,作为控制通过穿孔隔板422的离子物种的流动的额外手段。

[0062] 或者,过孔430可具有朝向穿孔隔板422的顶表面的较小内径(inner diameter; ID)及朝向底表面的较大ID。此外,过孔430的底部边缘可被倒角,以帮助当等离子体流出物离开穿孔隔板422时在基板处理区域428中均匀地分布等离子体流出物,并且促进等离子体流出物及前驱物气体的均匀分布。较小ID可放置在沿着过孔430的各种位置处并且仍允许穿孔隔板422减少基板处理区域428内的离子密度。离子密度的减少是由于在进入基板处理区域428中之前与壁的碰撞数量的增加而导致的。每次碰撞增加了离子通过获取或丢失来自壁的电子而中和的概率。通常而言,过孔430的较小ID可在约0.2 mm与约20 mm之间。在其他实施方式中,较小ID可在约1 mm与6 mm之间或在约0.2 mm与约5 mm之间。另外,过孔430的纵横比(即,较小ID与孔长度的比值)可以是大致1至20。过孔430的较小ID可以是沿着过孔430的长度发现的最小ID。过孔430的横截面形状可通常是圆柱形、锥形、或其任何组合。

[0063] 支撑组件406可包括基板支撑件440,以在处理期间在其上支撑基板442。基板支撑件440可通过轴件446耦接到致动器444,轴件446通过形成在腔室主体402的底部中的中心定位的开口延伸。致动器444可通过防止在轴件446周围的真空泄漏的波纹管(未图示)柔性地密封到腔室主体402。致动器444允许基板支撑件440在腔室主体402内在处理位置与装载

位置之间垂直地移动。装载位置略微低于在腔室主体402的侧壁中形成的通道(未图示)的开口。

[0064] 基板支撑件440具有平坦、或实质上平坦的基板支撑表面,用于在其上支撑将被处理的基板442。基板支撑件440可通过致动器444在腔室主体402内垂直地移动,致动器444通过轴件446耦接到基板支撑件440。在一些处理步骤中,基板可设置在升降销488上以执行额外的热处理步骤,诸如执行退火步骤。

[0065] 处理示例

[0066] 图5描绘了根据本公开内容的第一实施方式的在半导体结构600中形成接触层的方法500的处理流程图。图6A、图6B、图6C、图6D、图6E、图6F、及图6G对应于方法500的各个状态的半导体结构600的一部分的横截面图。应当理解,图6A、图6B、图6C、图6D、图6E、图6F、及图6G仅示出了半导体结构600的部分示意图,并且半导体结构600可含有任何数量的晶体管区段及具有如图式中示出的方面的额外材料。还应当注意,尽管按顺序地描述了图5中示出的方法,但是包括已经省略和/或添加的一个或多个操作,和/或已经以另一期望次序重新布置的其他处理序列也落入本文提供的公开内容的实施方式的范围内。

[0067] 参见图6A、图6B、图6C、图6D、图6E、图6F、及图6G,半导体结构600可包括在基板上形成的第一晶体管器件602及第二晶体管器件604。

[0068] 如本文使用,术语“基板”指用作后续处理操作的基础并且包括待清洁表面的材料层。按需要,基板可以是基于硅的材料或任何适宜的绝缘材料或导电材料。基板可包括材料,诸如结晶硅(例如, $\text{Si}\langle 100 \rangle$ 或 $\text{Si}\langle 111 \rangle$)、氧化硅、应变硅、锗硅、掺杂或未掺杂的多晶硅、掺杂或未掺杂的硅晶片及图案化或非图案化的晶片、绝缘体上硅(silicon on insulator; SOI)、碳掺杂的氧化硅、氮化硅、掺杂硅、锗、砷化镓、玻璃、或蓝宝石。

[0069] 如图6A所示,形成在基板上的多个第一晶体管器件中的第一晶体管器件602的一部分包括由第一材料形成的第一半导体区域606。形成在基板上的多个第二晶体管器件中的第二晶体管器件604的一部分包括由第二材料形成的第二半导体区域608。第一及第二材料包括具有不同组成的材料,使得第二材料可以相对于第一材料被选择性地蚀刻(即,第二材料的蚀刻速率高于第一材料的蚀刻速率)。第二材料的蚀刻选择性(即,第二材料的蚀刻速率与第一材料的蚀刻速率的比率)在约10:1至500:1之间。第一材料及第二材料的示例组合分别包括硅(Si)/锗硅(SiGe)、锗(Ge)/锗硅(SiGe)、或硅(Si)/锗锡(GeSn)。

[0070] 第一半导体区域606可用n型掺杂剂掺杂,诸如磷(P)、锑(Sb),浓度在约 10^{20} cm^{-3} 与 $5 \times 10^{21} \text{ cm}^{-3}$ 之间,取决于第一晶体管器件602的期望的导电特性。第二半导体区域608可用p型掺杂剂掺杂,诸如硼(B)或镓(Ga),浓度在约 10^{20} cm^{-3} 与 $5 \times 10^{21} \text{ cm}^{-3}$ 之间,取决于第二晶体管器件604的期望的导电特性。

[0071] 半导体结构600进一步包括介电层610,介电层610具有在第一半导体区域606的每一者上方形成的第一开口612及在第二半导体区域608的每一者上方形成的第二开口614。介电层610可由介电材料形成,诸如二氧化硅(SiO_2)或氮化硅(Si_3N_4)。

[0072] 第一半导体区域606及第二半导体区域608可使用任何适宜的沉积技术形成,诸如外延(Epi)沉积、化学气相沉积(chemical vapor deposition; CVD)、原子层沉积(atomic layer deposition; ALD)、或物理气相沉积(physical vapor deposition; PVD),并且开口612及614通过图案化技术形成,诸如光刻及蚀刻处理。

[0073] 方法500开始于方块510中的预清洁处理。预清洁处理可在处理腔室中执行,诸如图1所示的处理腔室122、或图2所示的处理腔室200。

[0074] 预清洁处理被配置为移除污染物(诸如天然氧化物层)、或形成在第一开口612内的第一半导体区域606的暴露表面上及形成在第二开口614内的第二半导体区域608的暴露表面上的图案化残留物(例如,氟化碳)。预清洁处理用于制备在第一开口612内的第一半导体区域606的暴露表面及在第二开口614内的第二半导体区域608的暴露表面,外延层可以在后续外延沉积处理中形成在这些暴露表面上。预清洁处理可以用于在后续外延沉积处理中进一步调节后续沉积的外延层在第一半导体区域606(例如,硅(Si))的表面及第二半导体区域608(例如,锗硅(SiGe))的表面上生长速率。调节后续沉积的外延层的生长速率可以通过以下操作执行:控制设置在第一半导体区域606及第二半导体区域608的表面处的残留材料的量(诸如剩余氧化物材料的量)、表面活化处理、和/或在执行预清洁处理之后更改在第一半导体区域606及第二半导体区域608的表面处的材料的晶体结构(例如,促进非晶或结晶结构)。在一些实施方式中,例如,预清洁处理可以在被氧化的含有SiGe:B区域的表面与被氧化的含有Si:P区域的表面之间具有一定的蚀刻速率选择性,使得预清洁处理将“清洁”SiGe:B表面(例如,移除其上形成的氧化物)并且留下其上形成有氧化物层的至少一部分的Si:P表面。

[0075] 预清洁处理可包括使用由包括氩气(Ar)、氦气(He)、或其组合的气体形成的等离子体的各向异性远程等离子体辅助的干式蚀刻处理,诸如反应性离子蚀刻(reactive ion etching; RIE)处理。等离子体流出物定向地撞击并移除第一开口612及第二开口614内剩余的介电层。

[0076] 预清洁处理可包括使用由包括氨气(NH₃)、三氟化氮(NF₃)、氟化氢(HF)、或其组合的气体及诸如氮气(N₂)、氢气(H₂)、或其组合的载体气体形成的等离子体的各向同性等离子体蚀刻处理,诸如SiCoNi™干式化学蚀刻处理。干式化学蚀刻处理对氧化物层具有选择性,并且因此无论层是非晶的、结晶的或多晶的,都不容易蚀刻硅、锗、或氮化物层。干式化学蚀刻处理对氧化物相对于硅或锗的选择性至少为约3:1,并且通常为5:1或更佳,有时为10:1。干式化学蚀刻处理亦相对于氮化物对氧化物具有高度选择性。干式化学蚀刻处理相对与氮化物的选择性至少为约3:1,通常为5:1或更佳,有时为10:1。

[0077] 预清洁处理可包括感应耦合等离子体(inductively coupled plasma; ICP)蚀刻处理,该处理使用由包括氯气(Cl₂)及氢气(H₂)的气体、及包括氩气(Ar)及氦气(He)的载体气体形成的等离子体。ICP蚀刻处理用于在硅中形成具有平滑侧壁的深脊部。

[0078] 预清洁处理可包括基于使用由包括氨气(NH₃)、三氟化氮(NF₃)、氟化氢(HF)、或其组合的气体和诸如氮气(N₂)、氢气(H₂)、或其组合的载体气体形成的等离子体的各向同性等离子体蚀刻处理(诸如SiCoNi™干式化学蚀刻处理)的表面活化处理。在一个示例中,等离子体清洁处理是远程等离子体辅助的干式清洁处理,其涉及同时将基板暴露于HF及NH₃,并且可选地包括一种或多种气体的等离子体副产物。亦可使用惰性气体,诸如氩气及氦气。三种气体(惰性/HF/NH₃)中的任一者、或其组合可暴露于能量,如上文描述,以形成其等离子体,从而用于移除期望的污染物的并且钝化基板表面的至少部分。在将基板暴露于等离子体之后保留在基板表面上的任何残留化合物可以随后通过后续将基板加热到期望温度来移除。

[0079] 在方块520中,如图6B所示,执行第一选择性沉积处理以在第一开口612内的第一半导体区域606的暴露表面上外延形成第一接触层616,并且在第二开口614内的第二半导体区域608的暴露表面上外延形成第二接触层618。第一选择性沉积处理可在处理腔室中执行,诸如图1所示的处理腔室126、128、或130,或图3所示的处理腔室300。

[0080] 第一接触层616随后被移除,如下文论述。第二接触层618形成为在第二半导体区域608与将在第二开口614内形成的金属接触插塞之间的界面,以最小化寄生电阻。第一接触层616及第二接触层618由第三材料形成。第三材料的示例包括锗硅(SiGe),其中锗(Ge)的比率在20%与100%之间变化。第一接触层616及第二接触层618可用p型掺杂剂掺杂,诸如硼(B)或镓(Ga),浓度在约 10^{20} cm^{-3} 与 $5 \times 10^{21} \text{ cm}^{-3}$ 之间,取决于第二接触层618的期望的导电特性。

[0081] 在一些实施方式中,第一选择性沉积处理包括第一沉积处理及第一蚀刻处理。第一沉积处理系外延沉积处理。第一选择性沉积处理的选择性可源于在第一半导体区域606及第二半导体区域608(例如,硅(Si)或锗硅(SiGe))的暴露表面上的第三材料的成核与在介电层610(例如,二氧化硅(SiO_2)或氮化硅(Si_3N_4))的暴露表面上的第三材料的成核之间的差异。与在介电层610(例如,二氧化硅(SiO_2)或氮化硅(Si_3N_4))的暴露表面上相比,成核可在第一半导体区域606及第二半导体区域608(例如,硅(Si)或锗硅(SiGe))的暴露表面上以较快速率发生,并且因此当半导体结构600暴露于第一沉积处理中的沉积气体时,第三材料的外延层可在第一半导体区域606及第二半导体区域608(例如,硅(Si)或锗硅(SiGe))的暴露表面上形成,而第三材料的非晶层可在介电层610(例如,二氧化硅(SiO_2)或氮化硅(Si_3N_4))的暴露表面上形成。在后续的第一蚀刻处理中,通过适当的蚀刻气体,与在第一半导体区域606及第二半导体区域608的暴露表面上形成的第三材料的外延层相比,在介电层610的暴露表面上形成的第三材料的非晶层可以以较快速率被蚀刻。因此,所组合的第一沉积处理及第一蚀刻处理的总体结果可以是在第一半导体区域606及第二半导体区域608的暴露表面上外延生长第三材料,同时使第三材料在介电层610的暴露表面上的生长(若有的话)最小化。

[0082] 在一些实施方式中,沉积气体包括含硅前驱物、含锗前驱物、及掺杂剂源。含硅前驱物可包括硅烷(SiH_4)、二硅烷(Si_2H_6)、四硅烷(Si_4H_{10})、或其组合。含锗前驱物可包括锗烷(GeH_4)、四氯化锗(GeCl_4)、及二锗烷(Ge_2H_6)。掺杂剂源可包括例如硼或镓,取决于第二接触层618的期望的导电特性。掺杂剂源可包括前驱物二硼烷(B_2H_6)。蚀刻气体包括蚀刻剂气体及载体气体。蚀刻剂气体可包括含卤素气体,诸如氯化氢(HCl)、氯气(Cl_2)、或氟化氢(HF)。载体气体可包括氮气(N_2)、氩气(Ar)、氦气(He)、或氢气(H_2)。

[0083] 第一沉积处理及第一蚀刻处理可在小于约 450°C 的低温下并且在5 Torr与600 Torr之间的压力下执行。

[0084] 第一沉积及第二蚀刻处理的循环可按需要重复以获得期望厚度的第一接触层616及第二接触层618。第一接触层616及第二接触层618的厚度可在约30 Å与约100 Å之间。

[0085] 在方块530中,执行图案化处理以在第二半导体区域608上方形成图案化堆叠620以便覆盖第二接触层618,如图6C所示。图案化处理可使用常规的光刻图案化处理执行。

[0086] 图案化堆叠620可使用平坦化填充处理(例如,旋涂)沉积到半导体结构600的暴露表面上,并且后续通过适宜的光刻及蚀刻处理图案化。图案化堆叠620可由有机介电层

(organic dielectric layer; ODL)、硅抗反射涂层(silicon anti-reflective coating; SiARC)、或光刻胶形成。

[0087] 在方块540中,执行选择性移除处理(SRP)以对第一半导体区域606(例如,硅(Si))及介电层610(例如,二氧化硅(SiO_2)或氮化硅(Si_3N_4))选择性地移除第一接触层616(例如,锗硅(SiGe)),如图6D所示。SRP可在处理腔室中执行,诸如图1所示的处理腔室124、或图4所示的处理腔室400。

[0088] SRP包括使用由含氟前驱物(例如,三氟化氮(NF_3))形成的等离子体流出物的等离子体蚀刻。来自远程等离子体源(例如,图4所示的远程等离子体源224)的等离子体流出物流动到基板处理区域(例如,图4所示的基板处理区域428)中。等离子体流出物与半导体结构600的暴露表面反应并且选择性移除第一接触层616(例如,锗硅(SiGe)),同时非常缓慢地移除第一半导体区域606(例如,硅(Si))。通常而言,针对所有 $X>Y$,本文描述的SRP用于相较于 $\text{Si}_{(1-Y)}\text{Ge}_Y$ 更快地移除 $\text{Si}_{(1-X)}\text{Ge}_X$ (包括锗,即, $X=1$)。在一些实施方式中,锗硅的蚀刻选择性部分地源于在腔室等离子体区域(例如,图4所示的腔室等离子体区域426)与基板处理区域(例如,图4所示的基板处理区域428)之间定位的离子抑制器(例如,图4所述的穿孔隔板422)的存在。

[0089] 含氟前驱物包括三氟化氮、氟化碳、原子氟、双原子氟、氟卤间化合物(例如,三氟化溴、三氟化氯)、六氟化硫、二氟化氙、或其组合。稀释剂气体(例如,氩气(Ar)、氦气(He)、氮气(N_2)、或其组合)亦流动到腔室等离子体区域中,其中该稀释剂气体与含氟前驱物一起被同时激发为等离子体。稀释剂气体降低等离子体流出物的扩散率并且因此增加锗硅的蚀刻选择性。

[0090] 在一些实施方式中,含氟前驱物(例如,三氟化氮(NF_3))以在约5 sccm(标准立方公分每分钟)与约40 sccm之间的流动速率供应,氩气(Ar)以在约4 sccm与约1500 sccm之间的流动速率供应,氦气(He)以在约100 sccm与约5000 sccm之间的流动速率供应,并且氮气(N_2)以在约100 sccm与约5000 sccm之间的流动速率供应。SRP可在约 -20°C 与约 60°C 之间的温度下并且在1 Torr与50 Torr之间的压力下执行。锗硅(SiGe) (锗(Ge)的比率为30%)相较于磷掺杂的硅(Si:P)的蚀刻选择性可高于200:1,相较于热氧化物(SiO_x)的蚀刻选择性高于500:1,并且相较于氮化硅(Si_3N_4)的蚀刻选择性高于500:1。

[0091] 在方块550中,执行常规的等离子体灰化处理以移除图案化堆叠620,如图6E所示。等离子体灰化处理可在处理腔室中执行,诸如图1所示的处理腔室122、或图2所示的处理腔室200。

[0092] 等离子体灰化处理可以使用由包括氧气(O_2)的气体形成的等离子体。灰化处理可以使用湿式清洁处理,该湿式清洁处理使用溶液,诸如硫酸(H_2SO_4)及过氧化氢(H_2O_2)的混合物,以移除半导体结构600上的图案化堆叠620的残留物。

[0093] 在方块560中,执行第二沉积处理,如图6F所示。第二沉积处理可各自在处理腔室中执行,诸如图1所示的处理腔室126、128、或130,或图3所示的处理腔室300。

[0094] 在第二沉积处理中,金属层622形成在第一半导体区域606的暴露表面及第二接触层618上。金属层622接触第二接触层618并且提供在将在第二开口614内形成的接触插塞与第二半导体区域608之间的电气连接,同时维持通过其的电气连接。金属层622可由金属材料形成,诸如钛(Ti)、钴(Co)、镍(Ni)、钼(Mo)、或钽(Ta)、或其硅化物。

[0095] 在一些实施方式中,金属源可包括前驱物,该前驱物包括钛(Ti)、钽(Ta)、钴(Co)、镍(Ni)、或钼(Mo)或其组合。第二沉积处理可各自在约300°C与约800°C之间的温度下并且在1 Torr与50 Torr之间的压力下执行。

[0096] 在第二沉积处理中,阻挡金属层624亦可以形成在第一开口612及第二开口614的暴露的内表面、及介电层610的暴露表面上形成。阻挡金属层624保护金属层622并且允许在第一开口612及第二开口614中成核并生长接触插塞,如下文论述。阻挡金属层624可由阻挡金属材料形成,该阻挡金属材料是氮化钛(TiN)、或氮化钽(TaN)。在一些实施方式中,金属层622是通过使用尖峰退火处理由阻挡金属层624的一部分形成的硅化物层。在一些其他实施方式中,金属层622是通过在形成阻挡金属层624之前执行的单独选择性沉积处理形成的硅化物层。

[0097] 在方块560中执行的第二沉积处理可包括在约100°C与约300°C之间的温度下在处理腔室(诸如图1所示的处理腔室126、128、或130)中的任何适当的沉积处理,诸如原子层沉积(ALD)、化学气相沉积(CVD)、物理气相沉积(PVD)、或类似者。

[0098] 在方块570中,执行金属填充处理以在第一开口612中形成第一接触插塞626并且在第二开口614中形成第二接触插塞628,如图6G所示。第一接触插塞626及第二接触插塞628可由接触插塞金属材料形成,诸如钨(W)、钴(Co)、钌(Ru)、或钼(Mo)。第一接触插塞626及第二接触插塞628可包括具有期望功函数的金属。方块570中的金属填充处理可包括在处理腔室(诸如图1所示的处理腔室126、128、或130)中使用含钨前驱物(诸如WF₆)或含钴前驱物的化学气相沉积(CVD)处理。

[0099] 在金属填充处理之后,半导体结构600可被平坦化,诸如通过使用化学机械平坦化(CMP)处理。

[0100] 替代示例

[0101] 图7描绘了根据本公开内容的第二实施方式的在半导体结构800中形成接触层的方法700的处理流程图。图8A、图8B、图8C、图8D、及图8E对应于方法700的各个状态的半导体结构800的一部分的横截面图。应当理解,图8A、图8B、图8C、图8D、及图8E仅示出了半导体结构800的部分示意图,并且半导体结构800可含有任何数量的晶体管区段及具有如图式中示出的方面的额外材料。还应当注意,尽管按顺序地描述了图7中示出的方法,包括已经省略和/或添加的一个或多个操作,和/或已经以另一期望次序重新布置的其他处理序列落入本文提供的公开内容的实施方式的范围内。在以下描述中,相同的附图标记用于实质上与第一实施方式的那些相同的部件,并且可省略重复部件的描述。

[0102] 方法700开始于方块710中的预清洁处理。方块710中的预清洁处理通常与方块510中的预清洁处理相同。方块710中的预清洁处理可被调整为使得在第二半导体区域608(例如,锗硅(SiGe))的暴露表面上的第三材料(例如,锗硅(SiGe))的外延层的生长速率高于在第一半导体区域606(例如,硅(Si))的暴露表面上的第三材料(例如,锗硅(SiGe))的外延层的生长速率。用于控制预清洁处理的旋钮可包括气体化学物种、气体比率、气体流动速率、基板温度、温度梯度、腔室压力、电源的功率和/或频率、RF激发频率、RF电功率的占空比及/或频率、蚀刻时间、或其组合。如上文论述,后续沉积的外延层的生长速率的调节可以通过控制或调整在第一半导体区域606及第二半导体区域608的表面处设置的材料的组成、和/或在执行预清洁处理之后更改在第一半导体区域606及第二半导体区域608的表面处的材料

的晶体结构来调整。

[0103] 在方块720中,如图8B所示,执行第一选择性沉积处理以在第一开口612内的第一半导体区域606的暴露表面上外延形成第一接触层816,并且在第二开口614内的第二半导体区域608的暴露表面上外延形成第二接触层818。方块720中的第一选择性沉积处理可以通常与方块520中的第一选择性沉积处理相同。在一些实施方式中,归因于在方块710中的预清洁处理的执行方式及因此在第一选择性沉积处理期间第一半导体区域606及第二半导体区域608的表面状态,在相同的处理时间段期间第二接触层818将生长到与第一接触层816的厚度相比更大的厚度。

[0104] 在方块720的一些其他实施方式中,调整和/或控制用于同时形成第二接触层818及第一接触层816的处理参数,使得在相同的处理时间段期间在第二半导体区域608上形成的第二接触层818的厚度大于在第一半导体区域606上形成的第一接触层816的厚度。据信,通过控制一个或多个沉积处理参数(例如,温度、处理压力、前驱物气体组成等),在含有锗硅(SiGe)的第二半导体区域608上的含有锗硅(SiGe)的第二接触层818的生长速率可以显著大于在含有硅的第一半导体区域606上的含有锗硅(SiGe)的第一接触层816的生长速率。

[0105] 在方块720示例的任一者中,第一接触层816可以形成到在约5 Å与约100 Å之间的厚度并且第二接触层818可以形成到在约30 Å与约100 Å之间的厚度,其中第一接触层816的厚度小于第二接触层818的厚度。

[0106] 在方块730中,执行选择性移除处理(SRP)以对第一半导体区域606(例如,硅(Si))及介电层610(例如,二氧化硅(SiO₂)或氮化硅(Si₃N₄))选择性地移除第一接触层816(例如,锗硅(SiGe)),如图8C所示。方块730中的SRP与方块540中的SRP相同。然而,第二接触层818是暴露的(不同于通过如图6C及图6D所示的图案化堆叠620覆盖的第二接触层618),并且因此第二接触层818亦被选择性移除。在此处理中,一定量的第一接触层816及第二接触层818(诸如所有第一接触层816)被移除,并且因此由于在方块720期间形成的第二接触层818相较于第一接触层816增加的厚度,使一定量的第二接触层818保留在第二半导体区域608上方。方块720中的第一选择性沉积处理及方块730中的SRP的循环可按需要重复以获得期望厚度的第二接触层818。第二接触层618的厚度可在约30 Å与约100 Å之间。

[0107] 在方块740中,执行第二沉积处理以形成金属层622及阻挡金属层624,如图8D所示。在方块740中提供的第二沉积处理可以与方块560中的第二沉积处理相同。

[0108] 在方块750中,执行金属填充处理以在第一开口612中形成第一接触插塞626并且在第二开口614中形成第二接触插塞628,如图6E所示。在方块750中提供的金属填充处理可以与方块670中的金属填充处理相同。

[0109] 本文描述的实施方式提供了用于在晶体管结构的所选部分处在沟槽内形成接触外延层的方法及系统。接触沟槽结构包括在相邻器件模块之间的沟槽内形成的金属接触插塞、及在器件模块中的接触插塞与基于硅的通道之间介接的接触。该接触通过选择性沉积处理形成,从而减小寄生电阻。金属接触插塞通过逐层沉积处理(deposition-each-deposition process)无空隙地形成,从而减小接触电阻。接触外延层可以是在p型MOS器件(例如,锗硅)的暴露表面上形成的p型锗硅,而没有外延层会形成在n型MOS(例如,硅)或在p型MOS器件及n型MOS器件上方形成的介电层上。方法及系统不需要使用光掩模图案化外延层,并且因此减少对所制造的半导体结构的损坏。

[0110] 尽管上述内容涉及本公开内容的实施方式,本公开内容的其他及进一步实施方式可在不脱离其基本范围的情况下设计,并且其范围由随附权利要求书确定。

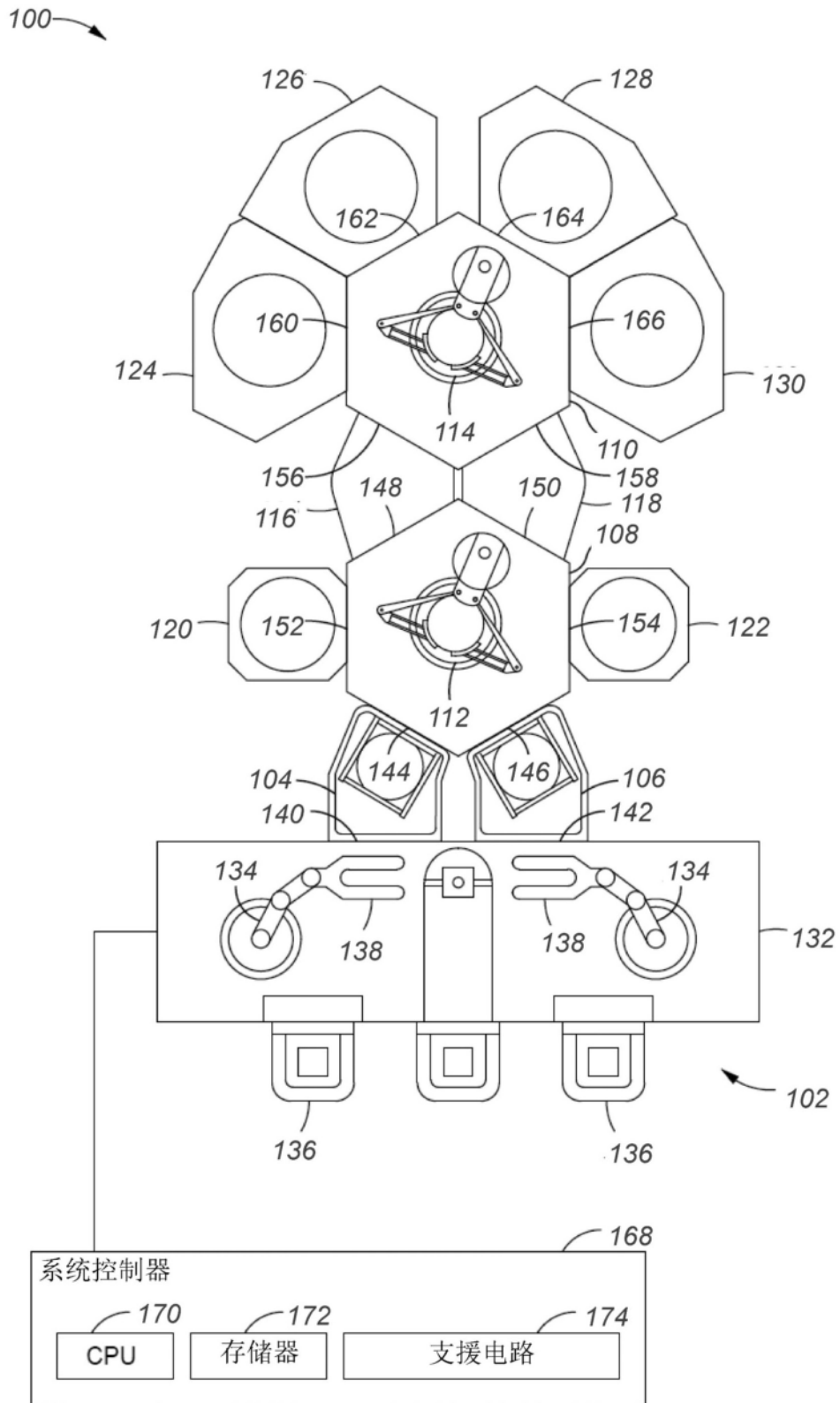


图 1

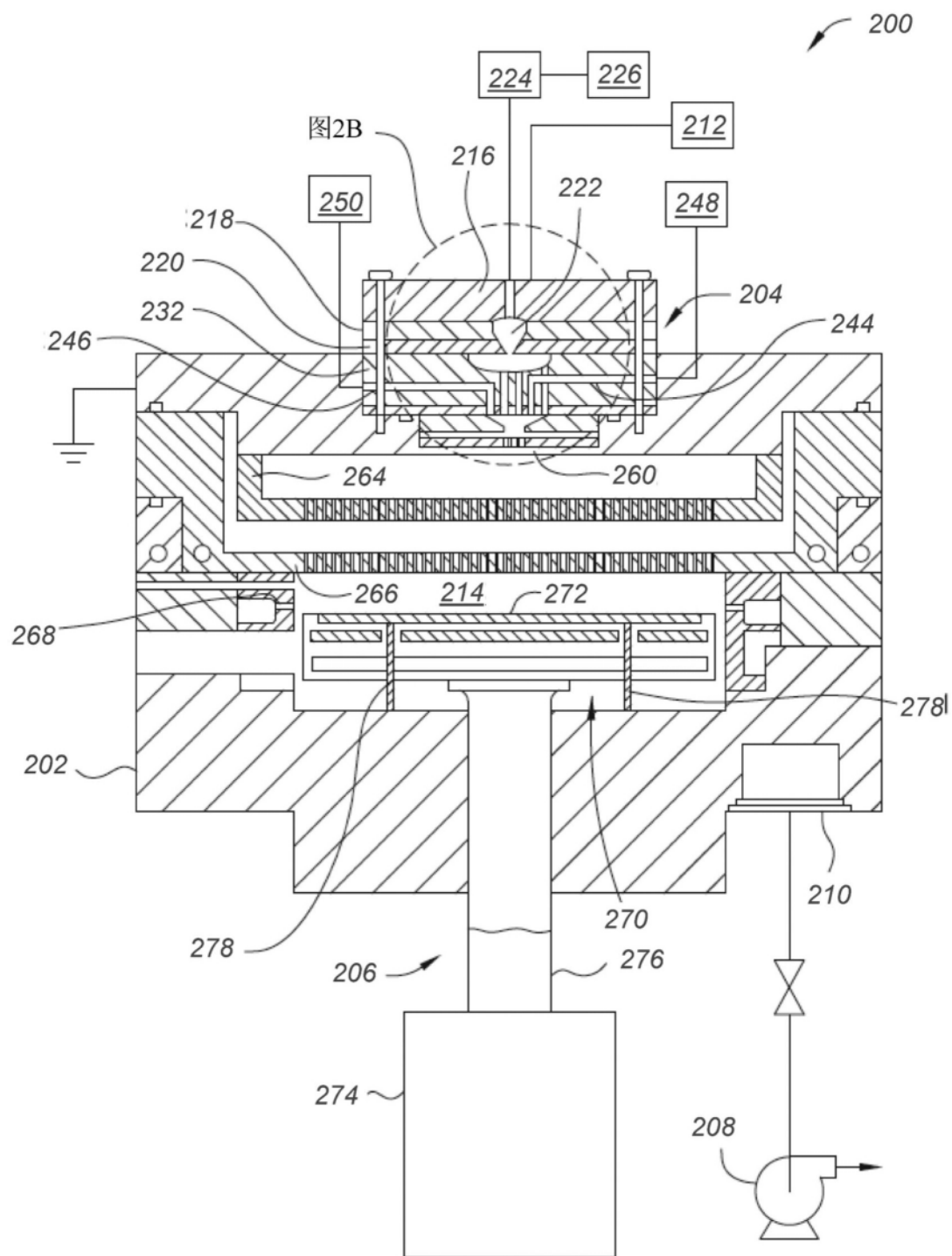


图 2A

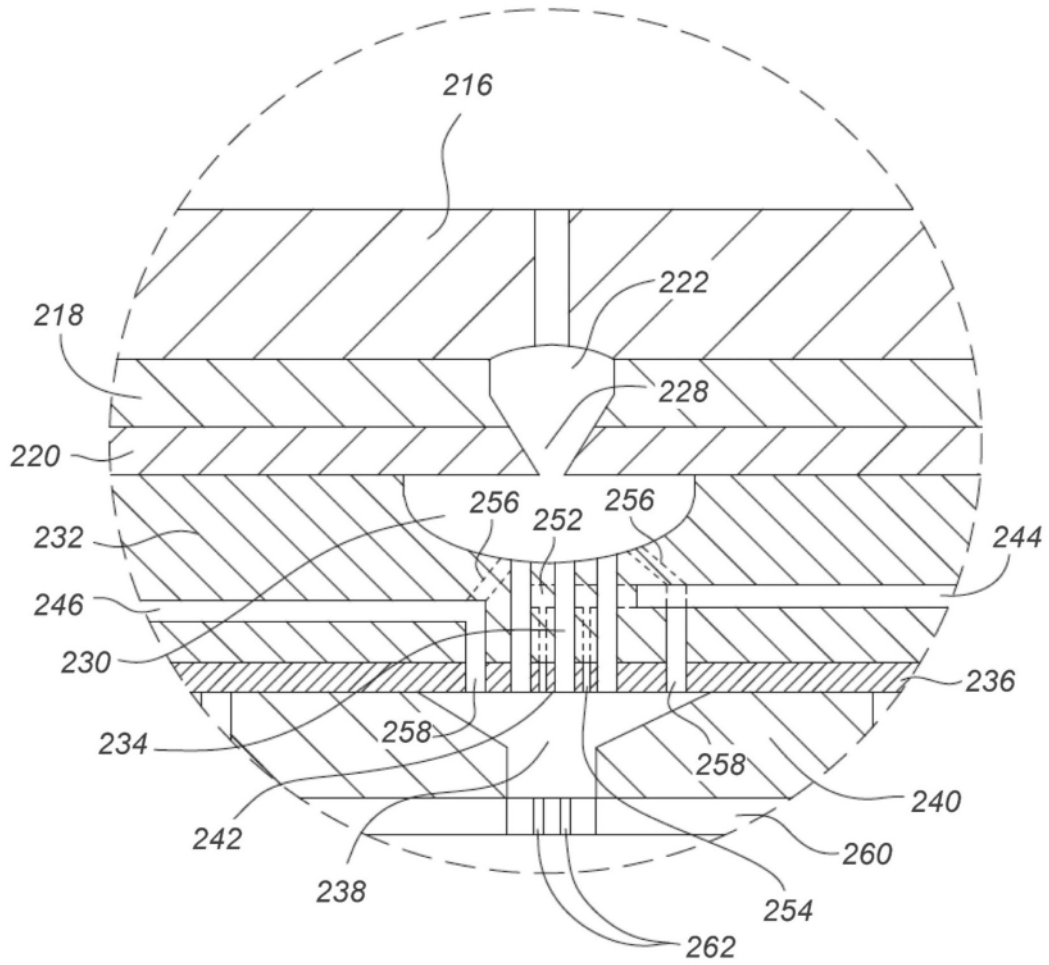


图 2B

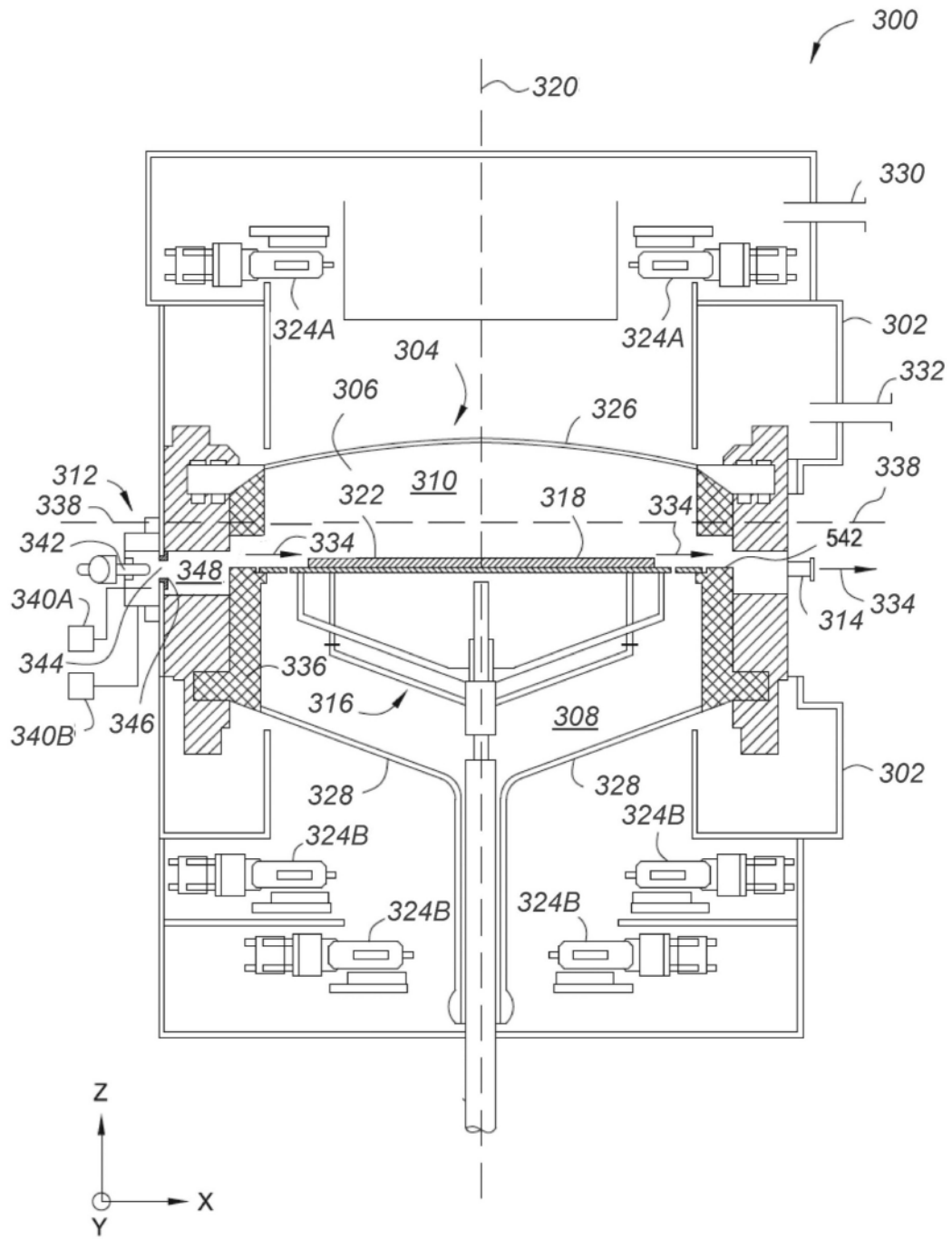


图 3

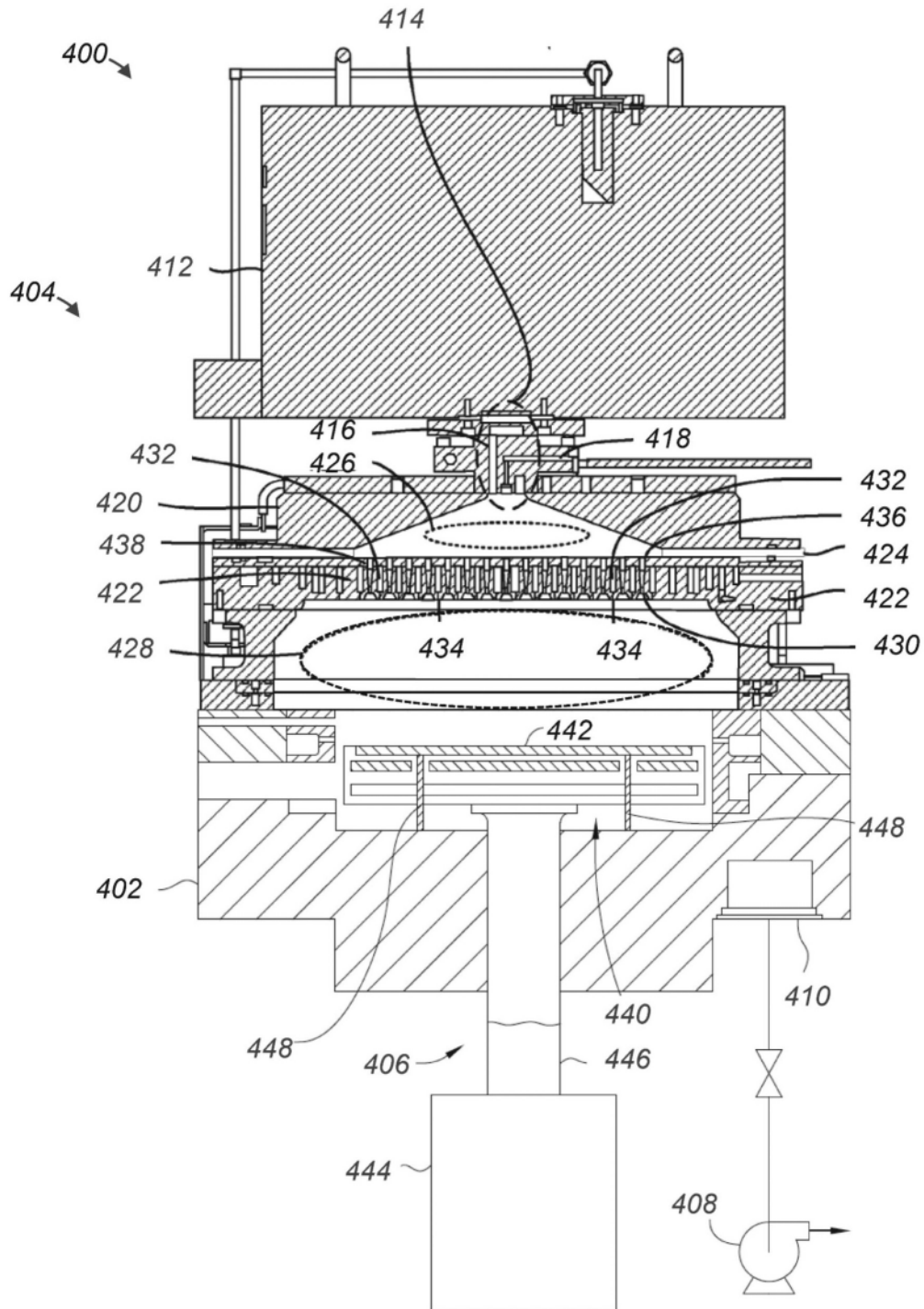


图 4

500



图 5

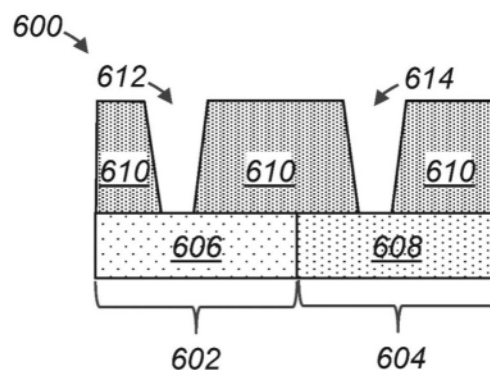


图 6A

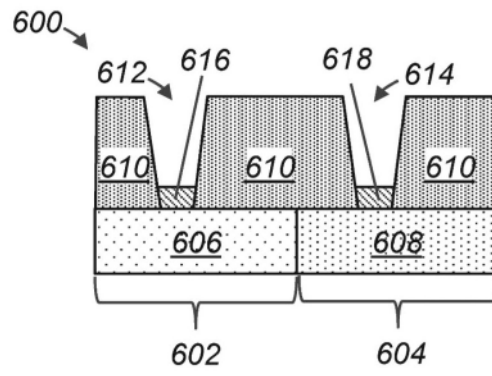


图 6B

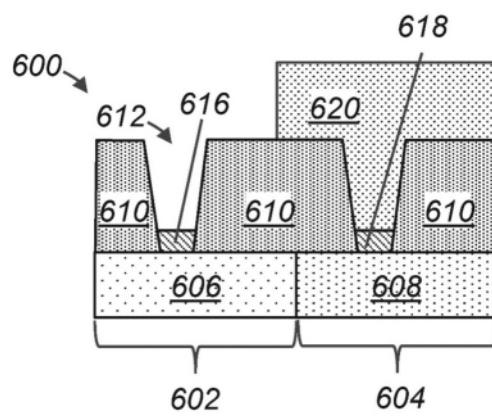


图 6C

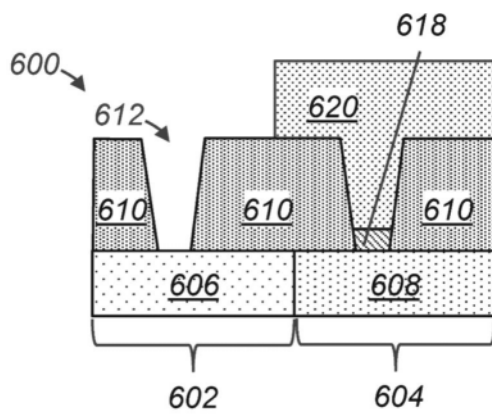


图 6D

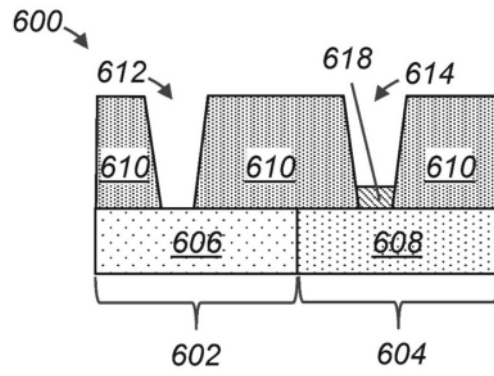


图 6E

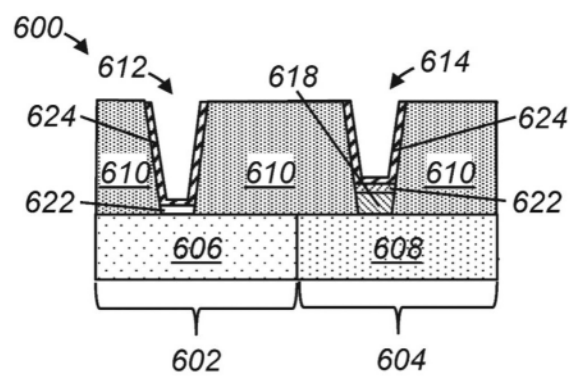


图 6F

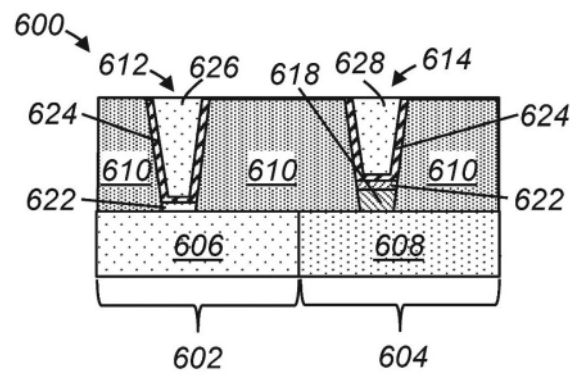


图 6G

700

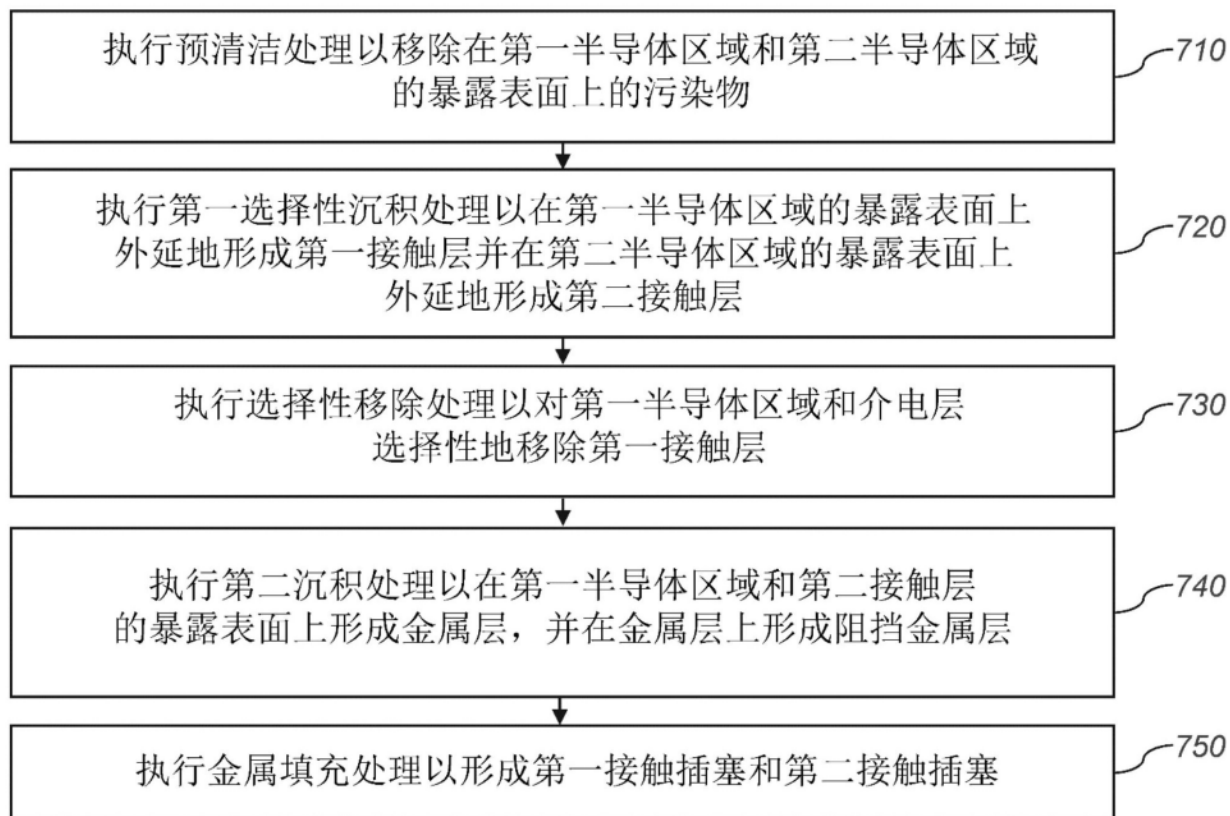


图 7

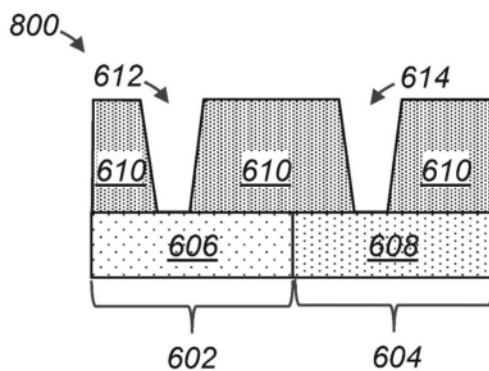


图 8A

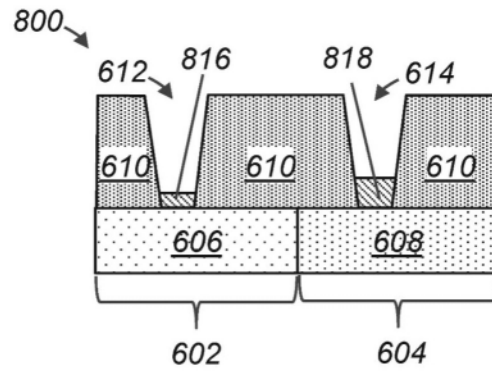


图 8B

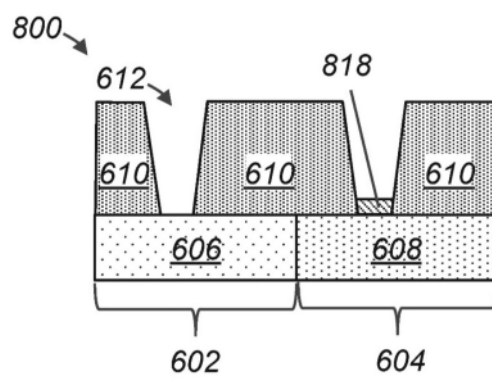


图 8C

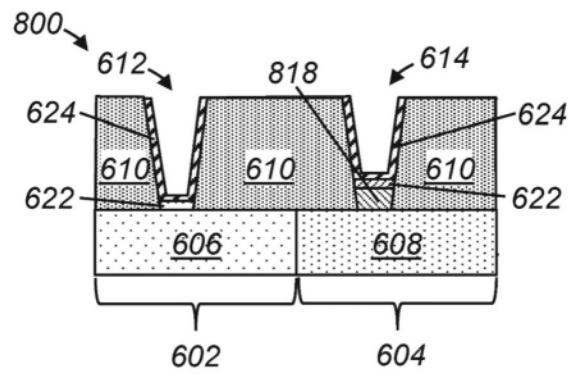


图 8D

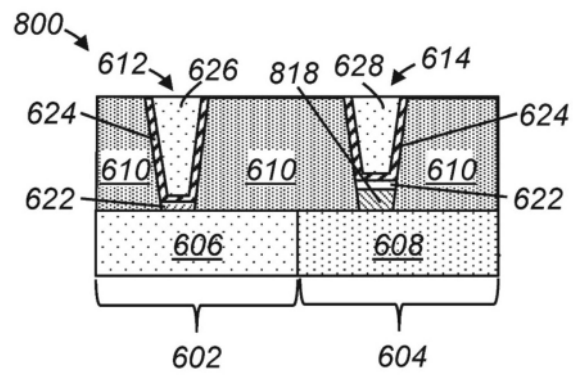


图 8E