

(19)대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) Int. Cl. (11) 공개번호 10-2006-0046909  
H01L 21/336 (2006.01) (43) 공개일자 2006년05월18일

(21) 출원번호 10-2004-0092426  
(22) 출원일자 2004년11월12일

(71) 출원인 삼성전자주식회사  
경기도 수원시 영통구 매탄동 416  
(72) 발명자 김병서  
경기도 수원시 팔달구 영통동 956-2 동신아파트 311동 1702호  
(74) 대리인 임창현  
권혁수

심사청구 : 없음

(54) 리세스 채널을 갖는 트랜지스터 제조방법

요약

리세스 채널을 갖는 트랜지스터 제조 방법을 제공한다. 이 방법은 실리콘 반도체 기판 상에 요부를 갖는 마스크 패턴을 형성하고, 마스크 패턴 측벽에 스페이서막을 형성하고, 요부를 실리콘막으로 충전한 후 스페이서막을 제거하여 실리콘 반도체 기판을 노출시키고, 노출된 실리콘 반도체 기판과 실리콘막을 동시에 전면 식각하여 요철 형상의 저부를 갖는 리세스를 형성하고, 리세스 내벽에 게이트 절연막을 형성하고, 리세스를 매립하는 게이트 전극을 게이트 절연막 상에 형성하는 단계로 이루어진다.

대표도

도 9

색인어

트랜지스터, 리세스 채널, 실리콘막, 스페이서막, 요철

명세서

도면의 간단한 설명

도 1 은 종래의 리세스 채널을 갖는 트랜지스터 형성 방법에서 발생하는 문제를 설명하기 위한 수직단면도이다.

도 2 내지 도 9는 본 발명의 바람직한 실시 예에 따른 리세스 채널을 갖는 트랜지스터 형성방법을 설명하기 위한 단면도들이다.

발명의 상세한 설명

## 발명의 목적

### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체소자의 제조방법에 관한 것으로, 트랜지스터를 형성하는 방법에 관한 것이다. 반도체 소자의 집적도가 커지면서 트랜지스터의 크기가 점차 작아질것이 요구되어 왔다. 따라서, 종래의 트랜지스터는 소오스와 드레인 간의 채널의 길이가 점점 감소해져 소오스와 드레인의 공핍 영역이 채널속으로 침투하므로써 유효 채널 길이가 줄어들고, 문턱전압(threshold voltage)이 감소하여 트랜지스터에서 게이트 제어의 기능이 상실되는 숏채널 효과(short channel effect)가 발생하게 된다. 이에 따라 접합누설전류와 리프레쉬 같은 반도체 소자의 전기적 특성을 만족시키는데 한계에 이르고 있다. 한편, 도 1에 보이는 것처럼 숏채널 효과를 감소시키기 위한 방법으로 유효채널을 증가시키기 위하여 반도체 기판(1)을 식각하여 형성된 저부와 측부로 이루어진 리세스(3)에 게이트 절연막(5)과 게이트 전극(7)을 형성하고 소오스/드레인(9)을 기판(1)에 형성한 리세스 채널을 갖는 트랜지스터(recessed channel transistor)가 제안되고 있다. 하지만, 반도체 장치의 집적도가 증가함에 따라 상기 리세스(3)의 폭은 좁아지게 되고 트랜지스터의 채널로 기여하는 소오스/드레인(9)의 사이의 상기 리세스(3)의 저부의 폭(d)도 함께 좁아지게 되어 트랜지스터의 유효 채널 길이가 줄어들며 이에 따라 숏채널 효과 등과 같은 트랜지스터의 전기적 특성 및 신뢰성의 저하 문제가 야기될 수 있다.

### 발명이 이루고자 하는 기술적 과제

본 발명이 이루고자하는 기술적 과제는 상술한 바와 같은 전기적 특성열화 및 신뢰성 저하를 줄이기 위한 리세스 채널을 갖는 트랜지스터 제조 방법을 제공하는 것이다.

### 발명의 구성 및 작용

상기 기술적 과제를 달성하기 위하여 본 발명은 실리콘 반도체 기판상에 요부를 갖는 마스크패턴을 형성하는 단계 상기 마스크 패턴의 측벽에 스페이서막을 형성하는 단계 상기 요부를 충전하는 실리콘막을 형성하는 단계 상기 스페이서막을 선택적으로 제거하여 실리콘 반도체 기판을 노출시키는 단계 상기 실리콘 반도체 기판과 상기 실리콘 막을 식각하여 그 저부가 요철 형상을 갖는 리세스를 반도체 기판에 형성하는 단계 상기 리세스의 내벽에 게이트 절연막을 형성하는 단계 및 상기 게이트 절연막 상에 상기 리세스를 매립하는 게이트 전극을 형성하는 단계를 구비하는 것을 특징으로 하는 리세스 채널을 갖는 트랜지스터 제조 방법을 제공할 수 있다.

이하, 첨부한 도면들을 참조하여 본 발명의 바람직한 실시예들을 상세히 설명하기로 한다. 그러나 본 발명은 여기서 설명되는 실시예들에 한정되지 않고 다른 형태로 구체화될 수도 있다. 오히려, 여기서 소개되는 실시예들은 개시된 내용이 철저하고 완전해질 수 있도록 그리고 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 제공되는 것이다. 도면들에 있어서, 층 및 영역들의 두께는 명확성을 기하기 위하여 과장된 것이다. 명세서 전체에 걸쳐서 동일한 참조번호로 표시된 부분들은 동일한 구성요소들을 의미한다.

도 2 내지 도 9는 본 발명의 바람직한 실시예에 따른 리세스 채널을 갖는 트랜지스터 형성 방법을 설명하기 위한 단면도들이다.

도 2를 참조하면, 소자 분리막(미도시)에 의해 정의된 활성영역의 실리콘 반도체 기판(10) 상에 패드 산화막(12) 및 하드 마스크 막(14)을 순차적으로 적층한다. 상기 패드 산화막(12)은 MTO(Medium Temperature Oxide) 막으로 약 100Å 내지 500Å 정도의 두께를 갖도록 형성되고, 상기 하드 마스크막(14)은 약 300Å 내지 1000Å 정도 두께로 화학 기상 증착(Chemical Vapor Deposition: CVD) 방법에 의해 형성된 실리콘 산질화막(SiON) 일 수 있다. 한편 상기 패드 산화막(12)을 형성한 후에 상기 실리콘 반도체 기판에 트랜지스터의 문턱전압 조절용 이온으로서 B 또는 BF<sub>2</sub>을 10 내지 50KeV 에너지를 이용하여 110<sup>12</sup> 내지 510<sup>14</sup> ions/cm<sup>2</sup>의 도우즈로 주입할 수 있다.

도 3을 참조하면, 상기 실리콘 반도체 기판에 포토레지스트 마스크 패턴(미도시)를 식각 마스크로 사용하여 상기 하드 마스크막(14) 및 패드 산화막(12)을 연속적으로 패터닝하여 상기 실리콘 반도체 기판(10)의 소정영역을 노출시키는 요(凹)부(16)를 갖는 하드 마스크막 패턴(14a) 및 패드 산화막 패턴(12a)패턴으로 이루어진 리세스 용 마스크 패턴(15)을 형성한다. 이어서 상기 포토레지스트 마스크 패턴을 제거한다.

한편, 상기 하드 마스크막(14) 만을 식각하여 상기패드 산화막을 노출시키는 하드 마스크막 패턴(13a) 만을 형성할 수 있다.

도 4를 참조하면, 상기 마스크 패턴(15)의 측벽에 스페이서막(18)을 형성한다. 상기 스페이서막(18)은 상기 요부(16)를 갖는 상기 마스크 패턴(15)이 형성된실리콘 반도체 기판(10) 전면에 상기 하드 마스크막(14)과 식각 선택비가 다른 물질인 스페이서 물질막, 예를 들어 실리콘 산화막, 또는 실리콘게르마늄(Si-Ge)막을 일정 두께로 증착하고 에치백하여 형성한다. 상기 스페이서막(18)은 상기 요부(16)의 가장자리 부분을덮는다.

도 5를 참조하면, 상기 스페이서막(18)이 형성된 요부(16)를 충전하는 실리콘막(20)을 형성한다. 상기 실리콘막(20)은 다결정 실리콘막을 상기 실리콘 반도체 기판(10) 상에 화학기상증착(chemical vapor deposition:CVD)법으로 형성하고, 계속해서 에치백 공정 또는 화학 기계적 연마(chemical mechanical polishing:CMP)법을 사용하여 상기 스페이서막(18)의 측벽이 완전히 노출되도록 상기 다결정 실리콘막을 평탄화하여 형성한다. 상기 평탄화 과정 시에 상기 다결정 실리콘막을 상기 요부(16) 내로 더 리세스시켜 잔류 두께를 조절할 수 있다. 한편, 상기 실리콘막(20)은 선택적 에피텍셜 성장(selective epitaxial growth)법에 의해 상기 요부(16)내의 실리콘 반도체 기판(10)으로부터 성장된 단결정 실리콘막으로 형성할 수 있다. 이때에 상기 단결정 실리콘막은 적절한 두께로 성장이 가능하며, 추가로 두께 조절을 위한 에치백 공정을 진행할 수 있다. 이와 같이 상기 요부(16) 내에 형성된 상기 실리콘막(20)의 두께는 약 100Å 내지 800Å일 수 있다. 이러한 상기 실리콘막(20)의 두께에 따라 후속의 리세스 형성 공정에서 상기 리세스의 저부의 형상은 달라질 수 있다.

도 6을 참조하면, 상기 스페이서막(18)을 선택적으로 제거하여 상기 요부(16)의 가장자리부에 해당하는 상기 실리콘 반도체 기판(10)을 노출시킨다. 상기 하드 마스크막 패턴(14a) 및 상기 희생막(20)은 상기 스페이서막(18)과 식각 선택비가 다르기 때문에 상기스페이서막(18)은 선택적으로 제거 가능하다. 한편, 상기 스페이서막(18)이 산화막일 경우에는 HF용액을 사용하여 습식식각하며 상기 스페이서막(18)을 제거할 때 상기 패드산화막 패턴(12a)의 일부도 함께 제거될 수 있다. 한편, 상기 스페이서막(18)이 실리콘게르마늄(Si-Ge)막일 경우에는 초이온수100% 부에 질산, 불산 및 초산의 혼합용액인 폴리 에천트(poly-etchant)의 부피부 20% 내지 50%로 구성된 식각용액을 사용하여 상기 실리콘게르마늄(Si-Ge)막을 선택적으로 제거할 수 있다. 상기 실리콘게르마늄(Si-Ge)막을 제거할 시에도 상기 반도체 기판(10)은 손상받지 않는다.

도 7을 참조하면, 상기 요부(16) 내에 형성된 상기 실리콘막(20)과 상기 스페이서막(18)이 제거되어 노출된 상기 실리콘 반도체 기판(10)을 동시에 전면 식각하여 리세스(22)를 형성한다. 상기요부(16)의 가장자리 영역에서 노출된 상기 실리콘 반도체 기판(10)과 상기 요부(16)의 실리콘막(20)과는 단차가 저서 상기 마스크 패턴(15)을 식각 마스크로 사용하여 상기 실리콘 반도체 기판(10)과 실리콘막(20)을 식각하면 상기 리세스(22)의 저부는 요철(凹凸) 형상을 갖게 된다. 따라서 상기 실리콘 반도체 기판(10) 상부면에서 상기 리세스(22)의 저부의 요(凹)부(25) 까지는 약 500Å 내지 2000Å의 깊이고 상기 실리콘 반도체 기판(10) 상부면에서 상기 리세스(22)의 저부의 철(凸)부(24) 까지는 약 400Å 내지 1500Å의 깊이가 될 수 있다. 이와 같이 상기 리세스(22) 저부가 요철형상을 가짐으로 후속 공정에서 형성되는 소오스와 드레인 사이의 유효채널 길이가 종래기술의 리세스 채널 길이보다도 상기 철(凸)부(24)에 의해 증가될 수 있다. 한편, 상기 리세스(22)가 형성된 실리콘 반도체 기판(10)에 습식식각에 의한 등방성 식각을 진행하여 상기 리세스(22) 내의 각이진 모서리부 들을 라운딩시킬 수 있다.

상기 리세스(22)의 저부의 철(凸)부의 높이는 전술한 바와 같이 상기 요부(16)내에 형성된 실리콘막(20)의 높이에 의존한다. 실리콘막(20)의 높이는 전술한 바와 같이 평탄화 공정 또는 에치백 공정을 조절하는 것에 의해 목적하는 소자 특성에 적합하도록 적절히 제어될 수 있다.

도 8를 참조하면, 상기 하드 마스크막패턴(14a)과 패드산화막 패턴(12a)들을 제거하고 상기 리세스(22)를 갖는 실리콘 반도체 기판(10) 상에 게이트 절연막(30)을 형성한다. 상기 게이트 절연막(30)은 상기 실리콘 반도체 기판(10)을 열산화시켜 형성할 수 있다. 상기 게이트 절연막(30) 상에 하부 도전막(32)을 형성하여 상기 게이트 절연막(30)으로 둘러 싸여진 상기 리세스(22)를 매립한다. 상기 하부 도전막(32)으로는 우수한 단차 도포성을 갖는 물질, 예를 들어 도핑된 폴리실리콘막으로 형성할 수 있다. 이어서 화학 기계적 연마(chemical mechanical polishing:CMP) 기술을 활용하여 하부 도전막을 평탄화시킨다. 상기 평탄화된 하부 도전막(32) 상부에 상부 도전막(34)과 캡핑막(36)을 적층한다. 상기 상부도전막(34)은 금속 실리콘사이드막, 예를 들어 텅스텐 실리콘사이드막으로 형성할 수 있다. 상기 캡핑막(36)은 실리콘 질화막일 수 있다.

도 9를 참조하면, 상기 캡핑막(36)과 상부도전막(34) 및 하부도전막(32)을 차례로 패터닝하여 캡핑막 패턴(36a)과 상부도전막 패턴(34a) 및 하부도전막 패턴(32a)을 형성한다. 여기서 상기 상부도전막 패턴(34a)과 상기 하부도전막 패턴(32a)은

게이트 전극(40)을 구성한다. 이어서 상기 캡핑막 패턴(36a)을 이온주입 마스크로 사용하여 상기 실리콘 반도체 기판(10)에 저농도 불순물 이온들, 예를 들어 N형의 저농도 불순물 이온들을 주입하여 저농도 불순물 도핑영역(42)을 형성할 수 있다.

도 10을 참조하면, 상기 게이트 전극(40)을 갖는 실리콘 반도체 기판(10) 전면에서 게이트 스페이서 절연막을 증착하고 전면 식각하여 상기 게이트 전극(40)의 측벽에 게이트 스페이서(44)를 형성한다. 상기 게이트 스페이서 절연막(44)은 실리콘 질화막 또는 실리콘 산화막으로 형성할 수 있다. 상기 캡핑막 패턴(36a)과 게이트 스페이서(44)를 이온주입 마스크로 사용하여 상기 실리콘 반도체 기판(10)에 고농도 불순물 이온들, 예를 들어 N형이 고농도 불순물 이온들을 주입하여 고농도 불순물 도핑 영역(46)을 형성할 수 있다. 따라서, 상기 저농도 불순물 도핑영역(42)과 상기 고농도 불순물 도핑영역(46)을 갖는 소오스 영역(50) 및 드레인 영역(60)들이 형성된다. 결국, 상기 리세스(22)의 저부의 철(凸)부(24)에 의해 상기 소오스 영역(50)과 드레인 영역(60) 사이의 리세스 채널길이는 종래 기술에 비해 증가될 수 있다.

### 발명의 효과

상술한 바와 같이 본 발명에 따르면, 그 저부가 요철형상을 갖는 리세스를 형성함으로써 트랜지스터의 유효채널 길이를 증가시킬 수 있다. 따라서, 트랜지스터의 쏏채널 효과를 억제할 수 있어 트랜지스터의 전기적 특성 및 신뢰성을 개선시킬 수 있다.

### (57) 청구의 범위

#### 청구항 1.

실리콘 반도체 기판상에 요부를 갖는 마스크패턴을 형성하는 단계;

상기 마스크 패턴의 측벽에 스페이서막을 형성하는 단계;

상기 요부를 충전하는 실리콘막을 형성하는 단계;

상기 스페이서막을 선택적으로 제거하여 실리콘 반도체 기판을 노출시키는 단계;

상기 실리콘 반도체 기판과 상기 실리콘막을 식각하여 그 저부가 요철 형상을 갖는 리세스를 반도체 기판에 형성하는 단계;

상기 리세스의 내벽에 게이트 절연막을 형성하는 단계; 및

상기 게이트 절연막 상에 상기 리세스를 매립하는 게이트 전극을 형성하는 단계를 구비하는 것을 특징으로 하는 리세스 채널을 갖는 트랜지스터 제조 방법.

#### 청구항 2.

제 1 항에 있어서,

상기 마스크 패턴을 형성하는 단계는,

상기 실리콘 반도체 기판 상에 패드 산화막 및 하드 마스크막을 순차적으로 적층하고;

상기 하드 마스크막이 형성된 실리콘 반도체 기판상에 포토레지스트 패턴을 형성하고;

상기 포토레지스트 패턴을 식각마스크로 사용하여 상기 하드 마스크막과 패드 산화막을 식각하여 상기 실리콘 반도체 기판을 노출시키는 상기 요부를 갖는 하드마스크막 패턴과 패드 산화막 패턴을 형성하는 것을 구비하는 것을 특징으로 하는 리세스 채널을 갖는 트랜지스터 형성방법.

### 청구항 3.

제 1 항에 있어서,

상기 스페이서막을 형성하는 단계는 상기 요부를 갖는 상기 마스크 패턴이 형성된 상기 반도체 기판 상에 일정두께로 스페이서 물질막을 증착하고 에치백하여 상기 마스크 패턴의 측벽에 형성하는 것을 구비하는 것을 특징으로 하는 리세스 채널을 갖는 트랜지스터 형성방법.

### 청구항 4.

제 3 항에 있어서,

상기 스페이서 물질막은 실리콘 산화막, 또는 실리콘게르마늄막인 것을 특징으로 하는 리세스 채널을 갖는 트랜지스터 형성방법.

### 청구항 5.

제 1 항에 있어서,

상기 실리콘막을 형성하는 단계는 상기 스페이서막이 형성된 상기 실리콘 반도체 기판 상에 다결정 실리콘막을 화학기상 증착법으로 증착하여 요부를 매립하고 평탄화하는 것을 구비하는 것을 특징으로 하는 리세스 채널을 갖는 트랜지스터 형성방법.

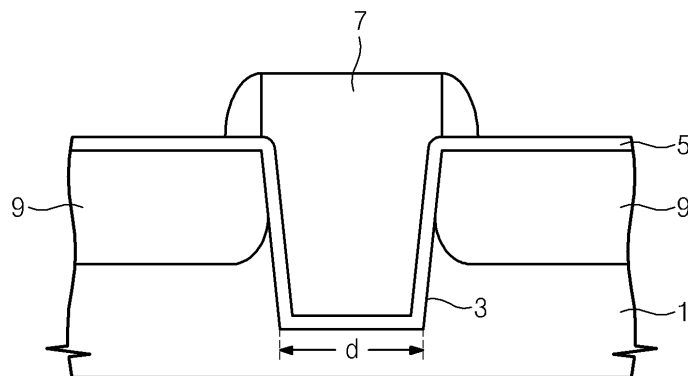
### 청구항 6.

상기 1항에 있어서,

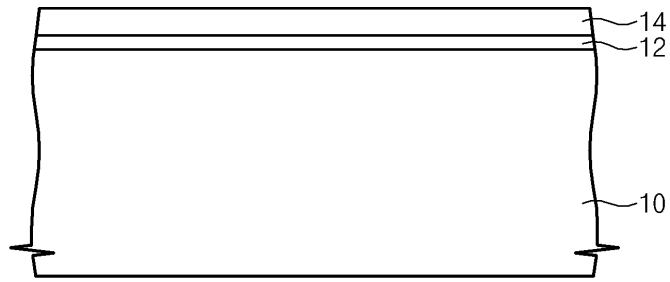
상기 실리콘막을 형성하는 단계는 상기 스페이서막이 형성된 상기 실리콘 반도체 기판 상에 단결정 실리콘막을 선택적으로 에피택셜 성장시켜 형성하는 것을 특징으로 하는 리세스 채널을 갖는 트랜지스터 형성방법.

### 도면

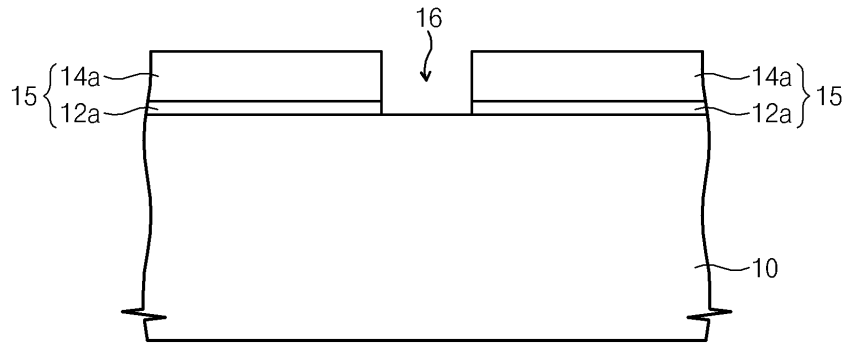
도면1



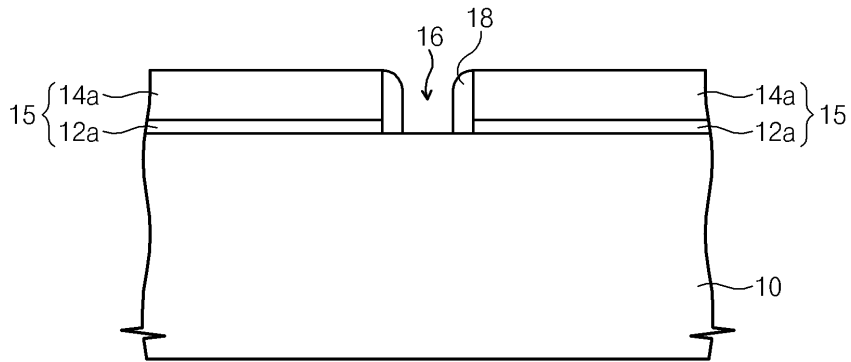
도면2



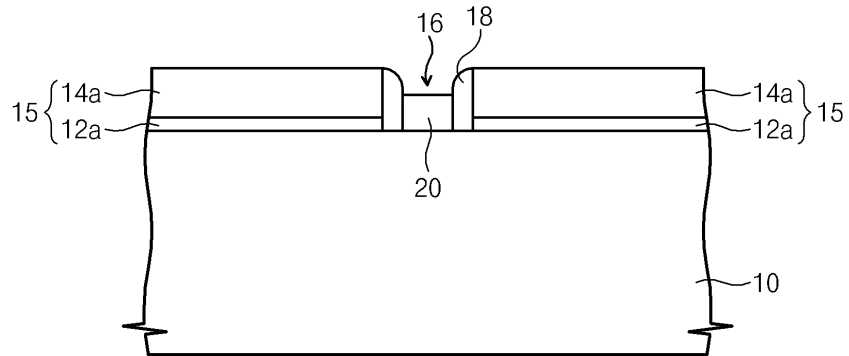
도면3



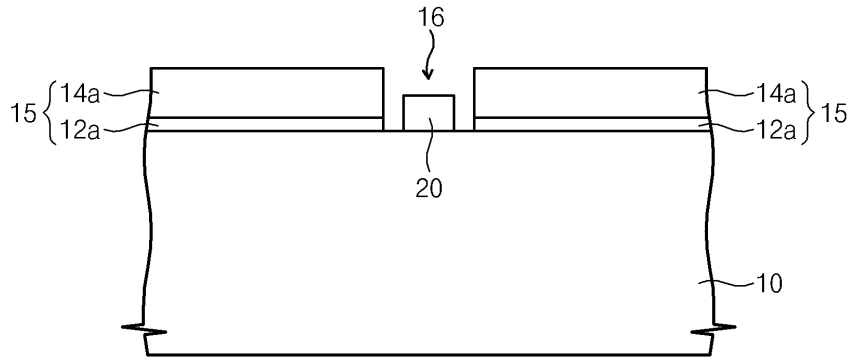
도면4



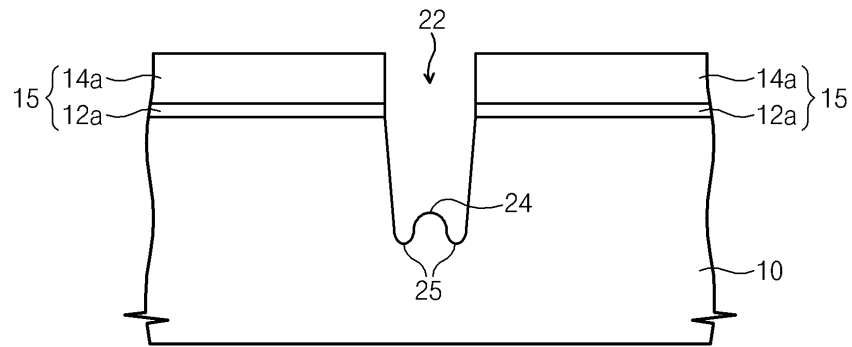
도면5



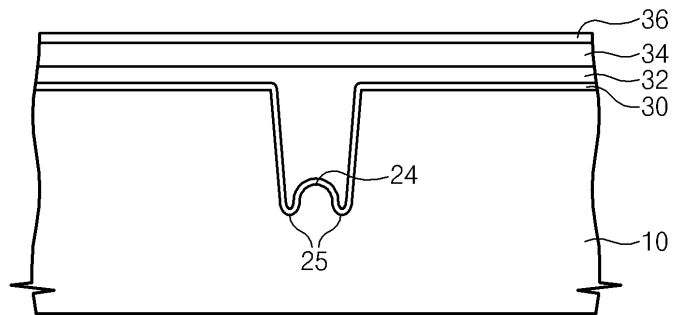
도면6



도면7



도면8



도면9

