

(19) 日本国特許庁(JP)

## (12) 特許公報(B2)

(11) 特許番号

特許第5798731号  
(P5798731)

(45) 発行日 平成27年10月21日(2015.10.21)

(24) 登録日 平成27年8月28日(2015.8.28)

(51) Int.Cl.	F 1
HO 1 L 21/02	(2006.01)
HO 1 L 27/12	(2006.01)
HO 1 L 21/265	(2006.01)
HO 1 L 21/322	(2006.01)
HO 1 L 21/20	(2006.01)
HO 1 L	27/12
HO 1 L	21/265
HO 1 L	21/02
HO 1 L	21/322
HO 1 L	21/20

請求項の数 4 (全 26 頁) 最終頁に続く

(21) 出願番号	特願2010-231053 (P2010-231053)
(22) 出願日	平成22年10月14日 (2010.10.14)
(65) 公開番号	特開2011-103457 (P2011-103457A)
(43) 公開日	平成23年5月26日 (2011.5.26)
審査請求日	平成25年9月11日 (2013.9.11)
(31) 優先権主張番号	特願2009-237928 (P2009-237928)
(32) 優先日	平成21年10月15日 (2009.10.15)
(33) 優先権主張国	日本国 (JP)

(73) 特許権者	000153878 株式会社半導体エネルギー研究所 神奈川県厚木市長谷398番地
(74) 代理人	100139985 弁理士 吉本 智史
(72) 発明者	下村 明久 神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内
(72) 発明者	奥野 直樹 神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内
(72) 発明者	古山 将樹 神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内

最終頁に続く

(54) 【発明の名称】 半導体装置の作製方法

## (57) 【特許請求の範囲】

## 【請求項 1】

第1の単結晶半導体基板に第1のイオンをドープして第1の脆化層を形成する工程と、  
第2の単結晶半導体基板に第2のイオンをドープして第2の脆化層を形成する工程と、  
前記第1の単結晶半導体基板と前記第2の単結晶半導体基板とを貼り合わせる工程と、  
第1の加熱処理により、前記第1の脆化層から前記第1の単結晶半導体基板の一部を分離して、前記第2の単結晶半導体基板上に第1の単結晶半導体膜を形成する工程と、

前記第1の単結晶半導体膜上にガラス基板を貼り合わせる工程と、

第2の加熱処理により、前記第2の脆化層から前記第2の単結晶半導体基板の一部を分離して、前記ガラス基板上に、前記第1の単結晶半導体膜及び第2の単結晶半導体膜を形成する工程と、を有し、

前記第1のイオンのドーズ量は前記第2のイオンのドーズ量よりも多く、

前記第1の加熱処理の温度は、前記第2の加熱処理を温度よりも低いことを特徴とする半導体装置の作製方法。

## 【請求項 2】

第1の単結晶半導体基板の表面に第1の絶縁膜を形成する工程と、  
第2の単結晶半導体基板の表面に第2の絶縁膜を形成する工程と、  
第1の単結晶半導体基板内に前記第1の絶縁膜を介して第1のイオンをドープして第1の脆化層を形成する工程と、

前記第2の単結晶半導体基板内に前記第2の絶縁膜を介して第2のイオンをドープして

10

20

第2の脆化層を形成する工程と、

前記第1の絶縁膜と前記第2の絶縁膜とを貼り合わせる工程と、

第1の加熱処理により、前記第1の脆化層から前記第1の単結晶半導体基板の一部を分離して、前記第2の単結晶半導体基板上に、前記第1の絶縁膜および前記第2の絶縁膜を介して、第1の単結晶半導体膜を形成する工程と、

前記第1の単結晶半導体膜上に第3の絶縁膜を形成する工程と、

前記第3の絶縁膜とガラス基板とを貼り合わせる工程と、

第2の加熱処理により、前記第2の脆化層から前記第2の単結晶半導体基板の一部を分離して、前記ガラス基板上に、前記第3の絶縁膜、前記第1の単結晶半導体膜、前記第1の絶縁膜及び前記第2の絶縁膜を介して、第2の単結晶半導体膜を形成する工程と、を有し、10

前記第1のイオンのドーズ量は、前記第2のイオンのドーズ量よりも多く、

前記第1の加熱処理の温度は、前記第2の加熱処理を温度よりも低いことを特徴とする半導体装置の作製方法。

#### 【請求項3】

請求項2において、前記ガラス基板上の、前記第2の単結晶半導体膜を選択的に除去して、島状の第2の単結晶半導体膜を形成するとともに、前記第1の絶縁膜および前記第2の絶縁膜の一部を除去して、前記第1の単結晶半導体膜を露出させる工程と、を有することを特徴とする半導体装置の作製方法。20

#### 【請求項4】

請求項1乃至3のいずれか一において、前記第1のイオン及び前記第2のイオンはH<sup>+</sup>、H<sub>2</sub><sup>+</sup>又はH<sub>3</sub><sup>+</sup>を含み、

前記第1のイオンのドーズ量は2.5×10<sup>-16</sup>cm<sup>-2</sup> - 2.7×10<sup>-16</sup>cm<sup>-2</sup>であり、

前記第2のイオンのドーズ量は1.9×10<sup>-16</sup>cm<sup>-2</sup> - 2.1×10<sup>-16</sup>cm<sup>-2</sup>であり、

前記第1の加熱処理の温度は470 - 480であり、

前記第2の加熱処理の温度は490以上600以下であることを特徴とする半導体装置の作製方法。30

#### 【発明の詳細な説明】

#### 【技術分野】

#### 【0001】

単結晶半導体膜を有する半導体装置の作製方法に関する。

#### 【背景技術】

#### 【0002】

特許文献1は下層トランジスタ及び上層トランジスタを有する積層型半導体装置の製造方法を開示する。特許文献1では、シリコン基板に下層トランジスタを形成し、下層トランジスタ上に層間絶縁膜を形成し、層間絶縁膜上に上層トランジスタに用いるポリシリコン膜を形成している。

#### 【先行技術文献】

#### 【特許文献】

#### 【0003】

【特許文献1】特開平3-18050号公報

#### 【発明の概要】

#### 【発明が解決しようとする課題】

#### 【0004】

ポリシリコン膜は多くの単結晶粒からなる。ポリシリコン膜は、1つの単結晶粒と他の単結晶粒との間に結晶粒界を有している。そのためポリシリコン膜の移動度は単結晶シリコン膜の移動度よりも小さい。

#### 【0005】

10

20

30

40

50

ガラス基板などの透明性の絶縁基板上に、下層トランジスタ及び上層トランジスタを形成する場合、2つの単結晶半導体膜を、絶縁膜を介して、積層する。シリコンに限らず、単結晶半導体膜の形成には高い温度（例えば600℃を超える温度）を必要とする。しかしガラス基板などの絶縁性基板には高温熱処理を行うことはできない。

**【0006】**

そこで絶縁基板上に、2つの単結晶半導体膜（第1の単結晶半導体膜及び第2の単結晶半導体膜）を積層する方法、すなわち、絶縁基板上に第1の単結晶半導体膜と、該第1の単結晶半導体膜上に第2の単結晶半導体膜を有する半導体装置の作製方法を提供する。

**【課題を解決するための手段】**

**【0007】**

本発明者らは、単結晶半導体基板にイオンをドープして脆化層を形成し、当該単結晶半導体基板を絶縁基板であるベース基板と貼り合わせ、加熱処理を行って単結晶半導体基板の一部を分離する方法によって課題を解決することを考えた。そして脆化層を形成する際のイオンのドーズ量に着目して以下の実験を行った。

**【0008】**

**(実験)**

単結晶半導体基板へのイオンのドーズ量を変化させたとき、単結晶半導体基板の一部が分離する温度の変化を調査した。ここでは単結晶半導体基板として単結晶シリコン基板を用い、イオンは水素イオンを用いた。

**【0009】**

図18に示すように、主表面の面方位が(100)の第1の単結晶シリコン基板1001と、主表面の面方位が(100)の第2の単結晶シリコン基板1002を用意した。第1の単結晶シリコン基板1001には水素イオンを加速電圧40kV、ドーズ量 $2.6 \times 10^{16} \text{ cm}^{-2}$ （ $\text{cm}^{-2}$ はions/cm<sup>2</sup>又は個/cm<sup>2</sup>ともいう）でドープして第1の脆化層1003を形成した。一方、第2の単結晶シリコン基板1002には水素イオンを加速電圧40kV、ドーズ量 $2.0 \times 10^{16} \text{ cm}^{-2}$ でドープして第2の脆化層1004を形成した（図18(A)）。

**【0010】**

ベース基板となる絶縁基板1005、1006（ガラス基板AN100、旭硝子社製）を用意した。第1の単結晶シリコン基板1001と絶縁基板1005とを貼り合わせ、第2の単結晶シリコン基板1002と絶縁基板1006とを貼り合わせた（図18(B)）。

**【0011】**

応力測定器のホットプレート上に、貼り合わせた第1の単結晶シリコン基板1001と絶縁基板1005を設置し、室温から昇温速度7.0℃/分で加熱し、絶縁基板1005の応力及び反り量を測定した。同様に、ホットプレート上に、貼り合わせた第2の単結晶シリコン基板1002と絶縁基板1006を設置し、室温から昇温速度7.0℃/分で加熱し、絶縁基板1006の応力及び反り量を測定した。

**【0012】**

ホットプレートで加熱すると、ある温度にて、第1の単結晶シリコン基板1001内の第1の脆化層1003に形成された微小な孔に体積変化が起り、第1の脆化層1003に亀裂が生じる。その結果、第1の脆化層1003に沿って第1の単結晶シリコン基板1001の一部が分離される。そのとき絶縁基板1005の応力及び反り量は大きく変化する。この温度を第1の単結晶シリコン基板1001の一部が分離する温度と考えることができる。これは第2の単結晶シリコン基板1002でも同様であり、ホットプレートで加熱すると、第2の脆化層1004に沿って第2の単結晶シリコン基板1002の一部が分離される。そのとき絶縁基板1006の応力及び反り量は大きく変化する。

**【0013】**

図19は絶縁基板1005及び絶縁基板1006の応力[MPa] - 温度[℃]の関係を示す。図19の縦軸の目盛り $2.0 \times 10^4$ は $2.0 \times 10^4$ を示し、 $-8.0 \times 10^4$ は $-8.0 \times 10^4$ を示す。縦軸のその他の目盛りも同様に理解される。図20は絶縁基

10

20

30

40

50

板 1 0 0 5 及び絶縁基板 1 0 0 6 の基板反り量 [ μm ] - 温度 [ ℃ ] の関係を示す。絶縁基板 1 0 0 5 の応力 - 温度の関係及び基板反り量 - 温度の関係を見ると、絶縁基板 1 0 0 5 の応力及び基板反り量は 4 7 0 ℃ 近辺にて大きく変化している。一方、絶縁基板 1 0 0 6 の応力 - 温度の関係及び基板反り量 - 温度の関係を見ると、絶縁基板 1 0 0 6 の応力及び基板反り量は 5 0 0 ℃ 近辺にて大きく変化している。ドーザ量の多い絶縁基板 1 0 0 5 の方が、ドーザ量の少ない絶縁基板 1 0 0 6 よりも低い温度で、応力及び基板反り量が変化することがわかった。よって第 1 の単結晶シリコン基板 1 0 0 1 の方が、第 2 の単結晶シリコン基板 1 0 0 2 よりも低い温度で剥離することがわかった。

#### 【 0 0 1 4 】

以上の実験結果から、イオンのドーザ量が多い場合、応力及び基板反り量が大きく変化する温度、すなわち単結晶半導体基板の一部が分離する温度は、イオンのドーザ量が少ない場合に比較して低くできることがわかった。 10

#### 【 0 0 1 5 】

上記課題を以下の方法で解決できるという考えに至った。

第 1 の単結晶半導体基板に第 1 のイオンをドープして第 1 の脆化層を形成する際の第 1 のイオンのドーザ量を、第 2 の単結晶半導体基板に第 2 のイオンをドープして第 2 の脆化層を形成する際の第 2 のイオンのドーザ量よりも多くする。そして第 1 の脆化層から第 1 の単結晶半導体基板の一部を分離して第 1 の単結晶半導体膜を形成する温度を、第 2 の脆化層から第 2 の単結晶半導体基板の一部を分離して第 2 の単結晶半導体膜を形成する温度よりも低くする。 20

#### 【 0 0 1 6 】

第 1 の単結晶半導体基板 1 に第 1 のイオンをドープして第 1 の脆化層 3 を形成する。第 2 の単結晶半導体基板 2 に第 2 のイオンをドープして第 2 の脆化層 4 を形成する(図 1 ( A ) )。第 1 のイオンのドーザ量は第 2 のイオンのドーザ量よりも多くする。第 2 のイオンは第 1 のイオンと同じイオンでよい。また第 2 のイオンの加速電圧は第 1 のイオンの加速電圧と同じでよい。

#### 【 0 0 1 7 】

第 1 の単結晶半導体基板 1 と第 2 の単結晶半導体基板 2 とを貼り合わせる(図 1 ( B ) )。第 1 の加熱処理を行って、選択的に第 1 の脆化層 3 から第 1 の単結晶半導体基板 1 の一部を分離して第 1 の単結晶半導体膜 1' を形成する(図 1 ( C ) )。このとき第 2 の単結晶半導体基板 2 は分離されない。 30

#### 【 0 0 1 8 】

第 1 の単結晶半導体膜 1' と絶縁基板 5 とを貼り合わせる(図 2 ( A ) - ( B ) )。第 2 の加熱処理を行って、第 2 の脆化層 4 から第 2 の単結晶半導体基板 2 の一部を分離して第 2 の単結晶半導体膜 2' を形成する(図 2 ( C ) )。第 2 の加熱処理の温度は第 1 の加熱処理の温度よりも高い、すなわち第 1 の加熱処理の温度は第 2 の加熱処理の温度よりも低い。第 1 のイオンのドーザ量を第 2 のイオンのドーザ量よりも多くすることにより、第 1 の加熱処理の温度を第 2 の加熱処理の温度よりも低くすることができる。そして第 1 の加熱処理により第 1 の単結晶半導体基板 1 を選択的に分離することができる。

#### 【 0 0 1 9 】

第 1 のイオン及び第 2 のイオンは  $H^+$  、  $H_2^+$  又は  $H_3^+$  を含み、第 1 のイオンのドーザ量は  $2.5 \times 10^{16} \text{ cm}^{-2}$  -  $2.7 \times 10^{16} \text{ cm}^{-2}$  であり、第 2 のイオンのドーザ量は  $1.9 \times 10^{16} \text{ cm}^{-2}$  -  $2.1 \times 10^{16} \text{ cm}^{-2}$  であり、第 1 の加熱処理の温度は 470 - 480 ℃ であり、第 2 の加熱処理の温度は 490 ℃ 以上 600 ℃ 以下としてもよい。第 1 のイオンのドーザ量と第 2 のイオンのドーザ量との差は  $0.6 \times 10^{16} \text{ cm}^{-2}$  以上あればよい。第 1 の加熱処理の温度と第 2 の加熱処理の温度との差は 20 ℃ 以上あればよい。 40

#### 【 0 0 2 0 】

本発明の第 1 の態様は、第 1 の単結晶半導体基板に第 1 のイオンをドープして第 1 の脆化層を形成する工程と、第 2 の単結晶半導体基板に第 2 のイオンをドープして第 2 の脆化層

10

20

30

40

50

を形成する工程と、第1の単結晶半導体基板と第2の単結晶半導体基板とを貼り合わせる工程と、第1の加熱処理により、第1の脆化層から第1の単結晶半導体基板の一部を分離して、第2の単結晶半導体基板上に第1の単結晶半導体膜を形成する工程と、第1の単結晶半導体膜上に絶縁基板を貼り合わせる工程と、第2の加熱処理により、第2の脆化層から第2の単結晶半導体基板の一部を分離して、絶縁基板上に、第1の単結晶半導体膜及び第2の単結晶半導体膜を形成する工程と、を有し、第1のイオンのドーズ量は第2のイオンのドーズ量よりも多く、第1の加熱処理の温度は、第2の加熱処理を温度よりも低い半導体装置の作製方法である。

ガラス基板などの絶縁基板上に第1の単結晶半導体膜と、該第1の単結晶半導体膜上に第2の単結晶半導体膜を有する半導体装置を作製することができる。 10

#### 【0021】

本発明の第2の態様は、第1の単結晶半導体基板の表面に第1の絶縁膜を形成する工程と、第2の単結晶半導体基板の表面に第2の絶縁膜を形成する工程と、第1の単結晶半導体基板内に第1の絶縁膜を介して第1のイオンをドープして第1の脆化層を形成する工程と、第2の単結晶半導体基板内に第2の絶縁膜を介して第2のイオンをドープして第2の脆化層を形成する工程と、第1の絶縁膜と第2の絶縁膜と貼り合わせる工程と、第1の加熱処理により、第1の脆化層から第1の単結晶半導体基板の一部を分離して、第2の単結晶半導体基板上に、第1の絶縁膜および第2の絶縁膜を介して、第1の単結晶半導体膜を形成する工程と、第1の単結晶半導体膜上に第3の絶縁膜を形成する工程と、第3の絶縁膜と絶縁基板とを貼り合わせる工程と、第2の加熱処理により、第2の脆化層から第2の単結晶半導体基板の一部を分離して、絶縁基板上に、第3の絶縁膜、第1の単結晶半導体膜、第1の絶縁膜及び第2の絶縁膜を介して、第2の単結晶半導体膜を形成する工程と、を有し、第1のイオンのドーズ量は、第2のイオンのドーズ量よりも多く、第1の加熱処理の温度は、第2の加熱処理を温度よりも低い半導体装置の作製方法である。 20

ガラス基板などの絶縁基板上に第1の単結晶半導体膜と、該第1の単結晶半導体膜上に第2の単結晶半導体膜を有する半導体装置を作製することができる。また第1の絶縁膜と第2の絶縁膜とを貼り合わせると、第1の絶縁膜と第2の絶縁膜とは強く結合される。第3の絶縁膜と絶縁基板とを貼り合わせると、第3の絶縁膜と絶縁基板とは強く結合される。第3の絶縁膜は絶縁基板からの不純物の混入をブロックする。

また絶縁基板上の、第2の単結晶半導体膜を選択的に除去して、島状の第2の単結晶半導体膜を形成するとともに、第1の絶縁膜および第2の絶縁膜の一部を除去して、第1の単結晶半導体膜を露出させる工程と、を有していてもよい。第1の単結晶半導体膜を一つのトランジスタの活性層に用いることができるとともに第2の単結晶半導体膜を別のトランジスタの活性層に用いることができる。 30

#### 【0022】

第1の態様及び第2の態様において、第1のイオン及び第2のイオンは $H^+$ 、 $H_2^+$ 又は $H_3^+$ を含み、第1のイオンのドーズ量は $2.5 \times 10^{16} \text{ cm}^{-2}$  -  $2.7 \times 10^{16} \text{ cm}^{-2}$ であり、第2のイオンのドーズ量は $1.9 \times 10^{16} \text{ cm}^{-2}$  -  $2.1 \times 10^{16} \text{ cm}^{-2}$ であり、第1の加熱処理の温度は470 - 480であり、第2の加熱処理の温度は490以上600以下でもよい。ガラス基板などの絶縁基板上に、高温処理を用いることなく、第1の単結晶半導体膜及び第1の単結晶半導体膜上に第2の単結晶半導体膜を形成することができる。 40

#### 【0023】

本発明の第3の態様は、第1の単結晶半導体基板に第1のイオンをドープして第1の脆化層を形成する工程と、第2の単結晶半導体基板に第2のイオンをドープして第2の脆化層を形成する工程と、第3の単結晶半導体基板に第1のイオンをドープして第3の脆化層を形成する工程と、第4の単結晶半導体基板に第2のイオンをドープして第4の脆化層を形成する工程と、第1の単結晶半導体基板と第2の単結晶半導体基板とを貼り合わせる工程と、第3の単結晶半導体基板と第4の単結晶半導体基板とを貼り合わせる工程と、第1の加熱処理により、第1の脆化層から第1の単結晶半導体基板の一部を分離して、第2の単 50

結晶半導体基板上に第1の単結晶半導体膜を形成する工程と、第2の加熱処理により、第3の脆化層から第3の単結晶半導体基板の一部を分離して、第4の単結晶半導体基板上に第3の単結晶半導体膜を形成する工程と、第1の単結晶半導体膜及び第3の単結晶半導体膜上に絶縁基板を貼り合わせる工程と、第3の加熱処理により、第2の脆化層から第2の単結晶半導体基板の一部を分離して、絶縁基板上に、第1の単結晶半導体膜及び第2の単結晶半導体膜を形成するとともに、第3の加熱処理により、第4の脆化層から第4の単結晶半導体基板の一部を分離して、絶縁基板上に、第3の単結晶半導体膜及び第4の単結晶半導体膜を形成する工程と、を有し、第1のイオンのドーズ量は第2のイオンのドーズ量よりも多く、第1の加熱処理の温度及び第2の加熱処理の温度は、第3の加熱処理を温度よりも低い半導体装置の作製方法である。

絶縁基板のサイズが第1 - 4の単結晶半導体基板のサイズよりも大きい場合には、絶縁基板上の所望の複数の場所に単結晶半導体膜を形成することができる。または絶縁基板上に単結晶半導体膜をタイル状に敷き詰めて形成することができる。

また第1のイオン及び第2のイオンはH<sup>+</sup>、H<sub>2</sub><sup>+</sup>又はH<sub>3</sub><sup>+</sup>を含み、第1のイオンのドーズ量は2.5 × 10<sup>16</sup> cm<sup>-2</sup> - 2.7 × 10<sup>16</sup> cm<sup>-2</sup>であり、第2のイオンのドーズ量は1.9 × 10<sup>16</sup> cm<sup>-2</sup> - 2.1 × 10<sup>16</sup> cm<sup>-2</sup>であり、第1の加熱処理及び第2の加熱処理の温度は470 - 480であり、第3の加熱処理の温度は490以上600以下でもよい。ガラス基板などの絶縁基板上に、高温処理を用いることなく、単結晶半導体膜を形成することができる。

#### 【0024】

本発明の第4の態様は、第1の単結晶半導体基板の表面に第1の絶縁膜を形成する工程と、第2の単結晶半導体基板の表面に第2の絶縁膜を形成する工程と、第3の単結晶半導体基板の表面に第3の絶縁膜を形成する工程と、第4の単結晶半導体基板の表面に第4の絶縁膜を形成する工程と、第1の単結晶半導体基板内に第1の絶縁膜を介して第1のイオンをドープして第1の脆化層を形成する工程と、第2の単結晶半導体基板内に第2の絶縁膜を介して第2のイオンをドープして第2の脆化層を形成する工程と、第3の単結晶半導体基板内に第3の絶縁膜を介して第1のイオンをドープして第3の脆化層を形成する工程と、第4の単結晶半導体基板内に第4の絶縁膜を介して第2のイオンをドープして第4の脆化層を形成する工程と、第1の絶縁膜と第2の絶縁膜と貼り合わせる工程と、第3の絶縁膜と第4の絶縁膜と貼り合わせる工程と、第1の加熱処理により、第1の脆化層から第1の単結晶半導体基板の一部を分離して、第2の単結晶半導体基板上に、第1の絶縁膜および第2の絶縁膜を介して、第1の単結晶半導体膜を形成するとともに、第1の加熱処理により、第3の脆化層から第3の単結晶半導体基板の一部を分離して、第4の単結晶半導体基板上に、第3の絶縁膜および第4の絶縁膜を介して、第3の単結晶半導体膜を形成する工程と、第1の単結晶半導体膜上に第5の絶縁膜を形成する工程と、第3の単結晶半導体膜上に第6の絶縁膜を形成する工程と、第5の絶縁膜と絶縁基板とを貼り合わせる工程と、第6の絶縁膜と絶縁基板とを貼り合わせる工程と、第2の加熱処理により、第2の脆化層から第2の単結晶半導体基板の一部を分離して、絶縁基板上に、第5の絶縁膜、第1の単結晶半導体膜、第2の絶縁膜及び第1の絶縁膜を介して、第2の単結晶半導体膜を形成するとともに、第2の加熱処理により、第4の脆化層から第4の単結晶半導体基板の一部を分離して、絶縁基板上に、第6の絶縁膜、第3の単結晶半導体膜、第4の絶縁膜及び第3の絶縁膜を介して、第4の単結晶半導体膜を形成する工程と、有し、第1のイオンのドーズ量は、第2のイオンのドーズ量よりも多く、第1の加熱処理の温度は、第2の加熱処理を温度よりも低い半導体装置の作製方法である。

絶縁基板のサイズが第1 - 4の単結晶半導体基板のサイズよりも大きい場合には、絶縁基板上の所望の複数の場所に単結晶半導体膜を形成することができる。または絶縁基板上に単結晶半導体膜をタイル状に敷き詰めて形成することができる。

また一つの絶縁膜と別の絶縁膜とを貼り合わせると、一つの絶縁膜と別の絶縁膜とは強く結合される。

また一つの絶縁膜と絶縁基板とを貼り合わせると、一つの絶縁膜と絶縁基板とは強く結合

10

20

30

40

50

される。一つの絶縁膜は絶縁基板からの不純物の混入をブロックする。

絶縁基板上の、第2の単結晶半導体膜を選択的に除去して、島状の第2の単結晶半導体膜を形成するとともに、第1の絶縁膜および第2の絶縁膜の一部を除去して、第1の単結晶半導体膜を露出させる工程と、絶縁基板上の、第4の単結晶半導体膜を選択的に除去して、島状の第4の単結晶半導体膜を形成するとともに、第3の絶縁膜および第4の絶縁膜の一部を除去して、第3の単結晶半導体膜を露出させる工程と、を有してもよい。単結晶半導体膜をトランジスタの活性層に用いることができる。

第1のイオン及び第2のイオンは $H^+$ 、 $H_2^+$ 又は $H_3^+$ を含み、第1のイオンのドーズ量は $2.5 \times 10^{16} \text{ cm}^{-2}$  -  $2.7 \times 10^{16} \text{ cm}^{-2}$ であり、第2のイオンのドーズ量は $1.9 \times 10^{16} \text{ cm}^{-2}$  -  $2.1 \times 10^{16} \text{ cm}^{-2}$ であり、第1の加熱処理の温度は470 - 480であり、第2の加熱処理の温度は490以上600以下でもよい。ガラス基板などの絶縁基板上に、高温処理を用いることなく、単結晶半導体膜を形成することができる。10

#### 【発明の効果】

#### 【0025】

第1の単結晶半導体基板に第1のイオンをドープして第1の脆化層を形成する際のドーズ量を、第2の単結晶半導体基板に第2のイオンをドープして第2の脆化層を形成する際のドーズ量よりも多くする。そして第1の脆化層から第1の単結晶半導体基板の一部を分離して第1の単結晶半導体膜を形成する温度を、第2の脆化層から第2の単結晶半導体基板の一部を分離して第2の単結晶半導体膜を形成する温度よりも低くする。これによりガラス基板などの絶縁基板上に第1の単結晶半導体膜と、該第1の単結晶半導体膜上に第2の単結晶半導体膜を有する半導体装置を作製することができる。この方法によりガラス基板などの絶縁基板上に、600を超えるような高温処理を用いることなく、半導体装置を作製することができる。20

#### 【図面の簡単な説明】

#### 【0026】

【図1】本発明の一態様を説明する図

【図2】本発明の一態様を説明する図

【図3】実施形態1の作製方法を説明する図

【図4】実施形態1の作製方法を説明する図

【図5】実施形態1の作製方法を説明する図

【図6】実施形態3の作製方法を説明する図

【図7】実施形態3の作製方法を説明する図

【図8】実施形態4の作製方法を説明する図

【図9】実施形態5の作製方法を説明する図

【図10】実施形態5の作製方法を説明する図

【図11】実施形態5の作製方法を説明する図

【図12】実施形態5の作製方法を説明する図

【図13】実施形態6の作製方法を説明する図

【図14】実施形態6の作製方法を説明する図

【図15】実施形態6の作製方法を説明する図

【図16】実施形態6の作製方法を説明する図

【図17】実施形態6の作製方法を説明する図

【図18】実験を説明する図

【図19】基板の応力 - 温度の関係を説明する図

【図20】基板の反り量 - 温度の関係を説明する図

【図21】実施形態5の作製方法を説明する図

#### 【発明を実施するための形態】

#### 【0027】

以下に、本発明の実施形態を説明する。但し、本発明は多くの異なる態様で実施すること50

が可能であり、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本実施の形態の記載内容に限定して解釈されるものではない。なお以下において、同一部分又は同様な機能を有する部分には、異なる図面において同一の符号を共通して用い、繰り返しの説明を省略することがある。

#### 【0028】

##### (実施形態1)

実施形態1は、第1の単結晶半導体基板の表面に第1の絶縁膜を形成する工程と、第2の単結晶半導体基板の表面に第2の絶縁膜を形成する工程と、第1の単結晶半導体基板内に第1の絶縁膜を介して第1のイオンをドープして第1の脆化層を形成する工程と、第2の単結晶半導体基板内に第2の絶縁膜を介して第2のイオンをドープして第2の脆化層を形成する工程と、第1の絶縁膜と第2の絶縁膜と貼り合わせる工程と、第1の加熱処理により、第1の脆化層から第1の単結晶半導体基板の一部を分離して、第2の単結晶半導体基板上に、第1の絶縁膜および第2の絶縁膜を介して、第1の単結晶半導体膜を形成する工程と、第1の単結晶半導体膜上に第3の絶縁膜を形成する工程と、第3の絶縁膜と絶縁基板とを貼り合わせる工程と、第2の加熱処理により、第2の脆化層から第2の単結晶半導体基板の一部を分離して、絶縁基板上に、第3の絶縁膜、第1の単結晶半導体膜、第2の絶縁膜及び第1の絶縁膜を介して、第2の単結晶半導体膜を形成する工程と、有し、第1のイオンのドーズ量は、第2のイオンのドーズ量よりも多く、第1の加熱処理の温度は、第2の加熱処理を温度よりも低い半導体装置の作製方法を開示する。

10

20

#### 【0029】

第1の単結晶半導体基板11上に第1の絶縁膜12を形成する。第2の単結晶半導体基板13上に第2の絶縁膜14を形成する(図3(A))。

#### 【0030】

第1の単結晶半導体基板11及び第2の単結晶半導体基板13は単結晶シリコン基板などを用いる。

#### 【0031】

第1の絶縁膜12および第2の絶縁膜14は、酸化シリコン膜、酸化窒化シリコン膜、窒化シリコン膜、窒化酸化シリコン膜等の絶縁膜を単層、又は積層させて形成する。第1の絶縁膜12および第2の絶縁膜14は熱酸化法、CVD法又はスパッタリング法等を用いて形成する。

30

#### 【0032】

CVD法を用いて酸化シリコン膜を形成する場合には、テトラエトキシシラン(略称;TEOS:化学式Si(OCH<sub>3</sub>)<sub>4</sub>)等の有機シランを用いると生産性の点から好ましい。

#### 【0033】

第1の絶縁膜12および第2の絶縁膜14として、第1の単結晶半導体基板及び第2の単結晶半導体基板に単結晶シリコン基板を用い、単結晶シリコン基板を熱酸化して酸化シリコン膜を形成してもよい。この場合、酸化性雰囲気中にハロゲンを添加することが好ましい。例えば、塩素(C1)が添加された酸化性雰囲気中で単結晶シリコン基板に熱酸化処理を行うことにより、塩素酸化された酸化シリコン膜を形成する。酸化シリコン膜は塩素原子を、例えば $1 \times 10^{17}$  atoms/cm<sup>3</sup> -  $1 \times 10^{21}$  atoms/cm<sup>3</sup>で含有する。例えば酸素に対し塩化水素(HCl)を0.5~10体積%(好ましくは3体積%)の割合で含む酸化性雰囲気中で、900~-1150°の温度(代表的には1000°)で行うことができる。処理時間は0.1~6時間、好ましくは0.5~1時間とすればよい。形成される酸化シリコン膜の膜厚は、10nm~1000nm(好ましくは50nm~300nm)、例えば100nmの厚さとする。

40

#### 【0034】

酸化シリコン膜に塩素原子を含有させることによって、外因性不純物である重金属(例えば、Fe、Cr、Ni、Mo等)を捕集して単結晶シリコン基板が汚染されることを防止

50

する。また、単結晶シリコン基板に悪影響を与える不純物（例えば、Na等の可動イオン）をゲッタリングすることができる。酸化シリコン膜を形成した後に行われる熱処理により、単結晶シリコン基板に含まれる不純物が酸化シリコン膜に析出し、ハロゲン（例えば塩素）と反応して捕獲される。酸化シリコン膜中に捕集された当該不純物は固定される。よって単結晶シリコン基板の汚染を防ぐことができる。半導体基板の洗浄が不十分である場合や、半導体基板を繰り返し再利用する場合において、半導体基板の汚染を防ぐことができる。

#### 【0035】

酸化シリコン膜に含有させるハロゲン原子としては塩素原子に限られない。酸化シリコン膜にフッ素原子を含有させてよい。単結晶シリコン基板の表面をフッ素酸化するには、  
10 単結晶シリコン基板の表面にフッ酸に浸漬した後に酸化性雰囲気中で熱酸化処理を行うことや、NF<sub>3</sub>を酸化性雰囲気に添加して熱酸化処理を行えばよい。

#### 【0036】

第1の単結晶半導体基板11に第1の絶縁膜12を介して第1のイオン15をドープして第1の脆化層16を形成する。一方、第2の単結晶半導体基板13に第2の絶縁膜14を介して第2のイオン17をドープして第2の脆化層18を形成する（図3（B））。第1のイオン15及び第2のイオン17は例えば水素（H<sub>2</sub>）ガス、水素原子を含むガス（例えばPH<sub>3</sub>、B<sub>2</sub>H<sub>6</sub>）などから生成されるイオン（H<sup>+</sup>、H<sub>2</sub><sup>+</sup>又はH<sub>3</sub><sup>+</sup>など）である。ヘリウム（He）ガスから生成されるイオンを前記イオンと同時にドープしてもよい。  
20

#### 【0037】

第1のイオン15のドーザ量は2.5×10<sup>16</sup>cm<sup>-2</sup> - 2.7×10<sup>16</sup>cm<sup>-2</sup>であり、例えば2.6×10<sup>16</sup>cm<sup>-2</sup>とする。一方、第2のイオン17のドーザ量は1.9×10<sup>16</sup>cm<sup>-2</sup> - 2.1×10<sup>16</sup>cm<sup>-2</sup>であり、例えば2.0×10<sup>16</sup>cm<sup>-2</sup>とする。第1のイオン15のドーザ量と第2のイオン17のドーザ量との差は0.6×10<sup>16</sup>cm<sup>-2</sup>以上あればよい。これにより第1の脆化層16から第1の単結晶半導体基板11の一部を分離して第1の単結晶半導体膜19を形成する第1の加熱処理の温度を470 - 480とすることができる。また第2の脆化層18から第2の単結晶半導体基板13の一部を分離して第2の単結晶半導体膜22を分離する第2の加熱処理の温度を490以上とすることができる。  
30

#### 【0038】

第1の脆化層16は第1の単結晶半導体基板11の表面から50nm以上200nm以下の深さに形成されるように第1のイオン15の加速電圧を調節する。また第2の脆化層18は第2の単結晶半導体基板13の表面から50nm以上200nm以下の深さに形成されるように第2のイオン17の加速電圧を調節する。例えば10kV - 100kVとする。第1のイオン15の加速電圧と第2のイオン17の加速電圧とは同じでよい。

#### 【0039】

H<sub>2</sub>ガスや水素原子を含むガスから生成されるイオン種（H<sup>+</sup>、H<sub>2</sub><sup>+</sup>又はH<sub>3</sub><sup>+</sup>）の総量に対してH<sub>3</sub><sup>+</sup>の割合を50%以上、好ましくは、H<sub>3</sub><sup>+</sup>の割合を70%以上とする。H<sub>3</sub><sup>+</sup>の割合を増加させると、イオンの照射工程のタクトタイムを短縮することが可能となり、生産性やスループットの向上を図ることができる。  
40

#### 【0040】

第1の絶縁膜12および第2の絶縁膜14を対向させて、第1の単結晶半導体基板11と第2の単結晶半導体基板13とを貼り合わせる（図3（C））。具体的には第1の絶縁膜12の表面と第2の絶縁膜14の表面とを接合させる。第1の単結晶半導体基板11と第2の単結晶半導体基板13とは同じサイズのものを用いると、貼り合わせる際の位置合わせが容易になる。第1の絶縁膜12及び第2の絶縁膜14を形成しなくてもよいが、第1の絶縁膜12及び第2の絶縁膜14を形成し、第1の絶縁膜12と第2の絶縁膜14とを貼り合わせると、第1の絶縁膜12と第2の絶縁膜14とは強く結合する。

#### 【0041】

10

20

30

40

50

第1の単結晶半導体基板11と第2の単結晶半導体基板13とを貼り合わせた後、470-480で第1の加熱処理を行う。処理時間は例えば0.5分-300分である。第1の加熱処理は第1の脆化層16の微小な孔に体積変化を起こさせ、第1の脆化層16に亀裂を生じさせる。その結果、第1の脆化層16に沿って第1の単結晶半導体基板11の一部を分離することができ、第2の単結晶半導体基板13上には第1の単結晶半導体基板11から分離された第1の単結晶半導体膜19が形成される(図4(A))。一方、第2の脆化層18には第1のイオン15のドーズ量よりも少ないドーズ量で第2のイオン17がドープされているので、第1の加熱処理では第2の単結晶半導体基板13は分離されない。

#### 【0042】

10

第1の加熱処理は、拡散炉、抵抗加熱炉などの加熱炉、Rapid Thermal Anneal(RTA)装置、マイクロ波加熱装置などを用いることができる。

#### 【0043】

第1の単結晶半導体膜19の表面が凹凸を有している場合には、Chemical Mechanical Polishing(CMP)、アニールなどにより平坦化する。第1の単結晶半導体膜19に対してレーザー-アニール、RTA、フラッシュランプ-アニールなどを行うと、第1の単結晶半導体膜19の表面を平坦化させることおよび第1の単結晶半導体膜19の結晶性を回復させることができる。

#### 【0044】

20

第1の単結晶半導体膜19上に第3の絶縁膜20を形成する(図4(B))。第3の絶縁膜20は第1の絶縁膜12および第2の絶縁膜14と同様な絶縁膜でよい。また第3の絶縁膜20は第1の絶縁膜12および第2の絶縁膜14と同様な方法で形成する。

#### 【0045】

続いてベース基板となる基板21を準備し(図4(B))、第2の単結晶半導体基板13と基板21を貼り合わせる(図4(C))。具体的には第3の絶縁膜20の表面と基板21の表面とを接合させる。基板21と第2の単結晶半導体基板13とは同じサイズのものを用いると、貼り合わせる際の位置合わせが容易になる。第3の絶縁膜20を形成しなくてもよいが、第3の絶縁膜20を形成し、第3の絶縁膜20と基板21とを貼り合わせると、第3の絶縁膜20と基板21とは強く結合する。

#### 【0046】

30

基板21としては、例えば絶縁基板を用いることができる。例えばガラス基板を用いることが好ましい。具体的には、アルミニシリケートガラス、アルミニホウケイ酸ガラス、バリウムホウケイ酸ガラスのような電子工業用に使われる各種ガラス基板、石英基板、セラミック基板、サファイア基板が挙げられる。他にも基板21として単結晶半導体基板(例えば、単結晶シリコン基板等)や多結晶半導体基板(例えば、多結晶シリコン基板)を用いてもよい。

#### 【0047】

40

第2の単結晶半導体基板13と基板21を貼り合わせた後、490以上で第2の加熱処理を行う。処理時間は例えば0.5分-300分である。その結果、第2の脆化層18に沿って第2の単結晶半導体基板13の一部を分離することができ、第2の単結晶半導体膜22が形成される(図5(A))。第1の加熱処理の温度と第2の加熱処理の温度との差は20以上あればよい。

#### 【0048】

第2の加熱処理は、加熱炉、RTA装置、マイクロ波加熱装置などを用いることができる。第2の加熱処理の温度は基板21の歪み点を越えない温度とする。加熱処理は低温で行うことが好ましいので、第2の加熱処理の温度は490以上、600以下とすることが好ましい。

#### 【0049】

50

第2の単結晶半導体膜22の表面が凹凸を有している場合には、CMP、レーザー-アニール、RTA、フラッシュランプ-アニールなどにより平坦化する。アニール処理は第2の单

結晶半導体膜 2 2 の表面を平坦化させることおよび第 2 の単結晶半導体膜 2 2 の結晶性を回復させることができる。

#### 【 0 0 5 0 】

以上により、600<sup>10</sup> を超えるような高温熱処理を用いることなく、基板 2 1 上に第 3 の絶縁膜 2 0 、第 1 の単結晶半導体膜 1 9 、第 1 の絶縁膜 1 2 、第 2 の絶縁膜 1 4 、第 2 の単結晶半導体膜 2 2 を形成することができる（図 5（B））。

#### 【 0 0 5 1 】

次にフォトリソグラフィー法、エッチング法を用いて、第 2 の単結晶半導体膜 2 2 を選択的に除去して、島状の第 2 の単結晶半導体膜 2 2' を形成する。そして第 1 の絶縁膜 1 2 および第 2 の絶縁膜 1 4 の一部を除去して、第 1 の単結晶半導体膜 1 9 を露出させる（図 5（C））。第 1 の単結晶半導体膜 1 9 上には島状の第 1 の絶縁膜 1 2' および島状の第 2 の絶縁膜 1 4' 、島状の第 2 の単結晶半導体膜 2 2' が形成される。<sup>10</sup>

#### 【 0 0 5 2 】

##### （実施形態 2 ）

トランジスタの移動度を考慮すると、N チャネル型トランジスタの場合、チャネルは（100）の面方位を有する単結晶半導体膜で形成することが好ましく、P チャネル型トランジスタの場合、チャネルは（110）の面方位を有する単結晶半導体膜で形成することが好ましい。本発明において、第 1 の単結晶半導体基板 1 1 の主表面の面方位を（100）及び（110）の一方とし、第 2 の単結晶半導体基板 1 3 の主表面の面方位を（100）及び（110）の他方とすると、第 1 の単結晶半導体膜 1 9 の主表面の面方位を（100）<sup>20</sup> 及び（110）の一方とし、第 2 の単結晶半導体膜 2 2 の主表面の面方位を（100）及び（110）の他方とすることができます。そして第 1 の単結晶半導体膜 1 9 、第 2 の単結晶半導体膜 2 2 を用いて、N チャネル型トランジスタ及び P チャネル型トランジスタを作製すると、高移動度の N チャネル型トランジスタ及び P チャネル型トランジスタとなる。

#### 【 0 0 5 3 】

##### （実施形態 3 ）

実施形態 1 で作製した島状の第 2 の単結晶半導体膜 2 2' 及び第 1 の単結晶半導体膜 1 9 を用いて、N チャネル型トランジスタ及び P チャネル型トランジスタを形成する。

#### 【 0 0 5 4 】

フォトリソグラフィー法、エッチング法を用いて第 1 の単結晶半導体膜 1 9 を島状の第 1 の単結晶半導体膜 1 9' 及び 1 9'' にする。島状の第 1 の単結晶半導体膜 1 9'' 上には島状の第 1 の絶縁膜 1 2' 、島状の第 2 の絶縁膜 1 4' および島状の第 2 の単結晶半導体膜 2 2' が設けられている。島状の第 1 の単結晶半導体膜 1 9' および島状の第 2 の単結晶半導体膜 2 2' 上にゲート絶縁膜 2 5 を形成する。ゲート絶縁膜 2 5 上にゲート電極 2 6 、2 7 を形成する（図 6（A））。

#### 【 0 0 5 5 】

ゲート電極 2 6 、2 7 を形成した後、島状の第 2 の単結晶半導体膜 2 2' 、ゲート絶縁膜 2 5 及びゲート電極 2 6 をレジストマスク 2 8 で覆う（図 6（B））。ゲート電極 2 7 をマスクとしてイオンドーピング法またはイオン注入法により N 型の不純物イオン（リンイオンまたはヒ素イオン）を島状の第 1 の単結晶半導体膜 1 9' に添加する。島状の第 1 の単結晶半導体膜 1 9' に自己整合的に N 型の不純物領域 3 0 、3 1 が形成される。N 型の不純物領域 3 0 、3 1 はそれぞれソース、ドレインとなる。島状の第 1 の単結晶半導体膜 1 9' のうち、ゲート電極 2 7 と重なる領域はチャネル 3 2 となる（図 6（B））。<sup>40</sup>

#### 【 0 0 5 6 】

レジストマスク 2 8 を除去した後、島状の第 1 の単結晶半導体膜 1 9' 、ゲート絶縁膜 2 5 及びゲート電極 2 7 をレジストマスク 3 5 で覆う（図 6（C））。ゲート電極 2 6 をマスクとしてイオンドーピング法またはイオン注入法により P 型の不純物イオン（ボロンイオン）を島状の第 2 の単結晶半導体膜 2 2' に添加する。島状の第 2 の単結晶半導体膜 2 2' に自己整合的に P 型の不純物領域 3 6 、3 7 が形成される。P 型の不純物領域 3 6 、<sup>50</sup>

37はそれぞれソース、ドレインとなる。島状の第2の単結晶半導体膜22'のゲート電極26と重なる領域はチャネル38となる(図6(C))。ここでは、N型の不純物領域30、31を形成した後、P型の不純物領域36、37を形成する方法を説明したが、先にP型の不純物領域36、37を形成してもよい。また島状の第1の単結晶半導体膜19'にN型の不純物イオンを添加し、島状の第2の単結晶半導体膜22'にP型の不純物イオンを添加したが、その逆でもよい。

## 【0057】

なお島状の第1の単結晶半導体膜19'、島状の第2の単結晶半導体膜22'には必要に応じてLDD領域、オフセット領域を形成する。

## 【0058】

レジストマスク35を除去した後、500以上600以下の加熱処理を行って添加した不純物イオンを活性化させる。

## 【0059】

加熱処理後、水素を含んだ絶縁膜40を形成する。250以上500以下の30分-180分の温度による加熱処理を行い、絶縁膜40中に含まれる水素を島状の第1の単結晶半導体膜19'及び島状の第2の単結晶半導体膜22'中に拡散させる。絶縁膜40は、プラズマCVD法により形成した窒化シリコンまたは窒化酸化シリコンを用いる。水素は島状の第1の単結晶半導体膜19'及び島状の第2の単結晶半導体膜22'内のダングリングボンドを終端する。

## 【0060】

絶縁膜41を形成する(図7)。絶縁膜41は、酸化シリコン膜、BPSG(Boron Phosphorus Silicate Glass)膜などの無機絶縁膜若しくはポリイミド、アクリルなどの有機樹脂膜から選ばれた膜、又は無機絶縁膜及び有機樹脂膜からなる積層膜である。絶縁膜41にコンタクトホールを形成した後、配線42を形成する(図7)。配線42はソース電極およびドレイン電極となる。配線42は、例えばアルミニウム膜またはアルミニウム合金膜などの低抵抗金属膜をバリアメタル膜で挟んだ3層構造の導電膜からなる。バリアメタル膜は、モリブデン、クロム、チタンなどの金属膜である。

## 【0061】

以上の工程により、高温熱処理を用いることなく、Nチャネル型トランジスタ50及びPチャネル型トランジスタ51を有する半導体装置を作製することができる。また実施形態2の構成を組み合わせることにより、高移動度のNチャネル型トランジスタ50及びPチャネル型トランジスタ51を有する半導体装置を作製することができる。

## 【0062】

## (実施形態4)

Nチャネル型トランジスタとPチャネル型トランジスタを有する半導体装置を含むエレクトロルミネセンス装置(以下、発光装置という。)を説明する(図8)。図8(A)は発光装置の画素の平面図であり、図8(B)は、J-K切断線による図8(A)の断面図である。

## 【0063】

画素領域は、選択用トランジスタ401、表示制御用トランジスタ402、走査線405、信号線406、電流供給線407及び画素電極408を含む。エレクトロルミネセンス材料を含む層(EL層)が一対の電極間に挟んだ構造の発光素子が各画素に設けられている。発光素子の一方の電極が画素電極408である。また、島状の単結晶半導体膜403には選択用トランジスタ401のチャネル、ソースおよびドレインが形成されている。島状の単結晶半導体膜404には表示制御用トランジスタ402のチャネル451、ソース453およびドレイン452が形成されている。島状の単結晶半導体膜403及び島状の単結晶半導体膜404は、絶縁基板21上に設けられた島状の第2の単結晶半導体膜22'及び島状の第1の単結晶半導体膜19'にそれぞれ対応する。

## 【0064】

10

20

30

40

50

選択用トランジスタ 401 は N チャネル型トランジスタであり、ゲート電極は走査線 405 に含まれ、ソース電極およびドレイン電極の一方は信号線 406 に含まれ、他方は電極 411 として形成されている。

#### 【 0065 】

表示制御用トランジスタ 402 は P チャネル型トランジスタであり、ゲート電極 412 が電極 411 と電気的に接続され、ソース電極およびドレイン電極の一方は、画素電極 408 に電気的に接続される電極 413 であり、他方は、電流供給線 407 に含まれている。

#### 【 0066 】

ゲート電極 412 を覆って、絶縁膜 40、絶縁膜 41 が形成されている。絶縁膜 41 上に、信号線 406、電流供給線 407、電極 411、413 などが形成されている。また、絶縁膜 41 上には、電極 413 に電気的に接続されている画素電極 408 が形成されている。画素電極 408 は周辺部が絶縁性の隔壁層 428 で囲まれている。図 8 ( A ) では、画素電極 408 において、点線で囲まれた部分 450 の内側が表示部分となる。画素電極 408 において点線で囲まれた部分 450 の外側には隔壁層 428 が設けられる。画素電極 408 上には EL 層 429 が形成され、EL 層 429 上には対向電極 430 が形成されている。絶縁基板 21 に対向して対向基板 431 が設けられており、対向基板 431 は樹脂層 432 により絶縁基板 21 に固定されている。

#### 【 0067 】

なお、本実施の形態で示した構成は、本明細書の他の実施の形態で示す構成と適宜組み合わせることができる。

#### 【 0068 】

##### ( 実施形態 5 )

実施形態 5 では絶縁基板 5 上に第 1 の単結晶半導体膜 1' 及び第 2 の単結晶半導体膜 2' を形成するとともに第 3 の単結晶半導体膜 101' 及び第 4 の単結晶半導体膜 102' を形成する( 図 9 ( A ) )。図 9 ( B ) は図 9 ( A ) の上面図である。具体的には、第 1 の単結晶半導体基板に第 1 のイオンをドープして第 1 の脆化層を形成する工程と、第 2 の単結晶半導体基板に第 2 のイオンをドープして第 2 の脆化層を形成する工程と、第 3 の単結晶半導体基板に第 1 のイオンをドープして第 3 の脆化層を形成する工程と、第 4 の単結晶半導体基板に第 2 のイオンをドープして第 4 の脆化層を形成する工程と、第 1 の単結晶半導体基板と第 2 の単結晶半導体基板とを貼り合わせる工程と、第 3 の単結晶半導体基板と第 4 の単結晶半導体基板とを貼り合わせる工程と、第 1 の加熱処理により、第 1 の脆化層から第 1 の単結晶半導体基板の一部を分離して、第 2 の単結晶半導体基板上に第 1 の単結晶半導体膜を形成する工程と、第 2 の加熱処理により、第 3 の脆化層から第 3 の単結晶半導体基板の一部を分離して、第 4 の単結晶半導体基板上に第 3 の単結晶半導体膜を形成する工程と、第 3 の加熱処理により、第 2 の脆化層から第 2 の単結晶半導体基板の一部を分離して、絶縁基板上に、第 1 の単結晶半導体膜及び第 2 の単結晶半導体膜を形成するとともに、第 3 の加熱処理により、第 4 の脆化層から第 4 の単結晶半導体基板の一部を分離して、絶縁基板上に、第 3 の単結晶半導体膜及び第 4 の単結晶半導体膜を形成する工程と、を有し、第 1 のイオンのドーズ量は第 2 のイオンのドーズ量よりも多く、第 1 の加熱処理の温度及び第 2 の加熱処理の温度は、第 3 の加熱処理を温度よりも低い半導体装置の作製方法を開示する。

なお図 9 ( B ) では絶縁基板 5 の上面全てに単結晶半導体膜を形成しているが、絶縁基板 5 の上面全てに単結晶半導体膜を形成する必要はない。例えば絶縁基板 5 の中央部のみに単結晶半導体膜を形成してもよい( 図 21 )。

#### 【 0069 】

絶縁基板 5 のサイズや面積が第 1 の単結晶半導体基板 1 及び第 2 の単結晶半導体基板 2 のサイズや面積よりも大きい場合、絶縁基板 5 上には第 1 の単結晶半導体膜 1' 及び第 2 の単結晶半導体膜 2' が形成されない部分 200 が生じてしまう( 図 9 ( C ) )。そこでその部分 200 には単結晶半導体基板を用いて、単結晶半導体膜を形成する。実施形態 5 で

10

20

30

40

50

は、第3の単結晶半導体基板101及び第4の単結晶半導体基板102を用いて、第3の単結晶半導体膜101'及び第4の単結晶半導体膜102'を形成する。

#### 【0070】

第1の単結晶半導体基板1に第1のイオンをドープして第1の脆化層3を形成するとともに第2の単結晶半導体基板2に第2のイオンをドープして第2の脆化層4を形成する(図1(A))。第1のイオンのドーズ量は第2のイオンのドーズ量よりも多くする。第2のイオンは第1のイオンと同じイオンを用いてよい。第1の単結晶半導体基板1と第2の単結晶半導体基板2とを貼り合わせた後(図1(B))、第1の加熱処理を行って、選択的に第1の脆化層3から第1の単結晶半導体基板1の一部を分離して第1の単結晶半導体膜1'を形成する(図1(C))。なお第2の単結晶半導体基板2は分離されない。第1の単結晶半導体基板1と第2の単結晶半導体基板2とは同じサイズのものを用いると、貼り合わせる際の位置合わせが容易になる。10

#### 【0071】

第3の単結晶半導体基板101に第1のイオンをドープして第3の脆化層103を形成するとともに第4の単結晶半導体基板102に第2のイオンをドープして第4の脆化層104を形成する(図10(A))。第1のイオンのドーズ量は第2のイオンのドーズ量よりも多くする。第3の単結晶半導体基板101にドープする第1のイオンのドーズ量は第1の単結晶半導体基板1にドープする第1のイオンのドーズ量と同じにすることが好ましい。また第4の単結晶半導体基板102にドープする第2のイオンのドーズ量は第2の単結晶半導体基板2にドープする第2のイオンのドーズ量と同じにすることが好ましい。20

#### 【0072】

第3の単結晶半導体基板101と第4の単結晶半導体基板102とを貼り合わせる(図10(B))。次に第2の加熱処理を行って、選択的に第3の脆化層103から第3の単結晶半導体基板101の一部を分離して第3の単結晶半導体膜101'を形成する(図10(C))。第1の加熱処理の温度と第2の加熱処理の温度は同じであることが好ましい。第1の加熱処理と第2の加熱処理とは同じ加熱炉にて同時にやってよい。なお第4の単結晶半導体基板102は分離されない。また第3の単結晶半導体基板101と第4の単結晶半導体基板102とは同じサイズのものを用いると、貼り合わせる際の位置合わせが容易になる。

#### 【0073】

第1の単結晶半導体膜1'を絶縁基板5と貼り合わせるとともに第3の単結晶半導体膜101'を絶縁基板5と貼り合わせる(図11(A)-(B))。この際、第1の単結晶半導体膜1'の側面と第3の単結晶半導体膜101'の側面とは隙間のないように密着させることが好ましい。同様に第2の単結晶半導体基板2の側面と第4の単結晶半導体膜102の側面とは隙間のないように密着させることが好ましい。30

#### 【0074】

第3の加熱処理を行って、第2の脆化層4から第2の単結晶半導体基板2の一部を分離して第2の単結晶半導体膜2'を形成するとともに第4の脆化層104から第4の単結晶半導体基板102の一部を分離して第4の単結晶半導体膜102'を形成する(図11(C))。第1の加熱処理の温度及び第2の加熱処理の温度は第3の加熱処理の温度よりも低い。第1のイオンのドーズ量を第2のイオンのドーズ量よりも多くすることにより、第1の加熱処理の温度及び第2の加熱処理の温度を第3の加熱処理の温度よりも低くすることができる。そして第1の加熱処理及び第2の加熱処理により第1の単結晶半導体基板1及び第3の単結晶半導体基板101を選択的に分離することができる。40

#### 【0075】

なお絶縁基板5に第1の単結晶半導体基板1及び第3の単結晶半導体基板101を貼り合わせ、加熱処理を行って、第1の単結晶半導体基板1の一部を分離して第1の単結晶半導体膜1'を形成するとともに第3の単結晶半導体基板101の一部を分離して第3の単結晶半導体膜101'を形成した後、第1の単結晶半導体膜1'上に第2の単結晶半導体基板2を貼り合わせるとともに第3の単結晶半導体膜101'上に第4の単結晶半導体基板

102を貼り合わせ、加熱処理を行って、第2の単結晶半導体基板2の一部を分離して第2の単結晶半導体膜2'を形成するとともに第4の単結晶半導体基板102の一部を分離して第4の単結晶半導体膜102'を形成する方法でも、図9(A)(B)の構成を得ることは可能である。しかしその方法を用いると、第1の単結晶半導体膜1'上に第2の単結晶半導体基板2を貼り合わせる際、及び第3の単結晶半導体膜101'上に第4の単結晶半導体基板102を貼り合わせる際の位置合わせが困難になる。

#### 【0076】

ここまで絶縁基板5上に第1の単結晶半導体膜1'、第2の単結晶半導体膜2'、第3の単結晶半導体膜101'及び第4の単結晶半導体膜102'を形成した。さらに複数の単結晶半導体基板を用いて、複数の単結晶半導体膜を形成してもよい。例えば第5の単結晶半導体膜301'、第6の単結晶半導体膜302'、第7の単結晶半導体膜303'、第8の単結晶半導体膜304'、第9の単結晶半導体膜305'、第10の単結晶半導体膜306'、第11の単結晶半導体膜307'、第12の単結晶半導体膜308'、第13の単結晶半導体膜309'、第14の単結晶半導体膜310'、第15の単結晶半導体膜311'及び第16の単結晶半導体膜312'を形成してもよい(図12(A)-(C))。図12(A)は図12(B)の点線A-Bの断面図で、図12(C)は図12(B)の点線C-Dの断面図である。絶縁基板5上に複数の単結晶半導体膜をタイル状に敷き詰めて形成することができる。

#### 【0077】

本実施形態のイオンの種類、ドーズ量、加熱処理の温度等は第1実施形態に記載のものを用いる。

#### 【0078】

##### (実施形態6)

実施形態6は実施形態1を実施形態5に適用したものと示す。具体的には第1の単結晶半導体基板の表面に第1の絶縁膜を形成する工程と、第2の単結晶半導体基板の表面に第2の絶縁膜を形成する工程と、第3の単結晶半導体基板の表面に第3の絶縁膜を形成する工程と、第4の単結晶半導体基板の表面に第4の絶縁膜を形成する工程と、第1の単結晶半導体基板内に第1の絶縁膜を介して第1のイオンをドープして第1の脆化層を形成する工程と、第2の単結晶半導体基板内に第2の絶縁膜を介して第2のイオンをドープして第2の脆化層を形成する工程と、第3の単結晶半導体基板内に第3の絶縁膜を介して第1のイオンをドープして第3の脆化層を形成する工程と、第4の単結晶半導体基板内に第4の絶縁膜を介して第2のイオンをドープして第4の脆化層を形成する工程と、第1の絶縁膜と第2の絶縁膜と貼り合わせる工程と、第3の絶縁膜と第4の絶縁膜と貼り合わせる工程と、第1の加熱処理により、第1の脆化層から第1の単結晶半導体基板の一部を分離して、第2の単結晶半導体基板上に、第1の絶縁膜および第2の絶縁膜を介して、第1の単結晶半導体膜を形成する工程と、第1の加熱処理により、第3の脆化層から第3の単結晶半導体基板の一部を分離して、第4の単結晶半導体基板上に、第3の絶縁膜および第4の絶縁膜を介して、第3の単結晶半導体膜を形成する工程と、第1の単結晶半導体膜上に第5の絶縁膜を形成する工程と、第3の単結晶半導体膜上に第6の絶縁膜を形成する工程と、第5の絶縁膜と絶縁基板とを貼り合わせる工程と、第6の絶縁膜と絶縁基板とを貼り合わせる工程と、第2の加熱処理により、第2の脆化層から第2の単結晶半導体基板の一部を分離して、絶縁基板上に、第5の絶縁膜、第1の単結晶半導体膜、第2の絶縁膜及び第1の絶縁膜を介して、第2の単結晶半導体膜を形成する工程と、第2の加熱処理により、第4の脆化層から第4の単結晶半導体基板の一部を分離して、絶縁基板上に、第6の絶縁膜、第3の単結晶半導体膜、第4の絶縁膜及び第3の絶縁膜を介して、第4の単結晶半導体膜を形成する工程と、有し、前記第1のイオンのドーズ量は、前記第2のイオンのドーズ量よりも多く、前記第1の加熱処理の温度は、前記第2の加熱処理を温度よりも低い半導体装置の作製方法を開示する。

#### 【0079】

第1の単結晶半導体基板211上に第1の絶縁膜212を形成する。第2の単結晶半導体

10

20

30

40

50

基板 213 上に第 2 の絶縁膜 214 を形成する(図 13(A))。第 3 の単結晶半導体基板 511 上に第 3 の絶縁膜 512 を形成する。第 4 の単結晶半導体基板 513 上に第 4 の絶縁膜 514 を形成する(図 13(B))。第 1 の単結晶半導体基板 211、第 2 の単結晶半導体基板 213、第 3 の単結晶半導体基板 511 及び第 4 の単結晶半導体基板 513 は第 1 実施形態に記載した第 1 の単結晶半導体基板 11 及び第 2 の単結晶半導体基板 13 と同じものを用いる。第 1 の絶縁膜 212、第 2 の絶縁膜 214、第 3 の絶縁膜 512 及び第 4 の絶縁膜 514 は第 1 実施形態に記載した第 1 の絶縁膜 12 および第 2 の絶縁膜 14 と同じものを形成する。

#### 【0080】

第 1 の単結晶半導体基板 211 に第 1 の絶縁膜 212 を介して第 1 のイオン 215 をドープして第 1 の脆化層 216 を形成する。一方、第 2 の単結晶半導体基板 213 に第 2 の絶縁膜 214 を介して第 2 のイオン 217 をドープして第 2 の脆化層 218 を形成する(図 14(A))。第 3 の単結晶半導体基板 511 に第 3 の絶縁膜 512 を介して第 1 のイオン 215 をドープして第 3 の脆化層 516 を形成する。一方、第 4 の単結晶半導体基板 513 に第 4 の絶縁膜 514 を介して第 2 のイオン 217 をドープして第 4 の脆化層 518 を形成する(図 14(B))。

#### 【0081】

第 1 のイオン 215 及び第 2 のイオン 217 は例えば水素(H<sub>2</sub>)ガスから生成されるイオン(H<sup>+</sup>、H<sub>2</sub><sup>+</sup>又はH<sub>3</sub><sup>+</sup>など)である。ヘリウム(He)ガスから生成されるイオンを同時にドープしてもよい。第 1 のイオン 215 と第 2 のイオン 217 は同じイオンでよい。水素(H<sub>2</sub>)ガスに限られず、水素原子を含むガス(例えばPH<sub>3</sub>、B<sub>2</sub>H<sub>6</sub>)を用いてもよい。

#### 【0082】

第 1 のイオン 215 のドーズ量は $2.5 \times 10^{16} \text{ cm}^{-2}$  -  $2.7 \times 10^{16} \text{ cm}^{-2}$ であり、例えば $2.6 \times 10^{16} \text{ cm}^{-2}$ とする。一方、第 2 のイオン 217 のドーズ量は $1.9 \times 10^{16} \text{ cm}^{-2}$  -  $2.1 \times 10^{16} \text{ cm}^{-2}$ であり、例えば $2.0 \times 10^{16} \text{ cm}^{-2}$ とする。第 1 のイオン 215 のドーズ量と第 2 のイオン 217 のドーズ量との差は $0.6 \times 10^{16} \text{ cm}^{-2}$ 以上あればよい。

#### 【0083】

第 1 の脆化層 216、第 2 の脆化層 218、第 3 の脆化層 516 及び第 4 の脆化層 518 はそれぞれ第 1 の単結晶半導体基板 211、第 2 の単結晶半導体基板 213、第 3 の単結晶半導体基板 511 及び第 4 の単結晶半導体基板 513 の表面から 50 nm 以上 200 nm 以下の深さに形成されるように第 1 のイオン 215 及び第 2 のイオン 217 の加速電圧を調節する。第 1 のイオン 215 の加速電圧と第 2 のイオン 217 の加速電圧とは同じでよい。

#### 【0084】

第 1 の絶縁膜 212 および第 2 の絶縁膜 214 を対向させて、第 1 の単結晶半導体基板 211 と第 2 の単結晶半導体基板 213 とを貼り合わせる(図 15(A))。第 1 の絶縁膜 212 と第 2 の絶縁膜 214 とは強く結合する。また第 3 の絶縁膜 512 および第 4 の絶縁膜 514 を対向させて、第 3 の単結晶半導体基板 511 と第 4 の単結晶半導体基板 513 とを貼り合わせる(図 15(B))。第 3 の絶縁膜 512 と第 4 の絶縁膜 514 とは強く結合する。

#### 【0085】

470 - 480 で第 1 の加熱処理を行う。処理時間は例えば 0.5 分 - 300 分である。第 1 の脆化層 216 に沿って第 1 の単結晶半導体基板 211 の一部を分離することができ、第 2 の単結晶半導体基板 213 上には第 1 の単結晶半導体基板 211 から分離された第 1 の単結晶半導体膜 219 が形成される(図 15(C))。一方、第 3 の脆化層 516 に沿って第 3 の単結晶半導体基板 511 の一部を分離することができ、第 4 の単結晶半導体基板 513 上には第 3 の単結晶半導体基板 511 から分離された第 3 の単結晶半導体膜 519 が形成される(図 15(D))。

10

20

30

40

50

**【0086】**

第1の単結晶半導体膜219及び第3の単結晶半導体膜519の表面が凹凸を有している場合には、CMP、レーザーニール、RTA、フラッシュランプニールなどを行ってよい。

**【0087】**

第1の単結晶半導体膜219上に第5の絶縁膜220を形成する(図16(A))。また第3の単結晶半導体膜519上に第6の絶縁膜520を形成する(図16(A))。第5の絶縁膜220及び第6の絶縁膜520は第1実施形態に記載した第3の絶縁膜20と同じものを形成する。

**【0088】**

第5の絶縁膜220とベース基板となるガラス基板などの絶縁基板521とを貼り合わせる。また第6の絶縁膜520と絶縁基板521とを貼り合わせる(図16(A)(B))。第6の絶縁膜520と絶縁基板521とは強く結合する。

**【0089】**

490以上、600以下で第2の加熱処理を行う。処理時間は例えば0.5分-300分である。その結果、第2の脆化層218に沿って第2の単結晶半導体基板213の一部を分離することができ、第2の単結晶半導体膜222が形成され、第4の脆化層518に沿って第4の単結晶半導体基板513の一部を分離することができ、第4の単結晶半導体膜522が形成される(図17(A))。第1の加熱処理の温度と第2の加熱処理の温度との差は20以上あればよい。

10

**【0090】**

第2の単結晶半導体膜222及び第4の単結晶半導体膜522の表面が凹凸を有している場合には、CMP、レーザーニール、RTA、フラッシュランプニールなどを行ってよい。

**【0091】**

以上により、600を超えるような高温熱処理を用いることなく、絶縁基板521上に、第5の絶縁膜220、第1の単結晶半導体膜219、第1の絶縁膜212、第2の絶縁膜214及び第2の単結晶半導体膜222、かつ第6の絶縁膜520、第3の単結晶半導体膜519、第3の絶縁膜512、第4の絶縁膜514及び第4の単結晶半導体膜522を形成することができる。

20

**【0092】**

次にフォトリソグラフィー法、エッチング法を用いて、第2の単結晶半導体膜222を選択的に除去して、島状の第2の単結晶半導体膜222'を形成し、第4の単結晶半導体膜522を選択的に除去して、島状の第4の単結晶半導体膜522'を形成する。そして第1の絶縁膜212および第2の絶縁膜214の一部を除去して、第1の単結晶半導体膜219を露出させ、第3の絶縁膜512および第4の絶縁膜514の一部を除去して、第3の単結晶半導体膜519を露出させる。第1の単結晶半導体膜219上には島状の第1の絶縁膜212'および島状の第2の絶縁膜214'、島状の第2の単結晶半導体膜222'が形成され、第3の単結晶半導体膜519上には島状の第3の絶縁膜512'および島状の第4の絶縁膜514'、島状の第4の単結晶半導体膜522'が形成される(図17(B))。

30

**【符号の説明】****【0093】**

- 1 第1の単結晶半導体基板
- 1' 第1の単結晶半導体膜
- 2 第2の単結晶半導体基板
- 2' 第2の単結晶半導体膜
- 3 第1の脆化層
- 4 第2の脆化層
- 5 絶縁基板

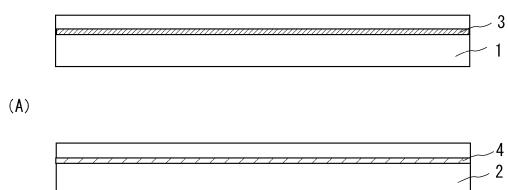
40

50

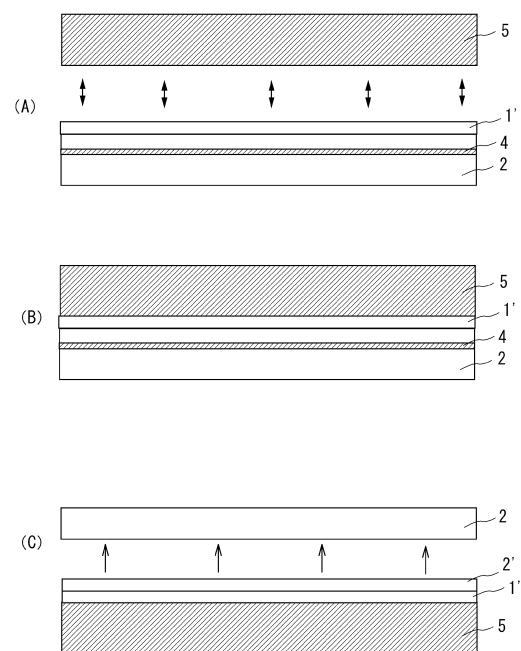
1 1	第 1 の 単結晶半導体基板	
1 2	第 1 の 絶縁膜	
1 2 '	島状の 第 1 の 絶縁膜	
1 3	第 2 の 単結晶半導体基板	
1 4	第 2 の 絶縁膜	
1 4 '	島状の 第 2 の 絶縁膜	
1 5	第 1 の イオン	
1 6	第 1 の 脆化層	
1 7	第 2 の イオン	
1 8	第 2 の 脆化層	10
1 9	第 1 の 单結晶半導体膜	
1 9 '	島状の 第 1 の 单結晶半導体膜	
1 9 "	島状の 第 1 の 单結晶半導体膜	
2 0	第 3 の 絶縁膜	
2 1	基板	
2 2	第 2 の 单結晶半導体膜	
2 2 '	島状の 第 2 の 单結晶半導体膜	
2 5	ゲート絶縁膜	
2 6	ゲート電極	
2 7	ゲート電極	20
2 8	レジストマスク	
3 0	N型の不純物領域	
3 1	N型の不純物領域	
3 2	チャネル	
3 5	レジストマスク	
3 6	P型の不純物領域	
3 7	P型の不純物領域	
3 8	チャネル	
4 0	絶縁膜	
4 1	絶縁膜	30
4 2	配線	
5 0	Nチャネル型トランジスタ	
5 1	Pチャネル型トランジスタ	
1 0 1	第 3 の 単結晶半導体基板	
1 0 1 '	第 3 の 单結晶半導体膜	
1 0 2	第 4 の 単結晶半導体基板	
1 0 2 '	第 4 の 单結晶半導体膜	
1 0 3	第 3 の 脆化層	
1 0 4	第 4 の 脆化層	
2 1 1	第 1 の 单結晶半導体基板	40
2 1 2	第 1 の 絶縁膜	
2 1 3	第 2 の 单結晶半導体基板	
2 1 4	第 2 の 絶縁膜	
2 1 5	第 1 の イオン	
2 1 6	第 1 の 脆化層	
2 1 7	第 2 の イオン	
2 1 8	第 2 の 脆化層	
2 1 9	第 1 の 单結晶半導体膜	
2 2 0	第 5 の 絶縁膜	
2 2 2	第 2 の 单結晶半導体膜	50

2 2 2 '	島状の第 2 の単結晶半導体膜	
3 0 1 '	第 5 の単結晶半導体膜	
3 0 2 '	第 6 の単結晶半導体膜	
3 0 3 '	第 7 の単結晶半導体膜	
3 0 4 '	第 8 の単結晶半導体膜	
3 0 5 '	第 9 の単結晶半導体膜	
3 0 6 '	第 10 の単結晶半導体膜	
3 0 7 '	第 11 の単結晶半導体膜	
3 0 8 '	第 12 の単結晶半導体膜	
3 0 9 '	第 13 の単結晶半導体膜	10
3 1 0 '	第 14 の単結晶半導体膜	
3 1 1 '	第 15 の単結晶半導体膜	
3 1 2 '	第 16 の単結晶半導体膜	
4 0 1	選択用トランジスタ	
4 0 2	表示制御用トランジスタ	
4 0 3	島状の単結晶半導体膜	
4 0 4	島状の単結晶半導体膜	
4 0 5	走査線	
4 0 6	信号線	
4 0 7	電流供給線	20
4 0 8	画素電極	
4 1 0	電極	
4 1 1	電極	
4 1 2	ゲート電極	
4 1 3	電極	
4 2 8	隔壁層	
4 2 9	E L 層	
4 3 0	対向電極	
4 3 1	対向基板	
4 3 2	樹脂層	30
4 5 1	チャネル	
4 5 2	ドレイン	
4 5 3	ソース	
5 1 1	第 3 の単結晶半導体基板	
5 1 2	第 3 の絶縁膜	
5 1 3	第 4 の単結晶半導体基板	
5 1 4	第 4 の絶縁膜	
5 1 6	第 3 の脆化層	
5 1 8	第 4 の脆化層	
5 1 9	第 3 の単結晶半導体膜	40
5 2 0	第 6 の絶縁膜	
5 2 1	絶縁基板	
5 2 2	第 4 の単結晶半導体膜	
5 2 2 '	島状の第 4 の単結晶半導体膜	
1 0 0 1	第 1 の単結晶シリコン基板	
1 0 0 2	第 2 の単結晶シリコン基板	
1 0 0 3	第 1 の脆化層	
1 0 0 4	第 2 の脆化層	
1 0 0 5	絶縁基板	
1 0 0 6	絶縁基板	50

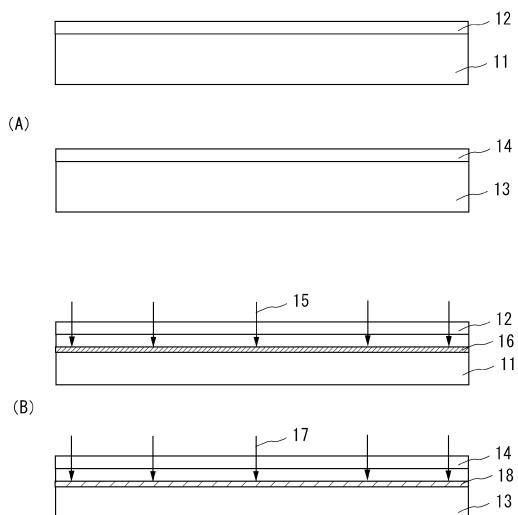
【図1】



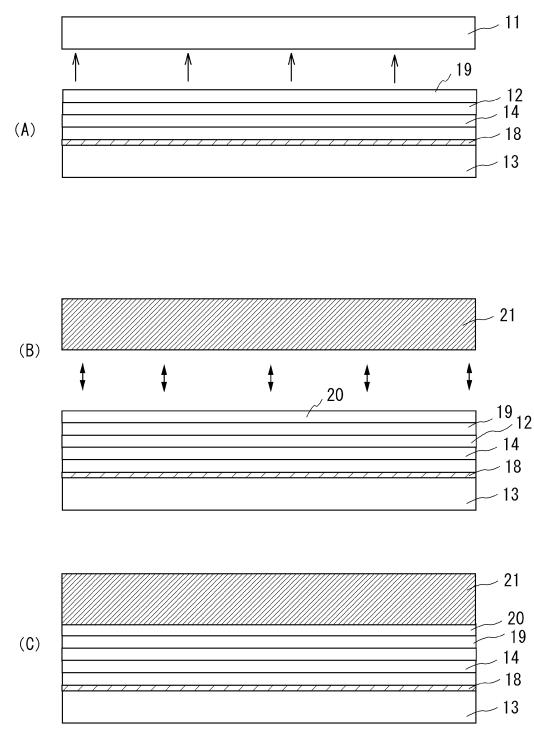
【図2】



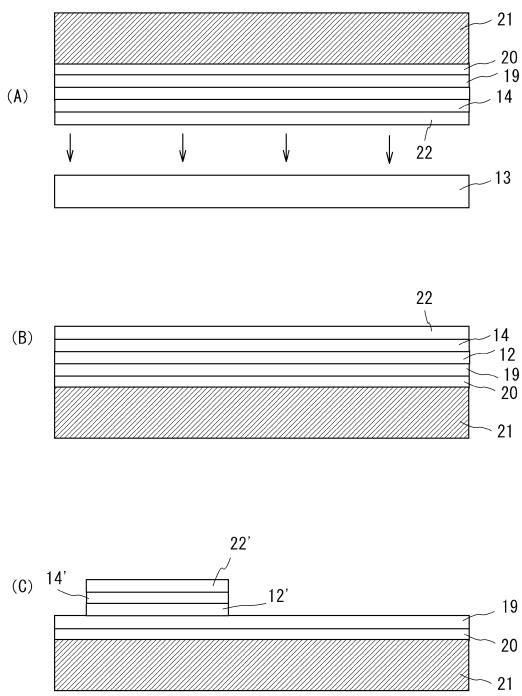
【図3】



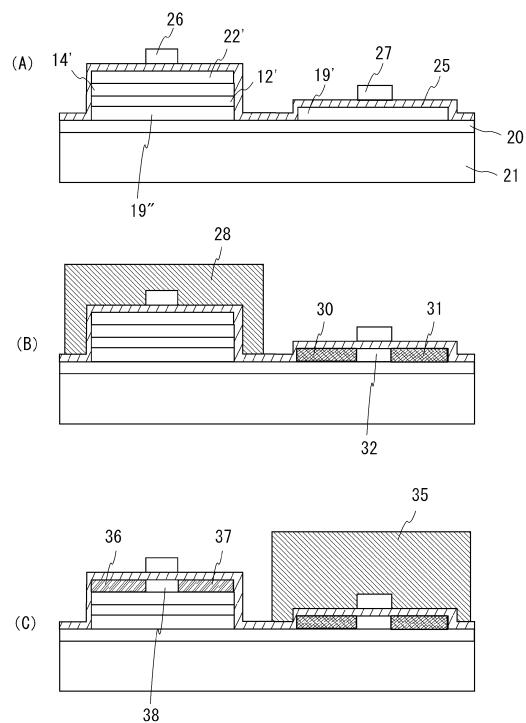
【図4】



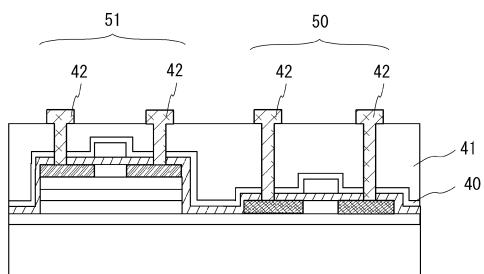
【図5】



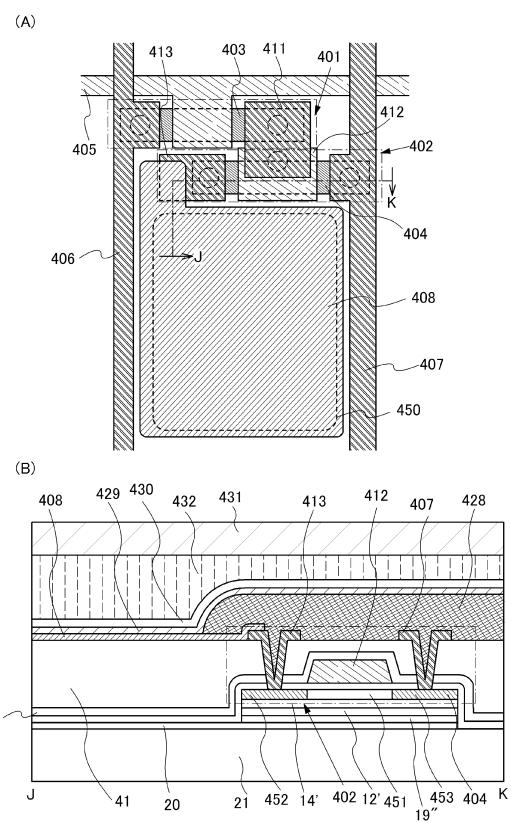
【 四 6 】



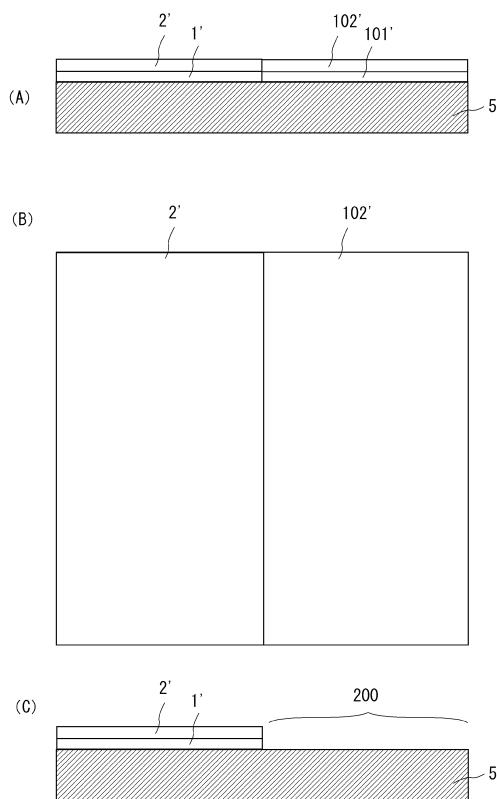
【図7】



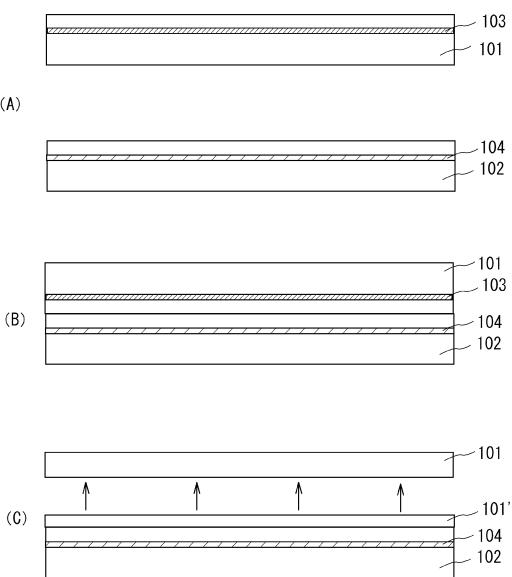
【図8】



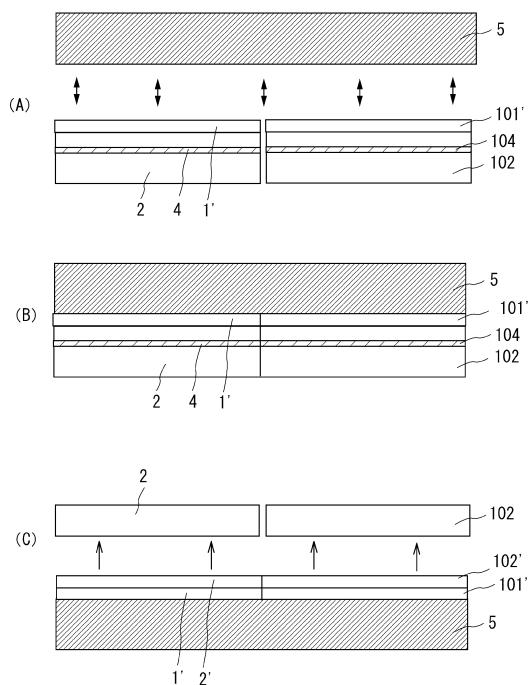
【図9】



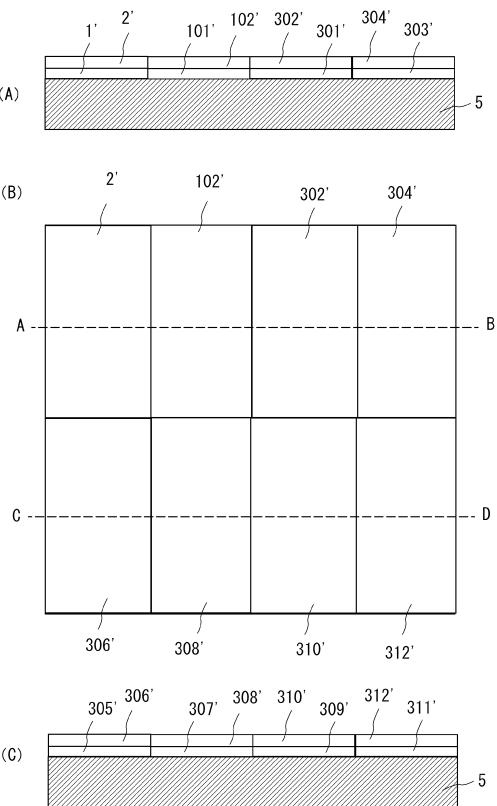
【図10】



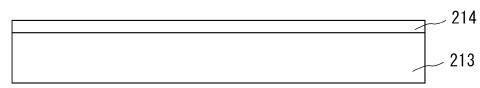
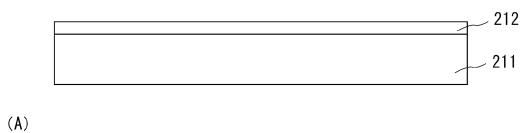
【図11】



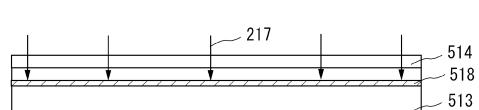
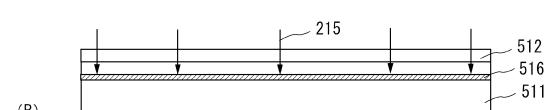
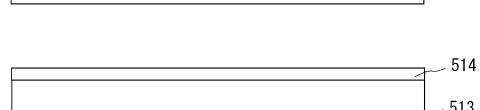
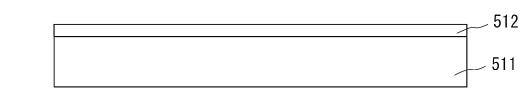
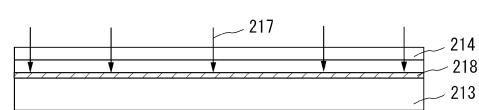
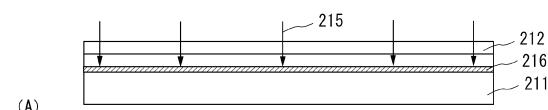
【図12】



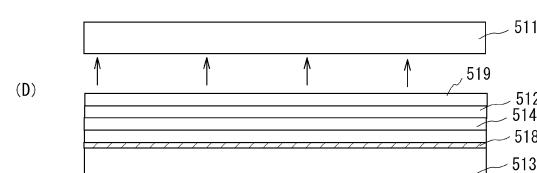
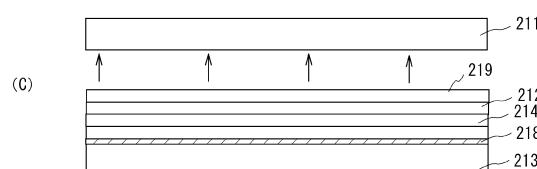
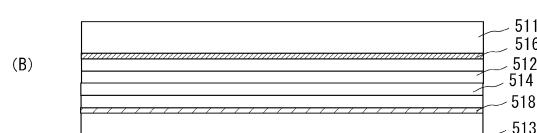
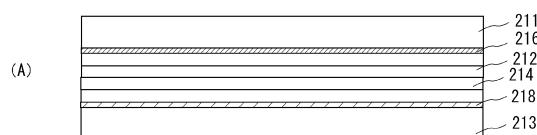
【図13】



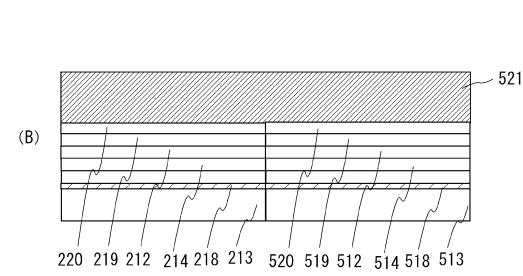
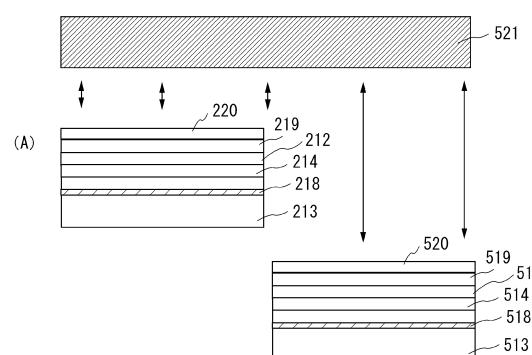
【図14】



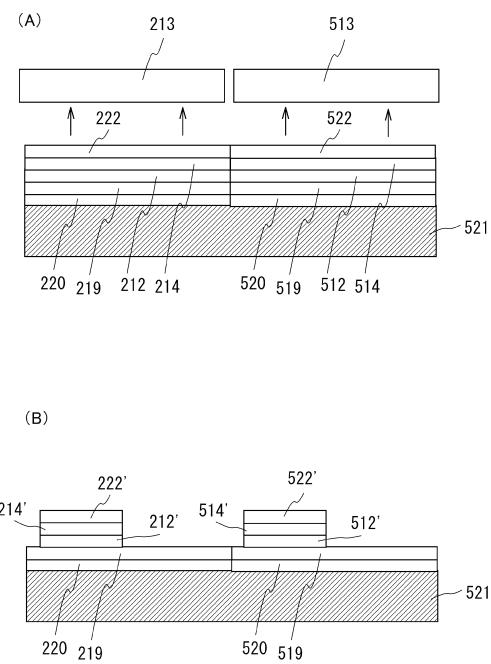
【図15】



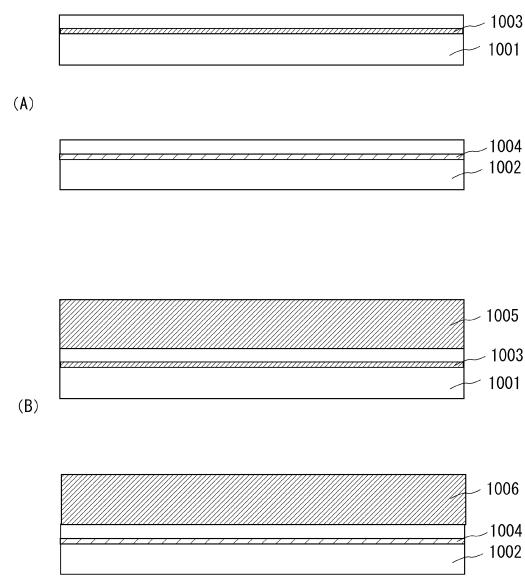
【図16】



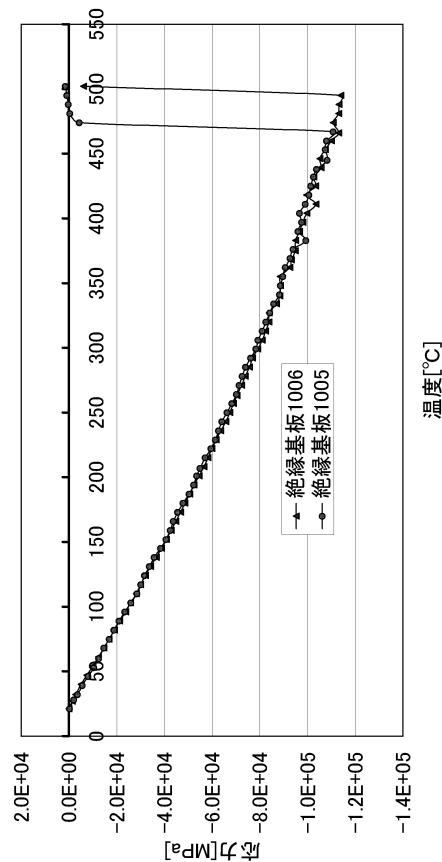
【図17】



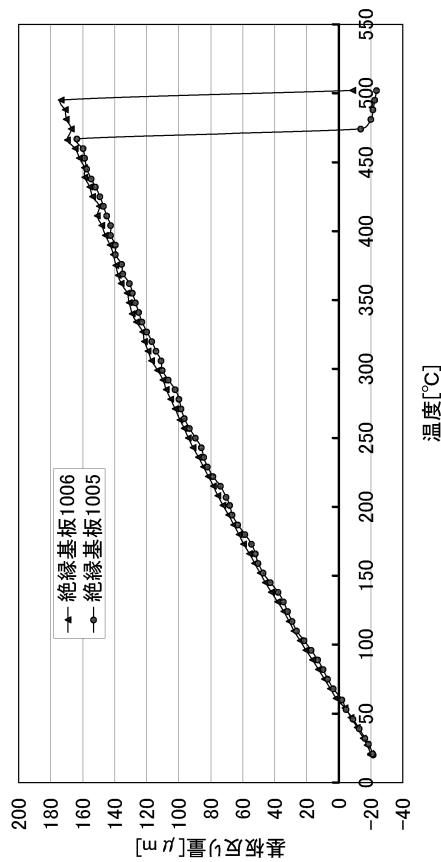
【図18】



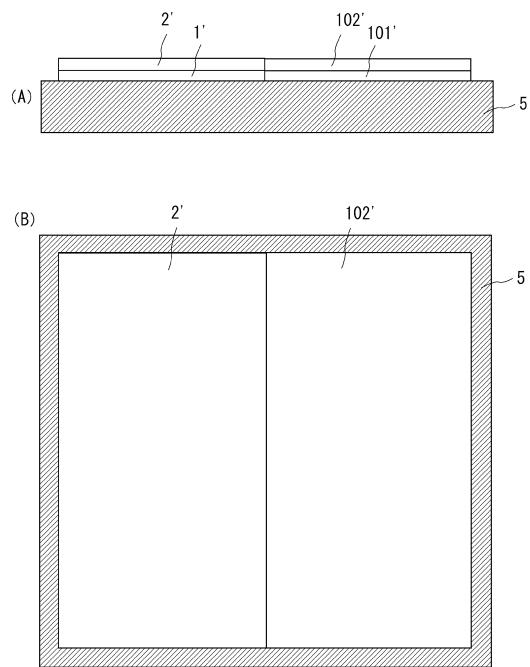
【図19】



【図20】



【図21】



---

フロントページの続き

(51)Int.Cl. F I  
H 01 L 21/336 (2006.01) H 01 L 29/78 6 2 7 D  
H 01 L 29/786 (2006.01)

(72)発明者 神保 安弘  
神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

審査官 右田 勝則

(56)参考文献 特開2001-210810 (JP, A)  
特表2006-527480 (JP, A)  
特開2009-094492 (JP, A)  
特開2010-141303 (JP, A)  
特開2006-012995 (JP, A)  
特表2011-530183 (JP, A)  
国際公開第01/048825 (WO, A1)

(58)調査した分野(Int.Cl., DB名)

H 01 L 21/02  
H 01 L 21/20  
H 01 L 21/265  
H 01 L 21/322  
H 01 L 21/336  
H 01 L 27/12  
H 01 L 29/786