



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I582764 B

(45)公告日：中華民國 106 (2017) 年 05 月 11 日

(21)申請案號：102117351

(22)申請日：中華民國 102 (2013) 年 05 月 16 日

(51)Int. Cl. : G11C11/15 (2006.01)

G11C11/413 (2006.01)

(30)優先權：2012/05/18 日本

2012-114988

(71)申請人：國立研究開發法人科學技術振興機構(日本) JAPAN SCIENCE AND TECHNOLOGY AGENCY (JP)

日本

(72)發明人：山本修一郎 YAMAMOTO, SHUICHIRO (JP)；周藤悠介 SHUTO, YUSUKE (JP)；
菅原聰 SUGAHARA, SATOSHI (JP)

(74)代理人：惲軼群；陳文郎

(56)參考文獻：

TW 548653

TW 201023187A

JP 2-81398A

JP 2004-63004A

US 2010/0202191A1

WO 2009/028298A1

審查人員：林明立

申請專利範圍項數：16 項 圖式數：19 共 53 頁

(54)名稱

記憶電路

(57)摘要

本發明之記憶電路具備：雙穩態電路，可記憶資料；非揮發性元件，可非揮發性地儲存前述雙穩態電路中記憶之資料，並將已非揮發性地儲存之資料重存於前述雙穩態電路中；及，判定部，可於前述雙穩態電路與前述非揮發性元件之資料一致時，不對前述非揮發性元件儲存前述雙穩態電路之資料，前述雙穩態電路與前述非揮發性元件之資料不一致時，則對前述非揮發性元件儲存前述雙穩態電路之資料。

指定代表圖：

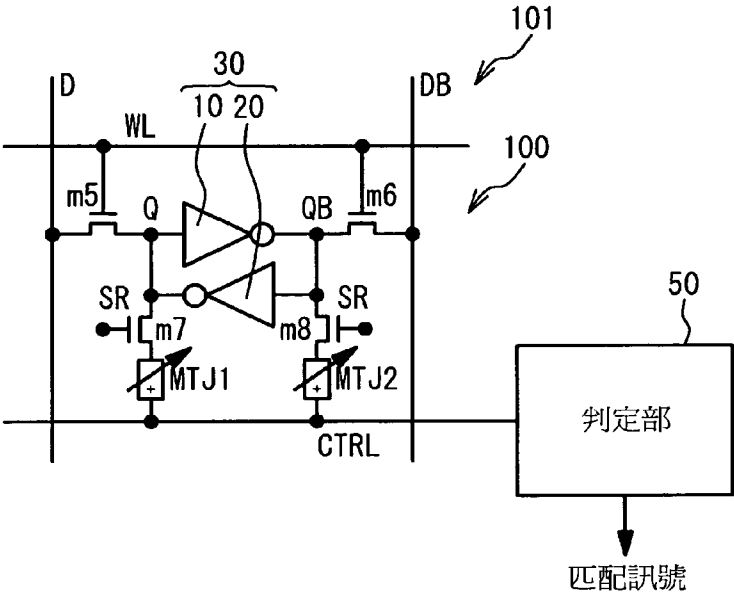


圖6

符號簡單說明：

10 . . . 第 1 反相器
電路

20 . . . 第 2 反相器
電路

30 . . . 雙穩態電路

50 . . . 判定部

100 . . . 記憶單元

101 . . . 記憶電路

CTRL . . . 控制線

D、DB . . . 輸出入
線

m5、m6 . . .
MOSFET

m7、m8 . . .
MOSFET

MTJ1、MTJ2 . . .
鐵磁穿隧接合元件

Q、QB . . . 節點

SR . . . 開關線

WL . . . 字線

發明摘要

※ 申請案號：102117351

※ 申請日：102.5.16

※IPC 分類：G11C 11/5 (2006.01)

G11C 11/413 (2006.01)

【發明名稱】(中文/英文)

記憶電路

【中文】

本發明之記憶電路具備：雙穩態電路，可記憶資料；非揮發性元件，可非揮發性地儲存前述雙穩態電路中記憶之資料，並將已非揮發性地儲存之資料重存於前述雙穩態電路中；及，判定部，可於前述雙穩態電路與前述非揮發性元件之資料一致時，不對前述非揮發性元件儲存前述雙穩態電路之資料，前述雙穩態電路與前述非揮發性元件之資料不一致時，則對前述非揮發性元件儲存前述雙穩態電路之資料。

【英文】

【代表圖】

【本案指定代表圖】：第（ 6 ）圖。

【本代表圖之符號簡單說明】：

10…第1反相器電路

20…第2反相器電路

30…雙穩態電路

50…判定部

100…記憶單元

101…記憶電路

CTRL…控制線

D、DB…輸出入線

m5、m6…MOSFET

m7、m8…MOSFET

MTJ1、MTJ2…鐵磁穿隧接合元件

Q、QB…節點

SR…開關線

WL…字線

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

記憶電路

【技術領域】

技術領域

[0001]本發明有關於一種記憶電路，諸如有關於一種包含雙穩態電路與非揮發性元件之記憶電路。

【先前技術】

背景技術

[0002]已知一種將 SRAM(Static Random Access Memory)之雙穩態電路中記憶之資料非揮發性地儲存於鐵磁穿隧接合元件(MTJ)，並阻斷雙穩態電路之電源。然後，對雙穩態電路供入電源時，則自MTJ朝雙穩態電路重存資料之記憶裝置(諸如專利文獻1)。上述記憶裝置可藉使用微處理器、系統單晶片、微控器、FPGA(Field Programmable Gate Array)或 CMOS(Complementary Metal Oxide Semiconductor)邏輯電路等，而減少耗電。

【先行技術文獻】

【專利文獻】

[0003]【專利文獻1】：國際公開2009/028298號

【發明內容】

發明概要

發明欲解決之課題

[0004]專利文獻1之記憶電路中，雙穩態電路之資料可非揮發性地儲存於MTJ，故可阻斷雙穩態電路之電源。藉此，而可大幅抑制待機時之耗電。然而，電源供入之期間之耗電則大於通常之SRAM。

[0005]本發明即有鑑於上述問題而設計，目的在減少耗電。

用以解決課題之手段

[0006]本發明乃一種記憶電路，其特徵在於具備：雙穩態電路，可記憶資料；非揮發性元件，可非揮發性地儲存前述雙穩態電路中記憶之資料，並將已非揮發性地儲存之資料重存於前述雙穩態電路中；及，控制部，可於前述雙穩態電路與前述非揮發性元件之資料一致時，不對前述非揮發性元件儲存前述雙穩態電路之資料，前述雙穩態電路與前述非揮發性元件之資料不一致時，則對前述非揮發性元件儲存前述雙穩態電路之資料。依據本發明，即可減少耗電。

[0007]上述構造中，可構成使前述非揮發性元件藉電阻值之變更而儲存前述雙穩態電路之資料。

[0008]上述構造中，可構成使前述控制部判定前述雙穩態電路與前述非揮發性元件之資料是否一致，並於判定為一致時，不對前述非揮發性元件儲存前述雙穩態電路之資料，判定為不一致時，則對前述非揮發性元件儲存前述雙穩態電路之資料。

[0009]上述構造中，可構成使前述非揮發性元件之一端

連接前述雙穩態電路內之節點，另一端則連接控制線，前述控制部則基於朝前述雙穩態電路記憶資料時之前述控制線之電壓，而判定前述雙穩態電路與前述非揮發性元件之資料是否一致。

[0010]上述構造中，可構成使前述雙穩態電路包含互補之第1節點及第2節點，前述非揮發性元件則包含一端連接前述第1節點而另一端連接前述控制線之第1非揮發性元件，以及一端連接前述第2節點而另一端與前述控制線之間已連接之第2非揮發性元件。

[0011]上述構造中，可構成使其具備可讀取前述雙穩態電路之資料之讀出電路，前述控制部則基於前述讀出電路之輸出及前述控制線之電壓，而判定前述雙穩態電路與前述非揮發性元件之資料是否一致。

[0012]上述構造中，可構成使前述雙穩態電路包含互補之第1節點及第2節點，前述控制線包含第1控制線與第2控制線，前述非揮發性元件包含一端連接前述第1節點而另一端連接第1控制線之第1非揮發性元件，以及一端連接前述第2節點而另一端與第2控制線之間已連接之第2非揮發性元件，前述控制部可基於前述讀出電路之輸出與前述第1控制線及第2控制線之電壓，而判定前述第1非揮發性元件與前述第2非揮發性元件之資料是否矛盾。

[0013]上述構造中，可構成使前述控制部接收跳過(skip)訊號後，不進行前述雙穩態電路與前述非揮發性元件之資料是否一致之判定。

[0014]本發明乃一種記憶電路，其特徵在於具備：複數單元，各單元包含可記憶資料之雙穩態電路，以及可非揮發性地儲存前述雙穩態電路中記憶之資料，並將已非揮發性地儲存之資料重存於前述雙穩態電路中之非揮發性元件，各領域並分割成包含至少2單元之複數領域；及，控制部，可在前次已對前述雙穩態電路重存資料以後，於前述複數之雙穩態電路之資料並未揮發性重寫時，不於前述複數單元內對前述非揮發性元件儲存前述雙穩態電路之資料，前述複數之雙穩態電路之至少1筆資料已重寫時，則於前述複數單元之至少一部分內對前述非揮發性元件儲存前述雙穩態電路之資料。依據本發明，即可減少耗電。

[0015]上述構造中，可構成使前述控制部判定在前次已對前述雙穩態電路重存資料以後，前述複數之雙穩態電路之資料是否已揮發性地重寫，並在判定並未重寫時，不於前述複數單元內對前述非揮發性元件儲存前述雙穩態電路之資料，判定已重寫時，則於前述複數單元之至少一部分內對前述非揮發性元件儲存前述雙穩態電路之資料。

[0016]上述構造中，可構成使前述複數單元分割成複數領域，前述控制部則就前述複數領域個別判斷是否朝前述非揮發性元件儲存前述雙穩態電路之資料。

[0017]上述構造中，可構成使其具備可就前述複數領域個別記憶是否已重寫前述雙穩態電路之至少1筆資料之記憶部。

[0018]上述構造中，可構成使前述非揮發性元件為鐵磁

穿隧接合元件。

[0019]上述構造中，可構成使前述控制部在接收跳過訊號後，不進行在前次已對前述雙穩態電路重存資料以後，前述複數之雙穩態電路之資料是否已揮發性地重寫之判定。

[0020]本發明為一種記憶電路，其特徵在於具備：鐵磁穿隧接合元件；讀出電路，可讀取前述鐵磁穿隧接合元件中已非揮發性地寫入之資料；及，控制部，可在前述讀出電路之輸出與對前述鐵磁穿隧接合元件非揮發性地寫入之資料一致時，不對前述鐵磁穿隧接合元件寫入前述非揮發性地寫入之資料，並在前述讀出電路之輸出與前述非揮發性地寫入之資料不一致時，對前述鐵磁穿隧接合元件寫入前述非揮發性地寫入之資料。依據本發明，即可減少耗電。

[0021]上述構造中，可構成使前述控制部可判定前述讀出電路之輸出與前述鐵磁穿隧接合元件中非揮發性地寫入之資料是否一致，並於判定為一致時，不對前述鐵磁穿隧接合元件寫入前述非揮發性地寫入之資料，判定為不一致時，則對前述鐵磁穿隧接合元件寫入前述非揮發性地寫入之資料。

[0022]上述構造中，可構成使前述控制部在接收跳過訊號後，不進行前述讀出電路之輸出與前述鐵磁穿隧接合元件中非揮發性地寫入之資料是否一致之判定。

發明效果

[0023]依據本發明，即可減少耗電。

【圖式簡單說明】

[0024] 圖1(a)及圖1(c)顯示鐵磁穿隧接合元件之一例。

圖1(b)顯示鐵磁穿隧接合元件之電流-電壓特性。

圖2為記憶單元之電路圖。

圖3為顯示記憶單元之控制之時間圖。

圖4(a)及圖4(b)為顯示記憶單元之他例之電路圖。

圖5(a)及圖5(b)為顯示第1實施例之記憶電路及記憶單元之功能區圖。

圖6為第1實施例之記憶單元與判定部之功能區圖。

圖7(a)及圖7(b)為電源、開關線及控制線之時間圖。

圖8為第2實施例之記憶電路之功能區圖。

圖9為開關線與控制線之時間圖。

圖10為第3實施例之記憶單元與判定部之功能區圖。

圖11為第3實施例之記憶電路之電路圖。

圖12為各訊號之時間圖。

圖13為顯示第4實施例之記憶電路之功能區圖。

圖14為顯示儲存時之控制部之處理之流程圖。

圖15為顯示第4實施例之變形例之記憶電路之功能區圖。

圖16為第5實施例之記憶電路之功能區圖。

圖17為第5實施例之記憶電路之更詳細之功能區圖。

圖18(a)及圖18(b)為第1及2比較例之記憶電路之模式圖。

圖19為第6實施例之記憶電路之模式圖。

【實施方式】

用以實施發明之形態

[0025] 首先，說明作為非揮發性元件之鐵磁穿隧接合元

件。圖1(a)顯示鐵磁穿隧接合元件之一例。鐵磁穿隧接合元件40包含鐵磁電極自由層42、鐵磁電極針層46、鐵磁電極自由層42與鐵磁電極針層46之間所設之穿隧絕緣膜44。鐵磁電極自由層42及鐵磁電極針層46則由鐵磁金屬、半金屬鐵磁或鐵磁半導體所構成。鐵磁電極自由層42之磁化方向可變更。而，鐵磁電極針層46之磁化方向則固定。鐵磁電極自由層42與鐵磁電極針層46之磁化方向為平行之狀態稱為平行磁化，反平行時則稱為反平行磁化。

[0026]圖1(b)顯示鐵磁穿隧接合元件40之電流-電壓特性。如圖1(a)所示，以對鐵磁電極針層46朝鐵磁電極自由層42施加之電壓 V 及自鐵磁電極自由層42流向鐵磁電極針層46之電流 I 加以定義。此時之鐵磁穿隧接合元件40之符號則定義如圖1(c)。參照圖1(b)，平行磁化狀態之鐵磁穿隧接合元件40之電阻 R_p 小於反平行磁化狀態之鐵磁穿隧接合元件40之電阻 R_{ap} 。一般而言， R_p 與 R_{ap} 雖為就鐵磁隧道接合而施加之電壓之函數，但以下則逼近地使電阻值為一定之電阻。即便 R_p 與 R_{ap} 並非定電阻，以下之論證亦可同樣成立。

[0027]反平行磁化狀態下，對鐵磁穿隧接合元件40施加之電壓 V 若增大，則電流 I 將因電阻 R_{ap} 之倒數之傾向而增大(圖1(b)之A)。一旦電流 I 超過臨界電流 I_{TF} ，自鐵磁電極針層46朝鐵磁電極自由層42注入之鐵磁電極針層46之多數旋轉之電子將使鐵磁電極自由層42之磁化反轉而形成平行磁化狀態(圖1(b)之B)。藉此，而使鐵磁穿隧接合元件40之電阻為 R_p 。而，平行磁化狀態下將流入負電流 I (圖1(b)之C)，一旦

超過臨界電流 I_{TR} 而流至負側，則自鐵磁電極自由層42朝鐵磁電極針層46注入之電子中，鐵磁電極自由層42之少數旋轉之電子將為鐵磁電極針層46所反射。藉此，而使鐵磁電極自由層42之磁化反轉，並形成反平行磁化狀態(圖1(b)之D)。

[0028]如上所述，藉自旋極化後之電荷之注入而改變磁化方向之鐵磁電極自由層42之磁化方向之反轉方法稱為旋轉注入磁化反轉法。旋轉注入磁化反轉法與產生磁場而改變磁化方向之方法相較，可能減少磁化方向之變更所需之耗電。且，與產生磁場而改變磁化方向之方法相較，較無雜散磁場之問題，故不易受到對選擇單元以外之單元發生誤寫入或誤刪之干擾之影響，而適於發展高密度積體化。

[0029]以下，說明包含雙穩態電路與鐵磁穿隧接合元件之記憶單元之例。圖2為記憶單元之電路圖。如圖2所示，記憶單元100包含第1反相器電路10、第2反相器電路20、鐵磁穿隧接合元件MTJ1及MTJ2。第1反相器電路10與第2反相器電路20連接成環狀而構成雙穩態電路30。第1反相器電路10包含nMOSFET(Metal Oxide Semiconductor Field Effect Transistor)m2及pMOSFETm1。第2反相器電路20則包含nMOSFETm4及pMOSFETm3。

[0030]第1反相器電路10與第2反相器電路20連接之節點分別為節點Q、QB。節點Q與節點QB彼此為互補節點，雙穩態電路30則因節點Q及節點QB分別為高位準及低位準，或節點Q及節點QB分別為低位準及高位準，而形成安定狀態。雙穩態電路30並因形成安定狀態而可記憶資料。

[0031]節點Q與節點QB分別經MOSFETm5及m6而連接輸出入線D及DB。MOSFETm5及m6之閘極則連接字線WL。MOSFETm1至m6即形成6MOSFET型之SRAM。

[0032]節點Q與控制線CTRL之間連接有FETm7與鐵磁穿隧接合元件MTJ1，節點QB與控制線CTRL之間則連接有FETm8與鐵磁穿隧接合元件MTJ2。FETm7及m8之源極及汲極之一方與源極及汲極之他方分別連接節點Q與QB以及鐵磁穿隧接合元件MTJ1及MTJ2。且，FETm7及m8之閘極連接開關線SR。另，FETm7及m8亦可分別連接於鐵磁穿隧接合元件MTJ1及MTJ2與控制線CTRL之間。即，FETm7及m8之源極及汲極可在節點Q及QB與控制線CTRL之間對鐵磁穿隧接合元件MTJ1及MTJ2連接成串聯。且，亦可不設FETm7及m8。

[0033]對雙穩態電路30之資料之寫入及讀取之進行與習知之SRAM相同。即，使字線WL為高位準而使FETm5及m6形成導通狀態，即可朝雙穩態電路30寫入輸出入線D及DB之資料。且，使輸出入線D及DB形成等電位之浮接狀態並使字線WL為高位準而使FETm5及m6形成導通狀態，即可朝輸出入線D及DB讀取雙穩態電路30之資料。使FETm5及m6形成阻斷狀態，即可保持雙穩態電路30之資料。另，對雙穩態電路30之資料寫入、讀取及保持時，宜使開關線SR為低位準，並使FETm7及m8形成阻斷狀態。藉此，即可抑制節點Q及QB與控制線CTRL間之電流而減少耗電。

[0034]圖3為顯示記憶單元之控制之時間圖。另，並顯

示影線領域尚未確定為高位準或低位準。參照圖3，而供給電源電壓 V_{supply} ，並使控制線CTRL及開關線SR為低位準。對雙穩態電路30之資料之寫入乃藉使字線WL為高位準且輸出入線D、DB為高位準或低位準而進行。自雙穩態電路30對鐵磁穿隧接合元件MTJ1及MTJ2之資料儲存乃於期間T1中使開關線SR及控制線CTRL為高位準，並於期間T2中使開關線SR為高位準且控制線CTRL為低位準而進行。

[0035]節點Q及QB分別為高位準及低位準時，鐵磁穿隧接合元件MTJ1及MTJ2將分別為高電阻及低電阻。節點Q及QB分別為低位準及高位準時，鐵磁穿隧接合元件MTJ1及MTJ2則分別為低電阻及高電阻。如上所述，即可將雙穩態電路30之資料儲存於鐵磁穿隧接合元件MTJ1及MTJ2中。

[0036]然後，使電源電壓 V_{supply} 為0V，而使記憶單元形成停工狀態。此時，電流不流入記憶單元，故可抑制耗電。自鐵磁穿隧接合元件MTJ1及MTJ2對雙穩態電路30重存資料時，則在期間T3中使控制線CTRL為低位準且開關線SR為高位準之狀態下，使電源電壓 V_{supply} 自0V啟動而進行。

[0037]鐵磁穿隧接合元件MTJ1及MTJ2分別為高電阻及低電阻時，節點Q及QB分別為高位準及低位準。鐵磁穿隧接合元件MTJ1及MTJ2分別為低電阻及高電阻時，節點Q及QB則分別為低位準及高位準。如上所述，而可將鐵磁穿隧接合元件MTJ1及MTJ2中記憶成非揮發性之資料重存於雙穩態電路中。

[0038]自雙穩態電路30讀取資料時，則使字線WL為高

位準而進行。

[0039]圖4(a)及圖4(b)乃顯示記憶單元之他例之電路圖。如圖4(a)所示，可使用電阻R1取代鐵磁穿隧接合元件MTJ2。如圖4(b)所示，節點QB與控制線CTRL之間並未連接。如圖4(a)及圖4(b)所示，鐵磁穿隧接合元件亦可僅連接於節點Q及QB之一方與控制線CTRL之間。另，FETm7亦可連接於鐵磁穿隧接合元件MTJ1與控制線CTRL之間。且，亦可不設FETm7。

【第1實施例】

[0040]圖5(a)及圖5(b)乃顯示第1實施例之記憶電路及記憶單元之功能區圖。參照圖5(a)，記憶電路103包含記憶區77、列解碼器71、列驅動器72、行解碼器73、行驅動器74及控制部85。記憶區77中呈矩陣狀配置有複數記憶單元100。列解碼器71及行解碼器73可自位址訊號選擇列及行。列驅動器72可對所選之列之輸出入線D、DB及控制線CTRL施加電壓等。行驅動器74可對所選之行之字線WL、開關線SR及控制線CTRL施加電壓等。控制部85則可經列解碼器71、列驅動器72、行解碼器73、行驅動器74，而對記憶單元100之輸出入線D、DB、字線WL、開關線SR及控制線CTRL施加電壓等。如圖5(b)所示，記憶單元100與諸如圖2之記憶單元100相同。

[0041]另，行驅動器74對控制線CTRL施加電壓時，舉例言之，可對排列成行之各記憶單元100連接控制線CTRL。列驅動器72對控制線CTRL施加電壓時，舉例言之，

則可對排列成列之記憶單元100共通地連接控制線CTRL。

[0042]圖6為第1實施例之記憶單元與判定部之功能區圖。參照圖6，記憶電路101包含圖2所示之記憶單元100及判定部50。記憶單元100之構造與圖5(b)相同而省略其說明。判定部50可在對複數記憶單元100非揮發性地儲存資料時，就各記憶單元100判定雙穩態電路30與鐵磁穿隧接合元件MTJ1及MTJ2之資料是否一致。舉例言之，節點Q及QB分別為高位準及低位準，且鐵磁穿隧接合元件MTJ1及MTJ2分別為高電阻及低電阻時，雙穩態電路30與鐵磁穿隧接合元件MTJ1及MTJ2之資料一致。節點Q及QB分別為高位準及低位準且鐵磁穿隧接合元件MTJ1及MTJ2分別為低電阻與高電阻時，雙穩態電路30與鐵磁穿隧接合元件MTJ1及MTJ2之資料則不一致。判定部50則朝控制部85輸出代表資料是否一致之匹配訊號。

[0043]控制部85可就複數之記憶單元100中可非揮發性地儲存資料之各記憶單元100接收匹配訊號。匹配訊號顯示資料一致時，則不對記憶單元100進行非揮發性之儲存。匹配訊號未顯示資料一致時，則對記憶單元100進行非揮發性之儲存。

[0044]圖7(a)及圖7(b)為電源、開關線及控制線之時間圖。參照圖7(a)，控制部85可於雙穩態電路30與鐵磁穿隧接合元件MTJ1及MTJ2之資料不一致之記憶單元100中，在儲存期間內使開關線SR之電壓為高位準(VDD)。控制部85並可使控制線CTRL之電壓為低位準(0V)與高位準(VDD)。藉

此，而朝鐵磁穿隧接合元件MTJ1及MTJ2儲存雙穩態電路30之資料。然後，控制部85則於停工期間內使電源電壓Vsupply爲0V。

[0045] 參照圖7(b)，控制部85可於雙穩態電路30與鐵磁穿隧接合元件MTJ1及MTJ2之資料一致之記憶單元100內，在儲存期間中使開關線SR之電壓及控制線CTRL之電壓爲低位準(0V)。藉此，而不朝鐵磁穿隧接合元件MTJ1及MTJ2儲存雙穩態電路30之資料。然後，控制部85則於停工期間內使電源電壓Vsupply爲0V。

[0046] 依據第1實施例，控制部85在雙穩態電路30與鐵磁穿隧接合元件之資料一致時，不朝鐵磁穿隧接合元件儲存雙穩態電路30之資料，雙穩態電路30與鐵磁穿隧接合元件之資料不一致時，則朝鐵磁穿隧接合元件儲存雙穩態電路30之資料。藉此，而可抑制儲存所致之耗電。如上所述，可就各記憶單元100判定是否朝鐵磁穿隧接合元件儲存雙穩態電路30之資料。第1實施例中，雖以雙穩態電路30與控制線CTRL之間連接有鐵磁穿隧接合元件MTJ1及MTJ2爲例而進行說明，但若可對鐵磁穿隧接合元件等非揮發性元件非揮發性地儲存資料，則亦可採用其它電路構造。

[0047] 又，控制部85亦可自外部之電路接收跳過(skip)訊號。控制部85接收跳過訊號後，則不進行雙穩態電路30與鐵磁穿隧接合元件之資料是否一致之判定。藉此，而可使處理高速化。外部之電路可藉跳過訊號而選擇進行處理之高速化或進行耗電之減少。

[0048]如鐵磁穿隧接合元件般改變非揮發性元件之電阻值而儲存雙穩態電路30之資料時，控制部85可基於對雙穩態電路30記憶資料時之控制線CTRL之電壓，而判定雙穩態電路30與鐵磁穿隧接合元件之資料是否一致。如圖4(a)及圖4(b)所示，亦可於雙穩態電路30內之1個節點Q或QB與控制線CTRL之間設置1個鐵磁穿隧接合元件。

【第2實施例】

[0049]第2實施例為第1實施例之具體例。圖8為第2實施例之記憶電路之功能區圖。參照圖8而使判定部50包含比較器52及反相器54。比較器52可比較控制線CTRL之電壓與參考電壓Vref。反相器53則可反轉比較器52之輸出再加以輸出作為匹配訊號。

[0050]圖9為開關線與控制線之時間圖。控制部85可使控制線CTRL形成浮接狀態，並於時間t1時使開關線SR為高位準。雙穩態電路30與鐵磁穿隧接合元件之資料一致時，諸如節點Q為高位準且鐵磁穿隧接合元件MTJ1為高電阻，節點QB則為低位準且鐵磁穿隧接合元件MTJ2為低電阻。控制線CTRL則接近低電阻之鐵磁穿隧接合元件MTJ2所連接之節點QB之位準。故而，如圖9之控制線CTRL之實線所示，將形成電壓較低之狀態。

[0051]另，雙穩態電路30與鐵磁穿隧接合元件之資料不一致時，低電阻之鐵磁穿隧接合元件所連接之節點則為高位準。故而，如圖9之虛線所示，將形成控制線CTRL之電壓較高之狀態。因此，適當選擇參考電壓Vref，即可藉控

制線CTRL之電壓而判定雙穩態電路30與鐵磁穿隧接合元件之資料是否一致。如上所述，控制部85可確認(驗證)各記憶單元中記憶之資料。另，參考電壓Vref則可為諸如Vsupply/2。

[0052]如第2實施例所示，可如鐵磁穿隧接合元件般改變非揮發性元件之電阻值而儲存雙穩態電路30之資料。第1非揮發性元件(MTJ1)一端連接節點Q而另一端連接控制線CTRL，第2非揮發性元件(MTJ2)則一端連接節點QB而另一端與控制線CTRL之間已連接。此時，控制部85可基於對雙穩態電路30記憶資料時之控制線CTRL之電壓而判定雙穩態電路30與非揮發性元件之資料是否一致。另，如圖4(a)及圖4(b)所示，於1個節點Q或QB與控制線CTRL之間設有1個鐵磁穿隧接合元件時，亦可基於控制線CTRL之電壓(輸出)而判定雙穩態電路30與非揮發性元件之資料是否一致。

【第3實施例】

[0053]第3實施例為第1實施例之另一具體例。圖10為第3實施例之記憶單元與判定部之功能區圖。參照圖10，判定部50包含讀出電路56及判定電路58。讀出電路56之輸出Bout將輸入至判定電路58。判定電路58則可朝控制部85輸出匹配訊號及錯誤訊號。錯誤訊號為代表鐵磁穿隧接合元件中儲存之資料是否矛盾之訊號。其它構造則與圖6相同而省略其說明。

[0054]圖11為第3實施例之記憶電路之電路圖。參照圖11，讀出電路56包含感測放大器61及緩衝器62。感測放大

器61可讀取雙穩態電路30之資料。緩衝器62則可保持感測放大器61所讀取之資料。

[0055]判定電路58包含MOSFETm10至m15，感測放大器65、66、反相器63、64、67及XOR電路68。MOSFETm10至m13及反相器63可基於緩衝器62之輸出Bout，而使高位準側之節點Q或QB所連接之控制線CTRL1或CTRL2經連接線CTRL(H)而與感測放大器65電性連接。另，低位準側之節點Q或QB所連接之控制線CTRL1或CTRL2則經連接線CTRL(L)而與感測放大器66電性連接。感測放大器65則比較節點為高位準之連接線CTRL(H)電壓與參考電壓VrefH。感測放大器65之輸出則經反相器67而輸出作為匹配訊號。

[0056]感測放大器66可比較節點為低位準之連接線CTRL(L)之電壓與參考電壓VrefL。感測放大器65與66之輸出則朝XOR電路68輸入。XOR電路68可輸出錯誤訊號。錯誤訊號乃代表2個鐵磁穿隧接合元件中是否儲存有矛盾之資料之訊號。舉例言之，鐵磁穿隧接合元件MTJ1及MTJ2均為低電阻時，或均為高電阻時，2個鐵磁穿隧接合元件中即儲存有矛盾之資料。MOSFETm14、m15及反相器64則可預充電連接線CTRL(H)及連接線CTRL(L)。

[0057]圖12為各訊號之時間圖。讀出電路56可自雙穩態電路30讀取資料。此時，開關線SR預充電PC則為低位準，緩衝器62之輸出Bout、連接線CTRL(H)及連接線CTRL(L)則為低位準或高位準。時間t2至t3之間為預充電期間。預充

電PC將形成高位準。連接線CTRL(H)與連接線CTRL(L)將分別預充電至低位準及高位準。

[0058]時間 t_3 時，開關線SR為高位準，預充電PC則為低位準。連接線CTRL(H)之電壓在對應之鐵磁穿隧接合元件為高電阻時(資料一致時)將如實線所示。對應之鐵磁穿隧接合元件為低電阻時(資料不一致時)，則如虛線所示。時間 t_4 時，就連接線CTRL(H)之電壓與參考電壓 V_{refH} 進行比較，則可判定高位準之節點與對應之鐵磁穿隧接合元件之資料是否一致。連接線CTRL(L)之電壓在對應之鐵磁穿隧接合元件為低電阻時(資料一致時)，將如實線所示。對應之鐵磁穿隧接合元件為高電阻時(資料不一致時)，則如虛線所示。時間 t_4 時，就連接線CTRL(L)之電壓與參考電壓 V_{refL} 進行比較，則可判定低位準之節點與對應之鐵磁穿隧接合元件之資料是否一致。

[0059]依據第3實施例，如圖10所示，控制部85可基於讀出電路56之輸出Bout及控制線之電壓，而判定雙穩態電路30與鐵磁穿隧接合元件之資料是否一致。舉例言之，如圖4(a)及圖4(b)所示，即便在雙穩態電路30內之1個節點Q或QB與控制線CTRL之間設有1個鐵磁穿隧接合元件，亦可判定資料是否一致。

[0060]又，2個鐵磁穿隧接合元件MTJ1及MTJ2分別連接於雙穩態電路30內之2個節點Q及QB與連接線CTRL(H)及CTRL(L)之間時，控制部85可基於讀出電路之輸出Bout與控制線CTRL1(第1控制線)及控制線CTRL2(第2控制線)

之電壓，而判定鐵磁穿隧接合元件MTJ1及MTJ2之資料是否矛盾。

【第4實施例】

[0061]圖13為顯示第4實施例之記憶電路之功能區圖。參照圖13，記憶電路102包含記憶區77、列解碼器71、列驅動器72、行解碼器73、行驅動器74、判定電路75及控制部70。記憶區77中呈矩陣狀配置有複數記憶單元。記憶單元則為諸如圖2、圖4(a)或圖4(b)所示之記憶單元。記憶區77已分割成複數之領域76。列解碼器71及行解碼器73可自位址訊號選出列及行。列驅動器72可朝選出之列之輸出入線及控制線顯示施加電壓等。行驅動器74則可朝選出之行之字線、開關線及控制線施加電壓等。判定電路75可判定在預定期間內是否已朝對應之領域76內之記憶單元揮發性地重寫資料。舉例言之，圖13之記憶單元78中已揮發性地重寫資料。

[0062]圖14為顯示儲存時之控制部之處理之流程圖。如圖14所示，控制部70在儲存時可就初始之領域76在前次已對雙穩態電路30重存資料後，判定複數之雙穩態電路之資料是否業經揮發性地重寫(步驟S10)。判定為是時，控制部70則於領域76內之各記憶單元中，對非揮發性元件(諸如鐵磁穿隧接合元件)非揮發性地儲存雙穩態電路30之資料(步驟S12)。判定為否時，則不於領域76內進行儲存。控制部70將判定領域76是否為最終領域(步驟S13)。判定為是時則結束作業。判定為否時則返回步驟S10。

[0063]另，步驟S12中，亦可如第1至3實施例般，就各

記憶單元進行是否對非揮發性元件儲存雙穩態電路30之資料之判定。

[0064]依據第4實施例，控制部70在前次已對雙穩態電路30重存資料後，而複數之雙穩態電路30之資料並未揮發性地重寫時，將不於複數之記憶單元中對非揮發性元件儲存雙穩態電路30之資料。另，複數之雙穩態電路30之至少1筆資料已重寫時，則於複數記憶單元之至少一部分中對非揮發性元件儲存雙穩態電路30之資料。如上所述，複數之雙穩態電路30之資料並未揮發性地重寫時，則不對非揮發性元件儲存複數之雙穩態電路30之資料，而可抑制儲存所需之耗電。

[0065]又，複數之記憶單元已分割成複數之領域76，控制部70則可就複數之領域個別判定是否對非揮發性元件儲存雙穩態電路30之資料。

[0066]圖15為顯示第4實施例之變形例之記憶電路之功能區圖。參照圖15，對應各領域76設有AND電路79及SRFF(SR正反器)80以取代圖13之判定電路75。AND電路79可進行重寫活性訊號EN及代表將揮發性地重寫之記憶單元是否在領域76內之訊號之AND處理。舉例言之，可由位址訊號判定將重寫之記憶單元是否在特定之領域76內。AND電路79可在對應之領域76內之記憶單元為重寫對象時輸出高位準，並於對應之領域76內之記憶單元並非重寫對象時輸出低位準。SRFF80則一旦輸入高位準即記憶高位準。控制部70可藉SRFF80之輸出而判斷是否已在預定期間內揮發性地重寫領域76內之記憶單元。控制部70並可使用

重設訊號RST而將SRFF80之輸出重設為低位準。舉例言之，進行重存後，判定部50將重設SRFF80。

[0067]如第4實施例之變形例所示，記憶部(SRFF80)可就複數之各領域76記憶雙穩態電路30之至少1筆資料是否已重寫。藉此，控制部70即可簡單判定雙穩態電路30之至少1筆資料是否已重寫。

[0068]第4實施例及其變形例中，控制部70亦可自外部之電路接收跳過訊號。控制部70接收跳過訊號後，可在前次已對雙穩態電路30重存資料後，不進行複數之雙穩態電路30之資料是否已揮發性地重寫之判定。藉此，而可使處理高速化。外部之電路則可藉跳過訊號而選擇進行處理之高速化或進行耗電之減少。

[0069]第1至4實施例及其變形例中，雖以鐵磁穿隧接合元件為例而說明非揮發性元件，但亦可採用其它非揮發性元件。舉例言之，非揮發性元件亦可為ReRAM(Resistance Random Access Memory)等所使用之利用CER(Colossal Electro-Resistance)效果之電阻變化元件。又，亦可為相變元件或鐵電體元件等。

【第5實施例】

[0070]第5實施例則為MRAM(Magnetic Random Access Memory)之例。圖16為第5實施例之記憶電路之功能區圖。記憶電路104包含MOSFET82與鐵磁穿隧接合元件MTJ作為記憶單元98。MOSFET82之源極及汲極之一方連接位元線/BL。MOSFET82之源極及汲極之他方則經鐵磁穿隧接合元

件MTJ而連接位元線BL。MOSFET82之閘極連接字線WL。記憶單元98則呈矩陣狀而設有複數個。

[0071]驅動器84連接位元線/BL及BL。驅動器84可朝記憶單元98非揮發性地寫入資料。舉例言之，驅動器84可使位元線/BL及BL之一方為高位準，並使他方為低位準。一旦使字線WL為高位準，則MOSFET82將形成導通狀態。藉此，而使電流流向鐵磁穿隧接合元件MTJ。對應鐵磁穿隧接合元件MTJ中流通之電流之方向，一如圖1(a)至圖1(c)之說明，可使鐵磁穿隧接合元件MTJ為低電阻或高電阻。藉此，而可對鐵磁穿隧接合元件MTJ非揮發性地寫入資料。

[0072]讀出電路88連接位元線/BL。讀出電路88可讀取鐵磁穿隧接合元件MTJ中已非揮發性地寫入之資料。並使位元線BL為高位準而位元線/BL形成浮接狀態。且，可使字線WL為高位準而MOSFET82形成導通狀態。讀出電路88可檢測位元線/BL之電位而判定鐵磁穿隧接合元件MTJ為低電阻或高電阻。藉此，而可讀取鐵磁穿隧接合元件MTJ中已寫入之資料。已讀取之資料則輸出作為輸出資料Bout。

[0073]可對控制部86輸入寫入資料與讀取資料。控制部86並可判定寫入資料與讀取資料是否一致。寫入資料與讀取資料不一致時，控制部86則對記憶單元98之鐵磁穿隧接合元件MTJ寫入寫入資料。寫入資料與讀取資料一致時，控制部86則不對記憶單元98之鐵磁穿隧接合元件MTJ寫入寫入資料。

[0074]圖17為第5實施例之記憶電路之更詳細之功能區

圖。讀出電路88包含感測放大器94與緩衝器96。感測放大器94可視位元線/BL之電位較基準電位Ref高或低而讀取記憶單元98之資料。所讀取之資料則保持於緩衝器96中。控制部86包含緩衝器90與XNOR電路92。寫入資料則保持於緩衝器90中。可對XNOR電路92輸入緩衝器90中保持之寫入資料與緩衝器96中保持之讀取資料。XNOR電路92並可在寫入資料與讀取資料一致時、不一致時，輸出高位準、低位準。驅動器84則可在XNOR電路92之輸出為高位準時，不對記憶單元98寫入寫入資料。舉例言之，驅動器84可使位元線/BL及BL為等電位。或使其等形成浮接狀態。藉此，即便字線WL為高位準，亦不致對鐵磁穿隧接合元件MTJ寫入資料。XNOR電路92之輸出為低位準時，則對記憶單元98寫入寫入資料。

[0075]依據第5實施例，控制部86可在讀出電路88之輸出與鐵磁穿隧接合元件MTJ中非揮發性地寫入之資料一致時，不寫入寫入資料。另，控制部86並可於讀出電路88之輸出與非揮發性地寫入之資料不一致時，對鐵磁穿隧接合元件寫入寫入資料。對鐵磁穿隧接合元件MTJ寫入資料時之耗電遠大於自鐵磁穿隧接合元件MTJ讀取資料時之耗電。故而，鐵磁穿隧接合元件MTJ中已寫入之資料與將寫入之資料相同時，將不進行寫入。藉此，而可抑制耗電。

[0076]控制部86亦可自外部之電路接收跳過訊號。控制部86在接收跳過訊號後，將不進行讀出電路88之輸出與鐵磁穿隧接合元件中非揮發性地寫入之資料是否一致之判定。藉此，而可使處理高速化。外部之電路可藉跳過訊號

而選擇進行處理高速化或進行耗電之減少。

[0077]第1至5實施例之資料讀取方法雖採用電壓感測放大器而加以說明，但亦可使用電流感測放大器。

[0078]第1至5實施例之記憶電路可使用於諸如快取記憶體、暫存器檔案或暫存器等。對快閃記憶體等非揮發性記憶體進行寫入時，若寫入條件之範圍極小，為避免發生誤寫入，可能會確認(驗證)是否已寫入，同時重複對單元之寫入動作。第1至5實施例之記憶電路則與上述驗證不同，而進行既已正常寫入之資料與欲覆寫之資料之一致之確認(驗證)。一般而言，上述用於避免誤寫入之驗證因進行多次確認等，而不適用於快取記憶體等高速記憶體。另，如第1至5實施例之記憶電路般，對1次之寫入動作進行資料一致之驗證1次即可。因此，可實現高速檢測，並應用於快取記憶體等高速記憶體。

【第6實施例】

[0079]第6實施例為第1至4實施例之開關線SR與控制線CTRL之配置之例。如圖2所示，記憶單元100中，FETm7及m8分別連接於鐵磁穿隧接合元件MTJ1及MTJ2之一端與節點Q及QB之間。開關線SR可控制FETm8及m8。如上所述，FETm7及m8即可作為受開關線SR控制之開關(第1開關)而作用。FETm5及m6分別連接於節點Q及QB與輸出入線D及DB之間。字線WL可控制FETm5及m6。如上所述，FETm5及m6即可作為受字線WL控制之開關(第2開關)而作用。

[0080]圖18(a)及圖18(b)為第1及2比較例之記憶電路之

模式圖。參照圖18(a)，排列有複數之記憶單元100。開關線SR與控制線CTRL朝相同方向延伸，並同樣連接記憶單元100時，複數之記憶單元100之電壓將疊加。因此，判定部50無法取得特定之記憶單元100之資訊。

[0081]參照圖18(b)，對各記憶單元100連接控制線CTRLa至CTRLc。控制線CTRLa至CTRLc再分別連接判定部50a至50c。藉此，即可取得各記憶單元100之資訊。然而，共用開關線SR之單元數量之控制線CTRLa至CTRLc須與開關線SR平行，以在呈矩陣形配置記憶單元100時對配線之配置加以限制。

[0082]圖19為第6實施例之記憶電路之模式圖。參照圖19，複數之記憶單元100已設成矩陣形。行之記憶單元共用開關線SRa至SRc。列之記憶單元100則共用控制線CTRLa及CTRLb。控制線CTRLa及CTRLb再連接判定部50a及50b。使開關線SRa至SRc之任一為高位準，即可存取同一行之記憶單元100。就判定部50a或50b而言，輸出資訊之記憶單元100為1個。藉此，即可取得各記憶單元100之資訊。開關線SR僅設有行數量，控制線CTRL僅設有列數量，即可放寬配線之限制。

[0083]宜使字線WL與開關線SR平行，輸出入線D及DB與控制線CTRL平行。自雙穩態電路30讀取資料則可自連接相同字線WL之記憶單元100讀取連續位址之資料(諸如8位元、16位元或32位元)。加以利用而進行複數位元之比較時，暫不將資料存儲於外部記憶體等中，而加以存儲於局

部緩衝區中。藉1次開關線SR之存取而可取得複數之記憶單元100之雙穩態電路30所對應之鐵磁穿隧接合元件MTJ之資料，則可立即利用局部緩衝區之資料，故可有效率地比較雙穩態電路30與鐵磁穿隧接合元件MTJ之資料。進而，可為比較同一記憶單元100之資料而驅動字線WL與開關線SR之行位址則相同。因此，若殘存驅動諸如字線WL時之位址解碼器資料，則讀取雙穩態電路30之資料後，可迅速驅動開關線SR。如上所述，行之記憶單元100共用字線WL與開關線SR，列之記憶單元100則共用輸出入線D及DB與控制線CTRL，而可高速進行資料之比較。

[0084] 另，字線WL及開關線SR可在同一行上構成1條，亦可分割成複數條。輸出入線D及DB與控制線CTRL可在同一列上構成1條，亦可分割成複數條。

[0085] 以上，雖已詳細說明本發明之較佳實施例，本發明並不限於該等特定之實施例，申請專利範圍所揭露之本發明之要旨範圍內，可進行各種變形、變更實施。

【符號說明】

[0086] 10…第1反相器電路

20…第2反相器電路

30…雙穩態電路

40…鐵磁穿隧接合元件

42…鐵磁電極自由層

44…穿隧絕緣膜

46…鐵磁電極針層

50、50a~50c…判定部
 52…比較器
 53、54、63、64、67…反相器
 56…讀出電路
 58…判定電路
 61、65、66、94…感測放大器
 62、90、96…緩衝器
 68…XOR 電路
 70、85、86…控制部
 71…列解碼器
 72…列驅動器
 73…行解碼器
 74…行驅動器
 75…判定電路
 76…領域
 77…記憶區
 78…記憶單元
 79…AND 電路
 80…SRFF
 82、m5、m6、m7、m8、m10~m15…MOSFET
 84…驅動器
 88…讀出電路
 92…XNOR 電路
 98、100…記憶單元

101、102、103、104…記憶電路

Bout…輸出

Bout…讀取資料

CTRL、CTRL1、CTRL2、CTRLa~CTRLc…控制線

CTRL(H)、CTRL(L)…連接線

D、DB…輸出入線

EN…重寫活性訊號

I…電流

I_{TF} 、 I_{TR} …臨界電流

m1、m3…pMOSFET

m2、m4…nMOSFET

MTJ、MTJ1、MTJ2…鐵磁穿隧接合元件

PC…預充電

Q、QB…節點

R1、Rap、Rp…電阻

Ref…基準電位

RST…重設訊號

S10~S14…流程步驟

SR、SRa~SRc…開關線

t1~t4…時間

V…電壓

Vref、VrefH、VrefL…參考電壓

Vsupply…電源電壓

WL…字線

申請專利範圍

1. 一種記憶電路，其特徵在於具備：

複數記憶單元，各個記憶單元包含雙穩態電路及非揮發性元件，且該雙穩態電路可記憶資料，而該非揮發性元件可非揮發性地儲存前述雙穩態電路中記憶之資料，並將已非揮發性地儲存之資料重存於前述雙穩態電路中；及

控制部，可於前述複數記憶單元中，就各個記憶單元判定前述雙穩態電路與前述非揮發性元件之資料是否一致，並於判定前述雙穩態電路與前述非揮發性元件之資料一致時，不儲存前述雙穩態電路之資料於前述非揮發性元件，判定前述雙穩態電路與前述非揮發性元件之資料不一致時，則儲存前述雙穩態電路之資料於前述非揮發性元件。

2. 如請求項第1項之記憶電路，其特徵在於前述非揮發性元件藉變更電阻值而儲存前述雙穩態電路之資料。
3. 如請求項第1項之記憶電路，其特徵在於前述非揮發性元件之一端連接前述雙穩態電路內之節點，另一端則連接控制線，

前述控制部則基於朝前述雙穩態電路記憶資料時之前述控制線之輸出，而判定前述雙穩態電路與前述非揮發性元件之資料是否一致。

4. 如請求項第3項之記憶電路，其特徵在於前述雙穩態電

路包含互補之第1節點及第2節點，

前述非揮發性元件則包含一端連接前述第1節點而另一端連接前述控制線之第1非揮發性元件，以及一端連接前述第2節點而另一端與前述控制線之間已連接之第2非揮發性元件。

5. 如請求項第3項之記憶電路，其特徵在於具備可讀取前述雙穩態電路之資料之讀出電路，

前述控制部則基於前述讀出電路之輸出及前述控制線之輸出，而判定前述雙穩態電路與前述非揮發性元件之資料是否一致。

6. 如請求項第5項之記憶電路，其特徵在於前述雙穩態電路包含互補之第1節點及第2節點，

前述控制線包含第1控制線與第2控制線，

前述非揮發性元件包含第1非揮發性元件與第2非揮發性元件，該第1非揮發性元件係一端連接前述第1節點而另一端連接第1控制線，而該第2非揮發性元件係一端連接前述第2節點而另一端與第2控制線之間已連接，

前述控制部基於前述讀出電路之輸出與前述第1控制線及第2控制線之輸出，而判定前述第1非揮發性元件與前述第2非揮發性元件之資料是否矛盾。

7. 如請求項第1項之記憶電路，其特徵在於前述控制部接收了跳過(skip)訊號後，則不進行前述雙穩態電路與前述非揮發性元件之資料是否一致之判定。

8. 一種記憶電路，其特徵在於具備：

複數單元，各單元包含可記憶資料之雙穩態電路，以及可非揮發性地儲存前述雙穩態電路中記憶之資料，並將已非揮發性地儲存之資料重存於前述雙穩態電路中之非揮發性元件，且該複數單元分割成各領域包含至少2單元之複數領域；及

控制部，可就前述複數領域的每一個領域，在前次已對前述雙穩態電路重存資料以後，判定對應之領域之單元所包含之至少一個單元中，是否已揮發性地重寫前述雙穩態電路之資料，在判定並未重寫時，於前述對應之領域所包含之單元中，不將前述雙穩態電路之資料儲存於前述非揮發性元件；在判定已重寫時，則於前述對應之領域所包含之單元中，將前述雙穩態電路之資料儲存於前述非揮發性元件。

9. 如請求項第8項之記憶電路，其特徵在於具備可就前述複數領域個別記憶是否已重寫前述雙穩態電路之至少1筆資料之記憶部。
10. 如請求項第8項之記憶電路，其特徵在於前述控制部接收了跳過訊號後，則不進行在前次已對前述雙穩態電路重存資料以後，前述複數之雙穩態電路之資料是否已揮發性地重寫之判定。
11. 如請求項第1或8項之記憶電路，其特徵在於前述非揮發性元件是鐵磁穿隧接合元件。
12. 如請求項第1或8項之記憶電路，其特徵在於前述非揮發性元件之一端連接前述雙穩態電路內之節點，另一端則

連接控制線，

前述非揮發性元件之前述一端與前述雙穩態電路內之前述節點之間連接有第1開關，

前述複數單元設成矩陣形，

行之單元共用可控制前述開關之開關線，

列之單元則共用前述控制線。

13. 如請求項第12項之記憶電路，其特徵在於前述雙穩態電路內之前述節點與輸出入線之間連接有第2開關，

前述行之單元共用可控制前述第2開關之字線，

前述列之單元則共用前述輸出入線。

14. 一種記憶電路，其特徵在於具備：

鐵磁穿隧接合元件；

讀出電路，可讀取前述鐵磁穿隧接合元件中已非揮發性地寫入之資料；及

控制部，可在前述讀出電路之輸出與對前述鐵磁穿隧接合元件非揮發性地寫入之資料一致時，不對前述鐵磁穿隧接合元件寫入前述非揮發性地寫入之資料，並在前述讀出電路之輸出與前述非揮發性地寫入之資料不一致時，對前述鐵磁穿隧接合元件寫入前述非揮發性地寫入之資料。

15. 如請求項第14項之記憶電路，其特徵在於前述控制部可判定前述讀出電路之輸出與前述鐵磁穿隧接合元件中非揮發性地寫入之資料是否一致，並於判定為一致時，不對前述鐵磁穿隧接合元件寫入前述非揮發性地寫入

之資料，判定為不一致時，則對前述鐵磁穿隧接合元件寫入前述非揮發性地寫入之資料。

16. 如請求項第15項之記憶電路，其特徵在於前述控制部接收了跳過訊號時，則不進行前述讀出電路之輸出與前述鐵磁穿隧接合元件中非揮發性地寫入之資料是否一致之判定。

圖式

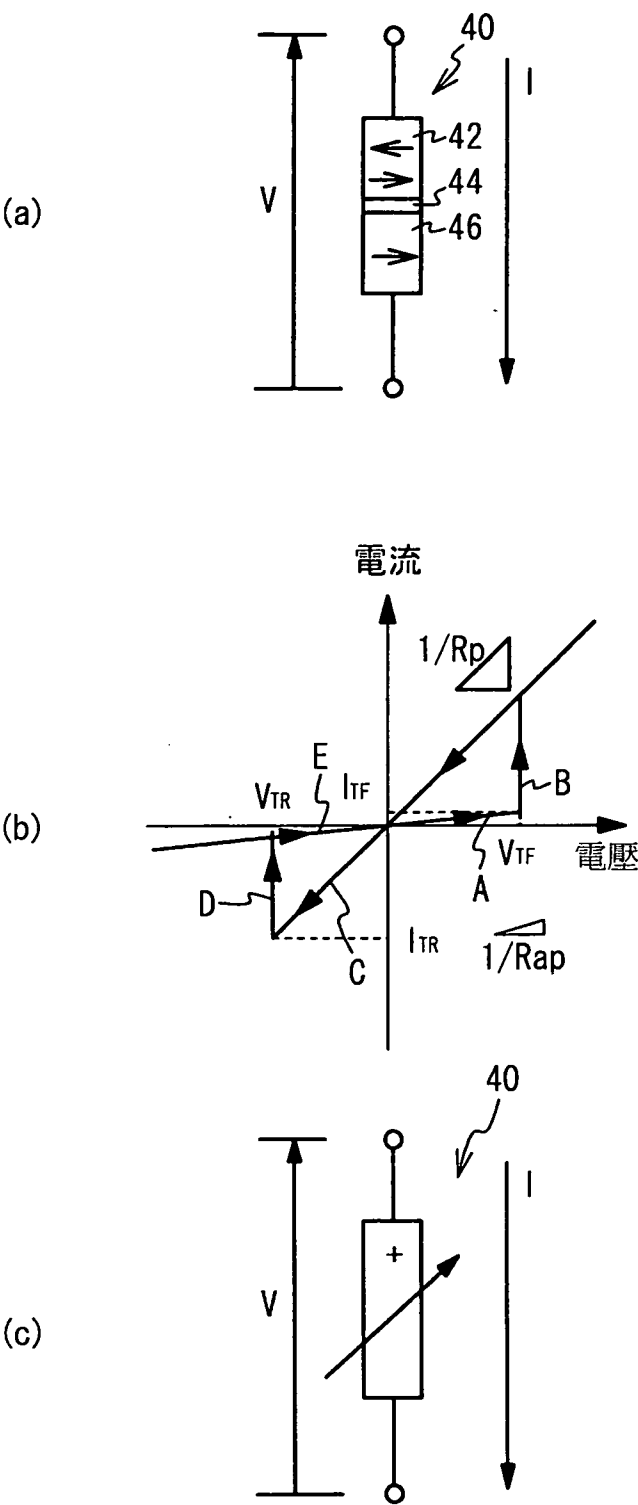


圖1



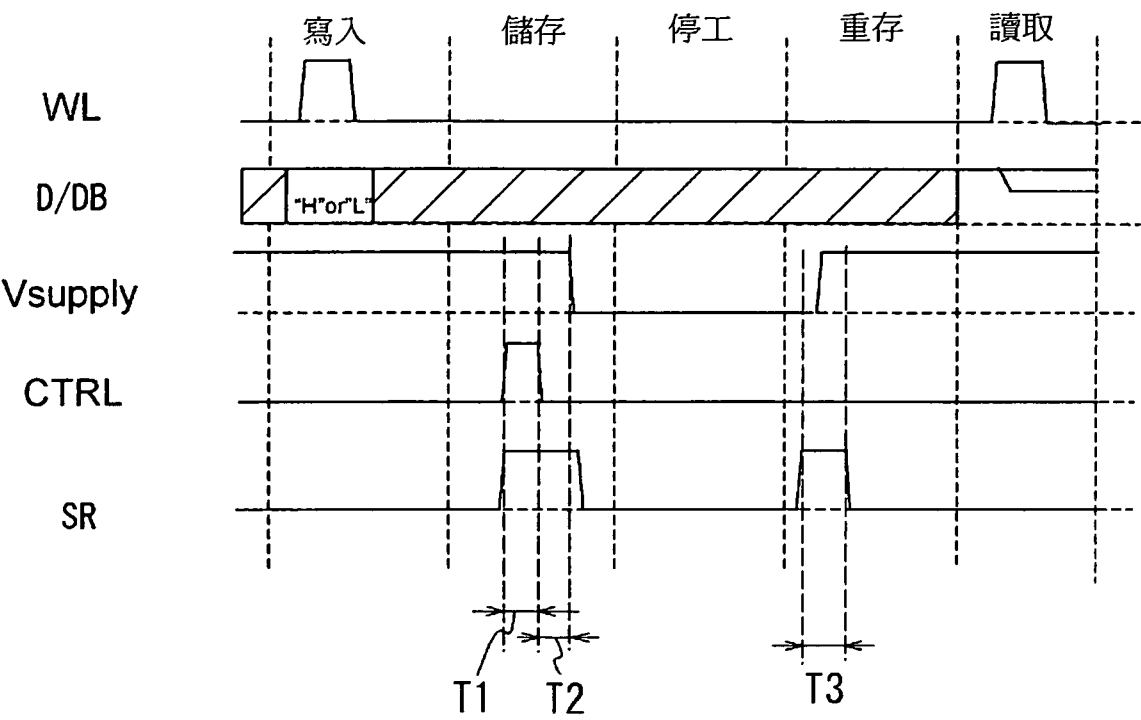
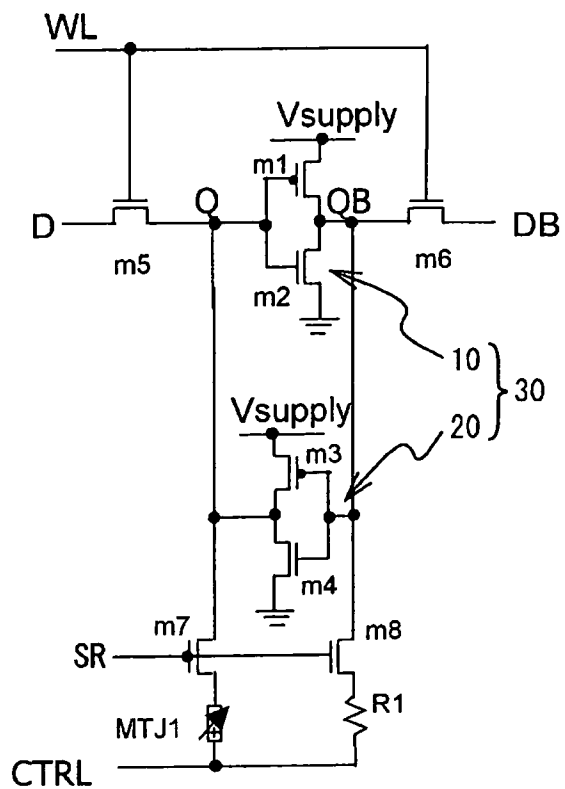
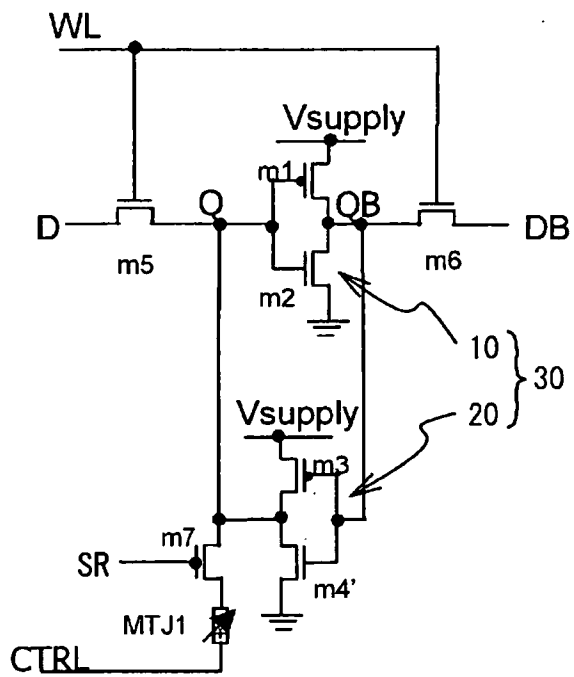


圖3



(a)



(b)

圖4

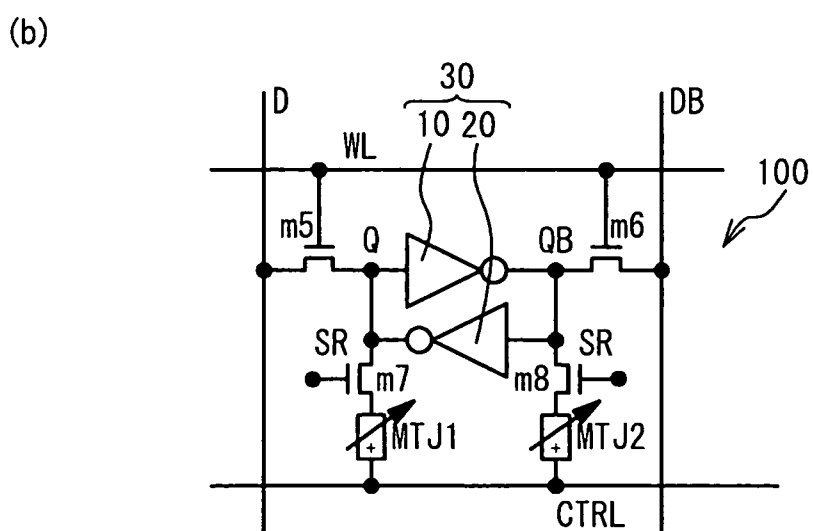
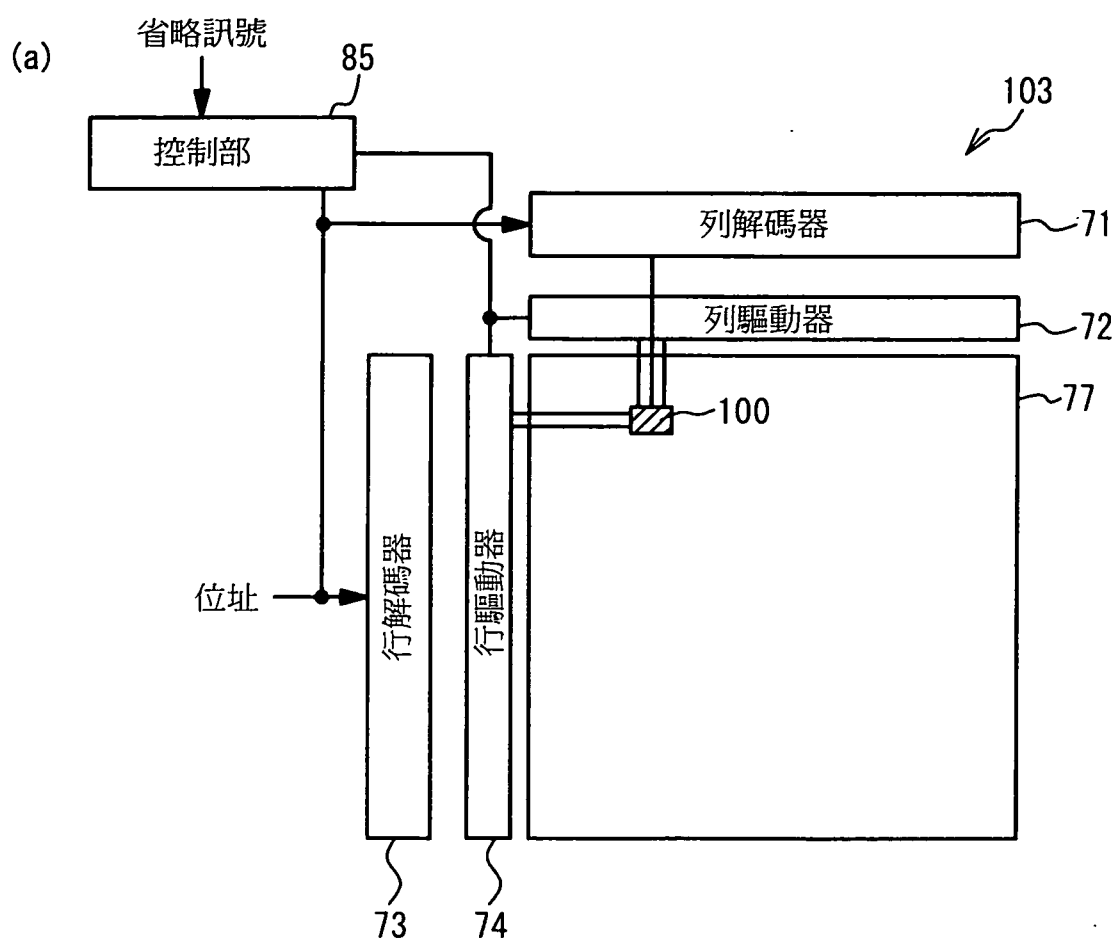


圖5



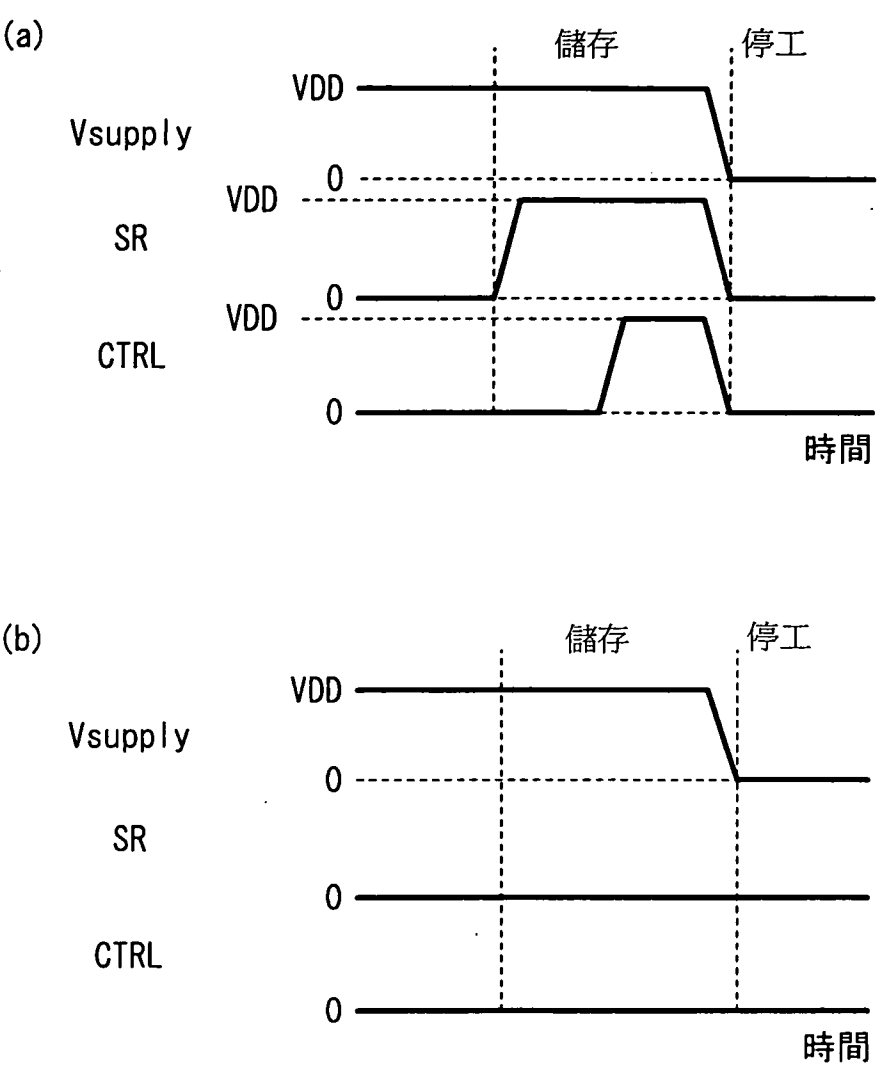


圖7

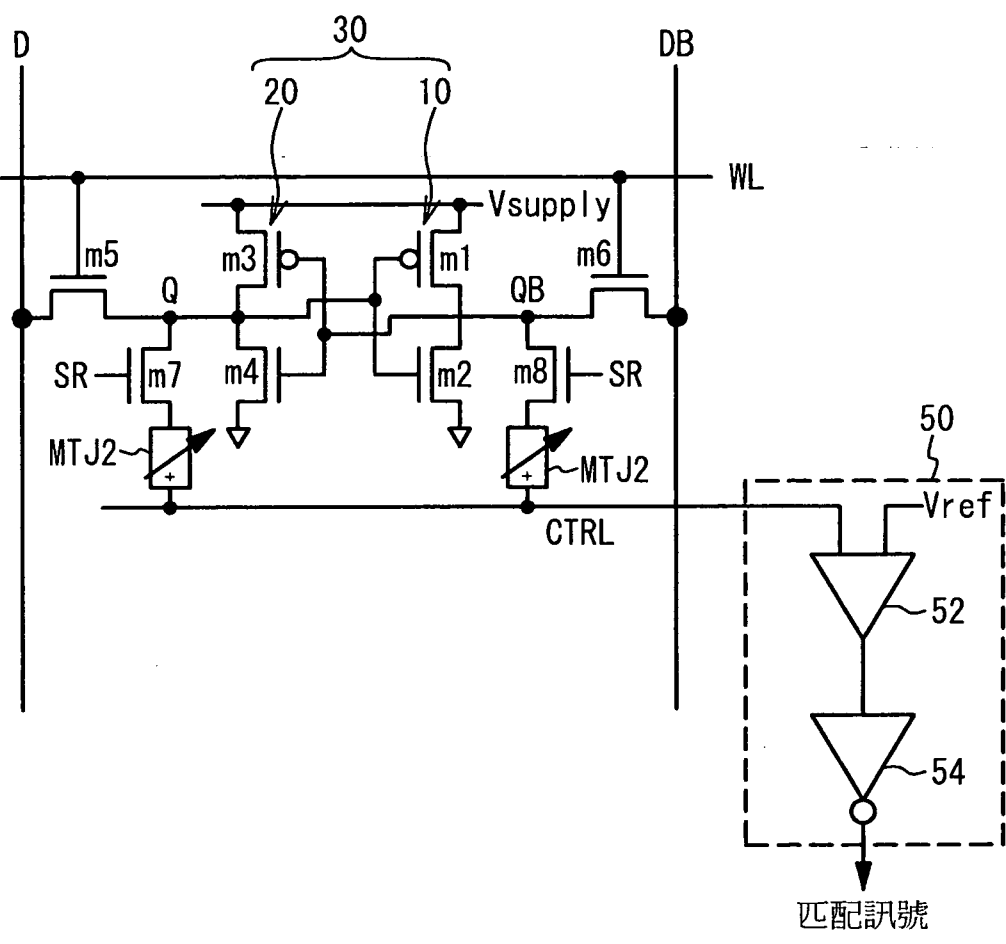


圖8

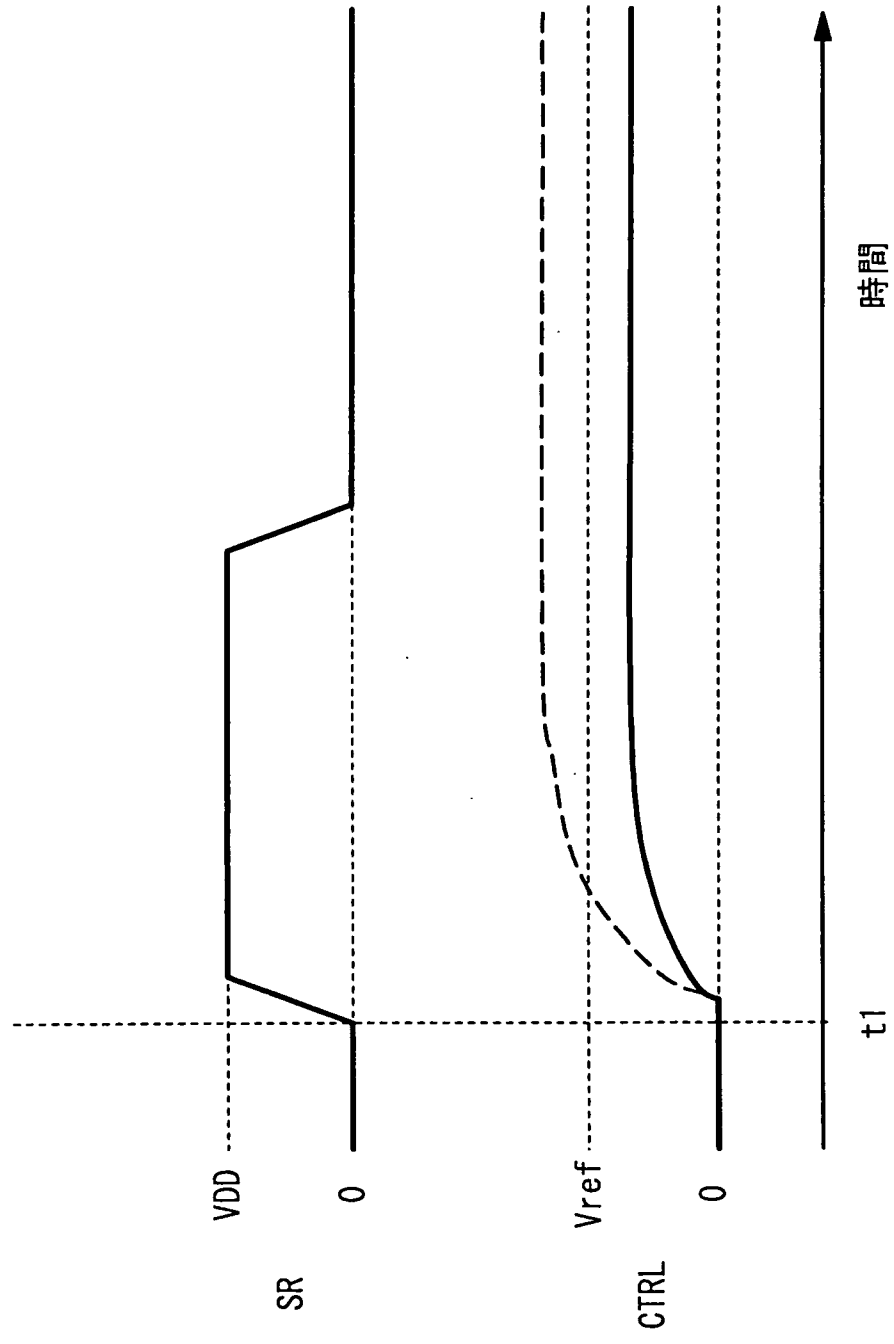


圖9

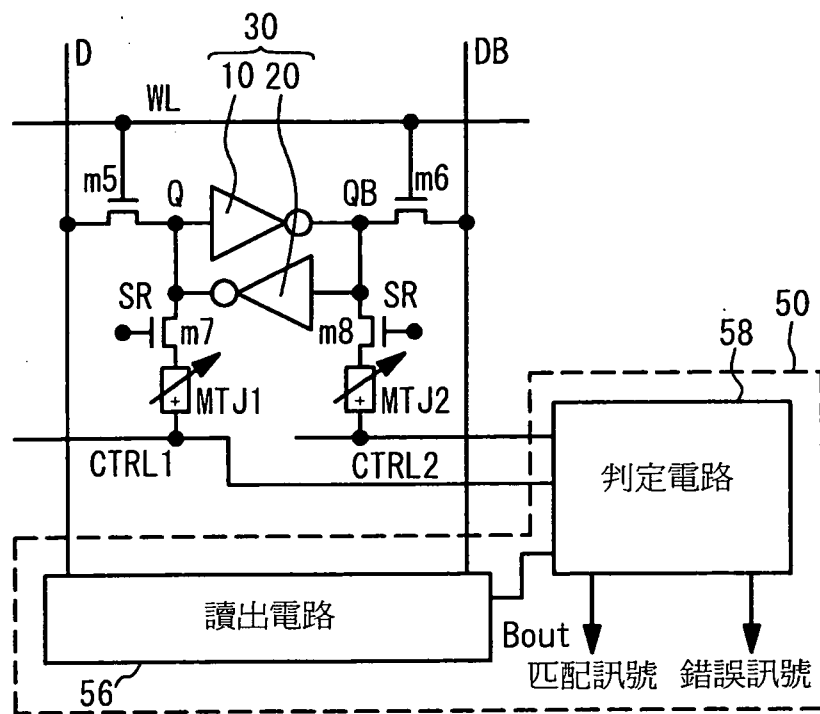


圖10

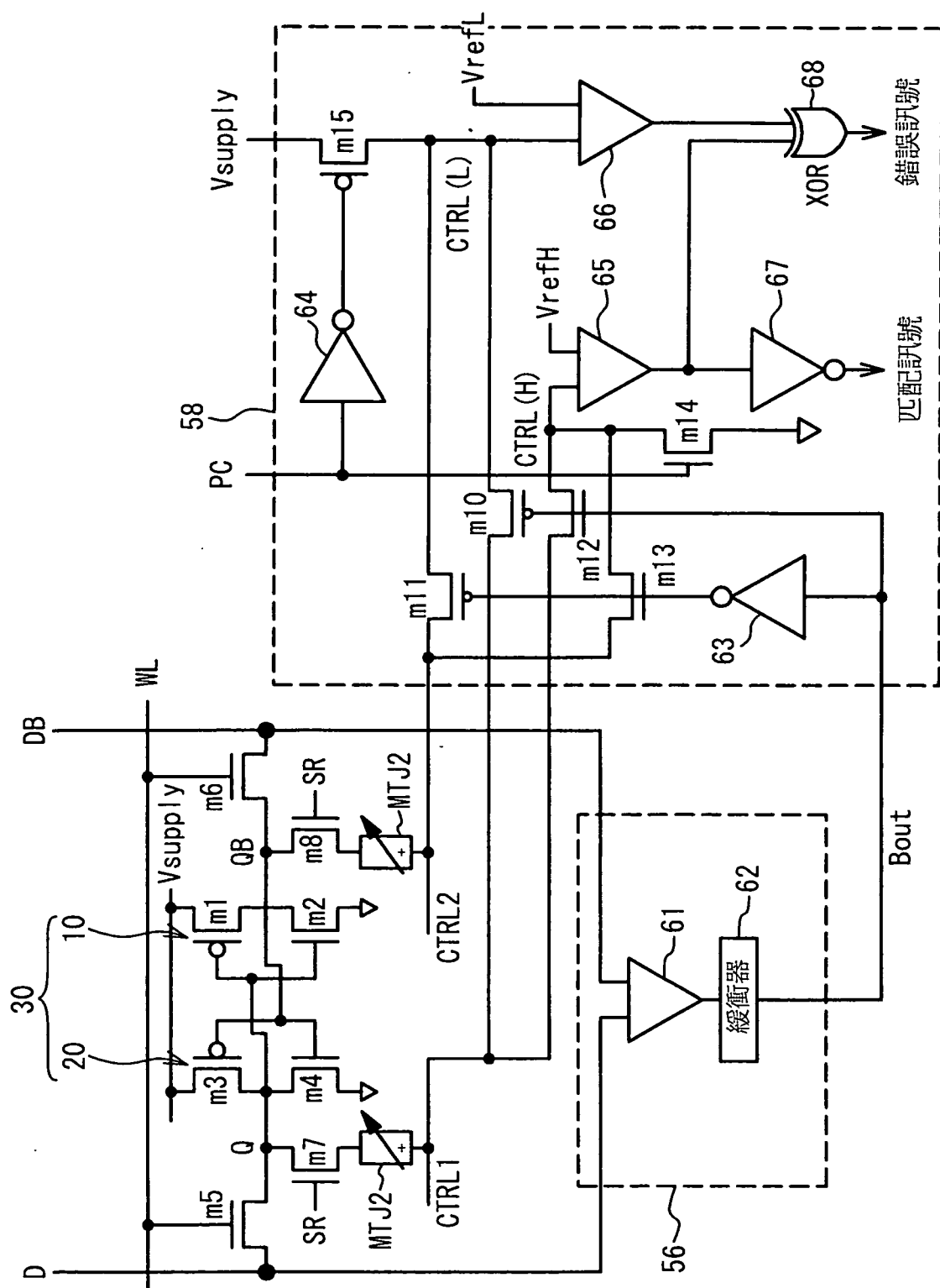


圖 11

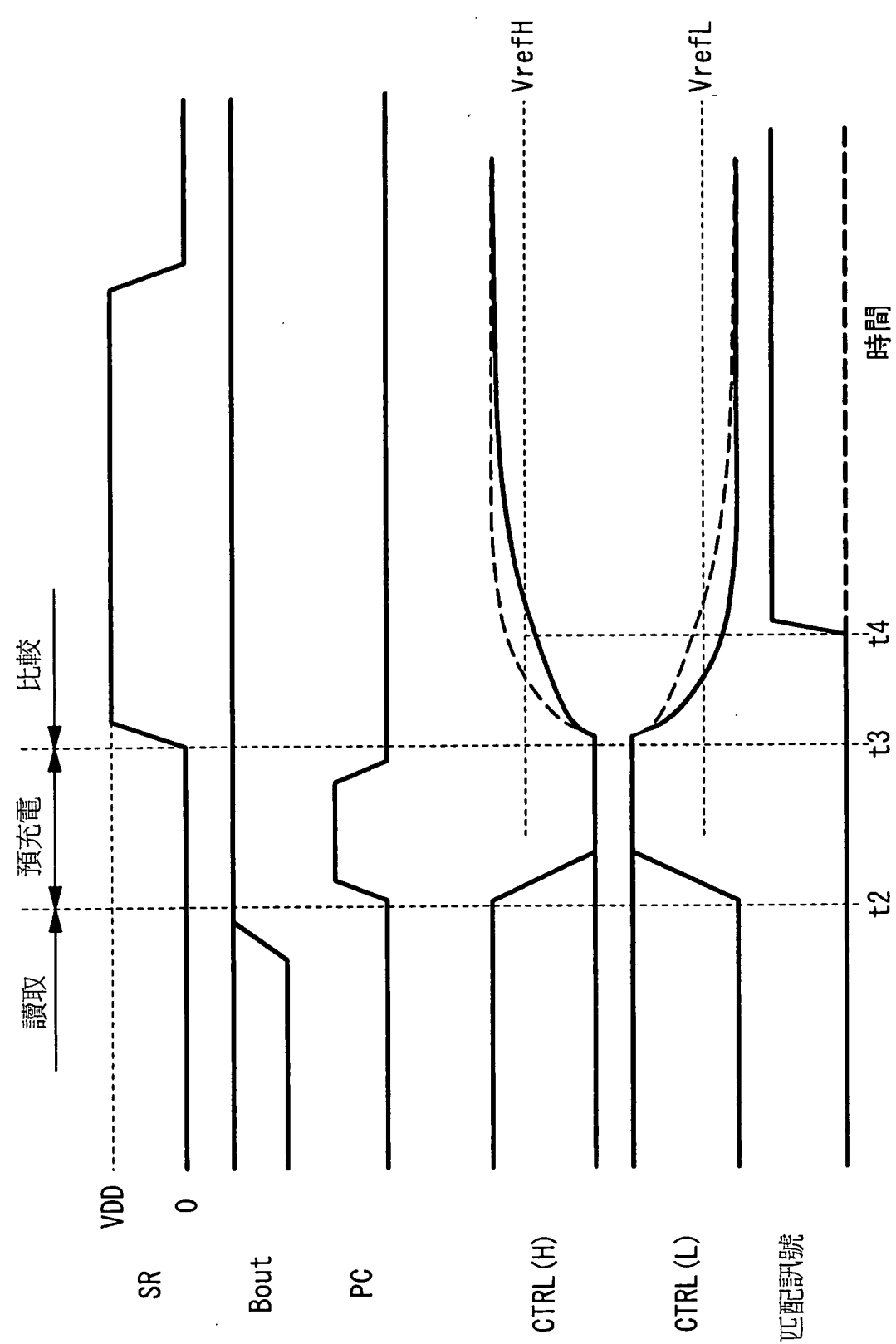


圖12

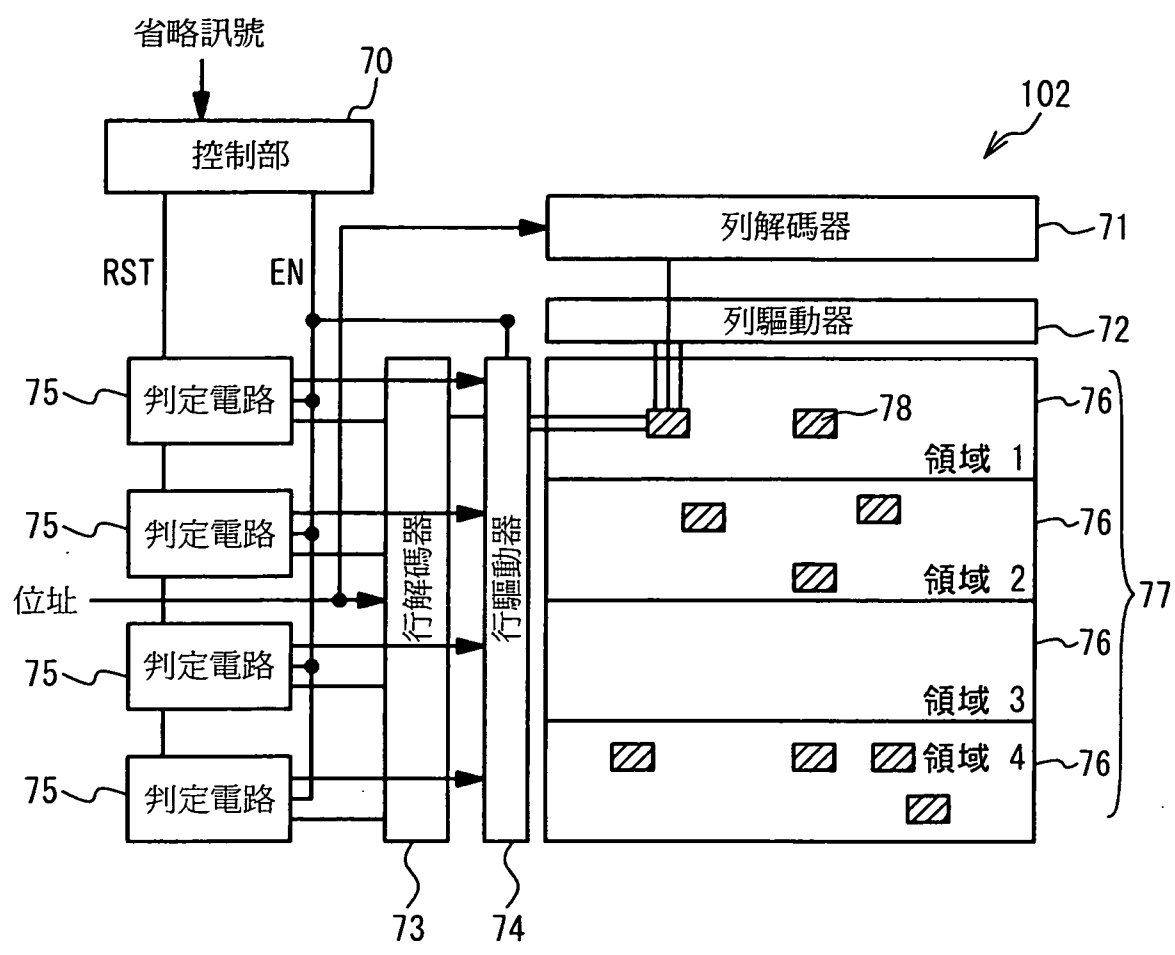


圖13

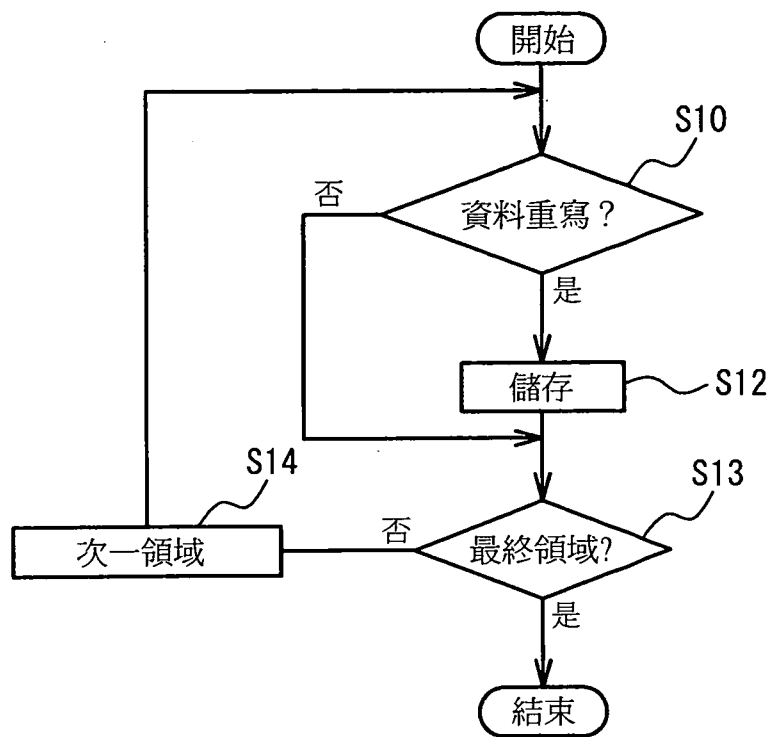


圖14

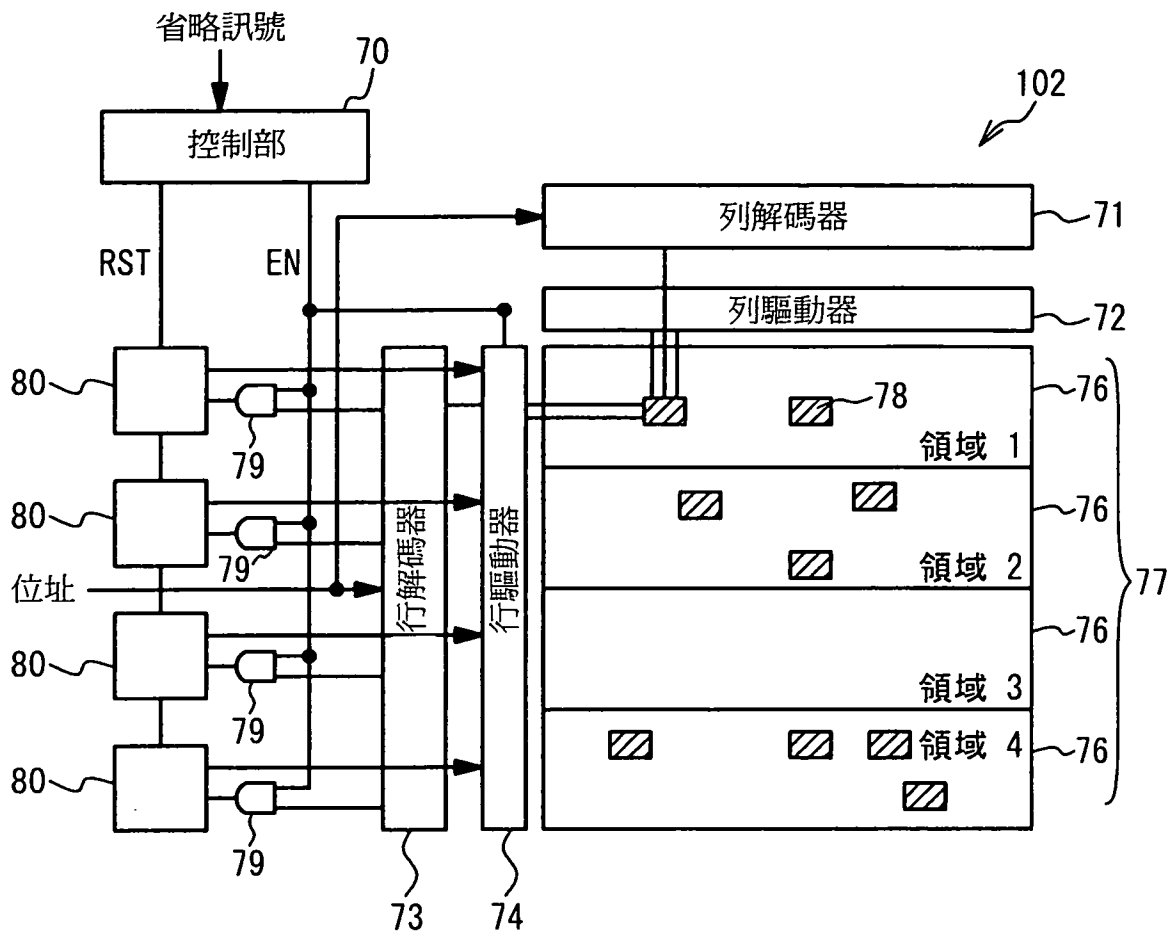


圖15

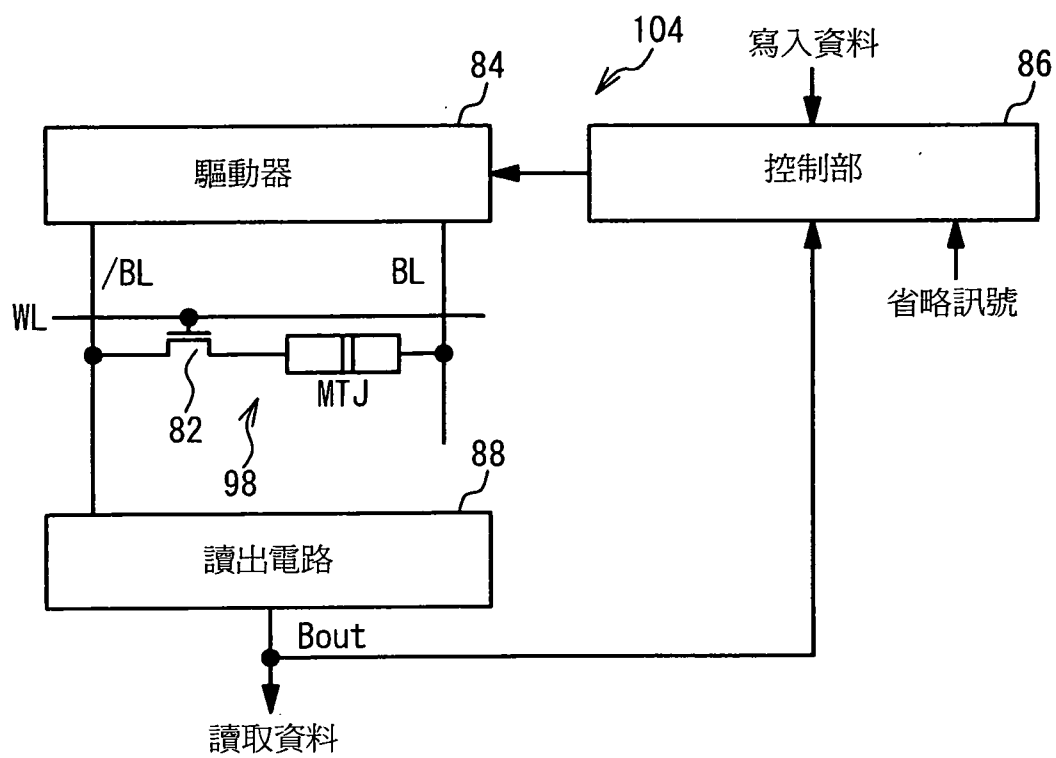


圖16

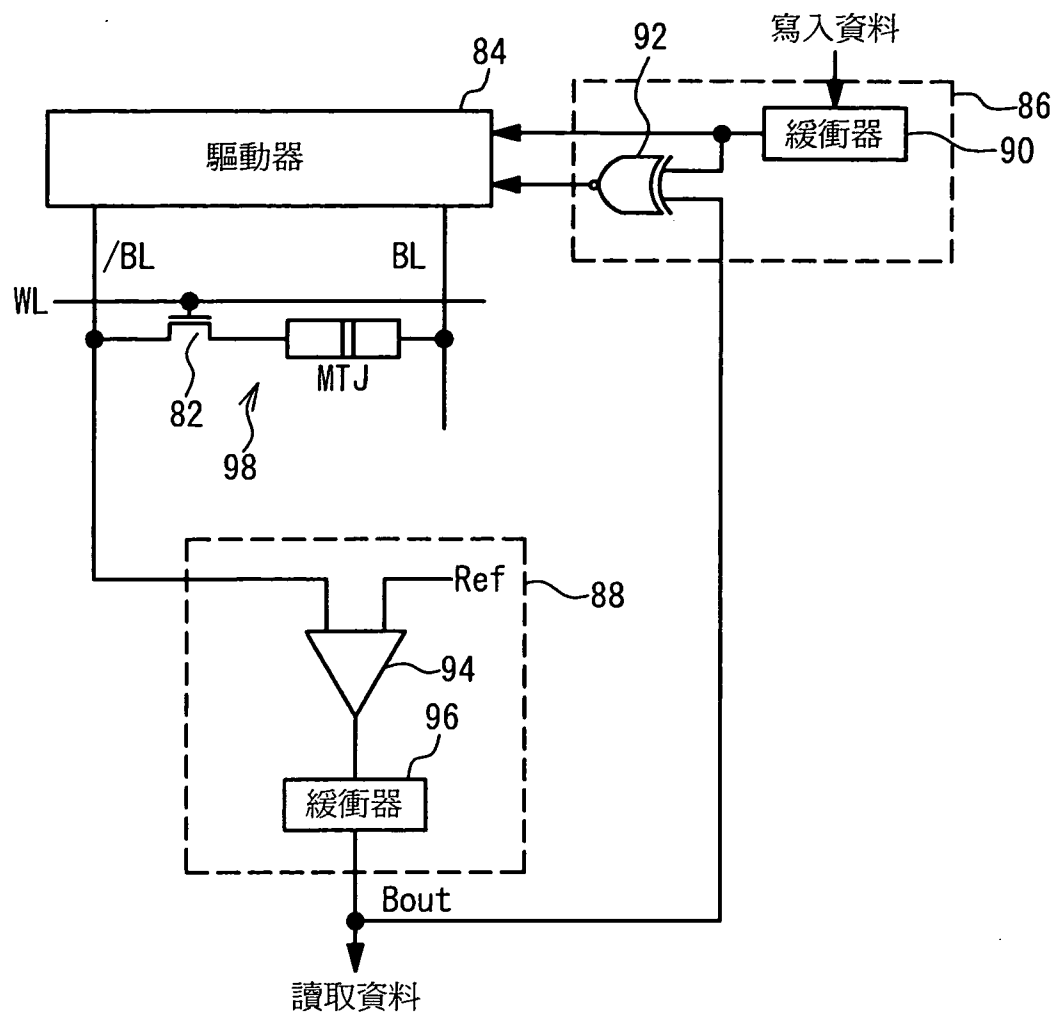


圖17

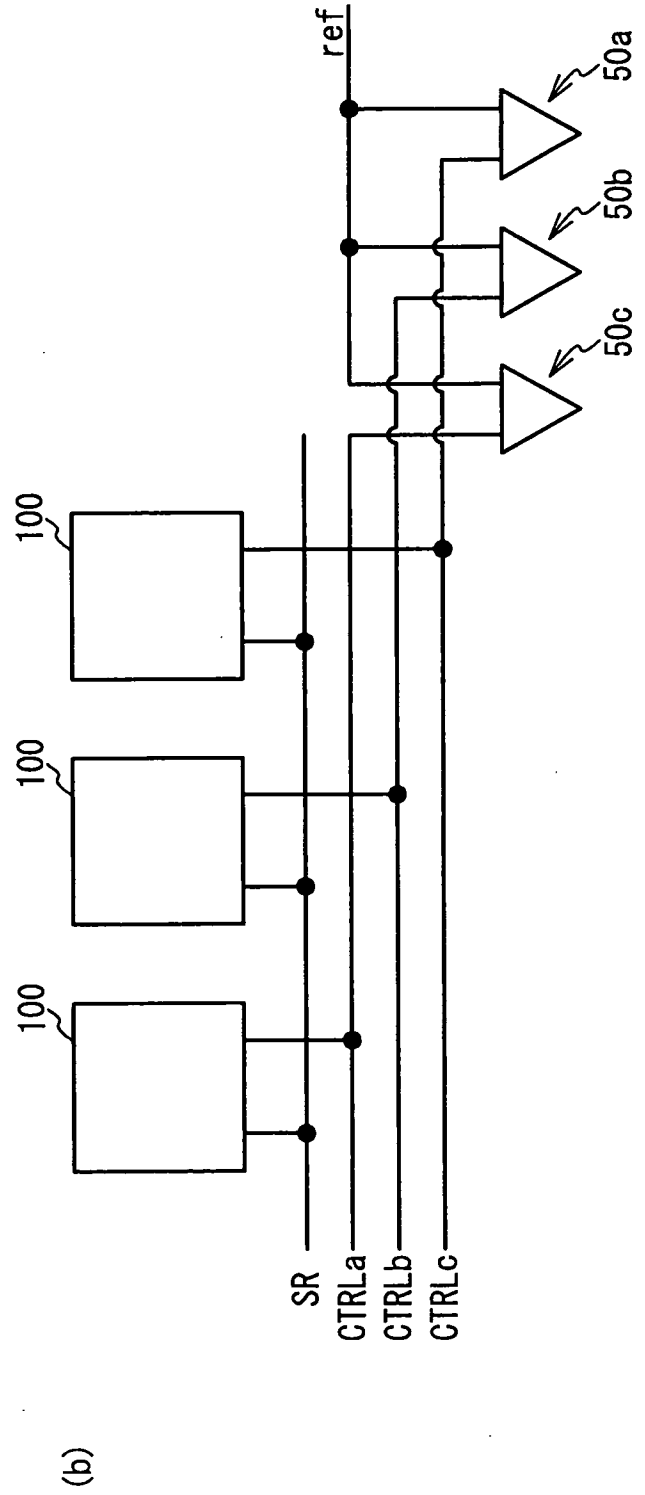
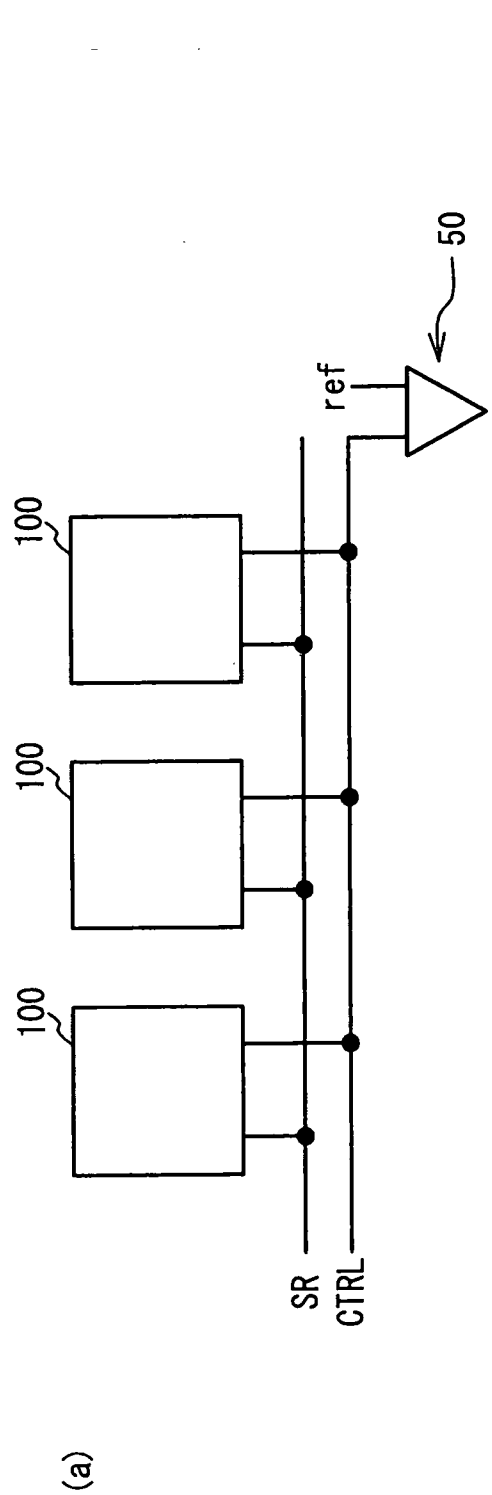


圖18

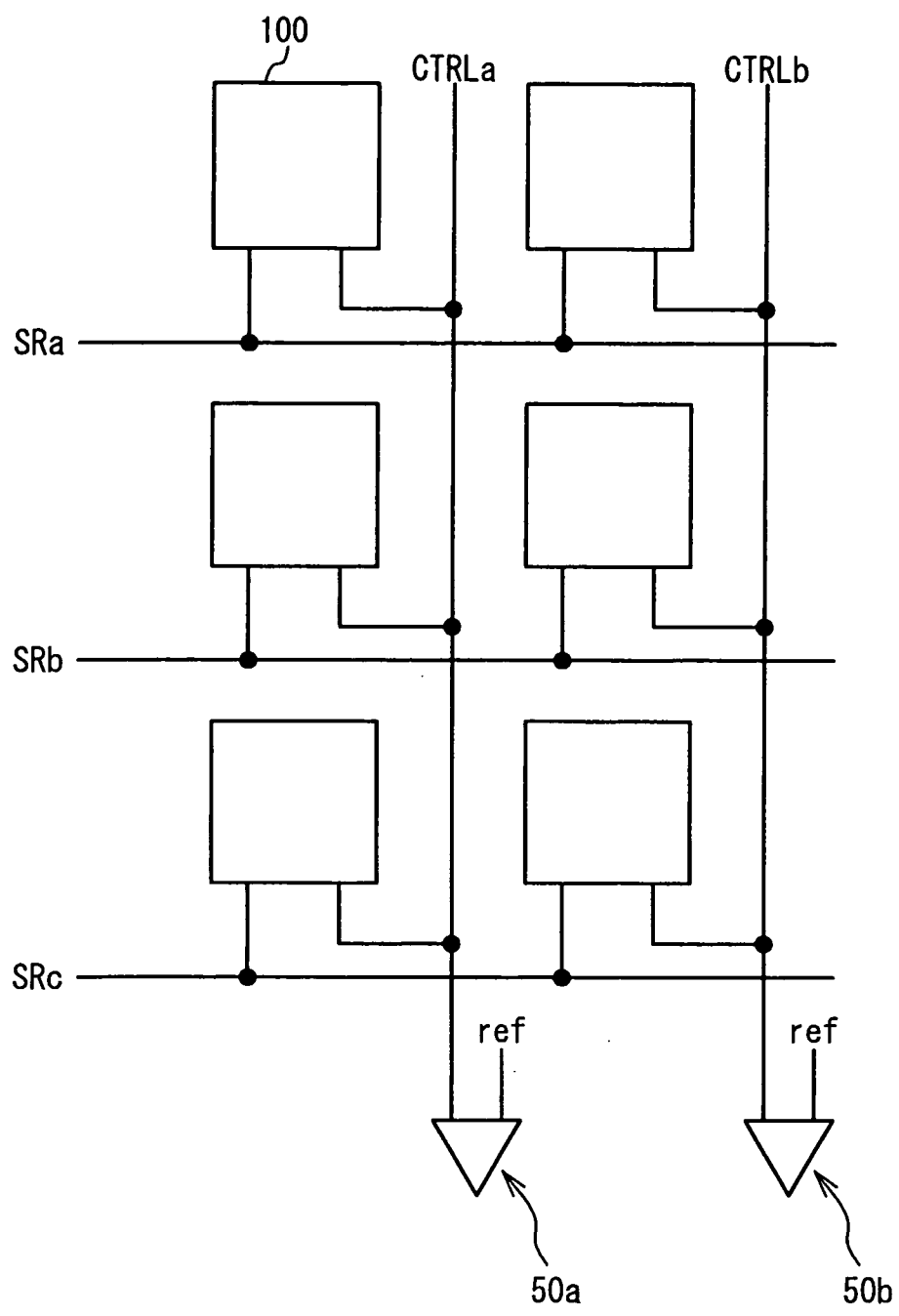


圖19