



(12) 发明专利

(10) 授权公告号 CN 103178815 B

(45) 授权公告日 2015.06.03

(21) 申请号 201310118488.3

(22) 申请日 2013.04.08

(73) 专利权人 浙江大学

地址 310027 浙江省杭州市西湖区浙大路  
38 号

专利权人 圣航科技股份有限公司

(72) 发明人 陈国柱 王冕 贺超 田野

(74) 专利代理机构 杭州天勤知识产权代理有限公司 33224

代理人 胡红娟

(51) Int. Cl.

H03K 7/08(2006.01)

(56) 对比文件

CN 102904419 A, 2013.01.30, 全文.

CN 103023464 A, 2013.04.03, 全文.

CN 101741274 A, 2010.06.16, 全文.

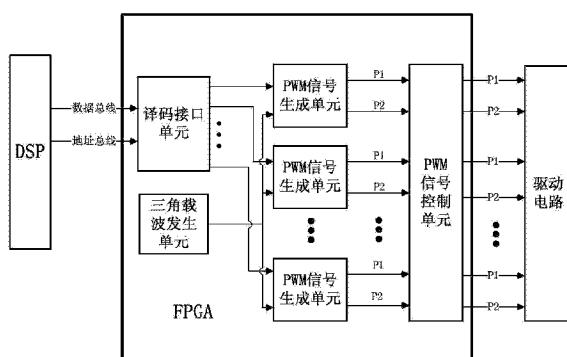
权利要求书2页 说明书7页 附图5页

(54) 发明名称

一种基于FPGA的 PWM发生器

(57) 摘要

本发明公开了一种基于FPGA的 PWM发生器，包括FPGA；FPGA中加载有译码接口单元、三角载波发生单元和n个 PWM信号生成单元。本发明结合FPGA硬件编程语言和FPGA电路设计软件工具，就可实现此种新型 PWM信号发生器，可以很好的解决大功率电力电子系统中的多路 PWM信号产生运算量大，数字控制存在延时影响控制精度的问题；且载波频率、死区时间、使能信号均可以依照系统的需要进行设计，应用范围广泛且可灵活应用于各种各样的场合；同时，应用于其它 PWM信号发生电路中，也同样具有可靠性高、降低了硬件设计成本、抗干扰能力强等诸多优点。



B

103178815

CN

1. 一种基于 FPGA 的 PWM 发生器, 其特征在于 : 包括 FPGA ; 所述的 FPGA 中加载有以下功能单元 :

译码接口单元, 用于接收上位机提供的一组调制信号串和 n 个地址信号, 并利用所述的地址信号对调制信号串进行解码, 输出 n 路调制信号 ; n 为大于 0 的自然数 ;

三角载波发生单元, 用于生成三角载波信号 ;

n 个 PWM 信号生成单元, 所述的 PWM 信号生成单元用于接收对应的调制信号, 使调制信号与三角载波信号进行延时比较后生成 PWM 驱动信号 P1, 并对 PWM 驱动信号 P1 进行反相处理后施加死区, 得到 PWM 驱动信号 P2 ;

所述的 PWM 信号生成单元使调制信号与三角载波信号进行延时比较的具体实现方式为 : 首先, 通过延时使调制信号的每个阶跃沿与三角载波信号的波峰或波谷对准, 所述的阶跃沿包括上升沿和下降沿 ; 然后, 使延时后的调制信号与三角载波信号进行比较并根据以下关系式生成 PWM 驱动信号 P1 :

$$P(t) = \begin{cases} 1 & \text{if } (U(t) \geq S(t)) \\ 0 & \text{if } (S(t) > U(t)) \end{cases}$$

其中 : P(t) 为 PWM 驱动信号 P1 在 t 时刻的信号值, U(t) 为调制信号在 t 时刻的信号值, S(t) 为三角载波信号在 t 时刻的信号值 ;

所述的三角载波发生单元由两个加法器 J1 ~ J2、两个量值比较器 BT1 ~ BT2、三个选择器 S1 ~ S3 和两个 D 触发器 D1 ~ D2 组成 ; 其中, 加法器 J1 的第一输入端与加法器 J2 的第一输入端和 D 触发器 D2 的 Q 输出端相连, D 触发器 D2 的 Q 输出端输出三角载波信号, 加法器 J1 的第二输入端接收常量 1, 加法器 J2 的第二输入端接收常量 -1, 加法器 J1 的输出端与选择器 S1 的第一输入端相连, 加法器 J2 的输出端与选择器 S1 的第二输入端相连, 选择器 S1 的控制端与选择器 S2 的第一输入端和 D 触发器 D1 的 Q 输出端相连, 选择器 S1 的输出端与 D 触发器 D2 的 D 输入端、量值比较器 BT1 的第二输入端和量值比较器 BT2 的第一输入端相连, 选择器 S2 的第二输入端接收常量 1, 选择器 S2 的控制端与量值比较器 BT1 的输出端相连, 选择器 S2 的输出端与选择器 S3 的第一输入端相连, 选择器 S3 的第二输入端接收常量 0, 选择器 S3 的控制端与量值比较器 BT2 的输出端相连, 选择器 S3 的输出端与 D 触发器 D1 的 D 输入端相连, 量值比较器 BT1 的第一输入端接收给定的载波幅值参数, 量值比较器 BT2 的第二输入端接收常量 0, D 触发器 D1 的时钟端与 D 触发器 D2 的时钟端相连并接收 FPGA 的全局时钟 ;

所述的 PWM 信号生成单元由一加法器 J3、两个量值比较器 BT3 ~ BT4、两个或门 OR1 ~ OR2、四个等值比较器 BE1 ~ BE4、一反相器 INV 和四个 D 触发器 D3 ~ D6 组成 ; 其中, 等值比较器 BE1 的第一输入端与等值比较器 BE2 的第一输入端、等值比较器 BE3 的第一输入端、等值比较器 BE4 的第一输入端、量值比较器 BT3 的第二输入端和量值比较器 BT4 的第二输入端相连并接收三角载波信号, 等值比较器 BE1 的第二输入端与等值比较器 BE3 的第二输入端相连并接收给定的载波幅值参数, 等值比较器 BE2 的第二输入端接收常量 0, 等值比较器 BE1 的输出端与或门 OR1 的第一输入端相连, 等值比较器 BE2 的输出端与或门 OR1 的第二输入端相连, 或门 OR1 的输出端与 D 触发器 D3 的使能端相连, D 触发器 D3 的 D 输入端与 D 触发器 D4 的 D 输入端相连并接收调制信号, D 触发器 D3 的 Q 输出端与量值比较器 BT3 的

第一输入端相连，量值比较器 BT3 的输出端与反相器 INV 的输入端相连，反相器 INV 的输出端与 D 触发器 D5 的 D 输入端相连，D 触发器 D5 的 Q 输出端输出 PWM 驱动信号 P1，等值比较器 BE4 的第二输入端接收常量 0，等值比较器 BE3 的输出端与或门 OR2 的第一输入端相连，等值比较器 BE4 的输出端与或门 OR2 的第二输入端相连，或门 OR2 的输出端与 D 触发器 D4 的使能端相连，D 触发器 D4 的 Q 输出端与加法器 J3 的第一输入端相连，加法器 J3 的第二输入端接收给定的死区因子参数，加法器 J3 的输出端与量值比较器 BT4 的第一输入端相连，量值比较器 BT4 的输出端与 D 触发器 D6 的 D 输入端相连，D 触发器 D6 的 Q 输出端输出 PWM 驱动信号 P2，D 触发器 D3 的时钟端与 D 触发器 D4 的时钟端、D 触发器 D5 的时钟端和 D 触发器 D6 的时钟端相连并接收 FPGA 的全局时钟。

2. 根据权利要求 1 所述的 PWM 发生器，其特征在于：所述的 FPGA 中还加载有 PWM 信号控制单元，其用于控制 PWM 驱动信号 P1 ~ P2 的输出。

## 一种基于 FPGA 的 PWM 发生器

### 技术领域

[0001] 本发明属于信号调制技术领域,具体涉及一种基于 FPGA 的 PWM 发生器。

### 背景技术

[0002] 作为一种应用日趋广泛的可编程硬件 FPGA(现场可编程门阵列),其使得控制系统中软件和硬件的界限变得模糊。利用 FPGA 进行电路设计时,可以很容易地采用软件编程修改硬件电路,实现了硬件的可重复设计和修改,大大降低了直接使用硬件进行设计的成本。

[0003] 在电力电子系统的控制系统设计中,FPGA 的应用也得到越来越多的关注。在大功率电力电子系统中,由于电压和电流等级对器件的限制,往往采用并联、级联、多电平等形式来使电力电子电路达到足够的功率等级,因此控制系统需要产生多路的 PWM(脉宽调制)控制信号对电力电子电路中的开关器件进行控制,系统越复杂运算量越大,常规的数字控制芯片性能往往难以满足要求。而相比之下, FPGA 具有如下特点:(1) 支持并行与流水结构,适合结构性好,数据量大的算法;(2) 内嵌硬件乘法计算模块,运行速度快;(3) 具有非常好的灵活性,接口配置简单。这使得 FPGA 在 PWM 信号产生上具有很大的优势,使用 FPGA 开发适用于大功率电力电子系统的多路 PWM 发生器具有现实意义。

[0004] 常见的基于数字处理器的 PWM 发生器实现方式分为对称规则 PWM 和非对称规则 PWM 两种,根据系统采样频率与开关频率的关系来确定使用何种实现方式。若系统采样频率和开关频率相等,则采用对称规则 PWM,在一个载波周期中调制波的值更新一次;而若系统采样频率是开关频率的两倍,则采用非对称规则 PWM,在一个载波周期中调制波的值更新两次。对于实际控制系统,从信号采样到计算出该周期的调制信号需要一定的延时,因此,限制了系统最大占空比。为使 PWM 调制正确实现,可将本周期计算的控制量推迟到下一个采样周期进行比较,即数字控制系统的滞后期一拍控制,这是目前实际系统中较普遍的应用方式。

[0005] 李春鹏等人在标题为数字控制对并网逆变系统稳定性和动态性能的影响(电力自动化设备,2012(3):第 23-27 页)的文献中详细分析了引入数字控制延时对系统的影响,但在使用 FPGA 进行 PWM 开关信号发生器设计时,由于载波与调制波没有确定的时钟关系,导致滞后期一拍控制无法实现,而采样与计算延迟仍然存在,同时还有可能出现占空比混乱的问题,所以基于 FPGA 的 PWM 发生器在设计时需要解决数字控制延时所带来的问题。

### 发明内容

[0006] 针对现有技术所存在的上述技术问题,本发明提供了一种基于 FPGA 的 PWM 发生器,能够解决多路 PWM 信号产生运算量大、数字控制存在延时影响控制精度的问题。

[0007] 一种基于 FPGA 的 PWM 发生器,包括 FPGA;所述的 FPGA 中加载有以下功能单元:

[0008] 译码接口单元,用于接收上位机提供的一组调制信号串和 n 个地址信号,并利用所述的地址信号对调制信号串进行解码,输出 n 路调制信号;n 为大于 0 的自然数;

[0009] 三角载波发生单元,用于生成三角载波信号;

[0010] n个 PWM 信号生成单元,所述的 PWM 信号生成单元用于接收对应的调制信号,使调制信号与三角载波信号进行延时比较后生成 PWM 驱动信号 P1,并对 PWM 驱动信号 P1 进行反相处理后施加死区,得到 PWM 驱动信号 P2。

[0011] 所述的 PWM 信号生成单元使调制信号与三角载波信号进行延时比较的具体实现方式为:首先,通过延时使调制信号的每个阶跃沿与三角载波信号的波峰或波谷对准,所述的阶跃沿包括上升沿和下降沿;然后,使延时后的调制信号与三角载波信号进行比较并根据以下关系式生成 PWM 驱动信号 P1:

$$[0012] P(t) = \begin{cases} 1 & \text{if } U(t) \geq S(t) \\ 0 & \text{if } S(t) > U(t) \end{cases}$$

[0013] 其中:P(t) 为 PWM 驱动信号 P1 在 t 时刻的信号值,U(t) 为调制信号在 t 时刻的信号值,S(t) 为三角载波信号在 t 时刻的信号值。

[0014] 优选地,所述的 FPGA 中还加载有 PWM 信号控制单元,其用于控制 PWM 驱动信号 P1 ~ P2 的输出;便于外部对 PWM 发生器的状态进行直接控制。

[0015] 所述的三角载波发生单元由两个加法器 J1 ~ J2、两个量值比较器 BT1 ~ BT2、三个选择器 S1 ~ S3 和两个 D 触发器 D1 ~ D2 组成;其中,加法器 J1 的第一输入端与加法器 J2 的第一输入端和 D 触发器 D2 的 Q 输出端相连,D 触发器 D2 的 Q 输出端输出三角载波信号,加法器 J1 的第二输入端接收常量 1,加法器 J2 的第二输入端接收常量 -1,加法器 J1 的输出端与选择器 S1 的第一输入端相连,加法器 J2 的输出端与选择器 S1 的第二输入端相连,选择器 S1 的控制端与选择器 S2 的第一输入端和 D 触发器 D1 的 Q 输出端相连,选择器 S1 的输出端与 D 触发器 D2 的 D 输入端、量值比较器 BT1 的第二输入端和量值比较器 BT2 的第一输入端相连,选择器 S2 的第二输入端接收常量 1,选择器 S2 的控制端与量值比较器 BT1 的输出端相连,选择器 S2 的输出端与选择器 S3 的第一输入端相连,选择器 S3 的第二输入端接收常量 0,选择器 S3 的控制端与量值比较器 BT2 的输出端相连,选择器 S3 的输出端与 D 触发器 D1 的 D 输入端相连,量值比较器 BT1 的第一输入端接收到定的载波幅值参数,量值比较器 BT2 的第二输入端接收常量 0,D 触发器 D1 的时钟端与 D 触发器 D2 的时钟端相连并接收 FPGA 的全局时钟。

[0016] 所述的 PWM 信号生成单元由一加法器 J3、两个量值比较器 BT3 ~ BT4、两个或门 OR1 ~ OR2、四个等值比较器 BE1 ~ BE4、一反相器 INV 和四个 D 触发器 D3 ~ D6 组成;其中,等值比较器 BE1 的第一输入端与等值比较器 BE2 的第一输入端、等值比较器 BE3 的第一输入端、等值比较器 BE4 的第一输入端、量值比较器 BT3 的第二输入端和量值比较器 BT4 的第二输入端相连并接收三角载波信号,等值比较器 BE1 的第二输入端与等值比较器 BE3 的第二输入端相连并接收到定的载波幅值参数,等值比较器 BE2 的第二输入端接收常量 0,等值比较器 BE1 的输出端与或门 OR1 的第一输入端相连,等值比较器 BE2 的输出端与或门 OR1 的第二输入端相连,或门 OR1 的输出端与 D 触发器 D3 的使能端相连,D 触发器 D3 的 D 输入端与 D 触发器 D4 的 D 输入端相连并接收调制信号,D 触发器 D3 的 Q 输出端与等值比较器 BE3 的第一输入端相连,等值比较器 BE3 的输出端与反相器 INV 的输入端相连,反相器 INV 的输出端与 D 触发器 D5 的 D 输入端相连,D 触发器 D5 的 Q 输出端输出 PWM 驱动信号 P1,等

值比较器 BE4 的第二输入端接收常量 0, 等值比较器 BE3 的输出端与或门 OR2 的第一输入端相连, 等值比较器 BE4 的输出端与或门 OR2 的第二输入端相连, 或门 OR2 的输出端与 D 触发器 D4 的使能端相连, D 触发器 D4 的 Q 输出端与加法器 J3 的第一输入端相连, 加法器 J3 的第二输入端接收给定的死区因子参数, 加法器 J3 的输出端与量值比较器 BT4 的第一输入端相连, 量值比较器 BT4 的输出端与 D 触发器 D6 的 D 输入端相连, D 触发器 D6 的 Q 输出端输出 PWM 驱动信号 P2, D 触发器 D3 的时钟端与 D 触发器 D4 的时钟端、D 触发器 D5 的时钟端和 D 触发器 D6 的时钟端相连并接收 FPGA 的全局时钟。

[0017] 本发明的工作原理为 :由上位机产生的一组调制信号串和地址信号, 分别通过数据总线和地址总线传送给 FPGA, FPGA 中的译码接口单元首先接收这一组调制信号数据并利用地址信号将其解码, 分配给多个 PWM 信号生成单元 ;同时, FPGA 中设计的三角载波发生单元一直产生一个三角载波, 送入每一个 PWM 信号产生单元 ;在 PWM 信号生成单元中, 通过延时设计解决了占空比可能出现混乱的问题, 同时还包含有死区产生作用, 这样每个 PWM 信号生成单元都能产生对应的一组 PWM 信号 (上下管互补), 传输给下游驱动电路以驱动功率开关电路。

[0018] 本发明的有益技术效果在于 :结合 FPGA 硬件编程语言和 FPGA 电路设计软件工具, 就可实现此种新型 PWM 信号发生器, 可以很好的解决大功率电力电子系统中的多路 PWM 信号产生运算量大, 数字控制存在延时影响控制精度的问题。本发明另外一大优势在于, 载波频率、死区时间、使能信号均可以依照系统的需要进行设计, 应用范围广泛且可灵活应用于各种各样的场合 ;同时, 应用于其它 PWM 信号发生电路中, 也同样具有可靠性高、降低了硬件设计成本、抗干扰能力强等诸多优点。

## 附图说明

- [0019] 图 1 为本发明 PWM 发生器的结构示意图。
- [0020] 图 2 为三角载波发生单元的结构示意图。
- [0021] 图 3 为 PWM 信号生成单元的结构示意图。
- [0022] 图 4 为三角波发生以及死区产生的原理示意图。
- [0023] 图 5(a) 为 DSP 的采样周期示意图。
- [0024] 图 5(b) 为调制信号直接与三角载波信号比较的示意图。
- [0025] 图 5(c) 为调制信号直接与三角载波信号比较生成的 PWM 驱动信号的示意图。
- [0026] 图 5(d) 为调制信号经延时后与三角载波信号比较的示意图。
- [0027] 图 5(e) 为调制信号经延时后与三角载波信号比较生成的 PWM 驱动信号的示意图。
- [0028] 图 6(a) 为一个调制波周期的上下管 PWM 驱动信号的波形图 ;其横坐标为时间, 每格 2ms, 纵坐标为信号电压值  $u_{\text{PWM}}$ , 每格 2V。
- [0029] 图 6(b) 为一个开关周期上下管 PWM 驱动信号死区时间的示意图 ;其横坐标为时间 t, 每格 20 μs, 纵坐标为信号电压值  $u_{\text{PWM}}$ , 每格 2V。
- [0030] 图 7(a) 为实验样机中逆变器交流侧电流的波形图 ;其横坐标为时间 t, 每格 10ms, 纵坐标为电流值  $i_{\text{inva}}$ , 每格 10A。
- [0031] 图 7(b) 为实验样机中整流器交流侧电流的波形图 ;其横坐标为时间 t, 每格 10ms, 纵坐标为电流值  $i_{\text{reca}}$ , 每格 10A。

## 具体实施方式

[0032] 为了更为具体地描述本发明，下面结合附图及具体实施方式对本发明的技术方案及其工作原理进行详细说明。

[0033] 如图 1 所示，一种基于 FPGA 的 PWM 发生器，包括 FPGA；FPGA 中加载有译码接口单元、三角载波发生单元、n 个 PWM 信号生成单元和 PWM 信号控制单元；其中：

[0034] 译码接口单元与外围上位机相连，其用于通过数据总线和地址总线接收上位机提供的一组调制信号串和 n 个地址信号，并利用地址信号对调制信号串进行解码，输出 n 路调制信号；译码接口单元为通过 FPGA 编程实现。

[0035] 本实施方式针对多路调制信号，由上游 DSP 产生的控制信号，通过总线传输的方式与 FPGA 进行数据交换。实际实现中，为每一路调制信号分配一个总线地址，当 FPGA 接收总线数据时，根据上游 DSP 的地址将调制信号数据传输给相应的 PWM 信号生成单元。

[0036] 三角载波发生单元用于生成周期性的三角载波信号；其以 FPGA 时钟频率作为时钟基准，每个时钟周期对计数值进行加一或减一的累加运算，当计数值达到预定的最大值时，计数运算变为减一，达到最小值 0 时，计数运算变为加一，如此循环往复。预定的最大值和 FPGA 时钟周期共同决定了载波频率，即为电力电子器件工作的开关频率。

[0037] 本实施方式中，三角载波发生单元由两个加法器 J1 ~ J2、两个量值比较器 BT1 ~ BT2、三个选择器 S1 ~ S3 和两个 D 触发器 D1 ~ D2 组成，如图 2 所示；其中，加法器 J1 的第一输入端与加法器 J2 的第一输入端和 D 触发器 D2 的 Q 输出端相连，D 触发器 D2 的 Q 输出端输出三角载波信号 COUNTER，加法器 J1 的第二输入端接收常量 1，加法器 J2 的第二输入端接收常量 -1，加法器 J1 的输出端与选择器 S1 的第一输入端相连，加法器 J2 的输出端与选择器 S1 的第二输入端相连，选择器 S1 的控制端与选择器 S2 的第一输入端和 D 触发器 D1 的 Q 输出端相连，选择器 S1 的输出端与 D 触发器 D2 的 D 输入端、量值比较器 BT1 的第二输入端和量值比较器 BT2 的第一输入端相连，选择器 S2 的第二输入端接收常量 1，选择器 S2 的控制端与量值比较器 BT1 的输出端相连，选择器 S2 的输出端与选择器 S3 的第一输入端相连，选择器 S3 的第二输入端接收常量 0，选择器 S3 的控制端与量值比较器 BT2 的输出端相连，选择器 S3 的输出端与 D 触发器 D1 的 D 输入端相连，量值比较器 BT1 的第一输入端接收给定的载波幅值参数 PEAK，量值比较器 BT2 的第二输入端接收常量 0，D 触发器 D1 的时钟端与 D 触发器 D2 的时钟端相连并接收 FPGA 的全局时钟 CLK。

[0038] 对于量值比较器，当第一输入端输入值小于第二输入端输入值，则输出端输出 1，否则输出端输出 0；对于选择器，当控制端接收的信号为 0，则输出端输出第一输入端的信号，当控制端接收的信号为 1，则输出端输出第二输入端的信号，对于 D 触发器，当时钟端上升沿到达时，Q 输出端输出 D 输入端的信号；本实施方式三角载波发生单元的工作原理如下：

[0039] 设定输入载波峰值 PEAK 和时钟 CLK，对 COUNTER 在每个时钟的上升沿进行加 1 或者减 1 操作。若当前为加 1 操作，当 COUNTER 计数到和 PEAK 相等时，BT1 输出变为 1，S2 输出 1，同时 S3 的选通端还是 0，则 S3 输出变为 1，这样下一周期上升沿到来时，S1 的选通端为 1，S1 的输出选通到 J2 的输出，COUNTER 开始进行减 1 操作，并且之后 S1 选通端会一直保持为 1。直到 COUNTER 值减小到 0，这时 BT2 的输出变为 1，所以 S3 输出变为 0，导致下一

个上升沿时 S1 的选通端由 1 变成 0, S3 选通 J1 的输出, COUNTER 开始进行加 1 操作。如此循环往复, COUNTER 值形成一个周期性的三角波。

[0040] PWM 信号生成单元与译码接口单元、三角载波发生单元和 PWM 信号控制单元相连, 其接收对应的调制信号, 使调制信号与三角载波信号进行延时比较后生成 PWM 驱动信号 P1, 并对 PWM 驱动信号 P1 进行反相处理后施加死区, 得到 PWM 驱动信号 P2。其中, 使调制信号与三角载波信号进行延时比较的具体实现方式如下:

[0041] 首先, 通过延时使调制信号的每个阶跃沿与三角载波信号的波峰或波谷对准, 阶跃沿包括上升沿和下降沿; 然后, 使延时后的调制信号与三角载波信号进行比较并根据以下关系式生成 PWM 驱动信号 P1:

$$[0042] P(t) = \begin{cases} 1 & \text{if } (U(t) \geq S(t)) \\ 0 & \text{if } (S(t) > U(t)) \end{cases}$$

[0043] 其中:P(t) 为 PWM 驱动信号 P1 在 t 时刻的信号值, U(t) 为调制信号在 t 时刻的信号值, S(t) 为三角载波信号在 t 时刻的信号值。

[0044] 本实施方式中, PWM 信号生成单元由一加法器 J3、两个量值比较器 BT3 ~ BT4、两个或门 OR1 ~ OR2、四个等值比较器 BE1 ~ BE4、一反相器 INV 和四个 D 触发器 D3 ~ D6 组成, 如图 3 所示; 其中, 等值比较器 BE1 的第一输入端与等值比较器 BE2 的第一输入端、等值比较器 BE3 的第一输入端、等值比较器 BE4 的第一输入端、量值比较器 BT3 的第二输入端和量值比较器 BT4 的第二输入端相连并接收三角载波信号 COUNTER, 等值比较器 BE1 的第二输入端与等值比较器 BE3 的第二输入端相连并接收给定的载波幅值参数 PEAK, 等值比较器 BE2 的第二输入端接收常量 0, 等值比较器 BE1 的输出端与或门 OR1 的第一输入端相连, 等值比较器 BE2 的输出端与或门 OR1 的第二输入端相连, 或门 OR1 的输出端与 D 触发器 D3 的使能端相连, D 触发器 D3 的 D 输入端与 D 触发器 D4 的 D 输入端相连并接收调制信号 DATA, D 触发器 D3 的 Q 输出端与等值比较器 BE3 的第一输入端相连, 等值比较器 BE3 的输出端与反相器 INV 的输入端相连, 反相器 INV 的输出端与 D 触发器 D5 的 D 输入端相连, D 触发器 D5 的 Q 输出端输出 PWM 驱动信号 P1, 等值比较器 BE4 的第二输入端接收常量 0, 等值比较器 BE3 的输出端与或门 OR2 的第一输入端相连, 等值比较器 BE4 的输出端与或门 OR2 的第二输入端相连, 或门 OR2 的输出端与 D 触发器 D4 的使能端相连, D 触发器 D4 的 Q 输出端与加法器 J3 的第一输入端相连, 加法器 J3 的第二输入端接收给定的死区因子参数 D<sub>dead</sub>, 加法器 J3 的输出端与量值比较器 BT4 的第一输入端相连, 量值比较器 BT4 的输出端与 D 触发器 D6 的 D 输入端相连, D 触发器 D6 的 Q 输出端输出 PWM 驱动信号 P2, D 触发器 D3 的时钟端与 D 触发器 D4 的时钟端、D 触发器 D5 的时钟端和 D 触发器 D6 的时钟端相连并接收 FPGA 的全局时钟 CLK。

[0045] 对于等值比较器, 当两个输入端的输入值相等, 则输出端输出 1, 否则输出端输出 0; 本实施方式 PWM 信号生成单元的工作原理如下:

[0046] 图 3 中上半部分为 P1 信号产生电路, 下半部分为 P2 信号产生电路。上半部分电路中, BE1 和 BE2 的第一输入端均接收 COUNTER, 当 COUNTER 为 0 或者载波峰值 PEAK 的时候, D3 使能, 调制信号 DATA 在 BT3 单元处和三角载波 COUNTER 进行比较, 若 DATA 大于 COUNTER, 则 BT3 输出为 0, P1 为高电平, 反之 P1 为低电平。下半部分电路原理类似, 同样在 COUNTER 为

0 或者载波峰值 PEAK 的时候, D4 使能, 调制信号 DATA 在 J3 单元处加上死区作用因子  $D_{dead}$  后, 在输入到 BT4 处与 COUNTER 进行比较, 若 DATA 大于 COUNTER, 则 BT4 输出为 0, P2 为低电平, 反之 P2 为高电平。由于死区因子  $D_{dead}$  的存在, P2 与 P1 电平跳变处会有一个时间差, 即为系统要求设计的死区时间。而延时功能则是通过在固定的载波极值处更新调制波比较值 DATA 来实现的。

[0047] PWM 信号控制单元与外围驱动电路相连, 其用于控制各 PWM 信号生成单元中 PWM 驱动信号 P1 ~ P2 的输出, 输出后的 PWM 驱动信号经驱动电路功率放大后驱动相应开关管的通断。本实施方式中, PWM 信号控制单元由若干选通开关构建, 并通过 FPGA 编程实现。

[0048] PWM 信号控制单元的输入为上级 PWM 信号生成单元的 PWM 驱动信号以及使能控制信号, 该使能信号来自外部, 只有当使能信号处于低电平状态时才可以输出 PWM 信号, 否则 PWM 封锁。通过这一单元, 外部控制器可以对整个 PWM 发生器的状态进行直接控制。

[0049] 本实施方式中各功能单元的具体编程方式可以采用 Verilog HDL 硬件编程语言来实现, 软件平台可以采用 FPGA 专用开发软件 Quartus II, 来实现编程和硬件电路生成。

[0050] 本实施方式中, 译码接口单元输入与总线相连, 根据地址总线译码后, 通过数据总线方式接收上位机的调制信号, 其输出端为多路 PWM 调制信号, 分别接到对应的 PWM 信号生成单元上; 三角载波发生单元产生的三角载波, 直接发送给每一个 PWM 信号生成单元, 需要提出的是, 如果系统各路 PWM 信号的开关频率有不同, 则可通过输入不同的三角载波的峰值来产生不同频率的载波, 分别提供给相应的 PWM 信号生成单元, 以满足实际需要; 每个 PWM 信号生成单元则接收对应的上述两个单元的信号值, 产生一对含死区的互补驱动 PWM 驱动信号; 每个 PWM 驱动信号都经过 PWM 信号控制单元控制, 其输出作为最终的 PWM 信号来控制一个桥臂上的一对开关管通断。

[0051] 死区作用因子  $D_{dead}$  由系统要求决定, 这里我们结合三角载波发生单元的原理, 来说明死区作用因子的设计方法。

[0052] 首先是三角波的产生, 如图 4 所示; 三角波以 FPGA 系统时钟或其分频时钟提供, 用  $T_{clk}$  表示, 另外, 三角载波的频率即为系统开关频率  $f_{sw}$ , 所以这里三角载波周期  $T_{sw}$  也就随之确定, 由此可知:

$$[0053] T_{clk} \times peak = \frac{T_{sw}}{2}$$

[0054] 由上式即可确定三角波计数的上限值 peak, 按照三角波计数值应该在 0 和 peak 之间来循环计数从而产生频率恒定的三角载波。

[0055] 三角载波产生以后, 需要与 PWM 调制值进行比较来产生脉宽调制波形, 以控制功率器件的通断。此处采用比较值加上  $D_{dead}$  后用于产生上管 PWM 波形的方法, 具体的原理如图 4 所示。假设死区时间设置为  $T_{dead}$ , 根据图中三角形相似关系可知:

$$[0056] \frac{D_{dead}}{T_{dead}} = \frac{peak}{\frac{1}{2}T_{sw}}$$

[0057] 结合上式可得:

$$[0058] D_{dead} = \frac{T_{dead}}{T_{clk}}$$

[0059]  $T_{dead}$  与  $T_{clk}$  均已确定的情况下, 可以计算得死区因子参数  $D_{dead}$ , 产生死区保护; 图 4 中 P2 表示上管驱动信号, P1 表示下管驱动信号。

[0060] 以上位机 DSP+FPGA 协同控制系统为例, 设定采样频率为载波频率的两倍, 作了 PWM 发生器直接更新 PWM 调制值的时序图和在固定载波时刻点(峰值和谷值)处更新 PWM 调制值的时序图之间的比较, 如图 5 所示。采用在每个载波极值(峰值和谷值)处更新寄存器中的调制信号, 然后再进行比较, 如此可以消除由于数字控制固有的采样和运算延时所带来的影响。图 5(a) 中, 每个周期 DSP 会进行一次采样和运算,  $t_1$  时刻开始采样, 经过一段延时  $T_{delay}$  后完成采样与运算, 得到 PWM 调制值并发送给 FPGA 中的 PWM 发生器, 大功率电力电子系统中, 开关周期通常达到几百微秒, 基于总线通信的时间相对于开关周期很短, 如图中  $\Delta t$  所示; 在  $t_2$  时刻 PWM 发生器接收到了来自 DSP 的数据。类似的, 下一个周期采样开始于  $t_3$  时刻, 仍然经过  $T_{delay} + \Delta t$  时间后送入 PWM 发生器。

[0061] 如果不在固定的极值点处更新调制值, 而是直接将接收到的数据用于比较产生 PWM 信号, 那么产生的 PWM 信号占空比可能出现混乱, 如图 5(b) 和 (c) 中所示, 一个载波周期中 PWM 开关信号出现了四次电平跳变, 属于误动作, 会破坏整个系统控制稳定。

[0062] 对于相同的 DSP 调制信号, 采用在固定极值处更新的方法, 则 PWM 调制值被接收以后, 会暂时储存在寄存器中, 直到  $t_4$  时刻载波值达到最大时, 才会被更新并与载波进行比较。从图 5(d) 和 (e) 中看出, 此时产生的 PWM 信号动作两次, 正常反映了调制值的变化。这种方法防止了由于数字控制延时带来的混乱比较, 保证 PWM 信号的占空比不会出现误动作, 更有利于控制系统参数设计, 有效地提高了数字控制的精度。

[0063] 以下我们在一台背靠背电力电子变流装置(整流器 + 直流母线 + 逆变器)上进行试验, 来验证本实施方式基于 Quartus II 和 Verilog HDL 硬件编程语言所设计的新型 PWM 开关信号发生器的有效性和优越性。

[0064] 图 6 为采用开环正弦调制信号时, PWM 发生器所输出的 PWM 开关信号波形。正弦调制信号频率为 50Hz, 设计开关频率为整流器 6kHz、逆变器 3kHz, 设计死区时间为 1.33us, 其中图 6(a) 显示了逆变器一个调制信号周期 20ms 的上下管驱动波形, 其中 CH1 为上管 PWM 信号, CH2 为下管 PWM 信号; 图 6(b) 显示了整流器一个开关周期时上下管死区时间, 其中 CH1 为上管 PWM 信号, CH2 为下管 PWM 信号, 死区时间约为 1.33us, 符合设计。从图中可以看出, 所设计的 PWM 发生器完全实现了各项功能。

[0065] 图 7(a) 为逆变器交流侧相电流波形, 图 7(b) 为整流器交流侧相电流波形。在由 DSP 和 FPGA 组成的核心控制系统下, 逆变器和整流器都可按照功率给定正常工作, 波形质量较高, 说明控制精度没有受到数字控制延时的影响, 基于 FPGA 的新型 PWM 发生器解决了这一延时问题。另一方面, 整个样机一共含有 6 路 PWM 调制信号, 对应于 12 路 PWM 开关信号, 本实施方式适合于模块化扩展的特点也在这一样机上得到了体现。

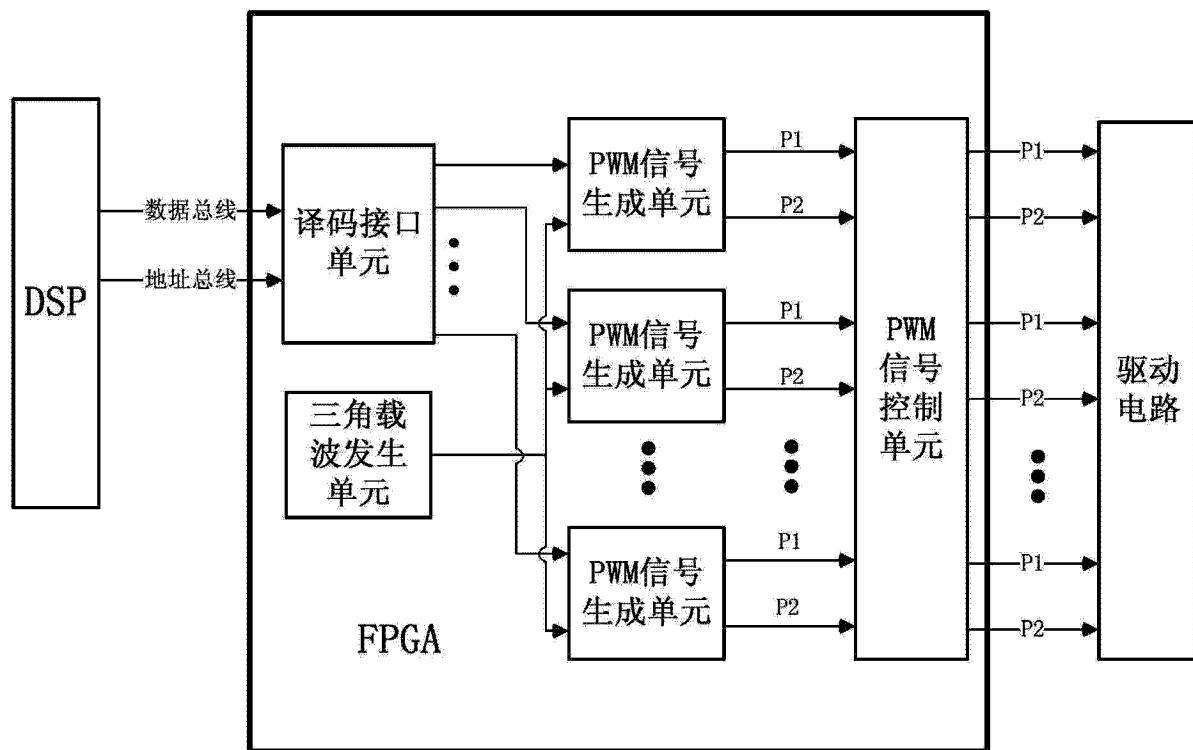


图 1

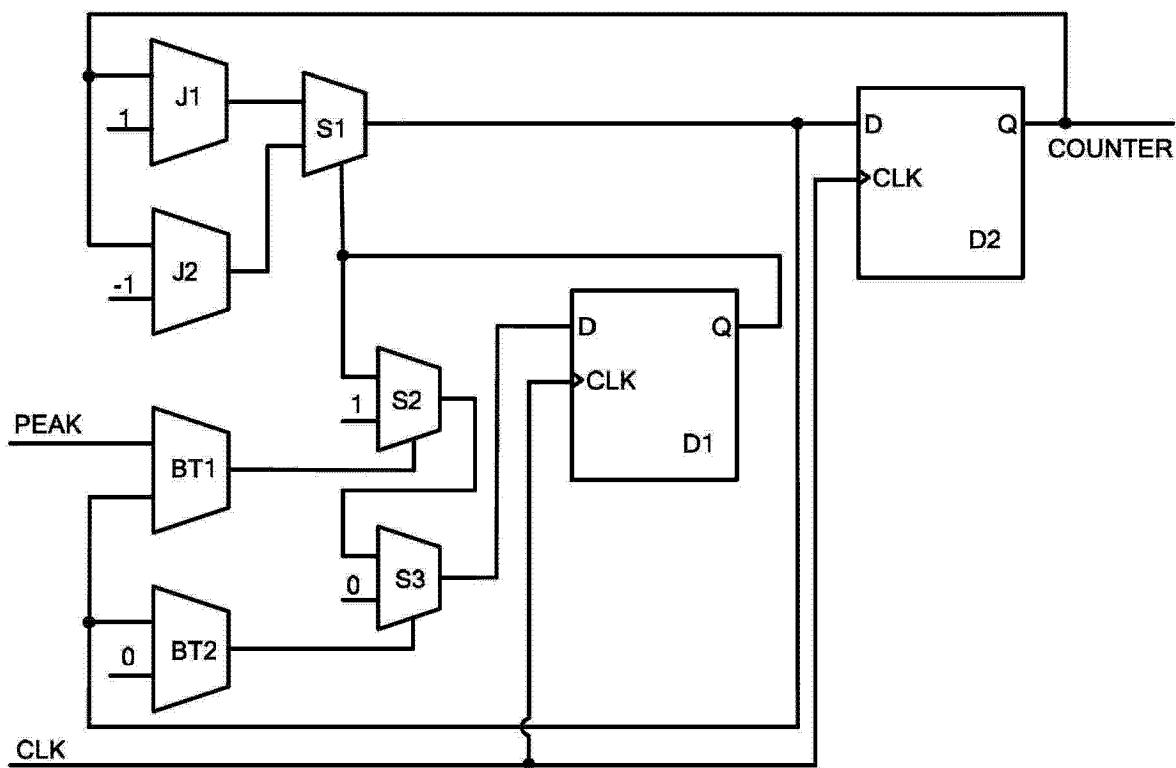


图 2

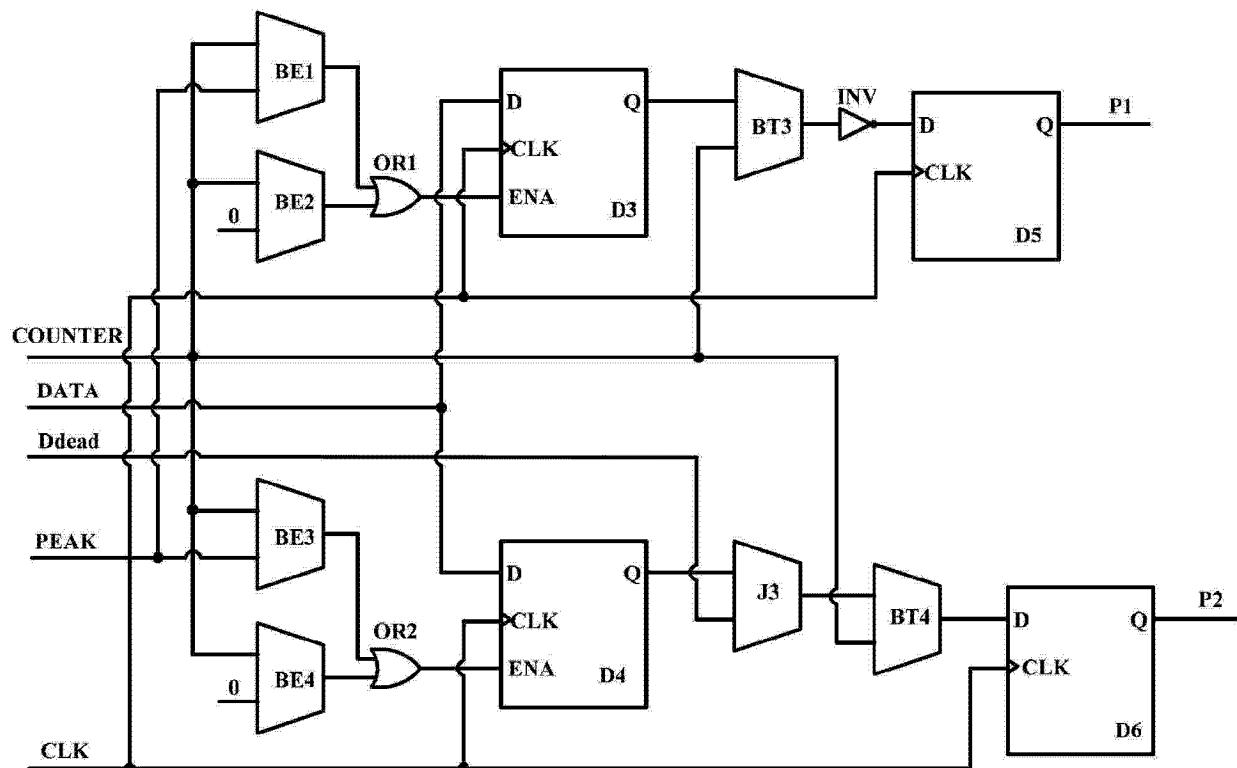


图 3

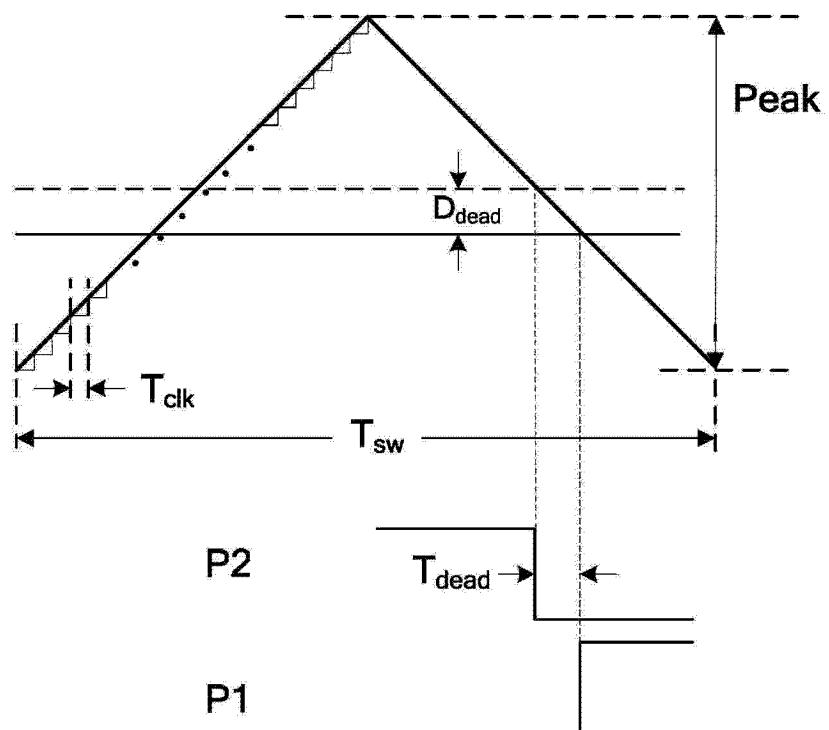


图 4

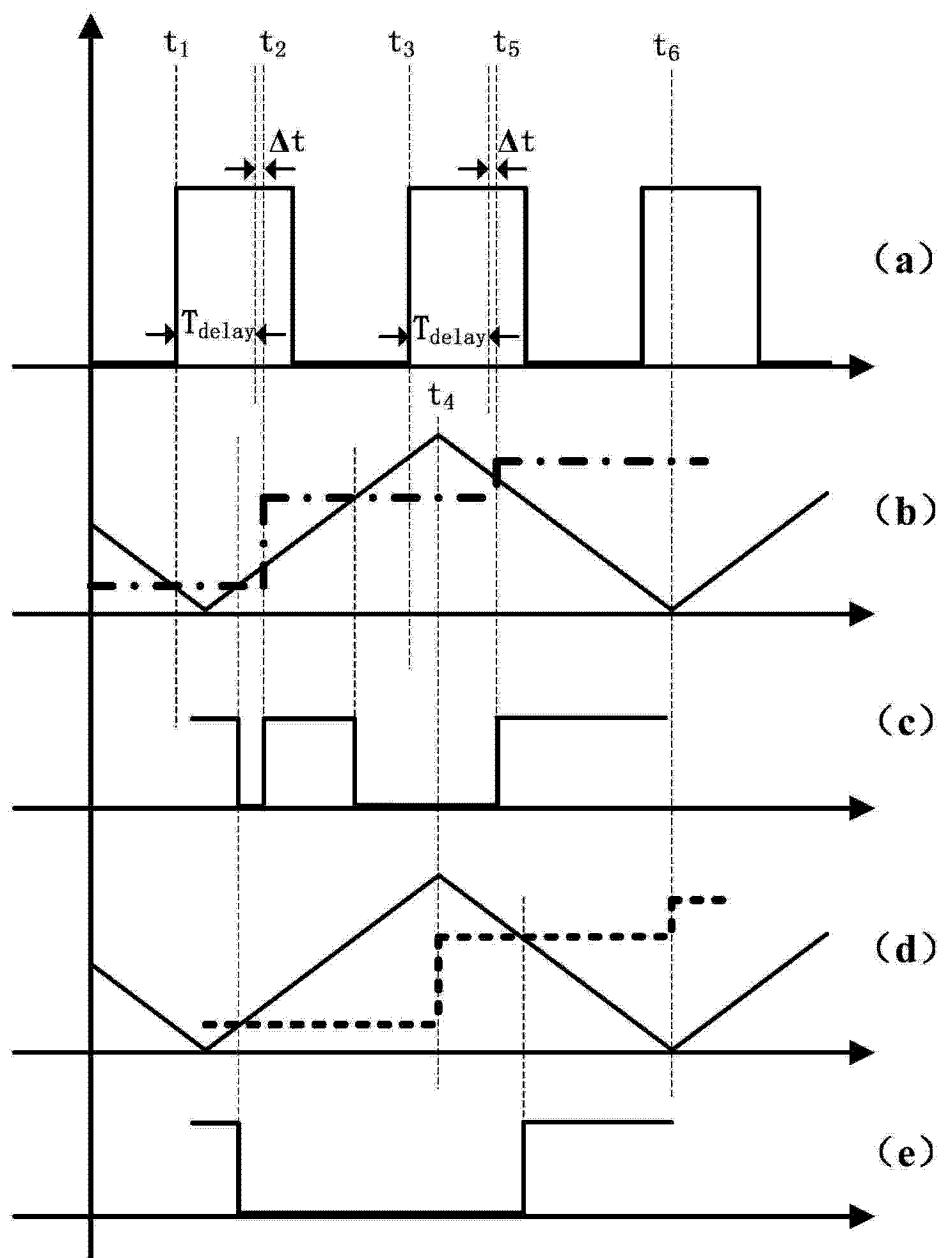
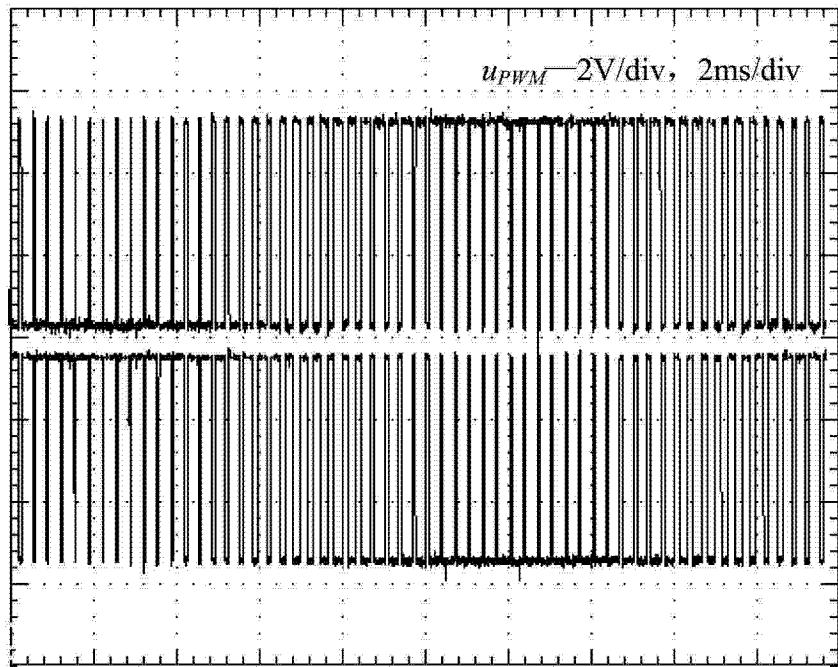
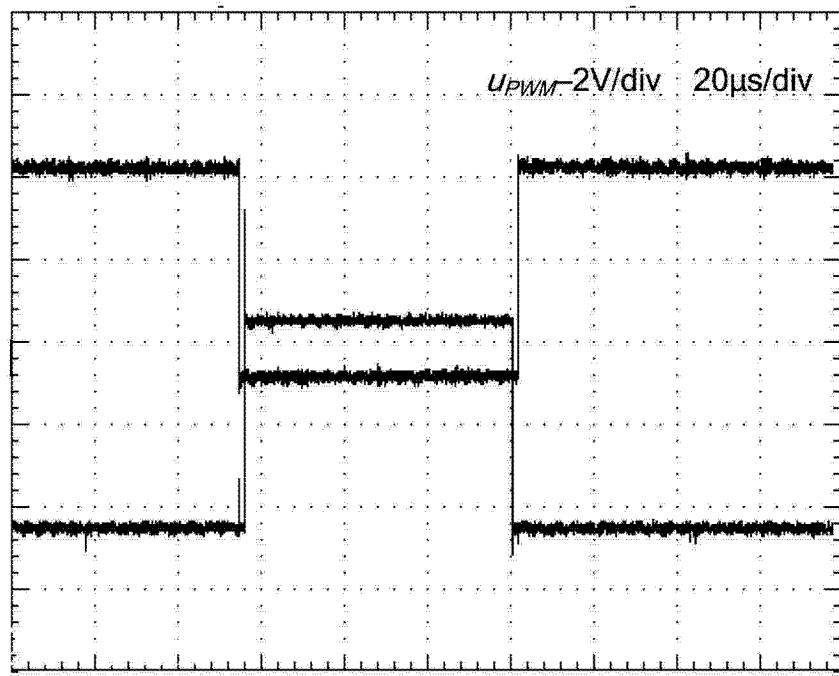


图 5

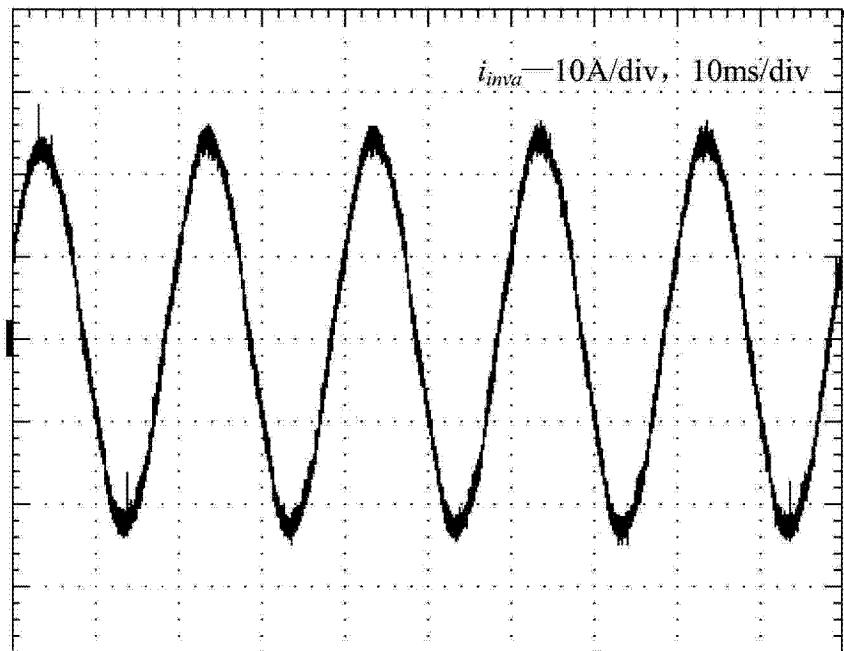


(a)

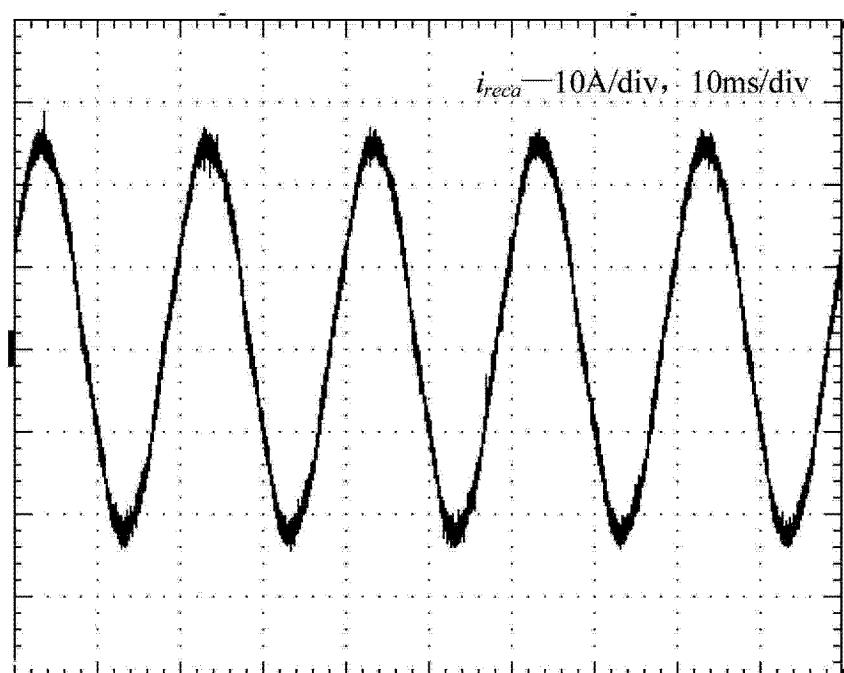


(b)

图 6



(a)



(b)

图 7