

(19) 日本国特許庁 (JP)

(12) 公表特許公報 (A)

(11) 特許出願公表番号

特表2009-512207

(P2009-512207A)

(43) 公表日 平成21年3月19日 (2009.3.19)

(51) Int.Cl.	F I	テーマコード (参考)
H O 1 L 27/04 (2006.01)	H O 1 L 29/78 6 5 6 B	5 F 0 4 8
H O 1 L 29/78 (2006.01)	H O 1 L 29/78 3 0 1 J	5 F 1 4 0
H O 1 L 21/8234 (2006.01)	H O 1 L 27/08 1 0 2 B	
H O 1 L 27/088 (2006.01)	H O 1 L 29/78 6 5 3 A	
H O 1 L 29/739 (2006.01)	H O 1 L 29/78 6 5 5 A	
審査請求 未請求 予備審査請求 未請求 (全 27 頁) 最終頁に続く		

(21) 出願番号 特願2008-535104 (P2008-535104)
 (86) (22) 出願日 平成18年10月16日 (2006.10.16)
 (85) 翻訳文提出日 平成20年6月14日 (2008.6.14)
 (86) 国際出願番号 PCT/GB2006/003833
 (87) 国際公開番号 W02007/042834
 (87) 国際公開日 平成19年4月19日 (2007.4.19)
 (31) 優先権主張番号 0520909.3
 (32) 優先日 平成17年10月14日 (2005.10.14)
 (33) 優先権主張国 英国 (GB)

(71) 出願人 507044103
 エコ・セミコンダクターズ・リミテッド
 イギリス国 エルイー2 2エルディー、
 レスター、グリーブ・ロード、ウィルミン
 トン・コート 2
 (74) 代理人 100110711
 弁理士 市東 篤
 (74) 代理人 100078798
 弁理士 市東 禮次郎
 (72) 発明者 マダチル、サンカラ、ナラヤナン、エッカ
 ナス
 イギリス国 エルイー2 21ディー、レ
 スター、グリーブ・ロード、ウィルミン
 トン・コート 2

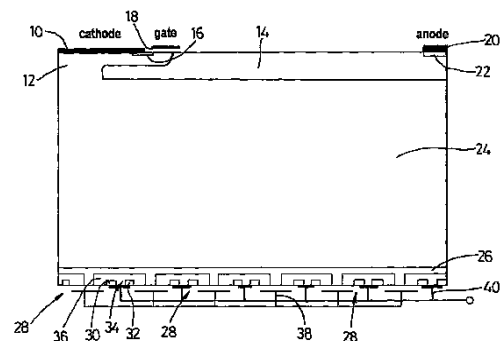
最終頁に続く

(54) 【発明の名称】 パワー半導体デバイス

(57) 【要約】

デバイスの第一部位に横型に設けたソース領域及びドレイン領域と、少なくとも第一導電型の基板領域を介して第一部位から隔てたデバイスの第二部位に設けた少なくとも1つの電流供給セルとを備えたパワー半導体デバイスを提供する。パワー半導体デバイスを横型絶縁ゲートバイポーラトランジスタ (L I G B T) とし、第一部位のソース領域及びドレイン領域をL I G B T構造の一部とすることができる。電流供給セルを、好ましくはM O S制御構造により制御し、更に好ましくはM O S F E Tとする。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

デバイスの第一部位に横型に設けたソース領域及びドレイン領域と、第一部位から少なくとも第一導電型の基板領域を介して隔てたデバイスの第二部位に設けた少なくとも 1 つの電流供給セルとを備えてなるパワー半導体デバイス。

【請求項 2】

請求項 1 のデバイスにおいて、前記第一部位のソース領域及びドレイン領域を L I G B T 構造の一部分としてなるパワー半導体デバイス。

【請求項 3】

請求項 1 又は 2 のデバイスにおいて、前記電流供給セルを M O S 制御構造により制御してなるパワー半導体デバイス。

10

【請求項 4】

請求項 3 のデバイスにおいて、前記電流供給セルを M O S F E T としてなるパワー半導体デバイス。

【請求項 5】

請求項 3 のデバイスにおいて、前記電流供給セルをデバイスの第二部位上に形成した L I G B T 構造のソース領域としてなるパワー半導体デバイス。

【請求項 6】

請求項 1 から 3 の何れかのデバイスにおいて、前記電流供給セルをダイオード、トランジスタ、又はサイリスタとして作用させてなるパワー半導体デバイス。

20

【請求項 7】

請求項 1 から 6 の何れかのデバイスにおいて、前記デバイスの第二部位に少なくとも 1 つの第一導電型の電流供給セルを設けてなるパワー半導体デバイス。

【請求項 8】

請求項 1 から 7 の何れかのデバイスにおいて、前記電流供給セルを、前記第一導電型の基板領域の下方に配置された少なくとも 1 つの第二導電型領域を介して第一部位から追加的に隔ててなるパワー半導体デバイス。

【請求項 9】

請求項 1 から 8 の何れかのデバイスにおいて、前記ソース領域を基板領域と接触させてなるパワー半導体デバイス。

30

【請求項 10】

請求項 1 から 8 の何れかのデバイスにおいて、前記ソース領域を基板領域と非接触の領域としてなるパワー半導体デバイス。

【請求項 11】

請求項 2 又は請求項 2 に従属する請求項 3 から 10 の何れかのデバイスにおいて、前記ソース領域に第一導電型のソースウェルに接続されたソース接点とそのソースウェル内に設けた第二導電型のソース小区域とを含め、前記ドレイン領域に第一導電型のドレイン小区域に接続されたドレイン接点を含め、前記ソース領域を第二導電型のドリフト領域を介してドレイン領域から隔て、前記ソース小区域とソースウェルとドレイン領域とに重ねてゲートを設けてなるパワー半導体デバイス。

40

【請求項 12】

少なくとも 1 つの論理回路と少なくとも 1 つのパワー半導体デバイスとを備え、そのパワー半導体デバイスに、デバイスの第一部位に横型に設けたソース領域及びドレイン領域と、少なくとも第一導電型の基板領域を介して第一部位から隔てたデバイスの第二部位に設けた少なくとも 1 つの電流供給セルとを設けてなるパワー集積回路。

【請求項 13】

請求項 12 のパワー集積回路において、前記少なくとも 1 つのパワー半導体デバイスを L I G B T デバイスとしてなるパワー集積回路。

【請求項 14】

請求項 12 又は 13 のパワー集積回路において、複数の前記論理回路と複数の前記パワー

50

半導体デバイスとを設けてなるパワー集積回路。

【請求項 15】

請求項 14 のパワー集積回路において、一对の隣接する前記パワー半導体デバイスを設け、少なくとも前記パワー半導体デバイスの基板領域間の境界部に沿って延びるトレンチを設けて両デバイスを相互に隔ててなるパワー集積回路。

【請求項 16】

請求項 15 のパワー集積回路において、少なくとも 1 つの前記パワー半導体デバイスに、その基板領域と接触する第一導電型の深部領域を含めてなるパワー集積回路。

【請求項 17】

請求項 15 又は 16 のパワー集積回路において、前記隣接するパワー半導体デバイスの第一部位を相互に離隔する第二導電型の境界領域を設けてなるパワー集積回路。

10

【請求項 18】

請求項 15 から 17 の何れかのパワー集積回路において、前記トレンチを第二導電型の境界領域及び / 又は第一導電型の深部領域と接触させることによりパワー半導体デバイスの相互間の電流の流れを実質上遮断してなるパワー集積回路。

【請求項 19】

請求項 18 のパワー集積回路において、前記一对の隣接するパワー半導体デバイスの基板領域間の境界に、隣接するパワー半導体デバイスのうち少なくとも一方の深部領域又は境界領域を含めてなるパワー集積回路。

20

【請求項 20】

請求項 19 のパワー集積回路において、前記境界領域の少なくとも周辺部位に単独又は複数の深部領域を延在させてなるパワー集積回路。

【請求項 21】

請求項 16 から 20 の何れかのパワー集積回路において、前記隣接するパワー半導体デバイスの両者にそれぞれ深部領域を設けてなるパワー集積回路。

【請求項 22】

請求項 15 から 21 の何れかのパワー集積回路において、前記隣接するパワー半導体デバイスを複数のトレンチによって相互に隔ててなるパワー集積回路。

【請求項 23】

請求項 21 に従属する請求項 22 のパワー集積回路において、前記一对のパワー半導体デバイスのうち一方の深部領域に接触させる第一トレンチと、前記一对のパワー半導体デバイスのうち他方の深部領域に隣接する境界領域内に延在させる第二トレンチとを設けてなるパワー集積回路。

30

【請求項 24】

請求項 14 から 23 の何れかのパワー集積回路において、前記一对のパワー半導体デバイスのうち一方をローサイド・デバイスとし他方をハイサイド・デバイスとしてなるパワー集積回路。

【請求項 25】

請求項 24 のパワー集積回路において、前記ローサイド・デバイスの深部領域に接触させる第一トレンチと、前記ハイサイド・デバイスの深部領域に隣接する境界領域内に延在させる第二トレンチとを設けてなるパワー集積回路。

40

【請求項 26】

請求項 16 から 25 の何れかのパワー集積回路において、前記深部領域をパワー集積回路の外側層と導通可能な分離ウェルとしてなるパワー集積回路。

【請求項 27】

請求項 16 から 26 の何れかのパワー集積回路において、前記単独又は複数の深部領域を保護環形状としてなるパワー集積回路。

【請求項 28】

請求項 15 から 27 の何れかのパワー集積回路において、前記トレンチを多結晶シリコンその他の半導体物質により充填してなるパワー集積回路。

50

【請求項 29】

請求項 28 のパワー集積回路において、前記半導体物質を所定電位又は所定電位差に保持してなるパワー集積回路。

【請求項 30】

請求項 15 から 27 の何れかのパワー集積回路において、前記トレンチを絶縁性物質により充填してなるパワー集積回路。

【請求項 31】

請求項 30 のパワー集積回路において、前記絶縁性物質を酸化物質としてなるパワー集積回路。

【請求項 32】

請求項 15 から 30 の何れかのパワー集積回路において、前記トレンチを少なくとも 1 つのゲートと接続してなるパワー集積回路。

【請求項 33】

複数の論理回路と、それぞれ基板領域上に形成された第一部位を有する少なくとも一対の隣接するパワーデバイスとを備え、前記隣接するパワーデバイスが少なくとも両デバイス間の基板領域間の境界部に沿って延びるトレンチによって相互に隔てられ、前記隣接するパワーデバイスのうち少なくとも一方にデバイスの基板領域と接触する深部領域及び / 又は両デバイスの第一部位を分割する第二導電型の境界領域を設け、前記トレンチを深部領域及び / 又は境界領域と接触させてパワーデバイス相互間の電流の流れの転位を実質上遮断してなるパワー集積回路又は統合パワーチップ。

【請求項 34】

請求項 33 の集積回路又はチップにおいて、前記一対の隣接するパワーデバイスの基板領域間の境界に、前記隣接するパワーデバイスのうち少なくとも一方の深部領域又は境界領域を含めてなるパワー集積回路又は統合パワーチップ。

【請求項 35】

請求項 34 の集積回路又はチップにおいて、前記境界領域の少なくとも周辺部位に単独又は複数の深部領域を延在させてなるパワー集積回路又は統合パワーチップ。

【請求項 36】

請求項 33 から 35 の何れかの集積回路又はチップにおいて、前記隣接するパワーデバイスの両者にそれぞれ深部領域を設けてなるパワー集積回路又は統合パワーチップ。

【請求項 37】

請求項 33 から 36 の何れかの集積回路又はチップにおいて、前記隣接するパワーデバイスを複数のトレンチによって相互に隔ててなるパワー集積回路又は統合パワーチップ。

【請求項 38】

請求項 37 の集積回路又はチップにおいて、前記一対のパワーデバイスのうち一方の深部領域に接触させる第一トレンチと、前記一対のパワーデバイスのうち他方の深部領域に隣接する境界領域内に延在させる第二トレンチとを設けてなるパワー集積回路又は統合パワーチップ。

【請求項 39】

請求項 33 から 38 の何れかの集積回路又はチップにおいて、前記一対のパワーデバイスのうち一方をローサイド・デバイスとし他方をハイサイド・デバイスとしてなるパワー集積回路又は統合パワーチップ。

【請求項 40】

請求項 39 の集積回路又はチップにおいて、前記ローサイド・デバイスの深部領域に接触させる第一トレンチと、前記ハイサイド・デバイスの深部領域に隣接する境界領域内に延在させる第二トレンチとを設けてなるパワー集積回路又は統合パワーチップ。

【請求項 41】

請求項 33 から 40 の何れかの集積回路又はチップにおいて、前記深部領域をパワー集積回路又は統合パワーチップの外側層と導通可能な分離ウェルとしてなるパワー集積回路又は統合パワーチップ。

10

20

30

40

50

【請求項 4 2】

請求項 3 3 から 4 1 の何れかの集積回路又はチップにおいて、前記単独又は複数の深部領域を保護環形状としてなるパワー集積回路又は統合パワーチップ。

【請求項 4 3】

請求項 3 3 から 4 2 の何れかの集積回路又はチップにおいて、前記トレンチを多結晶シリコンその他の半導体物質により充填してなるパワー集積回路又は統合パワーチップ。

【請求項 4 4】

請求項 3 3 から 4 3 の何れかの集積回路又はチップにおいて、前記パワーデバイスを L I G B T、L D M O S その他の横型デバイスとしてなるパワー集積回路又は統合パワーチップ。

10

【請求項 4 5】

添付図を参照して明細書において実質的に説明した L I G B T デバイス、パワー集積回路、又は統合パワーチップ。

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

本発明はパワー半導体デバイス及びパワー集積回路（パワー I C s）に関し、限定されるものではないが、例えば横型絶縁ゲートバイポーラトランジスタ（L I G B T）等の M O S 制御型バイポーラデバイスに言及する。

【背景技術】

20

【0 0 0 2】

一般にパワーマイクロエレクトロニクス技術で用いるデバイス群は、接地端子及びゲート端子に対する高圧端子（アノード）の配置位置の観点から異なる 3 種類に区別され、ディスクリット（D i s c r e t e）パワーデバイスと統合パワーチップ（I P C s）とパワー集積回路（パワー I C s）とに分類される。ディスクリットパワーデバイスは、デバイス頂部にカソード接点及びゲート接点を設け、アノード接点をデバイス底部に配置したものである。統合パワーチップ（I P C s）はディスクリットパワーデバイスの派生品（デリバティブ）であり、デバイス内にアクティブ制御部品を集積化している。I P C s は、アノード接点をデバイス底部に配置する結果、一般的に複数のパワーデバイスを含む構造とすることが難しい。また、そのような I P C s において制御回路（制御部品）は、酸化膜の上又は酸化膜で囲まれた島領域に形成されるのが通常である。これらに対してパワー集積回路は、複数のパワーデバイスと関連する論理回路とを共に含む構造とすることができる。パワー集積回路で用いられる典型的なパワーデバイスは、アノード（又はドレイン）、ゲート、カソード（又はソース）の 3 端子を全てデバイス頂部に配置したものである。また、例えば金属接点等を介してアノードをデバイス頂部に導き出した半縦型（q u a s i - v e r t i c a l）パワーデバイスを有するパワー集積回路も知られている。横型（l a t e r a l）パワーデバイスを用いたパワー集積回路も知られているが、そのようなデバイスは、低電圧端子と高電圧端子との間隔（距離）及びパワーデバイスの面積によって横型パワーデバイスの定格電力が制限されるという欠点がある。この制限は横方向に電圧を維持する必要があることによるものであり、デバイスの表面積に影響を及ぼす。縦型（v e r t i c a l）デバイスの電流密度（単位面積当たりの電流量で定義される）の上限は接合温度及び定格電圧の影響を受けるが、一般的にパワー集積回路の横型デバイスは縦型デバイスに比して相対的に低い電流密度で作動させる。

30

40

【0 0 0 3】

パワー集積回路を製造するために様々な技術が用いられているが、これらの技術は本質的に、接合分離（J u n c t i o n - I s o l a t i o n ; J I）技術とシリコン・オン・インシュレータ（S i l i c o n - O n - I n s u l a t o r ; S O I）技術とパーシャル S O I（P a r t i a l - S O I）技術との 3 種類に分類することができる。基板を欠いたメンブレン（膜）技術と呼ばれる S O I 技術の変形も知られている。

【0 0 0 4】

50

これらの製造技術はそれぞれ利点及び欠点を有している。接合分離（ＪＩ）技術は、高いブレイクダウン電圧を得るために、ＲＥＳＵＲＦ（ＲＥｄｕｃｅｄ ＳＵＲｆａｃｅ Ｆｉｅｌｄ）構造の一部分として軽くドーブされたＰ形（Ｐ－）半導体基板を用いる技術に基づいている。現状の接合分離技術では、横型二重拡散ＭＯＳＦＥＴ構造（Ｌａｔｅｒａｌ Ｄｏｕｂｌｅ ｄｉｆｆｕｓｅｄ ＭＯＳＦＥＴ；ＬＤＭＯＳ）等のユニポーラデバイスのために提供される性能が、オン抵抗、電流密度、及びスイッチング速度に関して比較的制限されている。複数のＲＥＳＵＲＦ構造又は超接合構造（ｓｕｐｅｒ－ｊｕｎｃｔｉｏｎ）を用いてオン特性を改善することは可能であるが、製造プロセスの制御コストが高額になる。オン電圧降下は、例えば横型絶縁ゲートバイポーラトランジスタ（Ｌａｔｅｒａｌ Ｉｎｓｕｌａｔｅｄ Ｇａｔｅ Ｂｉｐｏｌａｒ Ｔｒａｎｓｉｓｔｏｒｓ；ＬＩＧＢＴ）等のようにバイポーラ・インジェクション（注入）を用いることで著しく改善（低減）することができる。例えば、ＬＩＧＢＴデバイスに関連付けたチップサイズを、同じ定格電流のＬＤＭＯＳデバイスに比して５分の１に低減することができる。しかしＬＩＧＢＴデバイスは、基板中にキャリアを多量にインジェクションすると、同じチップ上に制御回路を配置して集積化する接合分離技術に適さなくなる。ただし、接合分離技術は最も低コストな選択肢の１つではある。

10

20

30

40

50

【０００５】

ＳＯＩ技術は、接合分離技術の幾つかの欠点、例えば基板中へのインジェクション等の欠点を軽減する。しかしＳＯＩ技術の基板は、背面フィールドプレートとして機能するので、高電圧に維持するため厚い酸化膜を必要とする。最近になって、基板を取り除くことで高いブレイクダウン電圧が得られることが明らかになり、これがメンブレン（膜）技術と呼ばれるＳＯＩ技術の変形である。ＳＯＩ技術又はメンブレン技術で実現されたＬＩＧＢＴデバイスは、接合分離技術で実現されたＬＩＧＢＴデバイス（ＪＩ－ＬＩＧＢＴ）に比して順方向のオン降下が大きくなる。

【０００６】

パーシャルＳＯＩ（Ｐａｒｔｉａｌ ＳＯＩ）技術は２つの技術の組み合わせであり、利点を有しているが、適切な基板を実現するための製造プロセスのコストに関する欠点がある。

【特許文献１】国際公開第２００６／０１６１６０号パンフレット

【特許文献２】国際公開第２００１／０１８８７６号パンフレット

【発明の開示】

【発明が解決しようとする課題】

【０００７】

本発明は、少なくとも幾つかの実施例において、前述したパワー集積回路で用いるＭＯＳバイポーラデバイスの制限を解決し、限定されるものではないが、とくに接合分離（ＪＩ）技術におけるＭＯＳバイポーラデバイスの制限を解決する。また本発明は、少なくとも幾つかの実施例において、デバイス面積を実質上広げることなく高レベル電流を流すことができるＬＩＧＢＴデバイス等のＭＯＳ制御型バイポーラデバイスを提供する。本発明のデバイスによれば、同等の縦型デバイスを用いた場合と同程度の電流を提供することができる。更に本発明は、少なくとも幾つかの実施例において、複数の高電流型パワーデバイスが複数の論理回路と共に集積されたパワー集積回路を提供する。

【課題を解決するための手段】

【０００８】

第一の側面において本発明は、デバイスの第一部位に横型に設けたソース領域及びドレイン領域と、第一部位から少なくとも第一導電型の基板領域を介して隔てたデバイスの第二部位に設けた少なくとも１つの電流供給セルとを備えてなるパワー半導体デバイスを提供するものである。

【０００９】

好ましい実施例では、パワー半導体デバイスを横型絶縁ゲートバイポーラトランジスタ（ＬＩＧＢＴ）とし、第一部位のソース領域及びドレイン領域をＬＩＧＢＴ構造の一部分

とする。

【0010】

横型パワーデバイスの占める表面積は定格電流と正比例することが知られている。例えば出力5アンペアのデバイスは一般的に出力1アンペアのデバイスの5倍の表面積を必要とするので、それによりデバイスが大きくなる。本発明のデバイスは、単位面積当たりの電流密度を増大させたデバイス構造とすることができるので、所定チップサイズにおける定格電流を増大させることができる。従来のLIGBTデバイスは、電流密度を増大させるには電子注入が不十分であるため、順方向電圧降下が大きくなる難点があることに留意されたい。本発明は、単独又は複数の電流供給セルが電流に寄与するので、電流密度を増大させることができる。基板領域は、オフ電圧を維持しつつ電流を導電する「アクティブ」領域として機能することができる。更に、安全動作領域(Safe-Operating Area)も改善されている。

10

【0011】

典型的には、第一導電型をP形とし、第二導電型をN形とする。ただし、第一導電型をN形とし、第二導電型をP形としたデバイスとすることも可能である。第一部位をデバイス頂部とし、第二部位をデバイス底部とすることができるが、第一部位をデバイス底部とし、第二部位をデバイス頂部としてもよい。好ましくは、電流供給セルをMOS制御構造により制御する。典型的には、その制御構造に1以上のソース接点と1以上のゲート接点を含める。更に好ましくは、電流供給セルをMOSFET(Metal-Oxide-Semiconductor Field-Effect Transistor)とする。

20

【0012】

例えばダイオード、トランジスタ、サイリスタ、又は接合型FET(Junction gate Field-Effect Transistor; JFET)として作用する他の形式の電流供給セルを用いることができるが、そのような電流供給セルもMOS制御構造とすることが望ましい。JFETとして、本出願人が特許文献1に開示した手法を利用することができる。

【0013】

デバイスの第二部位には、少なくとも1つの第一導電型の電流供給セルを設けることができる。第一導電型の電流供給セルを設けることで正孔(ホール)を集めることができ、順方向のバイアス安全動作領域を改善することができる。第一導電型の電流供給セルは、ソース接点と接続することができる。

30

【0014】

好ましくは電流供給セルを、第一導電型の基板領域の下方に配置された少なくとも1つの第二導電型領域を介して第一部位から追加的に隔てる。第二導電型領域は電氣的フローティング(浮動)状態とすることができる。第二導電型領域は、基板領域の下方に配置された層(レイヤー)とすることができる。その層は連続又は不連続とすることができ、連続層は内部にチャンネルが形成されたものとすることができる。基板領域と電流供給セルとが導通可能となるように、層の不連続部又は内部に形成されたチャンネルには第一導電型物質を充填することができる。

40

【0015】

電流供給セルは、その内部に第一導電型のウェルが形成されたものとすることができる。基板領域の下方に配置する第二導電型領域は、第一導電型のウェルが基板領域と導通可能となるように形成することができる。

【0016】

ソース領域を基板領域と接触させることができる。しかし他の実施例では、ソース領域を基板領域と非接触の領域としてもよい。

【0017】

LIGBTデバイスとする場合は、ソース領域に、第一導電型のソースウェルに接続さ

50

れたソース接点とそのソースウェル内に設けた第二導電型のソース小区域（サブ領域）とを含め、ドレイン領域に、第一導電型のドレイン小区域に接続されたドレイン接点を含め、ソース領域を第二導電型のドリフト領域を介してドレイン領域から隔て、ソース小区域とソースウェルとドレイン領域とに重ねてゲートを設ける。

【0018】

ソース領域は、トレンチ型、プレーナ型、逆チャネル型、マルチチャネル型、トレンチプレーナ型、又は他の適当な構造とすることができる。カソード領域には、クラスターセル又はサイリスタセルを含めることができる。

【0019】

デバイスの第一領域上のゲートは、ソース領域に別々に接続されたプレーナ型、トレンチ型ゲート、トレンチプレーナ型ゲート、又はダミー型ゲート構造とすることができる。

10

【0020】

ドレイン領域は、従来技術に属する構造、アノード短絡型、アノード分割型、NPNアノード型、アノードゲート型、又は他の適当なドレイン構造とすることができる。ドリフト領域は、非ドーブ型又は均ドーブ型とすることができ、長さ方向、幅方向若しくは深さ方向に沿ってドーピング濃度を変化させてもよい。

【0021】

デバイスの第二部位上のゲートは、トレンチ型、トレンチプレーナ型、又はダミー型構造とすることができる。デバイスの第二部位上に設けたゲートをデバイスの第一部位上に設けたゲートと接続することができ、これらのゲートを一体型構造としてもよい。或いは、デバイスの第二部位上に設けたゲートを、デバイスの第一部位上に設けたゲートと別々に操作してもよい。

20

【0022】

本発明のデバイスは、バルク技術により製造することができる。好ましくは、接合分離（J I）技術を用いてデバイスを製造する。ただし、例えばSOI技術、パーシャルSOI技術、SOI技術における半縦型構造技術、二重エピタキシャル誘電分離（Double Epitaxial Dielectric Isolation）技術、メンブレン（膜）技術、又はSOI技術を用いてデバイスを製造してもよい。

【0023】

典型的には、本発明のデバイスをシリコン（ケイ素）製とするが、炭化シリコン、窒化ガリウム等の他の材料製としたデバイスも本発明の範囲内である。好ましい形式の分離技術を後述するが、あらゆる形式の分離技術を用いることができる。また、基板は適当な厚さとすることができる。

30

【0024】

第二の側面において本発明は、少なくとも1つの論理回路と少なくとも1つのパワー半導体デバイスとを備え、そのパワー半導体デバイスに、デバイスの第一部位に横型に設けたソース領域及びドレイン領域と、少なくとも第一導電型の基板領域を介して第一部位から隔てたデバイスの第二部位に設けた少なくとも1つの電流供給セルとを設けてなるパワー集積回路を提供するものである。パワー半導体デバイスには、第一の側面に関して前述した何れかの構成を含めることができる。好ましくは、第一の側面に関して前述したL I G B Tデバイスを少なくとも1つ含める。

40

【0025】

パワー集積回路には、単独又は複数の他のパワーデバイス（例えばLDMOS、他のバイポーラトランジスタ、ダイオード等のデバイス）を含めることができる。好ましくはパワー集積回路に、複数の論理回路と、第一の側面に関して前述したパワー半導体デバイスとを含める。更に好ましくは、第一の側面に関して前述した複数のL I G B Tデバイスを含める。望ましくは、パワー集積回路に一对の隣接するパワー半導体デバイスを含め、少なくともパワー半導体デバイスの基板領域間の境界部に沿って延びるトレンチを設けて両デバイスを相互に隔てる。このトレンチによる分離方法によれば、隣接するパワー半導体デバイスの有効な分離効果が得られる。またトレンチによる分離方法は、基板の電流伝播

50

能力を高めることができ、基板領域をデバイスの一層アクティブな構成要素とする効果がある。トレンチは、従来は適当なエッチング技術によって形成することができる。少なくとも1つのパワー半導体デバイスには、その基板領域と接触する第一導電型の深部領域を含めることができる。パワー半導体デバイスに単独の深部領域を設けるか、或いはパワー半導体デバイスに複数の深部領域を設ける。

【0026】

隣接するパワー半導体デバイスの第一部位を相互に離隔する第二導電型の境界領域を設けることができる。境界領域は、インプラントーション（注入）法又はエピタキシ（成長）法の何れかによって形成することができる。

【0027】

望ましくは、トレンチを第二導電型の境界領域及び／又は第一導電型の深部領域と接触させる。トレンチは、パワー半導体デバイスの相互間の電流の流れが実質上遮断されるように位置決めすることができる。

【0028】

一对の隣接するパワー半導体デバイスの基板領域間の境界に、隣接するパワー半導体デバイスのうち少なくとも一方の深部領域又は境界領域を含めることができる。好ましくは、境界領域の少なくとも周辺部位に単独又は複数の深部領域を延在させる。

【0029】

好ましくは、隣接するパワー半導体デバイスの両者にそれぞれ深部領域を設ける。

【0030】

望ましくは、隣接するパワー半導体デバイスを複数のトレンチによって相互に隔てる。好ましくは一对のトレンチを用いる。とくに好ましい実施例では、第一トレンチを一对のパワー半導体デバイスのうち一方の深部領域と接触させ、第二トレンチを一对のパワー半導体デバイスのうち他方の深部領域に隣接する境界領域内に延在させる。ただし、第一トレンチを一方のパワー半導体デバイスの深部領域に揃えて位置合わせしない実施例とすることも可能である。

【0031】

パワー半導体デバイスの深部領域は、デバイス頂面から又はその近傍に延在するトレンチを一部分とすることができる。そのような実施例では、例えば酸化物質等の適当な物質を頂部からトレンチ内に充填することができる。追加的にトレンチを基板領域内に延在させてもよい。

【0032】

他の実施例では、一对のパワー半導体デバイスのうち一方をローサイド・デバイス（直列接続の下側デバイス）とし、一对のパワー半導体デバイスのうち他方をハイサイド・デバイス（直列接続の上側デバイス）とする。本発明は、そのようなパワー半導体デバイスを効果的に分離して両デバイス間の「混信」を防止又は少なくとも制限することができる大きな利点を有している。好ましくは、ローサイド・デバイスの深部領域に接触させる第一トレンチと、ハイサイド・デバイスの深部領域に隣接する境界領域内に延在させる第二トレンチとを設ける。

【0033】

望ましくは深部領域を、パワー集積回路の外側層と導通可能な分離ウェルとする。

【0034】

好ましくは、単独又は複数の深部領域を保護環形状とする。とくに好ましい実施例では、一对の隣接するパワー半導体デバイスにそれぞれ単独の保護環を設け、両デバイスを複数のトレンチにより離隔する。典型的には、何れか一方又は両方の保護環を接地する。

【0035】

トレンチは半導体物質で充填することができる。半導体物質は、所定電位又は所定電位差に保持することができる。例えば、半導体物質を接地電位、正又は負の他の電位に電気的に接続することができ、或いは半導体物質の電位をソース接点の電位に一致させることができる。

10

20

30

40

50

【 0 0 3 6 】

或いはトレンチを、好ましくは酸化物質等の絶縁性物質により充填する。

【 0 0 3 7 】

トレンチは、少なくとも1つのゲートと接続することができる。ゲートは、正電位、負電位又は接地電位等の任意極性電位に接続することができる。ゲートは金属製又は多結晶シリコン製とすることができる。

【 0 0 3 8 】

トレンチは、深トレンチ構造とすることができる。

【 0 0 3 9 】

複数のトレンチを設けることができる。複数のトレンチは、一对の隣接するパワー半導体デバイスの間に設けることができる。特段に望ましくは、パワー集積回路に設けた一对の隣接する L I G B T デバイスを少なくとも1つのトレンチにより離隔する。

10

【 0 0 4 0 】

第三の側面において本発明は、複数の論理回路と、それぞれ基板領域上に形成された第一部位を有する少なくとも一对の隣接するパワーデバイスとを備え、隣接するパワーデバイスが少なくとも両デバイス間の基板領域間の境界部に沿って延びるトレンチによって相互に隔てられ、隣接するパワーデバイスのうち少なくとも一方にデバイスの基板領域と接触する深部領域及び/又は両パワーデバイスの第一部位(頂部)を分割する第二導電型の境界領域を設け、トレンチを深部領域及び/又は境界領域と接触させてパワーデバイス相互間の電流の流れの転位を実質上遮断してなるパワー集積回路又は統合パワーチップを提供するものである。

20

【 0 0 4 1 】

一对の隣接するパワーデバイスの基板領域間の境界に、隣接するパワーデバイスのうち少なくとも一方の深部領域又は境界領域を含めることができる。好ましくは、境界領域の少なくとも周辺部位に単独又は複数の深部領域を延在させる。

【 0 0 4 2 】

好ましくは、隣接するパワーデバイスの両者にそれぞれ深部領域を設ける。

【 0 0 4 3 】

望ましくは、隣接するパワーデバイスを複数のトレンチによって相互に隔てる。好ましくは、一对のパワーデバイスのうち一方の深部領域に接触させる第一トレンチと、一对のパワーデバイスのうち他方の深部領域に隣接する境界領域内に延在させる第二トレンチとを設ける。ただし、第一トレンチを一方のパワーデバイスの深部領域に揃えて位置合わせしない実施例とすることも可能である。

30

【 0 0 4 4 】

パワー半導体デバイスの深部領域は、デバイス頂面から又はその近傍に延在するトレンチを一部分とすることができる。そのような実施例では、例えば酸化物質等の適当な物質を頂部からトレンチ内に充填することができる。追加的にトレンチを基板領域内に延在させてもよい。

【 0 0 4 5 】

好ましくは、一对のパワーデバイスのうち一方をローサイド・デバイスとし、一对のパワーデバイスのうち他方をハイサイド・デバイスとする。好ましい実施例では、ローサイド・デバイスの深部領域に接触させる第一トレンチと、ハイサイド・デバイスの深部領域に隣接する境界領域内に延在させる第二トレンチとを設ける。

40

【 0 0 4 6 】

深部領域は、パワー集積回路又は統合パワーチップの外側層と導通可能な分離ウェルとすることができる。

【 0 0 4 7 】

好ましくは、単独又は複数の深部領域を保護環形状とする。とくに好ましい実施例では、一对の隣接するパワー半導体デバイスにそれぞれ単独の保護環を設け、両デバイスを複数のトレンチにより離隔する。典型的には、何れか一方又は両方の保護環を接地する。

50

【 0 0 4 8 】

好ましくは単独又は複数のトレンチを絶縁性物質により充填し、更に好ましくは酸化物質により充填する。必要に応じて、ウェーハの背面をエッチングすることにより複数のトレンチを形成してもよい。

【 0 0 4 9 】

好ましくはパワーデバイスを横型デバイスとし、更に好ましくは L I G B T 又は L D M O S デバイスとする。L I G B T デバイスは第一の側面に関して前述したものとすることができ、パワー集積回路又は統合パワーチップには第二の側面に関して前述した何れかの構成を含めることができる。

【 0 0 5 0 】

或いは、パワーデバイスを縦型又は半縦型デバイスとしてもよい。

【 0 0 5 1 】

第四の関連する側面において本発明は、複数の論理回路と、それぞれ基板領域により形成された第一部位を有する少なくとも一対の隣接するパワーデバイスとを備え、隣接するパワーデバイスが少なくとも両デバイス間の基板領域間の境界部に沿って延びるトレンチによって相互に隔てられ、隣接するパワーデバイスのうち少なくとも一方にデバイスのソース領域と好ましくは基板領域とに接触する深部領域及び / 又は両パワーデバイスの頂部を分割する第二導電型の境界領域を設け、トレンチを深部領域及び / 又は境界領域と接触させてパワーデバイス相互間の電流の流れの転位を実質上遮断してなるパワー集積回路又は統合パワーチップを提供するものである。

【 0 0 5 2 】

以上、本発明について説明したが、本発明は前述した構成又は後述若しくは図面に示した構成の任意の組み合わせ又は部分的な組み合わせにも拡張される。

【 発明を実施するための最良の形態 】

【 0 0 5 3 】

以下、添付図面を参照して本発明による装置を説明する。

【 0 0 5 4 】

図 1 は、本発明による L I G B T デバイスの第一実施例を示す。図示例の L I G B T デバイスは、ソース接点 1 0 (図示例ではカソード) と、そのソース接点 1 0 が形成された P + ウェル 1 2 と、N - ドリフト領域 1 4 とを有する。P + ウェル 1 2 の内部に N + ソース小区域 (サブ領域) 1 6 が設けられ、P + ウェル 1 2 の一部分の上方に N + ソース小区域 1 6 及び N - ドリフト領域 1 4 と部分的に重なるようにゲート 1 8 が設けられている。また図示例の L I G B T デバイスは、N - ドリフト領域 1 4 内に配置された P + ドレイン領域 2 2 を有し、その P + ドレイン領域 2 2 にドレイン接点 2 0 (図示例ではアノード) が接続されている。以上の特徴により L I G B T デバイスの頂部が構成されている。ドリフト領域 1 4 及び P + ウェル 1 2 は P 形基板 2 4 上に形成されており、P 形基板 2 4 の下方 (底部) には、複数の電流供給セル (M O S F E T セル) 2 8 を集積化した N 形領域 2 6 が配置されている。N 形領域 2 6 は低 ~ 高濃度とすることができ、インプランテーション (注入) 法又はエピタキシ (成長) 法により形成することができる。N 形領域 2 6 の濃度は、デバイス底部にセルフクランプ又は自己クランプ現象 (s e l f - c l a m p i n g) を生じさせる程度とすることができ (セルフクランプ現象については特許文献 1 及び特許文献 2 に詳述されている) 。N 形領域 2 6 は何れの端子とも直接接触しておらず、電氣的フローティング状態にある。

【 0 0 5 5 】

図示例の M O S F E T セル 2 8 は、第一 N + セル 3 0 と、第二 N + セル 3 2 と、その第一及び第二 N + セル 3 0 、 3 2 を隔離する P + セル 3 4 とにより構成されている。それらのセル 3 0 、 3 2 、 3 4 は P + ウェル 3 6 内に配置されており、ゲート構造 3 8 及びカソード構造 4 0 が設けられている。カソード構造 4 0 は、M O S F E T セル 2 8 毎に、第一 N + セル 3 0 と P + セル 3 4 と第二 N + セル 3 2 とに重なるように形成されたカソードを含む。ゲート構造 3 8 は、N + セル 3 0 又は N + セル 3 2 と、P + セル 3 6 と、N 形領域

26とを覆っている。ゲート構造38は適当な形状、例えば二酸化シリコン等の絶縁物上に設けた多結晶シリコン層とすることができる。

【0056】

次に図示例のデバイスの作用を説明する。

【0057】

順方向阻止時は、従来のデバイスの場合と同様にP形基板24が空乏層を形成・維持する。基板が薄い場合には、所定アノード電位において空乏層が基板24の底部のN形領域26に到達しうる。N形領域26のドーピングに依存するが、特許文献2に記載されたデバイスの場合のように、これによってセルフクランプを生じさせることができる。他の状況下では、たとえ基板が薄い場合でも空乏層がN形領域26と接触することはなく、阻止状態は従来デバイスの場合と同様である。

10

【0058】

オン時には、P+ウェルと基板24との接触の有無及びドリフト領域の厚さに応じて、異なる状況となりうる。

【0059】

(1) デバイス頂部のカソードが基板と接触している場合

オン状態前は、N形ドリフト領域14とP形基板領域24とは逆バイアスとなっている。ゲート18の電圧がMOS領域のしきい値電圧より大きくなると、N形ドリフト領域14は接地電位となる。アノード電位がバイポーラのオン電圧より大きいときは、アノードから正孔(ホール)が注入され、カソード接点10から電子が供給される。しかし正孔の注入時に、P+アノード22とN-ドリフト領域14とP形基板24とで構成された縦型トランジスタが非常に低いアノード電圧で飽和状態となり、接合部がもはや逆バイアスではなくなる。接合部を横断する電界が消滅し、キャリアが基板24の深部に移動する。特定の理論によるものではないが、この現象はカーク効果(Kirk effect)によるものと考えられ、電流誘起性ベース拡大効果として定義される。この状態では、N形ドリフト領域14とP形基板領域24との電位差はほとんどゼロとなり、この領域は、通常の動作状態下でキャリアが基板24の深部へ可能な限り進入するに依りてアノード電位に追従するようになる。オン状態において、キャリアの進入する深さは電流密度、基板のドーピング、及びドリフトの長さに依存する。

20

【0060】

底部のゲート構造38は、カソード構造40に対して逆バイアスとなっている。ゲート電圧がしきい値電圧より大きくなると、N形領域26は接地電位となる。上述したベース拡大効果により、基板領域24の電圧はアノード電圧に応じて増大する。N形ドリフト領域14とP形基板領域24との電位差がバイポーラのオン電圧より大きくなると、底部カソード構造40からの電子がアノードへ向けて流れると共に、アノードからの正孔が、頂部のカソード接点10だけでなくカソード構造40へ向けて流れる。追加的なチャネルが大量の電子を供給してオン電圧降下を低減する。

30

【0061】

(2) デバイス頂部のカソードが基板と接触しておらず、N+ドリフト領域が十分に厚い場合

40

オン状態前は、N形ドリフト領域14とP形基板領域24とは逆バイアスとなっている。頂部セルのゲート18がMOS領域のしきい値電圧より大きくなると、N形ドリフト領域14は接地電位となる。アノード電位がバイポーラのオン電圧より大きいときは、アノードから正孔が注入され、カソード接点から電子が供給される。この場合にフローティング状態である基板はアノード電位に追従する。

【0062】

ゲート構造38はカソード構造40に対して逆バイアスとなっている。ゲート電圧がしきい値電圧より大きくなると、N形領域26は接地電位となる。N形領域16とP形基板24との間の電位差が0.7Vを越える、容量性カップリング(P形基板がフローティング状態であるためP形基板がアノード電位に追従する場合に発生する)と電流誘起性ベ-

50

ス拡大効果との何れかによって、底部カソード構造 40 からの電子がアノードへ向けて流れると共に、アノードからの正孔が、頂部のカソード接点 10 だけでなくカソード構造 40 へ向けて流れる。追加的なチャンネルが大量の電子を供給してオン電圧降下を低減する。

【0063】

基板の厚さがデバイスの動作に影響する。基板が非常に薄い場合は、底部 N 形領域近傍の基板領域を横断する電位差が本来組み込まれた電位より増大した場合にのみ底部チャンネルが寄与する。

【0064】

頂部ゲートのオフ時には、底部ゲートがオン状態であるか否かに拘わらずデバイスはターンオンしない。

【0065】

(3) デバイス頂部のカソードが基板と接触しておらず、N+ドリフト領域が十分な厚さでない場合

オン状態前は、N 形ドリフト領域 14 と P 形基板領域 24 とは逆バイアスとなっている。頂部セルのゲート電圧が MOS 領域のしきい値電圧より大きくなると、N 形ドリフト領域は接地電位となる。アノード電位がバイポーラのオン電圧より大きいときは、アノードから正孔が注入され、カソード接点から電子が供給される。しかし正孔の注入時に、P+アノード 22 と N-ドリフト領域 14 と P 形基板 24 とで構成された縦型トランジスタが非常に低いアノード電圧で飽和状態となり、接合部がもはや逆バイアスではなくなる。接合部を横断する電界が消滅し、キャリアが基板の深部に移動する。特定の理論によるものではないが、上述したようにこの現象はカーク効果 (Kirk effect) によるものと考えられ、電流誘起性ベース拡大効果として定義される。この状態では、N 形ドリフト領域 14 と P 形基板領域 24 との電位降下はほとんどゼロとなり、通常の動作状態でキャリアが基板 24 の深部へ進入する。オン状態において、キャリアの進入する深さは電流密度に依存する。

【0066】

ゲート構造 38 はカソード構造 40 に対して逆バイアスとなっている。ゲート 18 の電圧がしきい値電圧より大きくなると、N 形領域 26 は接地電位となる。N 形領域 16 と P 形基板 24 との間の電位差が 0.7V を越える、底部接点からの電子がアノードへ向けて流れると共に、アノードからの正孔が、頂部のカソード接点 10 だけでなくカソード構造 40 へ向けて流れる。追加的なチャンネルが大量の電子を供給してオン電圧降下を低減する。

【0067】

RESURF の原理の通り、所望の電圧が得られるように N 形領域 14 の濃度、厚さ、及び長さを最適化することができる。P 形基板の厚さはデバイスの動作に影響する。P 形基板が非常に厚い場合は、底部 N 形領域近傍の P 形基板領域の電圧が 0.7V より増大した場合にのみ底部チャンネルが寄与する。頂部ゲートのオフ時には、底部ゲートの電位と独立にデバイスがターンオンすることはない。所望のデバイス性能に応じて P 形基板の厚さ、長さ、及び濃度も最適化することができる。

【0068】

ターンオフ：ターンオフの間は、頂部カソード接点 10 をターンオフすると、底部カソード構造 40 から引き出されたキャリアが P 形基板へ向かうことになる。ゲート 18 とゲート構造 38 とを同時にターンオフすることによりデバイスをターンオフすることも可能である。

【0069】

電流密度が非常に高い場合に、頂部チャンネルを切断 (シャットオフ) する前に底部チャンネルをターンオフすることは、頂部カソードにおける過剰電流 (current crowding) に起因する信頼度の問題を引き起こすので、避けるべきである。

【0070】

本発明により得られる有利な効果の一例は次の通りである。底部のゲート及びカソード

10

20

30

40

50

は、通常の動作状態で大電圧とならないのでチャネル密度を非常に高めることができ、古典的な J F E T 効果を避けることができる。また底部のゲート及びカソードは、頂部のゲート及びカソードと組み合わせる又は統合して操作できるが、頂部のゲート及びカソードと独立して操作できる利点を有している。縦型デバイスでは P 形基板が存在していないが、本発明のデバイスでは P 形基板により電圧を維持することができる。デバイスの底部領域をハイサイド・カソードとして機能させることもできる。基板の濃度に適当な勾配を付けることにより、基板の厚さを減少させつつ、必要に応じて高いブレークダウン電圧を得ることもできる。また底部のゲート及びカソードは、キャリアを頂部カソード領域からそらすことができるので、順方向のバイアス安全動作領域を改善することができる。更に本発明のデバイスは、高い電流濃度で動作させることができる。本発明は、ハイサイド・

10

20

30

40

50

【0071】

図 2 ~ 図 10 は、本発明で用いる電流供給セル及びその近傍のデバイス部分の構造の様々な変形実施例を示す。図 2 ~ 図 10 は何れも、P 形基板 50 とカソード構造 52 とを表している。また、これらの図面は複数の MOSFET セル 54 を表しており、各 MOSFET セル 54 はそれぞれ第一 N + セル 56 と、第二 N + セル 60 と、第一及び第二 N + セル 56、60 を隔離する P + セル 58 と、第一及び第二 N + セル 56、60 と P + セル 58 との上方に配置された P 形ウェル 62 とを有している。図 2 の実施例では、各 MOSFET セル 54 を P 形基板 50 から隔てる N 形層 64 を設け、複数のトレンチゲート 66 を設けている。図 3 の実施例も複数のトレンチゲート 66 を設けているが、この実施例では N 形層 64 が不連続であり、P 形基板 50 と P 形ウェル 62 とが導通可能となっている。図 4 の実施例では、トレンチゲート 66 と共に連続的な N 形層 64 を設け、1 つの P 形ウェル 62 を N + セル 68 上に設けている。N + セル 68 に対する接点 70 を設けてもよいが、その接点 70 は N + セル 68 をフローティング状態とするために如何なる電位とも接触させないものとする。図 5 は図 4 の実施例を変形したものであり、N 形層 64 を不連続とすることにより、N + セル 68 上に設けた P 形ウェル 62 と P 形基板 50 とを導通可能としている。図 6 は図 4 の実施例を更に変形したものであり、N 形層 64 を不連続とすることにより、MOSFET セル 54 の P 形ウェル 62 と P 形基板 50 とを導通可能としている。図 7 は図 6 の実施例を変形したものであり、P 形基板 50 と導通可能な P 形ウェル 72 を設けると共に、その P 形ウェル 72 をカソード構造 52 との接点が形成されたデバイスの基部まで延ばしている。

【0072】

図 8 ~ 図 10 は、複数のブラーナゲート 74 を用い、且つ、P 形基板 50 の下方に複数の N 形ウェル 76 を設けた実施例を示す。N 形ウェル 76 は、それぞれデバイス底部のブラーナゲート 74 と導通可能な単独又は複数の部位を有している。図 8 は、複数の MOSFET セル 54 を設けた実施例を示す。形状の異なる 2 種類の MOSFET セル 54、すなわち一方は隣接する N 形ウェル 76 の間に形成されたチャネル 78 を介して MOSFET セルの P 形ウェル 62 が P 形基板 50 と導通可能なものと、他方は N 形ウェル 76 の存在により P 形ウェル 62 が P 形基板 50 と導通していないものとを設けている。図 9 は図 8 の実施例を変形したものであり、チャネル 78 を介して MOSFET セル 54 を P 形基板 50 と導通可能とした実施例を示す。また図 9 の実施例は、カソード構造 52 に接触した P + セル 80 を設け、各 P + セル 80 をそれぞれ P 形基板 50 と導通しないように N 形ウェル 76 の下方に配置している。図 10 は図 9 の実施例を変形したものであり、MOSFET セル 54 を N 形ウェル 76 の内部に配置して P 形基板 50 と導通させないようにすると共に、チャネル 78 を介して P + セル 80 を P 形基板 50 と導通させた実施例を示す。当業者であれば、図 2 ~ 図 10 に示した構造から更なる他の変形が可能であることを容易に理解できるであろう。例えば、トレンチゲートをブラーナゲートに置き換え、又はブラ

ーナゲートをトレンチゲートに置き換えることができる。電流供給セルは、アノード、カソード、又はドリフト領域の真下に配置する必要がないことに留意されたい。

【実施例１】

【００７３】

図１２は、図１と同様にデバイスの頂部領域と非常に類似した頂部領域を有するＬＩＧＢＴデバイスの他の実施例を示す。図示例のＬＩＧＢＴデバイスは、カソード接点１４０と、そのカソード接点１４０が形成されたＰ＋ウェル１４２と、Ｎ－ドリフト領域１４４とを有する。Ｐ＋ウェル１４２の内部にＮ＋カソード小区域（サブ領域）１４６が設けられ、Ｐ＋ウェル１４２の一部分の上方にＮ＋カソード小区域１４６及びＮ－ドリフト領域１４４と部分的に重なるようにゲート１４８が設けられている。また図示例のＬＩＧＢＴデバイスは、Ｎ－ドリフト領域１４４内に配置されたＰ＋アノード領域１５２を有し、そのＰ＋アノード領域１５２にアノード接点１５０が接続されている。図１に示したデバイスと同様に、ドリフト領域１４４及びＰ＋ウェル１４２はＰ形基板１５４上に形成されている。図１２の実施例では、デバイス底部に別のＬＩＧＢＴデバイス（底部ＬＩＧＢＴデバイス）が配置されている。このデバイス底部に形成された底部ＬＩＧＢＴデバイスは、底部カソード接点１５６と、そのカソード接点１５６が形成されたＰ＋ウェル１５８と、Ｎ－ドリフト領域１６０とを有する。底部Ｐ＋ウェル１５８の内部に底部Ｎ＋カソード小区域（サブ領域）１６２が設けられ、底部Ｐ＋ウェル１５８の一部分の上方にＮ＋カソード小区域１６２及びＮ－ドリフト領域１６０と部分的に重なるように底部ゲート１６４が設けられている。また底部ＬＩＧＢＴデバイスは、Ｎ－ドリフト領域１６０内に配置されたＰ＋アノード領域１６８を有し、そのＰ＋アノード領域１６８に底部アノード接点１６６が接続されている。底部Ｎ－ドリフト領域１６０はＰ形基板１５４の下方に接触して形成されている。底部Ｐ＋ウェル１５８もＰ形基板１５４と接触しているが、接触させない実施例とすることも可能である。図１２では、頂部カソードと底部アノードとがほぼ同じ直線上に位置合わせされ、底部カソードと頂部アノードとがほぼ同じ直線上に位置合わせされている。ただし、頂部カソードと底部カソードとをほぼ同じ直線上に位置合わせし、底部アノードと頂部アノードとをほぼ同じ直線上に位置合わせした実施例とすることも可能である。図１２の実施例では、底部ＬＩＧＢＴ構造のカソード（ソース領域）を電流供給セルとして機能させ、Ｐ形基板１５４をデバイスの頂部及び底部の間に電流を流す共通連絡路としている。頂部ＬＩＧＢＴ構造と底部ＬＩＧＢＴ構造とは同時に又は交互に動作させることができる。

【実施例２】

【００７４】

従来から、複数のＬＩＧＢＴ及び／又はＬＤＭＯＳと関連する論理回路とを同じチップ上に集積したパワー集積回路（パワーＩＣｓ）において、ＬＩＧＢＴが用いられている。このような種類のパワー集積回路では、複数のパワーデバイスの相互間を電氣的に分離することが重要である。本発明は、隣接するパワーデバイスを隔てる基板中のトレンチを用いることにより、効果的な電氣的分離を提供することができる。図１１は、隣接するパワーデバイス１１０、１１２をトレンチ１１４により隔てた実施例を示す。図示例のトレンチは、パワーデバイス１１０、１１２の両Ｐ形基板１１６を隔てたものである。更に各パワーデバイス１１０、１１２は、Ｐ形基板１１６上に設けたＮ－ドリフト領域１１８と、そのＮ－ドリフト領域１１８内に形成されたＰ＋アノード領域１２２に接触するアノード接点１２０とを有する。カソード接点１２４がＮ－ドリフト領域１１８を介してアノード１２０から隔てて設けられ、そのカソード接点１２４をＰ＋カソードウェル１２６及びＮ＋ドリフト小区域（サブ領域）１２８と接触させている。Ｐ＋カソードウェル１２６は、Ｐ形基板１１６と接触する深部領域を有している。更にゲート１３０が、カソード小区域（サブ領域）１２８とＰ＋カソードウェル１２６とＮ－ドリフト領域１１８とに重なるように設けられている。隣接するパワーデバイス１１０、１１２のカソードは「背中合わせ」となっており、Ｎ－サンドイッチ領域１３２により相互に隔てられている。トレンチ１１４をサンドイッチ領域１３２に接触させると共にその内部にまで僅かに延ばすことによ

り、デバイス 110、112 の間に電流が流れるのを防ぎ、両者の効果的な電氣的分離を得ることができる。

【0075】

トレンチ 114 は適宜にエッチング技術を用いて形成することができ、サンドイッチ領域 132 はインプランテーション（注入）法又はエピタキシ（成長）法の何れかによって形成することができる。トレンチ 114 は未充填とすることができるが、適当な充填物質で充填（又は部分的に充填）することができる。充填物質は、例えば絶縁性物質又は半導体物質とすることができる。好ましい充填用の半導体物質は、ドーピングされた又はドーピングされていない多結晶シリコンである。必要に応じて複数のトレンチを形成することができる。他の実施例では、パワーデバイス上に P 形領域（P 形基板）と接触する単独又は複数の P + 深部領域を設ける。P + 深部領域内で終端するトレンチを設けることによっても、効果的な電氣的分離を得ることができる。

【実施例 3】

【0076】

図 13 (B) は、本発明によるパワー集積回路の他の実施例を示す。図示例のパワー集積回路 170 は、ローサイド（直列接続の下側）LIGBT デバイス 172 とハイサイド（直列接続の上側）LIGBT デバイス 174 とを有する。図 13 (A) は、このパワー集積回路 170 の等価回路図を示す。図 13 の実施例は、図 11 に示したデバイスと多くの構成で共通しており、その共通する構成については同じ符号を用いて表している。図 13 (B) のデバイス 170 において、ローサイド LIGBT デバイス 172 は、サンドイッチ領域 132 に接触し且つローサイド LIGBT デバイス 172 を囲む保護環形状の接地された P + 分離ウェル 176 を有する。同様にハイサイド LIGBT デバイス 174 は、ハイサイド LIGBT デバイス 174 を囲む保護環形状の接地された P + 分離ウェル 178 を有する。P + 分離ウェル 176、178 はそれぞれ、パワー集積回路 170 の頂部表面（外側層）の金属接点 180 及びデバイスの P 形基板 116 と接触している。またパワー集積回路 170 は、デバイス底部から P 形基板 116 内に延在させた一対のトレンチ 180、182 を有する。トレンチ 180 は、ローサイド LIGBT デバイス 172 の P + 分離ウェル 176 に位置合わせされ且つその内部にまで延びている。これに対しトレンチ 182 は、ハイサイド LIGBT デバイス 174 の P + 分離ウェル 178 に位置合わせされておらず、むしろハイサイド LIGBT デバイス 174 の P + 分離ウェル 178 に隣接するサンドイッチ領域 132 の内部に延びている。これによりハイサイド基盤 184 を電氣的フローティング状態とし、ローサイド基盤 186 と短絡しないようにしている。本発明者はこの構成によれば、隣接する高圧デバイスを高度に分離しつつ、複数の高圧デバイスをコンパクトに集積できることを見出した。好ましくはトレンチを酸化物質で充填し、トレンチをパワー集積回路デバイスの底部側からのエッチングにより形成する。分離ウェルは、パワー集積回路デバイスの頂部側からのインプランテーション（注入）により形成することができる。

【実施例 4】

【0077】

図 14 は、本発明によるパワー集積回路の更に他の実施例を示す。図示例のパワー集積回路 190 は、ローサイド LIGBT デバイス 192 とハイサイド LIGBT デバイス 194 とを有する。LIGBT デバイス 192、194 は相互に隣接し且つ分離されている。両 LIGBT デバイス 192、194 は、図 11 に示した実施例と多くの構成で共通しており、その共通する構成については同じ符号を用いて表している。LIGBT デバイス 192、194 は、P - サンドイッチ領域基板 198 及びサンドイッチ領域基盤 200 上に存在する N - サンドイッチ領域 196 によって隔てられている。図 13 の実施例と同様に、ローサイド LIGBT デバイス 192 はそのデバイス 192 を囲む保護環形状の P + 分離ウェル 202 を有し、ハイサイド LIGBT デバイス 194 はそのハイサイド・デバイス 194 を囲む保護環形状の P + 分離ウェル 204 を有する。P + 分離ウェル 202、204 は、N - サンドイッチ領域 196 に接触すると共に N - サンドイッチ領域 196 に

よって隔てられ、電氣的接点 206 で接点が形成されたパワー集積回路 190 の頂部表面（外側層）に向けて延在している。またパワー集積回路 190 は、パワー集積回路デバイス 190 の底部から P - サンドイッチ基板 198 内に延在させた一対のトレンチ 208、210 を有する。図 13 の実施例と同様に、トレンチ 208 はローサイド LIGBT デバイス 192 の P + 分離ウェル 202 に位置合わせされ且つその内部にまで延びているのに対し、トレンチ 210 はハイサイド LIGBT デバイス 194 の P + 分離ウェル 204 に位置合わせされておらず、むしろ P + 分離ウェル 204 に隣接する N - サンドイッチ領域 196 の内部に延びている。これによりハイサイド基板をローサイド基板と短絡しないようにしている。好ましくは、トレンチを酸化物質等の絶縁性物質で充填する。図 13 及び図 14 に示したデバイスはハーフブリッジ回路に用いることができる。また、これらのデバイスは接合分離（J I）技術を用いて実現するに適している。この点は、従来の接合分離に基づくパワー集積回路では隣接デバイス間の共通基板にハイサイド構造を実現することが基板中のパンチスルーのために困難であったことから、本発明の有利な効果であるといえる。

【0078】

トレンチによる分離方法は、LIGBT 以外の横型デバイス、例えば LDMOS デバイスその他の横型デバイスの分離にも適用することができる。更に、本発明のトレンチによる分離方法を用いることにより、縦型デバイス又は半縦型デバイスを分離することも可能である。本発明のトレンチによる分離方法を用いて、複数のパワーデバイスを有する統合パワーチップ（IPCs）を製造することもできる。また本発明によるデバイスは、炭化シリコン、窒化ガリウム等のシリコン以外の半導体を用いて実現することもできる。複数の半導体物質の組み合わせを利用すること、例えば第一のパワーデバイスを第一半導体物質により製造し、第二のパワーデバイスを第二半導体物質により製造することも可能である。

【図面の簡単な説明】

【0079】

【図 1】本発明による LIGBT デバイスの断面図である。

【図 2】本発明による LIGBT デバイスの第 2 実施例の底部の局部断面図である。

【図 3】本発明による LIGBT デバイスの第 3 実施例の底部の局部断面図である。

【図 4】本発明による LIGBT デバイスの第 4 実施例の底部の局部断面図である。

【図 5】本発明による LIGBT デバイスの第 5 実施例の底部の局部断面図である。

【図 6】本発明による LIGBT デバイスの第 6 実施例の底部の局部断面図である。

【図 7】本発明による LIGBT デバイスの第 7 実施例の底部の局部断面図である。

【図 8】本発明による LIGBT デバイスの第 8 実施例の底部の局部断面図である。

【図 9】本発明による LIGBT デバイスの第 9 実施例の底部の局部断面図である。

【図 10】本発明による LIGBT デバイスの第 10 実施例の底部の局部断面図である。

【図 11】トレンチで離隔された 2 つの LIGBT デバイスを有する本発明のパワー集積回路の断面図である。

【図 12】本発明による LIGBT デバイスの第 11 実施例の底部の局部断面図である。

【図 13 A】本発明によるパワー集積回路の第 2 実施例の等価回路を示す図である。

【図 13 B】図 13 A のパワー集積回路の断面図である。

【図 14】本発明によるパワー集積回路の第 3 実施例の断面図である。

【符号の説明】

【0080】

10 ... ソース接点	12 ... P + ウェル
14 ... N - ドリフト領域	16 ... N + ソース小区域（サブ領域）
18 ... ゲート	20 ... ドレイン接点
22 ... P + ドレイン領域	24 ... P 型基板
26 ... N 形領域	28 ... MOSFET セル
30 ... 第一 N + セル	32 ... 第二 N + セル

10

20

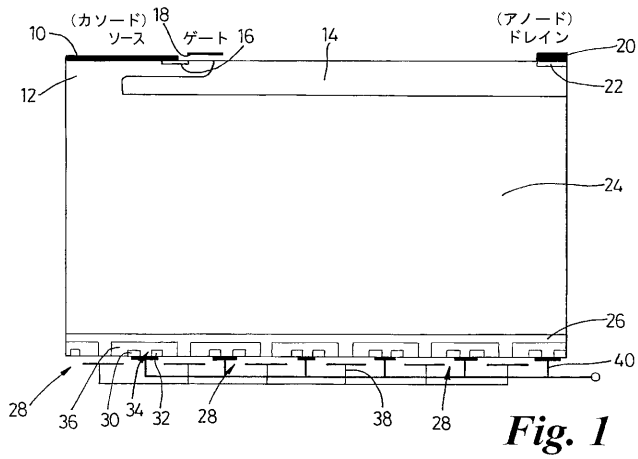
30

40

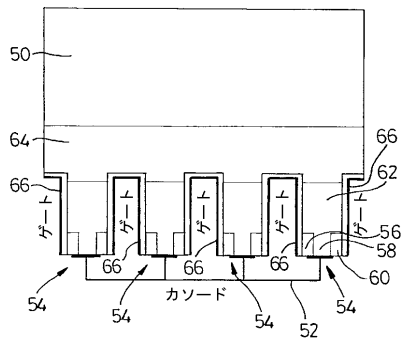
50

3 4 ... P + セル	3 6 ... P + ウェル	
3 8 ... ゲート構造	4 0 ... カソード構造	
5 0 ... P 形基板	5 2 ... カソード構造	
5 4 ... M O S F E T セル	5 6 ... 第一 N + セル	
5 8 ... P + セル	6 0 ... 第二 N + セル	
6 2 ... P 形ウェル	6 4 ... N 形層 (レイヤー)	
6 6 ... トレンチゲート	6 8 ... N + セル	
7 0 ... 接点	7 2 ... P 形ウェル	
7 4 ... プラナゲート	7 6 ... N 形ウェル	
7 8 ... チャネル	8 0 ... P + セル	10
1 1 0 ... パワーデバイス	1 1 2 ... パワーデバイス	
1 1 4 ... トレンチ	1 1 6 ... P 形基板	
1 1 8 ... N - ドリフト領域	1 2 0 ... アノード接点	
1 2 2 ... P + アノード領域	1 2 4 ... カソード接点	
1 2 6 ... P + カソードウェル	1 2 8 ... カソード小区域 (サブ領域)	
1 3 0 ... ゲート	1 3 2 ... N - サンドイッチ領域	
1 4 0 ... カソード接点	1 4 2 ... P + ウェル	
1 4 4 ... N - ドリフト領域	1 4 6 ... N + カソード小区域 (サブ領域)	
1 4 8 ... ゲート	1 5 0 ... アノード接点	
1 5 2 ... P + アノード領域	1 5 4 ... P 形基板	20
1 5 6 ... 底部カソード接点	1 5 8 ... 底部 P + ウェル	
1 6 0 ... 底部 N - ドリフト領域	1 6 2 ... 底部 N + カソード小区域 (サブ領域)	
1 6 4 ... 底部ゲート	1 6 6 ... 底部アノード接点	
1 6 8 ... 底部 P + アノード領域	1 7 0 ... パワー集積回路	
1 7 2 ... ローサイド L I G B T デバイス		
1 7 4 ... ハイサイド L I G B T デバイス		
1 7 6 ... P + 分離ウェル	1 7 8 ... P + 分離ウェル	
1 8 0 ... 金属接点	1 8 0 ... トレンチ	
1 8 2 ... トレンチ	1 8 4 ... ハイサイド基盤	
1 8 6 ... ローサイド基盤	1 9 0 ... パワー集積回路	30
1 9 2 ... ローサイド L I G B T デバイス		
1 9 4 ... ハイサイド L I G B T デバイス		
1 9 6 ... N - サンドイッチ領域	1 9 8 ... P - サンドイッチ領域基盤	
2 0 0 ... サンドイッチ領域基盤	2 0 2 ... P + 分離ウェル	
2 0 4 ... P + 分離ウェル	2 0 6 ... 電氣的接点	
2 0 8 ... トレンチ	2 1 0 ... トレンチ	

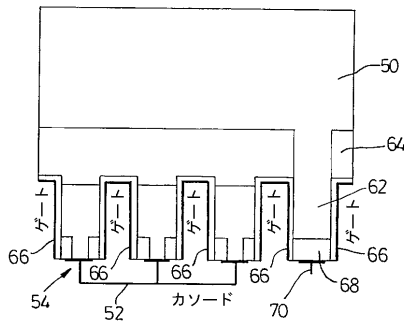
【図 1】



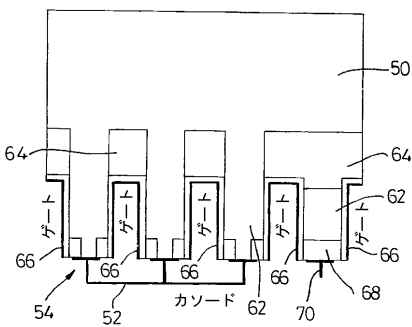
【図 2】



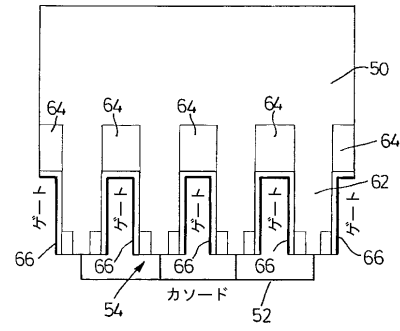
【図 5】



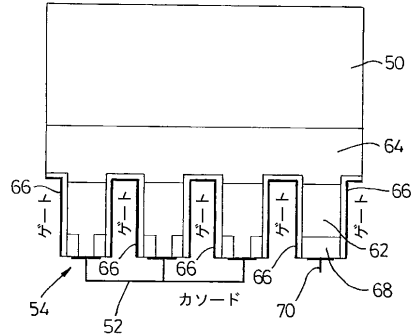
【図 6】



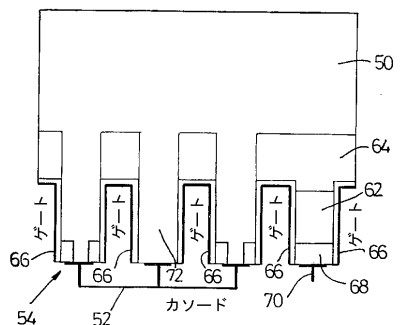
【図 3】



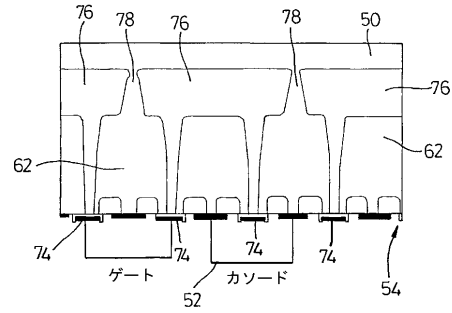
【図 4】



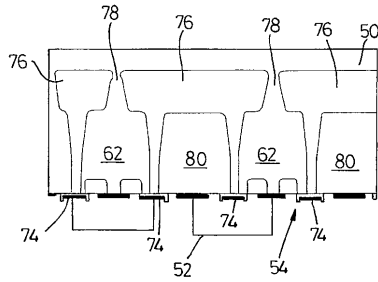
【図 7】



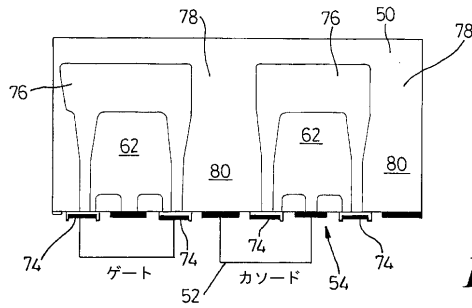
【図 8】



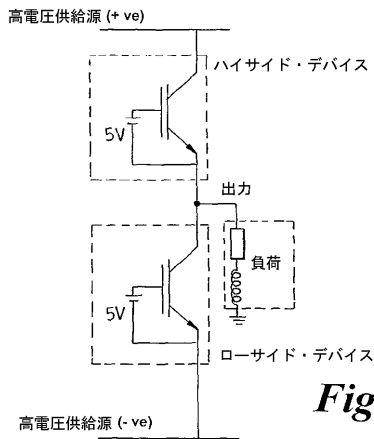
【図 9】

*Fig. 9*

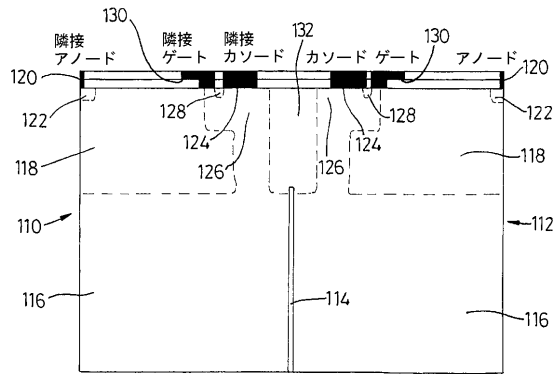
【図 10】

*Fig. 10*

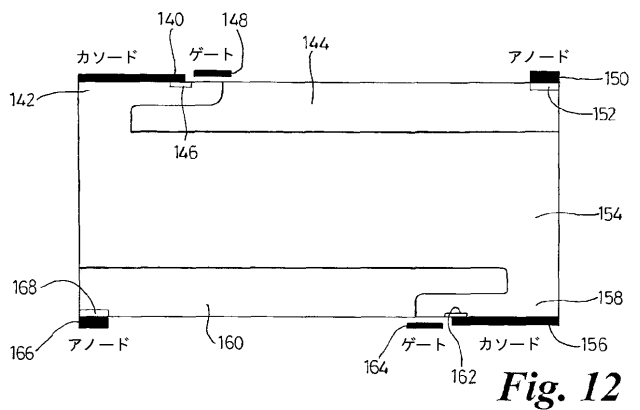
【図 13 A】

*Fig. 13(a)*

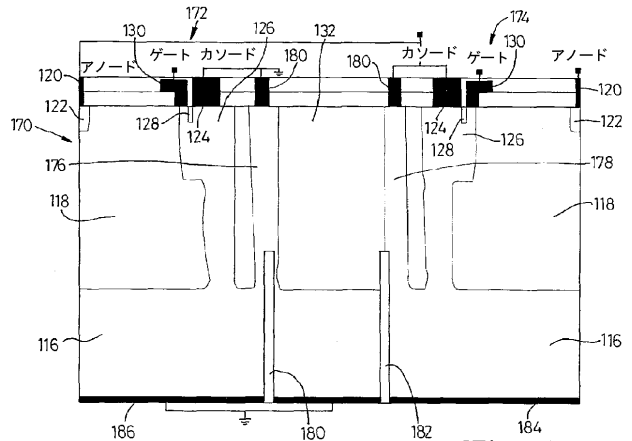
【図 11】

*Fig. 11*

【図 12】

*Fig. 12*

【図 13 B】

*Fig. 13(b)*

【 国際調査報告 】

INTERNATIONAL SEARCH REPORT

International application No
PCT/GB2006/003833

A. CLASSIFICATION OF SUBJECT MATTER
INV. H01L29/739 H01L27/06

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

EPO-Internal

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 5 874 767 A (TERASHIMA TOMOHIDE [JP] ET AL) 23 February 1999 (1999-02-23)	1-7, 9-14,45
Y	the whole document	8,15-32
Y	WO 01/18876 A (DEMONTFORT UNIVERSITY [GB]; MADATHIL SANKARA NARAYANAN EKK [GB]) 15 March 2001 (2001-03-15) cited in the application figure 5	8
Y	FR 2 566 582 A1 (SILICIUM SEMICONDUCTEUR SSC [FR]) 27 December 1985 (1985-12-27) the whole document	15-32
A	EP 0 065 346 A2 (RELIANCE ELECTRIC CO [US]) 24 November 1982 (1982-11-24) the whole document	1-32,45
	-/--	

☒ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.

"&" document member of the same patent family

Date of the actual completion of the international search

31 January 2007

Date of mailing of the international search report

26 MAR 2007

Name and mailing address of the ISA/

European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Authorized officer

Baillet, Bernard

INTERNATIONAL SEARCH REPORT

International application No.
PCT/GB2006/003833

Box II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This International Search Report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:

2. ☐ Claims Nos.:
because they relate to parts of the International Application that do not comply with the prescribed requirements to such an extent that no meaningful International Search can be carried out, specifically:

3. ☐ Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

see additional sheet

1. ☐ As all required additional search fees were timely paid by the applicant, this International Search Report covers all searchable claims.

2. ☐ As all searchable claims could be searched without effort justifying an additional fee, this Authority did not invite payment of any additional fee.

3. ☐ As only some of the required additional search fees were timely paid by the applicant, this International Search Report covers only those claims for which fees were paid, specifically claims Nos.:

4. ☒ No required additional search fees were timely paid by the applicant. Consequently, this International Search Report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

1-32, 45

Remark on Protest

- ☐ The additional search fees were accompanied by the applicant's protest.
- ☐ No protest accompanied the payment of additional search fees.

International Application No. PCT/ GB2006/ 003833

FURTHER INFORMATION CONTINUED FROM PCT/ISA/ 210

This International Searching Authority found multiple (groups of) inventions in this international application, as follows:

1. claims: 1-32, 45

Power semiconductor device having source and drain regions provided in a lateral arrangement in a first portion of the device and at least one current providing cell in a second portion of the device spaced apart from the first portion by a substrate region.

2. claims: 33-44

Power integrated circuit including a plurality of logic circuits and individual power devices, adjacent power devices being isolated from one another by a trench.

INTERNATIONAL SEARCH REPORT

International application No
PCT/GB2006/003833

Continuation. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 4 331 884 A (SVEDBERG PER) 25 May 1982 (1982-05-25) figure 4b -----	1-32,45
A	US 4 755 862 A (NOGUIER JEAN P [FR] ET AL) 5 July 1988 (1988-07-05) the whole document -----	1-32,45

Form PCT/ISA/210 (continuation of second sheet) (April 2005)

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No

PCT/GB2006/003833

Patent document cited in search report		Publication date	Patent family member(s)	Publication date
US 5874767	A	23-02-1999	NONE	
WO 0118876	A	15-03-2001	AU 781099 B2	05-05-2005
			AU 7024400 A	10-04-2001
			CA 2381530 A1	15-03-2001
			CN 1373905 A	09-10-2002
			EP 1269546 A1	02-01-2003
			JP 2003509849 T	11-03-2003
			US 6724043 B1	20-04-2004
FR 2566582	A1	27-12-1985	NONE	
EP 0065346	A2	24-11-1982	JP 57192076 A	26-11-1982
US 4331884	A	25-05-1982	AU 534375 B2	26-01-1984
			AU 5700080 A	09-10-1980
			BR 8002016 A	25-11-1980
			DE 3011557 A1	16-10-1980
			FR 2453522 A1	31-10-1980
			GB 2049316 A	17-12-1980
			IT 1130104 B	11-06-1986
			JP 55133618 A	17-10-1980
			MX 148526 A	29-04-1983
			NL 8001719 A	07-10-1980
			SE 430450 B	14-11-1983
			SE 7902932 A	04-10-1980
US 4755862	A	05-07-1988	DE 3573358 D1	02-11-1989
			EP 0191255 A1	20-08-1986
			FR 2574594 A1	13-06-1986

フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

H 0 1 L 29/78 6 5 5 Z

H 0 1 L 29/78 6 5 6 C

(81)指定国 AP(BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LV, LY, MA, MD, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW

(72)発明者 グリーン, デービッド, ウィリアム

イギリス国 エルイー 6 0 ジェーエル、レスターシャー、ラトビー、パーク・ロード 6 3

Fターム(参考) 5F048 AA04 AA05 AB10 AC06 BA01 BB05 BB19 BC03 BD06 BG13

5F140 AA00 AA29 AB01 AC21 AC22 AC23 BA01 BA02 BA06 BB06

BF04 BF43 BH05 BH14 BH30 BH43