

(19) 日本国特許庁(JP)

## (12) 特許公報(B2)

(11) 特許番号

特許第5757163号  
(P5757163)

(45) 発行日 平成27年7月29日(2015.7.29)

(24) 登録日 平成27年6月12日(2015.6.12)

(51) Int.Cl.

F 1

<b>H05K</b>	<b>3/38</b>	<b>(2006.01)</b>	H05K	3/38	B
<b>H05K</b>	<b>1/16</b>	<b>(2006.01)</b>	H05K	1/16	D
<b>H05K</b>	<b>3/46</b>	<b>(2006.01)</b>	H05K	3/46	Q
<b>H01L</b>	<b>23/12</b>	<b>(2006.01)</b>	H01L	23/12	B

請求項の数 13 (全 34 頁)

(21) 出願番号

特願2011-124604 (P2011-124604)

(22) 出願日

平成23年6月2日(2011.6.2)

(65) 公開番号

特開2012-253195 (P2012-253195A)

(43) 公開日

平成24年12月20日(2012.12.20)

審査請求日

平成26年5月26日(2014.5.26)

(73) 特許権者 000002185

ソニー株式会社

東京都港区港南1丁目7番1号

(74) 代理人 100098785

弁理士 藤島 洋一郎

(74) 代理人 100109656

弁理士 三反崎 泰司

(74) 代理人 100130915

弁理士 長谷部 政男

(74) 代理人 100155376

弁理士 田名網 孝昭

(72) 発明者 岡 修一

東京都港区港南1丁目7番1号 ソニー株式会社内

最終頁に続く

(54) 【発明の名称】多層配線基板およびその製造方法、並びに半導体装置

## (57) 【特許請求の範囲】

## 【請求項 1】

上部電極および下部電極の間に誘電層を有する薄膜キャパシタを備えた機能領域と、前記機能領域以外の周辺領域とを有し、

前記周辺領域の少なくとも一部に、前記誘電層および導電層が積層された係留部が設けられ、

前記導電層の前記誘電層に接する面のラフネスが、前記上部電極または前記下部電極の前記誘電層に接する面のラフネスよりも大きい

多層配線基板。

## 【請求項 2】

前記誘電層は、前記機能領域と前記周辺領域との共通層として設けられている

請求項 1 記載の多層配線基板。

## 【請求項 3】

前記係留部が、外形線に沿って設けられている

請求項 1 または 2 記載の多層配線基板。

## 【請求項 4】

前記周辺領域に貫通孔が設けられており、

前記係留部は、前記貫通孔を囲んで設けられている

請求項 1 ないし 3 のいずれか 1 項に記載の多層配線基板。

## 【請求項 5】

10

20

前記係留部は、上部導電層および下部導電層の間に前記誘電層を有し、前記上部導電層と前記下部導電層とが、前記誘電層を貫通して物理的につながっている

請求項 1 ないし 4 のいずれか 1 項に記載の多層配線基板。

**【請求項 6】**

金属箔の表面の一部のラフネスを悪化させる工程と、

前記金属箔の表面に誘電層および導電材料層をこの順に積層する工程と、

前記金属箔を成形することにより、薄膜キャパシタの下部電極を形成すると共に、前記ラフネスを悪化させた領域に、前記誘電層および下部導電層が積層された係留部を形成する工程と、

前記導電材料層を成形することにより、前記薄膜キャパシタの上部電極を形成する工程 10  
と

を含む多層配線基板の製造方法。

**【請求項 7】**

前記金属箔の表面の一部のラフネスを悪化させる工程の前に、前記金属箔の表面のうち少なくとも前記下部電極となる領域のラフネスを改善させる工程を含む

請求項 6 記載の多層配線基板の製造方法。

**【請求項 8】**

前記ラフネスを悪化させる手法として、レーザ加工を用いる

請求項 6 または 7 記載の多層配線基板の製造方法。

**【請求項 9】**

前記ラフネスを悪化させる手法として、薬液による粗化処理を用いる

請求項 6 または 7 記載の多層配線基板の製造方法。

**【請求項 10】**

金属箔の表面に誘電層および導電材料層をこの順に積層する工程と、

レーザ加工により前記金属箔または前記導電材料層の前記誘電層に接する面の一部のラフネスを悪化させる工程と、

前記金属箔を成形することにより、薄膜キャパシタの下部電極を形成すると共に、前記ラフネスを悪化させた領域に、前記誘電層および下部導電層が積層された係留部を形成する工程と、

前記導電材料層を成形することにより、前記薄膜キャパシタの上部電極を形成すると共に、前記係留部に上部導電層を形成する工程と 30

を含む多層配線基板の製造方法。

**【請求項 11】**

金属箔の表面に誘電層および導電材料層をこの順に積層する工程と、

前記金属箔を成形することにより、薄膜キャパシタの下部電極を形成すると共に、前記誘電層および下部導電層が積層された係留部を形成する工程と、

レーザ加工により前記係留部における前記下部導電層または前記導電材料層の前記誘電層に接する面のラフネスを悪化させる工程と、

前記導電材料層を成形することにより、前記薄膜キャパシタの上部電極を形成する工程 40  
と

を含む多層配線基板の製造方法。

**【請求項 12】**

金属箔の表面に誘電層および導電材料層をこの順に積層する工程と、

前記金属箔を成形することにより、薄膜キャパシタの下部電極を形成すると共に、前記誘電層および下部導電層が積層された係留部を形成する工程と、

前記導電材料層を成形することにより、前記薄膜キャパシタの上部電極を形成すると共に、前記係留部に上部導電層を形成する工程と、

レーザ加工により前記係留部における前記上部導電層または前記下部導電層の前記誘電層に接する面のラフネスを悪化させる工程と

を含む多層配線基板の製造方法。

10

20

30

40

50

**【請求項 1 3】**

チップおよび多層配線基板を備え、  
前記多層配線基板は、  
上部電極および下部電極の間に誘電層を有する薄膜キャパシタを備えた機能領域と、前記機能領域以外の周辺領域とを有し、  
前記周辺領域の少なくとも一部に、前記誘電層および導電層が積層された係留部が設けられ、  
前記導電層の前記誘電層に接する面のラフネスが、前記上部電極または前記下部電極の前記誘電層に接する面のラフネスよりも大きい  
半導体装置。

10

**【発明の詳細な説明】****【技術分野】****【0 0 0 1】**

本開示は、プリント配線板やインターポーザ基板などの多層配線基板およびその製造方法、並びにこの多層配線基板を備えた半導体装置に関する。

**【背景技術】****【0 0 0 2】**

プリント配線板やインターポーザ基板などの多層配線基板では、電源ラインのグラウンドに対する交流的なインピーダンスを下げる役割や、ノイズ成分が後続の回路へ伝わらないようにフィルタリングする役割を担うべく、表面実装型チップコンデンサがデカップリングキャパシタ（バイパスコンデンサ）として実装されてきた。

20

**【0 0 0 3】**

しかし、近年、能動回路の電源電圧の低下や消費電流の増加により、電源電圧の変動を抑える要求が厳しくなってきている。そのため、電源ラインからデカップリングキャパシタまでの引き回し配線による寄生抵抗や寄生インダクタンスによる影響が見えやすくなつてきており、プリント配線板の表面に実装したデカップリングキャパシタが機能しないという問題が起こっている。

**【0 0 0 4】**

そこで、デカップリングキャパシタをプリント配線板やインターポーザ基板に部品内蔵することで寄生インピーダンスを極力抑える動きが盛んになってきている。しかし、部品内蔵には、部品を内蔵するぶん基板が厚くなることや、部品実装に必要なランドによる寄生インダクタンスは残ること、などの問題がある。

30

**【0 0 0 5】**

上述した問題を解決するための方法が、例えば特許文献 1 に提案されている。上部電極と下部電極との間に誘電層を備える薄膜キャパシタをプリント配線板に内蔵するという技術である。

**【先行技術文献】****【特許文献】****【0 0 0 6】****【特許文献 1】特許第 3 8 1 6 5 0 8 号明細書**

40

**【発明の概要】****【発明が解決しようとする課題】****【0 0 0 7】**

しかしながら、特許文献 1 のように基板に埋め込まれた薄膜キャパシタでは、製造工程におけるはんだリフロー等の加熱衝撃や製品使用途中の発生熱などに起因して、電極と誘電層との界面で剥離が誘発され、製品寿命を短命化させる現象となってしまうという問題があった。

**【0 0 0 8】**

本開示の目的は、薄膜キャパシタの電極と誘電層との界面での剥離を抑えることが可能な多層配線基板およびその製造方法、並びにこの多層配線基板を備えた半導体装置を提供

50

することにある。

**【課題を解決するための手段】**

**【0009】**

本開示による多層配線基板は、上部電極および下部電極の間に誘電層を有する薄膜キャパシタを備えた機能領域と、機能領域以外の周辺領域とを有し、周辺領域の少なくとも一部に、誘電層および導電層が積層された係留部が設けられ、導電層の誘電層に接する面のラフネスが、上部電極または下部電極の誘電層に接する面のラフネスよりも大きいものである。

**【0010】**

本開示の多層配線基板では、係留部における導電層のラフネスが、機能領域における上部電極または下部電極のラフネスよりも大きくなっている。よって、導電層の誘電層に接する面が荒れて表面積が増大することにより、導電層と誘電層との密着性が向上する。これにより、機能領域において薄膜キャパシタの上部電極または下部電極と誘電層との界面での剥離が抑えられる。

10

**【0011】**

本開示の第1の多層配線基板の製造方法は、以下の(A)～(D)の工程を含むものである。

(A) 金属箔の表面の一部のラフネスを悪化させる工程

(B) 金属箔の表面に誘電層および導電材料層をこの順に積層する工程

(C) 金属箔を成形することにより、薄膜キャパシタの下部電極を形成すると共に、ラフネスを悪化させた領域に、誘電層および下部導電層が積層された係留部を形成する工程

20

(D) 導電材料層を成形することにより、薄膜キャパシタの上部電極を形成する工程

**【0012】**

本開示の第2の多層配線基板の製造方法は、以下の(A)～(D)の工程を含むものである。

(A) 金属箔の表面に誘電層および導電材料層をこの順に積層する工程

(B) レーザ加工により金属箔または導電材料層の誘電層に接する面の一部のラフネスを悪化させる工程

(C) 金属箔を成形することにより、薄膜キャパシタの下部電極を形成すると共に、ラフネスを悪化させた領域に、誘電層および下部導電層が積層された係留部を形成する工程

30

(D) 導電材料層を成形することにより、薄膜キャパシタの上部電極を形成すると共に、係留部に上部導電層を形成する工程

**【0013】**

本開示の第3の多層配線基板の製造方法は、以下の(A)～(D)の工程を含むものである。

(A) 金属箔の表面に誘電層および導電材料層をこの順に積層する工程

(B) 金属箔を成形することにより、薄膜キャパシタの下部電極を形成すると共に、誘電層および下部導電層が積層された係留部を形成する工程

(C) レーザ加工により係留部における下部導電層または導電材料層の誘電層に接する面のラフネスを悪化させる工程

40

(D) 導電材料層を成形することにより、薄膜キャパシタの上部電極を形成する工程

**【0014】**

本開示の第4の多層配線基板の製造方法は、以下の(A)～(D)の工程を含むものである。

(A) 金属箔の表面に誘電層および導電材料層をこの順に積層する工程

(B) 金属箔を成形することにより、薄膜キャパシタの下部電極を形成すると共に、誘電層および下部導電層が積層された係留部を形成する工程

(C) 導電材料層を成形することにより、薄膜キャパシタの上部電極を形成すると共に、係留部に上部導電層を形成する工程

(D) レーザ加工により上部導電層または下部導電層の誘電層に接する面のラフネスを悪

50

化させる工程

【0020】

本開示の半導体装置は、チップおよび上記本開示の多層配線基板を備えたものである。

【0021】

本開示の半導体装置では、上記本開示の多層配線基板を備えているので、機能領域において薄膜キャパシタの上部電極または下部電極と誘電層との界面での剥離が抑えられており、製品寿命が長くなる。

【発明の効果】

【0022】

本開示の多層配線基板によれば、係留部における導電層のラフネスを、機能領域における薄膜キャパシタの上部電極または下部電極のラフネスよりも大きくするようにしている。よって、係留部において導電層と誘電層との密着性を向上させ、機能領域において薄膜キャパシタの上部電極または下部電極と誘電層との界面での剥離を抑えることが可能となる。従って、この多層配線基板を用いて半導体装置を構成すれば、製品寿命を長くすることが可能となる。

10

【0023】

本開示の第1の多層配線基板の製造方法によれば、金属箔の表面の一部のラフネスを悪化させたのち、誘電層および導電材料層をこの順に積層し、金属箔を成形することにより、薄膜キャパシタの下部電極を形成すると共に、ラフネスを悪化させた領域に、誘電層および下部導電層を積層した係留部を形成するようにしている。よって、上記本開示の多層配線基板を容易に製造することが可能となる。

20

【0024】

本開示の第2の多層配線基板の製造方法によれば、金属箔の表面に誘電層および導電材料層をこの順に積層し、レーザ加工により金属箔または導電材料層の一部のラフネスを悪化させる。その後、金属箔を成形することにより、薄膜キャパシタの下部電極を形成すると共に、ラフネスを悪化させた領域に、誘電層および下部導電層を積層した係留部を形成するようにしている。よって、上記本開示の多層配線基板を容易に製造することが可能となる。

【0025】

本開示の第3の多層配線基板の製造方法によれば、金属箔の表面に誘電層および導電材料層をこの順に積層し、金属箔を成形することにより、薄膜キャパシタの下部電極を形成すると共に、誘電層および下部導電層が積層された係留部を形成する。その後、レーザ加工により係留部における下部導電層または導電材料層のラフネスを悪化させるようにしている。よって、上記本開示の多層配線基板を容易に製造することが可能となる。

30

【0026】

本開示の第4の多層配線基板の製造方法によれば、薄膜キャパシタを形成したのちに、レーザ加工により係留部の上部導電層または下部導電層の誘電層に接する面のラフネスを悪化させるようにしている。よって、上記本開示の多層配線基板を容易に製造することが可能となる。

【図面の簡単な説明】

40

【0031】

【図1】本開示の第1の実施の形態に係る多層配線基板の構成を表す断面図である。

【図2】図1に示した多層配線基板の平面図である。

【図3】図1に示した多層配線基板の製造方法の流れを表す図である。

【図4】図3に示した製造方法を工程順に表す断面図である。

【図5】図4に続く工程を表す断面図である。

【図6】図5に続く工程を表す断面図である。

【図7】図6に続く工程を表す断面図である。

【図8】従来の多層配線基板の構成を表す断面図である。

【図9】本開示の第2の実施の形態に係る多層配線基板の構成を表す断面図である。

50

【図10】図9に示した多層配線基板の製造方法を工程順に表す断面図である。

【図11】図10に続く工程を表す断面図である。

【図12】図11に続く工程を表す断面図である。

【図13】本開示の第3の実施の形態に係る多層配線基板の製造方法の流れを表す図である。

【図14】図13に示した製造方法を工程順に表す断面図である。

【図15】変形例1に係る多層配線基板の構成を表す断面図である。

【図16】変形例2に係る多層配線基板の構成を表す断面図である。

【図17】本開示の第4の実施の形態に係る多層配線基板の製造方法の流れを表す図である。

10

【図18】図17に示した製造方法を工程順に表す断面図である。

【図19】本開示の第5の実施の形態に係る多層配線基板の製造方法の流れを表す図である。

【図20】図19に示した製造方法を工程順に表す断面図である。

【図21】図20に続く工程を表す断面図である。

【図22】変形例3に係る多層配線基板の製造方法の流れを表す図である。

【図23】本開示の第6の実施の形態に係る多層配線基板の構成を表す断面図である。

【図24】図23に示した多層配線基板の製造方法の流れを表す図である。

【図25】図23に示した多層配線基板の他の製造方法の流れを表す図である。

【図26】図23に示した多層配線基板の更に他の製造方法の流れを表す図である。

20

【図27】図23に示した多層配線基板の更に他の製造方法の流れを表す図である。

【図28】変形例4に係る多層配線基板の構成を表す断面図である。

【図29】本開示の第7の実施の形態に係る多層配線基板の構成を表す断面図である。

【図30】図29に示した多層配線基板の変形例を表す断面図である。

【図31】本開示の第8の実施の形態に係る多層配線基板の構成を表す断面図である。

【図32】本開示の第9の実施の形態に係る半導体装置の構成を表す断面図である。

【発明を実施するための形態】

【0032】

以下、本開示の実施の形態について図面を参照して詳細に説明する。なお、説明は以下の順序で行う。

30

1. 第1の実施の形態（多層配線基板；ラフネス悪化による係留部を、外形線に沿って設ける例）

2. 第2の実施の形態（多層配線基板；ラフネス悪化による係留部を、貫通ビアを囲んで設ける例）

3. 第3の実施の形態（多層配線基板の製造方法；金属箔に誘電層および導電材料層を積層したのちに、金属箔または導電材料層のラフネスを悪化させる例）

4. 変形例1（多層配線基板；係留部の上部導電層のラフネスを、上部電極または下部電極のラフネスよりも大きくする例）

5. 変形例2（多層配線基板；係留部の上部導電層および下部導電層の両方について、それらのラフネスを、上部電極または下部電極のラフネスよりも大きくする例）

40

6. 第4の実施の形態（多層配線基板の製造方法；金属箔を成形して下部導電層を形成したのちに、下部導電層または導電材料層のラフネスを悪化させる例）

7. 第5の実施の形態（多層配線基板の製造方法；薄膜キャパシタを内蔵したのちに、上部導電層または下部導電層のラフネスを悪化させる例）

8. 変形例3（多層配線基板の製造方法；多層配線基板が出来上がったのちに、上部導電層または下部導電層のラフネスを悪化させる例）

9. 第6の実施の形態（多層配線基板；上部導電層と下部導電層とを、誘電層を貫通してつなげる例）

10. 変形例4（多層配線基板；上部導電層または下部導電層のラフネスを悪化させると同時に、上部導電層および下部導電層とを、誘電層を貫通してつなげる例）

50

11. 第7の実施の形態(多層配線基板；薄膜キャパシタを内蔵するインターポーザ基板の例)

12. 第8の実施の形態(多層配線基板；インターポーザ基板を多段に重ねた例)

13. 第9の実施の形態(半導体装置；多層配線基板をマザーボードとして用いた例)

**【0033】**

(第1の実施の形態)

図1は、本開示の第1の実施の形態に係る多層配線基板の断面構成を表したものである。この多層配線基板は、プリント配線板またはインターポーザ基板として用いられるものであり、例えば、銅(Cu)箔よりなる第1配線層L1、後述する薄膜キャパシタCsを含む第2配線層L2、銅箔よりなる第3配線層L3、および銅箔よりなる第4配線層L4を、樹脂層11、12、13を間にして積層した4層プリント基板である。10

**【0034】**

また、この多層配線基板には、プリント配線板またはインターポーザ基板として用いられる基板領域10Aと、ダイシングやルーター加工などの物理的な切削・切断を行うための加工領域10Bとが設けられている。基板領域10Aの一部には、薄膜キャパシタが内蔵された機能領域10Cが設けられており、この機能領域10C以外の領域は、キャパシタとして寄与しない周辺領域10Dとなっている。周辺領域10Dの一部には係留部10Eが設けられている。

**【0035】**

機能領域10Cは、多層配線基板に部品キャパシタを実装する代わりに、基板領域10Aに薄膜キャパシタを内蔵した領域である。プリント配線板やインターポーザ基板に薄膜キャパシタを内蔵することで、IC(Integrated Circuit; 集積回路)の直下にデカップリングキャパシタを配置することが可能となる。20

**【0036】**

このような機能領域10Cは、例えば、上述した第2配線層L2の銅箔に代えて、上部電極21および下部電極22の間に誘電層31を有する薄膜キャパシタCsを備えている。薄膜キャパシタCsの上部電極21および下部電極22には、貫通ピア21A、22Aがそれぞれ接続されている。

**【0037】**

上部電極21は、例えば、銅(Cu)などの金属箔により構成されている。また、上部電極21は、金属箔のほか、めつき、スパッタ、蒸着などによる導電層により構成されていてもよい。30

**【0038】**

誘電層31の構成材料は特に限定されないが、例えば、チタン酸ストロンチウム・バリウム(BST)(BaSrTiO<sub>3</sub>)、チタン酸バリウム(BTO)(BaTiO<sub>3</sub>)、チタン酸ストロンチウム(STO)(SrTiO<sub>3</sub>)等が挙げられる。

**【0039】**

下部電極22は、例えば、ニッケル(Ni)箔等の金属箔により構成されている。下部電極22の誘電層31に接する面は、ラッピング・ポリッシング等により平滑化されており、その表面ラフネスは例えばRz0.1μm以下であることが望ましい。誘電層31の厚さを薄くしても耐圧劣化やリーク電流を抑えることが可能となり、薄膜キャパシタCsの単位面積当たりの容量値を高めることが可能となるからである。40

**【0040】**

上部電極21の厚さは数μm～数十μm、誘電層31の厚さは1μm前後、下部電極22の厚さは10μm～100μmである。従って、薄膜キャパシタCsの厚さは、部品キャパシタに比べて一桁近く薄くすることが可能である。また、薄膜キャパシタCsは、両面銅張積層板と類似の上部電極(導電層)21/誘電層31/下部電極(導電層)22という層構成を有しているので、標準の基板プロセスと相性が良く、部品実装のためのランドを必要としないという利点もある。

**【0041】**

10

20

30

40

50

係留部 10 E は、上部電極 21 と同層の上部導電層 41 および下部電極 22 と同層の下部導電層 42 との間に誘電層 31 を有しており、その層構成は、機能領域 10 C の薄膜キャパシタ Cs と同じである。しかしながら、下部導電層 42 の誘電層 31 に接する面のラフネスは、例えば少なくとも  $Rz 4 \mu m$ 、好適には  $Rz 8 \mu m$  であり、下部電極 22 の誘電層 31 に接する面のラフネスよりも大きくなっている。換言すれば、下部導電層 42 の誘電層 31 に接する面は、下部電極 22 の誘電層 31 に接する面よりもラフネスが大きい粗面部 43 とされている。これにより、この多層配線基板では、薄膜キャパシタ Cs の上部電極 21 または下部電極 22 と誘電層 31 との界面での剥離を抑えることが可能となっている。

## 【0042】

10

すなわち、薄膜キャパシタは部品キャパシタに比べると単位面積当たりの容量値が小さいという問題があった。薄膜キャパシタで実現可能な単位面積当たりの容量値は数  $\mu F / cm^2$  である。単位面積当たりの容量値を向上させるためには、誘電層の比誘電率を大きくするか、誘電層の厚さを薄くする必要がある。

## 【0043】

誘電層の比誘電率を大きくするためには、誘電層の材料を変えるのが効果的である。しかしながら、薄膜キャパシタでは、既に、部品キャパシタでも用いられている強誘電膜であるチタン酸ストロンチウムやチタン酸バリウム、チタン酸バリウムストロンチウム等を用いているため、大幅な比誘電率の向上は期待できない。

## 【0044】

20

一方、誘電層の厚さについては、理論的には誘電層の厚さに反比例して容量値は増えることになるため、誘電層を薄くすることは非常に有効である。ただし、実際には導電層に凹凸が存在するため、誘電層の膜厚を単純に薄くするだけでは局所的に誘電層の膜厚が薄くなる部分の影響が大きくなってしまい、そのため、大幅な耐圧劣化、及び大幅なリーク電流の増加を招くことになる。

## 【0045】

そこで、誘電層を形成する前に、導電層の表面を研磨等によりラフネスを改善させることで、局所的に誘電層の膜厚が薄くなる部分を無くすことが可能となり、誘電膜の膜厚を薄くすることが可能となる。

## 【0046】

30

しかし、その一方で、導電層の表面ラフネスが改善する悪影響として、導電層と誘電層の密着性が低減してしまうことがあげられる。導電層と誘電層の密着性の低減は、その界面での剥離現象を引き起こすリスクを高めることになる。界面の剥離現象は、キャパシタとしての設計電気容量とのズレを大きくしたり、設計品質を満たさないことに繋がる。また、プリント配線板やインターポーラ基板としてのデラミネーション発生の起点となり、はんだリフロー等の加熱衝撃を受けることで層間剥離が生じたり、製品使用途中の発生熱による剥離が誘発され、製品寿命を短命化させる原因となってしまうという問題があった。

## 【0047】

そこで、本実施の形態では、係留部 10 E における下部導電層 42 の誘電層 31 に接する面のラフネスを、機能領域 10 C における薄膜キャパシタ Cs の下部電極 22 の誘電層 31 に接する面のラフネスよりも大きくするようにしている。これにより、係留部 10 E に、下部導電層 42 と誘電層 31 との密着性を向上させるアンカー（係留）機能をもたせて、機能領域 10 C において薄膜キャパシタ Cs の上部電極 21 または下部電極 22 と誘電層 31 との界面での剥離を抑えることが可能となる。

## 【0048】

係留部 10 E は、図 2 に示したように、外形線 10 F、つまり基板領域 10 A と加工領域 10 B との境界線に沿って設けられていることが好ましい。外形線 10 F は、プリント配線板やインターポーラ基板のエッジ部分に相当し、ダイシングやルータ加工等の物理的な切削によるダメージにさらされる領域となる。この部分が、薄膜キャパシタ Cs の上部

40

50

電極 2 1 または下部電極 2 2 と誘電層 3 1 との界面での剥離を引き起こすリスクが最も高い場所の一つである。従って、係留部 1 0 E を外形線 1 0 F に沿って設けることにより、薄膜キャパシタ C s の上部電極 2 1 および下部電極 2 2 と誘電層 3 1 との界面での剥離を抑える効果を更に大きくすることが可能となる。

#### 【 0 0 4 9 】

上部導電層 4 1 および下部導電層 4 2 は、それぞれ、上部電極 2 1 および下部電極 2 2 と同様の材料により構成されている。上部導電層 4 1 および下部導電層 4 2 は、それぞれ、上部電極 2 1 および下部電極 2 2 と連続して（共通層として）設けられていてもよいし、上部電極 2 1 および下部電極 2 2 とは非連続に（別の層として）設けられていてもよい。10

#### 【 0 0 5 0 】

誘電層 3 1 は、機能領域 1 0 C と周辺領域 1 0 D との共通層として（一つの連続した相として）設けられていることが好ましい。一般的な多層配線板の製造ラインにある装置での加工が難しいからである。

#### 【 0 0 5 1 】

このような多層配線基板は、例えば、次のようにして製造することができる。

#### 【 0 0 5 2 】

図 3 は、この多層配線基板の製造方法の流れを表し、図 4 ないし図 7 は、図 3 に示した製造方法を工程順に表したものである。まず、図 4 ( A ) に示したように、下部電極 2 2 および下部導電層 4 2 の構成材料として、ニッケル箔等の金属箔 5 1 を用意する（ステップ S 1 0 1 ）。20

#### 【 0 0 5 3 】

次いで、同じく図 4 ( A ) に示したように、この金属箔 5 1 の表面に対して、ラッピング・ポリッシング等により平滑化処理を行い、表面ラフネスを改善させる（ステップ S 1 0 2 ）。金属箔 5 1 の表面ラフネスは、例えば R z 0 . 1 μ m 以下になっているのが望ましい。これにより、機能領域 1 0 C の下部電極 2 2 となる領域のラフネスが改善し、薄膜キャパシタ C s の単位面積当たりの容量値を向上させることが可能となる。

#### 【 0 0 5 4 】

続いて、図 4 ( B ) に示したように、金属箔 5 1 の一部、具体的には、薄膜キャパシタ C s として寄与させない周辺領域 1 0 D の一部のラフネスを悪化させる（ステップ S 1 0 3 ）。そのラフネスは例えば少なくとも R z 4 μ m 、好適には R z 8 μ m とすることが望ましい。これにより、係留部 1 0 E の下部導電層 4 2 となる領域のラフネスを、機能領域 1 0 C の下部電極 2 2 となる領域のラフネスよりも大きく（荒く）させて、粗面部 4 3 を形成する。30

#### 【 0 0 5 5 】

金属箔 5 1 の一部のラフネスを悪化させる手法としては、例えば、レーザ照射（レーザ加工）を用いることが可能である。また、例えば、金属箔 5 1 をドライフィルムフォトマスクで覆い、パターニングにより一部に開口を設け、薬液を用いた粗化処理により、金属箔 5 1 の一部のラフネスを悪化させる方法でもよい。

#### 【 0 0 5 6 】

続いて、図 4 ( C ) に示したように、金属箔 5 1 の表面の全面に誘電層 3 1 を設ける（ステップ S 1 0 4 ）。誘電層 4 1 の形成方法としては、例えば、いわゆるゾル - ゲル法、誘電体フィラーとバインダー樹脂とを含む誘電体フィラー含有樹脂溶液を用いて塗工により誘電層を形成する塗工法、誘電体フィラーを含有したフィルムをラミネートする方法、スパッタ、蒸着等、種々の公知の方法を採用することが可能である。40

#### 【 0 0 5 7 】

その後、図 4 ( D ) に示したように、誘電層 3 1 の上に、上部電極 2 1 および上部導電層 4 1 を形成するための導電材料層 5 2 を設ける（ステップ S 1 0 5 ）。導電材料層 5 2 の形成方法としては、金属箔を用いて張り合わせる方法、めっき法で導電材料層 5 2 を形成する方法、スパッタ、蒸着等、公知の種々の方法を採用することが可能である。50

## 【0058】

誘電層31の上に導電材料層52を設けたのち、例えばエッティング、より具体的にはウエットエッティングにより、金属箔51を所定の形状に成形し、加工領域10Bの金属箔51を選択的に除去し、基板領域10Aのみに金属箔51を残存させる。これにより、図5(A)に示したように、機能領域10Cには薄膜キャパシタCsの下部電極22が形成され、ラフネスを悪化させた領域には、誘電層31および下部導電層42が積層された係留部10Eが形成される(ステップS106)。

## 【0059】

下部電極22および係留部10Eを形成したのち、図5(B)ないし図5(E)に示したように、下部電極22および下部導電層42の裏面に、第3配線層L3を形成するための金属箔53を、樹脂層12を間に貼り合わせる。10

## 【0060】

金属箔53の貼り合わせを行ったのち、図6(A)に示したように、例えばエッティングにより、導電材料層52を所定の形状に成形して、機能領域10Cに薄膜キャパシタCsの上部電極21を形成すると共に、係留部10Eに上部導電層41を形成する(ステップS107)。これにより、機能領域10Cには、上部電極21および下部電極22の間に誘電層31を有する薄膜キャパシタCsが形成される一方、周辺領域10Dの一部に、上部導電層41および下部導電層42の間に誘電層31を有する係留部10Eが形成される。。

## 【0061】

これと同時に、同じく図6(A)に示したように、金属箔53を所定の形状に成形して第3配線層L3を形成する(ステップS108)。20

## 【0062】

金属箔51, 53を成形したのち、図6(B)ないし図6(D)に示したように、上部電極21および上部導電層41の上に、第1配線層L1を形成するための金属箔54を、樹脂層11を間に貼り合わせる。また、図6(D)ないし図6(F)、および図7(A)に示したように、第3配線層L3の裏面に、第4配線層L4を形成するための金属箔55を、樹脂層13を間に貼り合わせる。

## 【0063】

金属箔54, 55の貼り合わせを行ったのち、図7(B)に示したように、例えばエッティングにより、金属箔54, 55を所定の形状に成形して第1配線層L1および第4配線層L4を形成する(ステップS109)。30

## 【0064】

最後に、同じく図7(B)に示したように、薄膜キャパシタCsの上部電極21および下部電極22に、例えばレーザ加工により、貫通ビア21A, 22Aをそれぞれ接続する。以上により、図1に示した多層配線基板が完成する。

## 【0065】

この多層配線基板では、係留部10Eにおける下部導電層42の誘電層31に接する面のラフネスが、機能領域10Cにおける下部電極22の誘電層31に接する面のラフネスよりも大きくなっている。よって、下部導電層42の誘電層31に接する面が荒れて表面積が増大することにより、下部導電層42と誘電層31との密着性が向上する。これにより、機能領域10Cにおいて薄膜キャパシタCsの上部電極21および下部電極22と誘電層31との界面での剥離が抑えられる。40

## 【0066】

また、下部電極22の誘電層31に接する面は、ラッピング・ポリッシング等により平滑化され、そのラフネスは例えばRz0.1μm以下とされているので、誘電層31の厚さを薄くしても耐圧劣化やリーク電流が抑えられている。よって、薄膜キャパシタCsの単位面積当たりの容量値が向上する。

## 【0067】

これに対して、例えば図8に示したように、係留部10Eを設けず、薄膜キャパシタの50

容量を高めるために上部電極 121 および下部電極 122 のラフネスを改善した場合には、ラフネス改善の悪影響として、上部電極 121 または下部電極 122 と誘電層 131 との密着性が低減してしまっていた。上部電極 121 または下部電極 122 と誘電層 131 との密着性の低減は、その界面での剥離現象を引き起こすリスクを高めることになっていた。界面の剥離現象は、キャパシタとしての設計電気容量とのズレを大きくしたり、設計品質を満たさないことに繋がっていた。また、プリント配線板やインターポーヴ基板としてのデラミネーション発生の起点となり、はんだリフロー等の加熱衝撃を受けることで層間剥離が生じたり、製品使用中の発生熱による剥離が誘発され、製品寿命を短命化させる原因となってしまっていた。なお、図 8 においては、図 1 に対応する構成要素には 100 番台の同一の符号を付している。

10

#### 【0068】

このように本実施の形態では、係留部 10E における下部導電層 42 の誘電層 31 に接する面のラフネスを、機能領域 10C における薄膜キャパシタ Cs の下部電極 22 の誘電層 31 に接する面のラフネスよりも大きくするようにしている。よって、係留部 10E において下部導電層 42 と誘電層 31 との密着性を向上させ、機能領域 10C において薄膜キャパシタ Cs の上部電極 21 または下部電極 22 と誘電層 31 との界面での剥離を抑えることが可能となる。

#### 【0069】

また、係留部 10E を、外形線 10F、つまり基板領域 10A と加工領域 10B との境界線に沿って設けるようにしたので、ダイシングやルータ加工等の物理的な切削によるダメージから基板領域 10A を保護し、薄膜キャパシタ Cs の上部電極 21 および下部電極 22 と誘電層 31 との界面での剥離を抑える効果を更に大きくすることが可能となる。

20

#### 【0070】

なお、上記実施の形態では、係留部 10E を外形線 10F に沿って配置する場合について説明したが、係留部 10E は必ずしも外形線 10F にある必要は無い。例えば、係留部 10E は、薄膜キャパシタ Cs として寄与する機能領域 10C の周辺のみに設けられてもよいし、薄膜キャパシタ Cs として寄与する機能領域 10C 以外の周辺領域 10D の全てに設けられてもよい。

#### 【0071】

また、上記実施の形態の製造方法では、最初に金属箔 51 の表面ラフネスを改善させる場合について説明した。しかしながら、本実施の形態の要点は、薄膜キャパシタ Cs として寄与する機能領域 10C の下部電極 22 は、誘電層 31 を薄くすることによる高容量化を実現できるようにラフネスを改善しつつ、薄膜キャパシタ Cs として寄与しない周辺領域 10D の少なくとも一部に、下部導電層 42 のラフネスを荒らした係留部 10E を設けることで必要とされる密着性を得ることにある。従って、イニシャルの金属箔 51 のラフネスが十分改善されている場合には、金属箔 51 の表面ラフネスの改善工程を行わず、金属箔 51 の表面の一部のラフネスを悪化させるだけでも、本実施の形態の効果は十分に得られる。

30

#### 【0072】

更に、イニシャルの金属箔 51 のラフネスが、十分な密着性が得られるほど荒れている場合には、薄膜キャパシタ Cs として寄与する機能領域 10C の下部電極 22 となる領域のみを選択的にラフネスを改善することによって、本実施の形態の効果は十分に得られることになる。下部電極 22 となる領域のラフネスを選択的に改善する方法としては、例えば、ドライフィルムパターニングにより、金属箔 51 のうち下部電極 22 となる領域のみ露出させておき、その部分を電界研磨等によりラフネス改善することによって可能となる。あるいは、選択的な電界研磨以外の他の方法を選択的な研磨を行うことも可能である。

40

#### 【0073】

##### (第 2 の実施の形態)

図 9 は、本開示の第 2 の実施の形態に係る多層配線基板の断面構成を表したものである。この多層配線基板は、係留部 10E が、外形線 10F に加えて、周辺領域 10D の貫通

50

孔 10 G を囲んで設けられたものである。このことを除いては、この多層配線基板は第 1 の実施の形態と同様の構成、作用および効果を有している。よって、対応する構成要素には同一の符号を付して説明する。

#### 【 0 0 7 4 】

貫通孔 10 G は、多層配線基板の積層方向の全体を貫通して設けられたドリル貫通孔である。このような貫通孔 10 G の周辺は、ドリル加工による物理的な切削にさらされる領域となり、この部分も、薄膜キャパシタの導電層と誘電層の界面での剥離現象を引き起こすリスクが最も高い場所の一つである。従って、係留部 10 E を、貫通孔 10 G を囲んで配置することにより、薄膜キャパシタ C s の上部電極 21 および下部電極 22 と誘電層 31との界面での剥離を抑える効果を更に大きくすることが可能となる。

10

#### 【 0 0 7 5 】

この多層配線基板は、例えば次のようにして製造することができる。

#### 【 0 0 7 6 】

図 10 ないし図 12 は、この多層配線基板の製造方法を工程順に表したものである。なお、製造方法の流れは第 1 の実施の形態と同様であるので、以下の説明においても図 3 のステップを参照して説明する。また、第 1 の実施の形態と重複する工程については図 4 を参照して説明する。

#### 【 0 0 7 7 】

まず、第 1 の実施の形態と同様にして、図 4 (A) に示した工程により、下部電極 22 および下部導電層 42 の構成材料として、ニッケル箔等の金属箔 51 を用意する (ステップ S 101)。

20

#### 【 0 0 7 8 】

次いで、第 1 の実施の形態と同様にして、同じく図 4 (A) に示した工程により、この金属箔 51 の表面に対して、ラッピング・ポリッシング等により平滑化処理を行い、表面ラフネスを改善させる (ステップ S 102)。

#### 【 0 0 7 9 】

続いて、第 1 の実施の形態と同様にして、図 4 (B) に示した工程により、図 10 (A) に示したように、金属箔 51 の一部、具体的には、薄膜キャパシタ C s として寄与させない周辺領域 10 D の一部のラフネスを悪化させる (ステップ S 103)。これにより、係留部 10 E の下部導電層 42 となる領域のラフネスを、機能領域 10 C の下部電極 22 となる領域のラフネスよりも大きく (荒く) させて粗面部 43 を形成する。

30

#### 【 0 0 8 0 】

続いて、第 1 の実施の形態と同様にして、図 4 (C) に示した工程により、同じく図 10 (A) に示したように、金属箔 51 の表面の全面に誘電層 31 を設ける (ステップ S 104)。

#### 【 0 0 8 1 】

その後、第 1 の実施の形態と同様にして、図 4 (D) に示した工程により、同じく図 10 (A) に示したように、誘電層 31 の上に、上部電極 21 および上部導電層 41 を形成するための導電材料層 52 を設ける (ステップ S 105)。

#### 【 0 0 8 2 】

誘電層 31 の上に導電材料層 52 を設けたのち、例えばエッチングにより、金属箔 51 を所定の形状に成形し、加工領域 10 B および貫通孔 10 G の形成予定領域の金属箔 51 を選択的に除去する。これにより、図 10 (B) に示したように、機能領域 10 C には薄膜キャパシタ C s の下部電極 22 が形成され、ラフネスを悪化させた領域には、誘電層 31 および下部導電層 42 が積層された係留部 10 E が形成される (ステップ S 106)。

40

#### 【 0 0 8 3 】

下部電極 22 および係留部 10 E を形成したのち、図 10 (C) ないし図 10 (F) に示したように、下部電極 22 および下部導電層 42 の裏面に、第 3 配線層 L 3 を形成するための金属箔 53 を、樹脂層 12 を間に貼り合わせる。

#### 【 0 0 8 4 】

50

金属箔 5 3 の貼り合わせを行ったのち、図 1 1 ( A ) に示したように、例えばエッティングにより、導電材料層 5 2 を所定の形状に成形して、機能領域 1 0 C に薄膜キャパシタ C s の上部電極 2 1 を形成すると共に、係留部 1 0 E に上部導電層 4 1 を形成する (ステップ S 1 0 7 )。これにより、機能領域 1 0 C には、上部電極 2 1 および下部電極 2 2 の間に誘電層 3 1 を有する薄膜キャパシタ C s が形成される一方、周辺領域 1 0 D の一部に、上部導電層 4 1 および下部導電層 4 2 の間に誘電層 3 1 を有する係留部 1 0 E が形成される。

#### 【 0 0 8 5 】

これと同時に、同じく図 1 1 ( A ) に示したように、金属箔 5 3 を所定の形状に成形して第 3 配線層 L 3 を形成する (ステップ S 1 0 8 )。

10

#### 【 0 0 8 6 】

金属箔 5 1 , 5 3 を成形したのち、図 1 1 ( B ) ないし図 1 1 ( D ) に示したように、上部電極 2 1 および上部導電層 4 1 の上に、第 1 配線層 L 1 を形成するための金属箔 5 4 を、樹脂層 1 1 を間に貼り合わせる。また、図 1 1 ( D ) ないし図 1 1 ( F ) 、および図 1 2 ( A ) に示したように、第 3 配線層 L 3 の裏面に、第 4 配線層 L 4 を形成するための金属箔 5 5 を、樹脂層 1 3 を間に貼り合わせる。

#### 【 0 0 8 7 】

金属箔 5 4 , 5 5 の貼り合わせを行ったのち、図 1 2 ( B ) に示したように、例えばエッティングにより、金属箔 5 4 , 5 5 を所定の形状に成形して第 1 配線層 L 1 および第 4 配線層 L 4 を形成する (ステップ S 1 0 9 )。

20

#### 【 0 0 8 8 】

最後に、同じく図 1 2 ( B ) に示したように、薄膜キャパシタ C s の上部電極 2 1 に、例えばレーザ加工により、貫通ビア 2 1 A を接続する。また、ドリル加工により貫通孔 1 0 G を設ける。以上により、図 9 に示した多層配線基板が完成する。

#### 【 0 0 8 9 】

この多層配線基板では、係留部 1 0 E が、外形線 1 0 F に加えて、周辺領域 1 0 D の貫通孔 1 0 G を囲んで設けられている。よって、薄膜キャパシタ C s の上部電極 2 1 および下部電極 2 2 と誘電層 3 1 との界面での剥離が更に確実に抑えられる。

#### 【 0 0 9 0 】

このように本実施の形態では、第 1 の実施の形態の効果に加えて、係留部 1 0 E を、周辺領域 1 0 D の貫通孔 1 0 G を囲んで設けるようにしたので、薄膜キャパシタ C s の上部電極 2 1 および下部電極 2 2 と誘電層 3 1 との界面での剥離を抑える効果を更に大きくすることが可能となる。

30

#### 【 0 0 9 1 】

なお、上記実施の形態では、係留部 1 0 E を外形線 1 0 F に沿って設けると共に、周辺領域 1 0 D の貫通孔 1 0 G を囲んで配置する場合について説明したが、係留部 1 0 E は必ずしも外形線 1 0 F および貫通孔 1 0 G の周囲のみにある必要は無い。例えば、係留部 1 0 E は、薄膜キャパシタ C s として寄与する機能領域 1 0 C の周辺のみに設けられていてもよいし、薄膜キャパシタ C s として寄与する機能領域 1 0 C 以外の周辺領域 1 0 D の全てに設けられていてもよい。

40

#### 【 0 0 9 2 】

##### ( 第 3 の実施の形態 )

図 1 3 は、本開示の第 3 の実施の形態に係る多層配線基板の製造方法の流れを表し、図 1 4 は、図 1 3 に示した製造方法を工程順に表したものである。この製造方法は、金属箔 5 1 に誘電層 3 1 および導電材料層 5 2 を積層したのちにレーザ加工によるラフネス悪化工程を行うことにおいて第 1 の実施の形態とは異なるものである。なお、第 1 の実施の形態と重複する工程については図 4 ないし図 7 を参照して説明する。また、この製造方法は第 1 の実施の形態の多層配線基板を製造する場合に限られるものではないが、以下の説明では例えば第 1 の実施の形態のように係留部 1 0 E を外形線 1 0 F に沿って設ける場合を例として説明する。

50

**【0093】**

まず、第1の実施の形態と同様にして、図4(A)に示した工程により、図14(A)に示したように、下部電極22および下部導電層42の構成材料として、ニッケル箔等の金属箔51を用意する(ステップS101)。

**【0094】**

次いで、第1の実施の形態と同様にして、同じく図4(A)に示した工程により、同じく図14(A)に示したように、この金属箔51の表面に対して、ラッピング・ポリッシング等により平滑化処理を行い、表面ラフネスを改善させる(ステップS102)。

**【0095】**

続いて、図14(B)に示したように、金属箔51の表面の全面に誘電層31を設ける(ステップS203)。

**【0096】**

その後、図14(C)に示したように、誘電層31の上に、上部電極21および上部導電層41を形成するための導電材料層52を設ける(ステップS204)。

**【0097】**

誘電層31の上に導電材料層52を設けたのち、図14(D)に示したように、レーザ加工により、金属箔51の誘電層31に接する面の一部、具体的には、薄膜キャパシタCsとして寄与させない周辺領域10Dの一部のラフネスを悪化させる(ステップS205)。具体的には、例えば金属箔51の誘電層31に接する面のラフネスを悪化させるためには、金属箔51と誘電層31との界面に焦点を合わせてレーザ光LBを照射する。これにより、係留部10Eの下部導電層42となる領域のラフネスを、機能領域10Cの下部電極22となる領域のラフネスよりも大きく(荒く)させて粗面部43を形成する。

**【0098】**

レーザ加工を行ったのち、第1の実施の形態と同様にして、図5(A)に示した工程により、例えばエッチングにより、金属箔51を所定の形状に成形し、加工領域10Bの金属箔51を選択的に除去し、基板領域10Aのみに金属箔51を残存させる。これにより、機能領域10Cには薄膜キャパシタCsの下部電極22が形成され、ラフネスを悪化させた領域には、誘電層31および下部導電層42が積層された係留部10Eが形成される(ステップS206)。

**【0099】**

下部電極22および係留部10Eを形成したのち、第1の実施の形態と同様にして、図5(B)ないし図5(E)に示した工程により、下部電極22および下部導電層42の裏面に、第3配線層L3を形成するための金属箔53を、樹脂層12を間に貼り合わせる。

**【0100】**

金属箔53の貼り合わせを行ったのち、第1の実施の形態と同様にして、図6(A)に示した工程により、例えばエッチングにより、導電材料層52を所定の形状に成形して、機能領域10Cに薄膜キャパシタCsの上部電極21を形成すると共に、係留部10Eに上部導電層41を形成する(ステップS207)。これにより、機能領域10Cには、上部電極21および下部電極22の間に誘電層31を有する薄膜キャパシタCsが形成される一方、周辺領域10Dの一部に、上部導電層41および下部導電層42の間に誘電層31を有する係留部10Eが形成される。

**【0101】**

これと同時に、第1の実施の形態と同様にして、同じく図6(A)に示した工程により、金属箔53を所定の形状に成形して第3配線層L3を形成する(ステップS108)。

**【0102】**

金属箔51, 53を成形したのち、第1の実施の形態と同様にして、図6(B)ないし図7(B)に示した工程により、金属箔54, 55の貼り合わせを行い、この金属箔54, 55を所定の形状に成形して第1配線層L1および第4配線層L4を形成する(ステップS109)。

10

20

30

40

50

**【0103】**

最後に、第1の実施の形態と同様にして、同じく図7(B)に示した工程により、薄膜キャパシタCsの上部電極21および下部電極22に、例えばレーザ加工により、貫通ビア21A, 22Aをそれぞれ接続する。以上により、図1に示した多層配線基板が完成する。

**【0104】**

本実施の形態の多層配線基板の作用および効果は、第1の実施の形態と同様である。

**【0105】****(変形例1)**

なお、上記実施の形態では、係留部10Eの下部導電層42の誘電層31に接する面のラフネスを、上部電極21または下部電極22の誘電層31に接する面のラフネスよりも大きくする場合について説明した。しかしながら、図15に示したように、係留部10Eの上部導電層41の誘電層31に接する面のラフネスを、上部電極21または下部電極22の誘電層31に接する面のラフネスよりも大きくすることも可能である。換言すれば、上部導電層41の誘電層31に接する面を粗面部43とすることも可能である。その場合には、例えば導電材料層52と誘電層31との界面に焦点を合わせてレーザ光LBを照射する。

10

**【0106】****(変形例2)**

あるいは、図16に示したように、係留部10Eの上部導電層41および下部導電層42の両方について、それらの誘電層31に接する面のラフネスを、上部電極21または下部電極22の誘電層31に接する面のラフネスよりも大きくすることも可能である。換言すれば、上部導電層41および下部導電層42の両方の誘電層31に接する面を粗面部43とすることも可能である。このようにすれば、係留部10Eの、上部導電層41および下部導電層42と誘電層31との密着性を向上させるアンカー機能を更に強めて、機能領域10Cにおいて薄膜キャパシタCsの上部電極21または下部電極22と誘電層31との界面での剥離をより確実に抑えることが可能となる。

20

**【0107】****(第4の実施の形態)**

図17は、本開示の第4の実施の形態に係る多層配線基板の製造方法の流れを表し、図18は、図17に示した製造方法を工程順に表したものである。この製造方法は、金属箔51を成形して下部導電層42を形成したのちにレーザ加工によるラフネス悪化工程を行うようにしたことにおいて第3の実施の形態とは異なるものである。なお、第1の実施の形態と重複する工程については図4ないし図7を参照し、第3の実施の形態と重複する工程については図14を参照して説明する。また、この製造方法は、第1の実施の形態の多層配線基板を製造する場合に限られるものではないが、本実施の形態では例えば第1の実施の形態のように係留部10Eを外形線10Fに沿って設ける場合を例として説明する。

30

**【0108】**

まず、第1の実施の形態と同様にして、図4(A)に示した工程により、下部電極22および下部導電層42の構成材料として、ニッケル箔等の金属箔51を用意する(ステップS101)。

40

**【0109】**

次いで、第1の実施の形態と同様にして、同じく図4(A)に示した工程により、この金属箔51の表面に対して、ラッピング・ポリッシング等により平滑化処理を行い、表面ラフネスを改善させる(ステップS102)。

**【0110】**

続いて、第3の実施の形態と同様にして、図14(B)に示した工程により、金属箔51の表面の全面に誘電層31を設ける(ステップS203)。

**【0111】**

その後、第3の実施の形態と同様にして、図14(C)に示した工程により、図18

50

(A)に示したように、誘電層31の上に、上部電極21および上部導電層41を形成するための導電材料層52を設ける(ステップS204)。

**【0112】**

誘電層31の上に導電材料層52を設けたのち、第1の実施の形態と同様にして、図5(A)に示した工程により、図18(B)に示したように、例えばエッチングにより、金属箔51を所定の形状に成形し、加工領域10Bの金属箔51を選択的に除去し、基板領域10Aのみに金属箔51を残存させる。これにより、機能領域10Cには薄膜キャパシタCsの下部電極22が形成されると共に、周辺領域10Dの一部に、誘電層31および下部導電層42が積層された係留部10Eが形成される(ステップS305)。

**【0113】**

下部電極22および係留部10Eを形成したのち、図18(C)に示したように、レーザ加工により、下部導電層42の誘電層31に接する面の一部、具体的には、薄膜キャパシタCsとして寄与させない周辺領域10Dの一部のラフネスを悪化させる(ステップS306)。具体的には、例えば下部導電層42の誘電層31に接する面のラフネスを悪化させるためには、下部導電層42と誘電層31との界面に焦点を合わせてレーザ光LBを照射する。これにより、係留部10Eの下部導電層42の誘電層31に接する面のラフネスを、機能領域10Cの上部電極21または下部電極22の誘電層31に接する面のラフネスよりも大きく(荒く)させて粗面部43を形成する。

**【0114】**

レーザ加工を行ったのち、第1の実施の形態と同様にして、図5(B)ないし図5(E)に示した工程により、下部電極22および下部導電層42の裏面に、第3配線層L3を形成するための金属箔53を、樹脂層12を間に貼り合わせる。

**【0115】**

金属箔53の貼り合わせを行ったのち、第1の実施の形態と同様にして、図6(A)に示した工程により、例えばエッチングにより、導電材料層52を所定の形状に成形して、機能領域10Cに薄膜キャパシタCsの上部電極21を形成すると共に、係留部10Eに上部導電層41を形成する(ステップS307)。これにより、機能領域10Cには、上部電極21および下部電極22の間に誘電層31を有する薄膜キャパシタCsが形成される一方、周辺領域10Dの一部に、上部導電層41および下部導電層42の間に誘電層31を有する係留部10Eが形成される。

**【0116】**

これと同時に、第1の実施の形態と同様にして、同じく図6(A)に示した工程により、金属箔53を所定の形状に成形して第3配線層L3を形成する(ステップS108)。

**【0117】**

金属箔51, 53を成形したのち、第1の実施の形態と同様にして、図6(B)ないし図7(B)に示した工程により、金属箔54, 55の貼り合わせを行い、この金属箔54, 55を所定の形状に成形して第1配線層L1および第4配線層L4を形成する(ステップS109)。

**【0118】**

最後に、第1の実施の形態と同様にして、同じく図7(B)に示した工程により、薄膜キャパシタCsの上部電極21および下部電極22に、例えばレーザ加工により、貫通ビア21A, 22Aをそれぞれ接続する。以上により、図1に示した多層配線基板が完成する。

**【0119】**

この多層配線基板の作用および効果は、第1の実施の形態と同様である。

**【0120】**

なお、上記第3の実施の形態の変形例1(図15)および変形例2(図16)は本実施の形態にも適用可能である。

**【0121】**

(第5の実施の形態)

10

20

30

40

50

図19は、本開示の第4の実施の形態に係る多層配線基板の製造方法の流れを表し、図20および図21は、図19に示した製造方法を工程順に表したものである。この製造方法は、薄膜キャパシタCsを形成したのちにレーザ加工によるラフネス悪化工程を行うようにしたことにおいて第3の実施の形態とは異なるものである。なお、第1の実施の形態と重複する工程については図4ないし図7を参照し、第3の実施の形態と重複する工程については図14を参照して説明する。また、この製造方法は、第1の実施の形態の多層配線基板を製造する場合に限られるものではないが、本実施の形態では例えば第1の実施の形態のように係留部10Eを外形線10Fに沿って設ける場合を例として説明する。

#### 【0122】

まず、第1の実施の形態と同様にして、図4(A)に示した工程により、下部電極22および下部導電層42の構成材料として、ニッケル箔等の金属箔51を用意する(ステップS101)。  
10

#### 【0123】

次いで、第1の実施の形態と同様にして、同じく図4(A)に示した工程により、この金属箔51の表面に対して、ラッピング・ポリッシング等により平滑化処理を行い、表面ラフネスを改善させる(ステップS102)。

#### 【0124】

続いて、第3の実施の形態と同様にして、図14(B)に示した工程により、金属箔51の表面の全面に誘電層31を設ける(ステップS203)。

#### 【0125】

そののち、第3の実施の形態と同様にして、図14(C)に示した工程により、図20(A)に示したように、誘電層31の上に、上部電極21および上部導電層41を形成するための導電材料層52を設ける(ステップS204)。  
20

#### 【0126】

誘電層31の上に導電材料層52を設けたのち、第1の実施の形態と同様にして、図5(A)に示した工程により、図20(B)に示したように、例えばエッチングにより、金属箔51を所定の形状に成形し、加工領域10Bの金属箔51を選択的に除去し、基板領域10Aのみに金属箔51を残存させる。これにより、機能領域10Cには薄膜キャパシタCsの下部電極22が形成されると共に、周辺領域10Dの一部に、誘電層31および下部導電層42が積層された係留部10Eが形成される(ステップS405)。  
30

#### 【0127】

下部電極22および係留部10Eを形成したのち、第1の実施の形態と同様にして、図5(B)ないし図5(E)に示した工程により、図20(C)ないし図20(F)に示したように、下部電極22および下部導電層42の裏面に、第3配線層L3を形成するための金属箔53を、樹脂層12を間にして貼り合わせる。

#### 【0128】

金属箔53の貼り合わせを行ったのち、第1の実施の形態と同様にして、図6(A)に示した工程により、図21(A)に示したように、例えばエッチングにより、導電材料層52を所定の形状に成形して、機能領域10Cに薄膜キャパシタCsの上部電極21を形成すると共に、係留部10Eに上部導電層41を形成する(ステップS406)。これにより、機能領域10Cには、上部電極21および下部電極22の間に誘電層31を有する薄膜キャパシタCsが形成される一方、周辺領域10Dの一部に、上部導電層41および下部導電層42の間に誘電層31を有する係留部10Eが形成される。  
40

#### 【0129】

これと同時に、第1の実施の形態と同様にして、同じく図6(A)に示した工程により、同じく図21(A)に示したように、金属箔53を所定の形状に成形して第3配線層L3を形成する(ステップS407)。

#### 【0130】

上部電極21および上部導電層41を形成したのち、図21(B)に示したように、レーザ加工により、下部導電層42の誘電層31に接する面の一部、具体的には、薄膜キャ  
50

パシタ C s として寄与させない周辺領域 10 D の一部のラフネスを悪化させる（ステップ S 408）。具体的には、例えば下部導電層 42 の誘電層 31 に接する面のラフネスを悪化させるためには、下部導電層 42 と誘電層 31 との界面に焦点を合わせてレーザ光 LB を照射する。これにより、係留部 10 E の下部導電層 42 の誘電層 31 に接する面のラフネスを、機能領域 10 C の上部電極 21 または下部電極 22 の誘電層 31 に接する面のラフネスよりも大きく（荒く）させて粗面部 43 を形成する。

#### 【0131】

金属箔 51, 53 を成形したのち、第 1 の実施の形態と同様にして、図 6 (B) ないし図 7 (B) に示した工程により、金属箔 54, 55 の貼り合わせを行い、この金属箔 54, 55 を所定の形状に成形して第 1 配線層 L1 および第 4 配線層 L4 を形成する（ステップ S 109）。

10

#### 【0132】

最後に、第 1 の実施の形態と同様にして、同じく図 7 (B) に示した工程により、薄膜キャパシタ C s の上部電極 21 および下部電極 22 に、例えばレーザ加工により、貫通ビア 21 A, 22 A をそれぞれ接続する。以上により、図 1 に示した多層配線基板が完成する。

#### 【0133】

この多層配線基板の作用および効果は、第 1 の実施の形態と同様である。

#### 【0134】

##### (変形例 3)

20

なお、上記実施の形態では、金属箔 51 および導電材料層 52 を成形して薄膜キャパシタ C s および係留部 10 E を形成したのちにレーザ加工を行うようにした場合について説明した。しかしながら、例えば図 22 に示したように、第 1 配線層 L1 および第 4 配線層 L4 を形成し（ステップ S 109）、薄膜キャパシタ C s が多層配線基板に内蔵されたのちにレーザ加工を行う（ステップ S 408）ことも可能である。

#### 【0135】

また、上記第 3 の実施の形態の変形例 1（図 15）および変形例 2（図 16）は、本実施の形態または変形例 3 にも適用可能である。

#### 【0136】

##### (第 6 の実施の形態)

30

図 23 は、本開示の第 6 の実施の形態に係る多層配線基板の断面構成を表したものである。この多層配線基板は、係留部 10 E において、上部導電層 41 と下部導電層 42 とが、連結部 44 を介して誘電層 31 を貫通して物理的につながっており、電気的にも短絡（ショート）しているものである。これにより、この多層配線基板では、第 1 の実施の形態と同様に、薄膜キャパシタ C s の上部電極 21 または下部電極 22 と誘電層 31 との界面での剥離を抑えることが可能となっている。このことを除いては、本実施の形態は第 1 の実施の形態と同様の構成、作用および効果を有している。

#### 【0137】

この多層配線基板は、例えば、次のようにして製造することができる。

#### 【0138】

40

図 24 は、この多層配線基板の製造方法の流れを表したものである。なお、第 1 の実施の形態と重複する工程については図 4 ないし図 7 を参照し、第 3 の実施の形態と重複する工程については図 14 を参照して説明する。また、この製造方法は第 1 の実施の形態の多層配線基板を製造する場合に限られるものではないが、以下の説明では例えば第 1 の実施の形態のように係留部 10 E を外形線 10 F に沿って設ける場合を例として説明する。

#### 【0139】

まず、第 1 の実施の形態と同様にして、図 4 (A) に示した工程により、下部電極 22 および下部導電層 42 の構成材料として、ニッケル箔等の金属箔 51 を用意する（ステップ S 101）。

#### 【0140】

50

次いで、第1の実施の形態と同様にして、同じく図4(A)に示した工程により、この金属箔51の表面に対して、ラッピング・ポリッシング等により平滑化処理を行い、表面ラフネスを改善させる(ステップS102)。

#### 【0141】

続いて、第3の実施の形態と同様にして、図14(B)に示した工程により、金属箔51の表面の全面に誘電層31を設ける(ステップS203)。

#### 【0142】

そののち、第3の実施の形態と同様にして、図14(C)に示した工程により、誘電層31の上に、上部電極21および上部導電層41を形成するための導電材料層52を設ける(ステップS204)。

10

#### 【0143】

誘電層31の上に導電材料層52を設けたのち、レーザ加工により金属箔51と導電材料層52とを、連結部44を介して誘電層31を貫通して物理的につなげる(ステップS505)。

#### 【0144】

レーザ加工を行ったのち、第1の実施の形態と同様にして、図5(A)に示した工程により、例えばエッチングにより、金属箔51を所定の形状に成形し、加工領域10Bの金属箔51を選択的に除去し、基板領域10Aのみに金属箔51を残存させる。これにより、機能領域10Cには薄膜キャパシタCsの下部電極22が形成され、金属箔51と導電材料層52とを物理的につなげた領域には、誘電層31および下部導電層42が積層された係留部10Eが形成される(ステップS506)。その際、係留部10Eは薄膜キャパシタCsとして寄与しない周辺領域10Dの一部なので、誘電層31がレーザ加工により焼損などのダメージを受け、下部導電層42(金属箔51)と導電材料層52とが連結部44を介して電気的に短絡(ショート)していても問題は生じない。

20

#### 【0145】

下部電極22および係留部10Eを形成したのち、第1の実施の形態と同様にして、図5(B)ないし図5(E)に示した工程により、下部電極22および下部導電層42の裏面に、第3配線層L3を形成するための金属箔53を、樹脂層12を間に貼り合わせる。

#### 【0146】

30

金属箔53の貼り合わせを行ったのち、第1の実施の形態と同様にして、図6(A)に示した工程により、例えばエッチングにより、導電材料層52を所定の形状に成形して、機能領域10Cに薄膜キャパシタCsの上部電極21を形成すると共に、係留部10Eに上部導電層41を形成する(ステップS507)。これにより、機能領域10Cには、上部電極21および下部電極22の間に誘電層31を有する薄膜キャパシタCsが形成される一方、周辺領域10Dの一部に、上部導電層41および下部導電層42の間に誘電層31を有する係留部10Eが形成される。

#### 【0147】

これと同時に、第1の実施の形態と同様にして、同じく図6(A)に示した工程により、金属箔53を所定の形状に成形して第3配線層L3を形成する(ステップS108)。

40

#### 【0148】

金属箔51,53を成形したのち、第1の実施の形態と同様にして、図6(B)ないし図7(B)に示した工程により、金属箔54,55の貼り合わせを行い、この金属箔54,55を所定の形状に成形して第1配線層L1および第4配線層L4を形成する(ステップS109)。

#### 【0149】

最後に、第1の実施の形態と同様にして、同じく図7(B)に示した工程により、薄膜キャパシタCsの上部電極21および下部電極22に、例えばレーザ加工により、貫通ビア21A,22Aをそれぞれ接続する。以上により、図23に示した多層配線基板が完成する。

50

**【0150】**

また、この多層配線基板は、例えば、次のようにして製造することも可能である。

**【0151】**

図25は、この多層配線基板の他の製造方法の流れを表したものである。なお、第1の実施の形態と重複する工程については図4ないし図7を参照し、第3の実施の形態と重複する工程については図14を参照して説明する。また、この製造方法は、第1の実施の形態の多層配線基板を製造する場合に限られるものではないが、本実施の形態では例えば第1の実施の形態のように係留部10Eを外形線10Fに沿って設ける場合を例として説明する。

**【0152】**

10

まず、第1の実施の形態と同様にして、図4(A)に示した工程により、下部電極22および下部導電層42の構成材料として、ニッケル箔等の金属箔51を用意する(ステップS101)。

**【0153】**

次いで、第1の実施の形態と同様にして、同じく図4(A)に示した工程により、この金属箔51の表面に対して、ラッピング・ポリッシング等により平滑化処理を行い、表面ラフネスを改善させる(ステップS102)。

**【0154】**

続いて、第3の実施の形態と同様にして、図14(B)に示した工程により、金属箔51の表面の全面に誘電層31を設ける(ステップS203)。

20

**【0155】**

そののち、第3の実施の形態と同様にして、図14(C)に示した工程により、誘電層31の上に、上部電極21および上部導電層41を形成するための導電材料層52を設ける(ステップS204)。

**【0156】**

誘電層31の上に導電材料層52を設けたのち、第1の実施の形態と同様にして、図5(A)に示した工程により、例えばエッチングにより、金属箔51を所定の形状に成形し、加工領域10Bの金属箔51を選択的に除去し、基板領域10Aのみに金属箔51を残存させる。これにより、機能領域10Cには薄膜キャパシタCsの下部電極22が形成されると共に、周辺領域10Dの一部に、誘電層31および下部導電層42が積層された係留部10Eが形成される(ステップS605)。

30

**【0157】**

下部電極22および係留部10Eを形成したのち、レーザ加工により、係留部10Eにおける下部導電層42と導電材料層52とを、連結部44を介して誘電層31を貫通して物理的につなげる(ステップS606)。

**【0158】**

レーザ加工を行ったのち、第1の実施の形態と同様にして、図5(B)ないし図5(E)に示した工程により、下部電極22および下部導電層42の裏面に、第3配線層L3を形成するための金属箔53を、樹脂層12を間に貼り合わせる。なお、金属箔53の貼り合わせは、レーザ加工の前に行うことも可能である。

40

**【0159】**

金属箔53の貼り合わせを行ったのち、第1の実施の形態と同様にして、図6(A)に示した工程により、例えばエッチングにより、導電材料層52を所定の形状に成形して、機能領域10Cに薄膜キャパシタCsの上部電極21を形成すると共に、係留部10Eに上部導電層41を形成する(ステップS607)。これにより、機能領域10Cには、上部電極21および下部電極22の間に誘電層31を有する薄膜キャパシタCsが形成される一方、周辺領域10Dの一部に、上部導電層41および下部導電層42の間に誘電層31を有する係留部10Eが形成される。

**【0160】**

また、第1の実施の形態と同様にして、同じく図6(A)に示した工程により、金属箔

50

5 3 を所定の形状に成形して第 3 配線層 L 3 を形成する(ステップ S 1 0 8)。

**【 0 1 6 1 】**

金属箔 5 1 , 5 3 を成形したのち、第 1 の実施の形態と同様にして、図 6 ( B )ないし図 7 ( B )に示した工程により、金属箔 5 4 , 5 5 の貼り合わせを行い、この金属箔 5 4 , 5 5 を所定の形状に成形して第 1 配線層 L 1 および第 4 配線層 L 4 を形成する(ステップ S 1 0 9)。

**【 0 1 6 2 】**

最後に、第 1 の実施の形態と同様にして、同じく図 7 ( B )に示した工程により、薄膜キャパシタ C s の上部電極 2 1 および下部電極 2 2 に、例えばレーザ加工により、貫通ピア 2 1 A , 2 2 A をそれぞれ接続する。以上により、図 2 3 に示した多層配線基板が完成する。

**【 0 1 6 3 】**

あるいは、この多層配線基板は、例えば、次のようにして製造することも可能である。

**【 0 1 6 4 】**

図 2 6 は、この多層配線基板の更に他の製造方法の流れを表したものである。なお、第 1 の実施の形態と重複する工程については図 4 ないし図 7 を参照し、第 3 の実施の形態と重複する工程については図 1 4 を参照して説明する。また、この製造方法は、第 1 の実施の形態の多層配線基板を製造する場合に限られるものではないが、本実施の形態では例えば第 1 の実施の形態のように係留部 1 0 E を外形線 1 0 F に沿って設ける場合を例として説明する。

**【 0 1 6 5 】**

まず、第 1 の実施の形態と同様にして、図 4 ( A )に示した工程により、下部電極 2 2 および下部導電層 4 2 の構成材料として、ニッケル箔等の金属箔 5 1 を用意する(ステップ S 1 0 1)。

**【 0 1 6 6 】**

次いで、第 1 の実施の形態と同様にして、同じく図 4 ( A )に示した工程により、この金属箔 5 1 の表面に対して、ラッピング・ポリッシング等により平滑化処理を行い、表面ラフネスを改善させる(ステップ S 1 0 2)。

**【 0 1 6 7 】**

続いて、第 3 の実施の形態と同様にして、図 1 4 ( B )に示した工程により、金属箔 5 1 の表面の全面に誘電層 3 1 を設ける(ステップ S 2 0 3)。

**【 0 1 6 8 】**

その後、第 3 の実施の形態と同様にして、図 1 4 ( C )に示した工程により、誘電層 3 1 の上に、上部電極 2 1 および上部導電層 4 1 を形成するための導電材料層 5 2 を設ける(ステップ S 2 0 4)。

**【 0 1 6 9 】**

誘電層 3 1 の上に導電材料層 5 2 を設けたのち、第 1 の実施の形態と同様にして、図 5 ( A )に示した工程により、例えばエッチングにより、金属箔 5 1 を所定の形状に成形し、加工領域 1 0 B の金属箔 5 1 を選択的に除去し、基板領域 1 0 A のみに金属箔 5 1 を残存させる。これにより、機能領域 1 0 C には薄膜キャパシタ C s の下部電極 2 2 が形成されると共に、周辺領域 1 0 D の一部に、誘電層 3 1 および下部導電層 4 2 が積層された係留部 1 0 E が形成される(ステップ S 7 0 5)。

**【 0 1 7 0 】**

下部電極 2 2 および係留部 1 0 E を形成したのち、第 1 の実施の形態と同様にして、図 5 ( B )ないし図 5 ( E )に示した工程により、下部電極 2 2 および下部導電層 4 2 の裏面に、第 3 配線層 L 3 を形成するための金属箔 5 3 を、樹脂層 1 2 を間にして貼り合わせる。

**【 0 1 7 1 】**

金属箔 5 3 の貼り合わせを行ったのち、第 1 の実施の形態と同様にして、図 6 ( A )に示した工程により、例えばエッチングにより、導電材料層 5 2 を所定の形状に成形して、

10

20

30

40

50

機能領域 10C に薄膜キャパシタ Cs の上部電極 21 を形成すると共に、係留部 10E に上部導電層 41 を形成する(ステップ S706)。これにより、機能領域 10C には、上部電極 21 および下部電極 22 の間に誘電層 31 を有する薄膜キャパシタ Cs が形成される一方、周辺領域 10D の一部に、上部導電層 41 および下部導電層 42 の間に誘電層 31 を有する係留部 10E が形成される。

#### 【0172】

これと同時に、第 1 の実施の形態と同様にして、同じく図 6(A)に示した工程により、金属箔 53 を所定の形状に成形して第 3 配線層 L3 を形成する(ステップ S707)。

#### 【0173】

上部電極 21、上部導電層 41 および第 3 配線層 L3 を形成したのち、レーザ加工により、上部導電層 41 と下部導電層 42 とを、連結部 44 を介して誘電層 31 を貫通して物理的につなげる(ステップ S708)。

#### 【0174】

金属箔 51、53 を成形したのち、第 1 の実施の形態と同様にして、図 6(B)ないし図 7(B)に示した工程により、金属箔 54、55 の貼り合わせを行い、この金属箔 54、55 を所定の形状に成形して第 1 配線層 L1 および第 4 配線層 L4 を形成する(ステップ S109)。

#### 【0175】

最後に、第 1 の実施の形態と同様にして、同じく図 7(B)に示した工程により、薄膜キャパシタ Cs の上部電極 21 および下部電極 22 に、例えばレーザ加工により、貫通ビア 21A、22A をそれぞれ接続する。以上により、図 23 に示した多層配線基板が完成する。

#### 【0176】

なお、図 26 に示した製造方法において、変形例 3 と同様にして、図 27 に示したように、第 1 配線層 L1 および第 4 配線層 L4 を形成し(ステップ S109)、薄膜キャパシタ Cs が多層配線基板に内蔵されたのちにレーザ加工を行う(ステップ S708)ことも可能である。

#### 【0177】

この多層配線基板では、係留部 10E における上部導電層 41 と下部導電層 42 とが、連結部 44 を介して誘電層 31 を貫通して物理的につながっているので、上部導電層 41 および下部導電層 42 の密着性が向上する。これにより、機能領域 10C において薄膜キャパシタ Cs の上部電極 21 および下部電極 22 と誘電層 31 との界面での剥離が抑えられる。

#### 【0178】

このように本実施の形態では、係留部 10E における上部導電層 41 と下部導電層 42 とを、誘電層 31 を貫通して物理的につながるようにしている。よって、係留部 10E において上部導電層 41 および下部導電層 42 の密着性を向上させ、機能領域 10C において薄膜キャパシタ Cs の上部電極 21 または下部電極 22 と誘電層 31 との界面での剥離を抑えることが可能となる。

#### 【0179】

##### (変形例 4)

なお、上記実施の形態では、係留部 10E において、上部導電層 41 と下部導電層 42 とが、誘電層 31 を貫通して物理的につながっている場合について説明したが、本実施の形態と第 1 の実施の形態とを組み合わせることも可能である。例えば図 28 に示したように、係留部 10E において、上部導電層 41 または下部導電層 42 の誘電層 31 に接する面のラフネスが、上部電極 21 または下部電極 22 の誘電層 31 に接する面のラフネスよりも大きく(換言すれば、上部導電層 41 または下部導電層 42 の誘電層 31 に接する面が粗面部 43 とされており)、かつ、上部導電層 41 と下部導電層 42 とが、誘電層 31 を貫通して物理的につながっていてもよい。係留部 10E は薄膜キャパシタ Cs として寄与しない周辺領域 10D の一部であることから、ラフネス悪化工程において誘電層 31 が

10

20

30

40

50

ダメージを受けて（例えばレーザ加工により焼損してしまって）、上部導電層 4 1 と下部導電層 4 2 とが物理的につながり、電気的に短絡（ショート）してしまっても問題は生じない。

#### 【0180】

（第7の実施の形態）

図29は、本開示の第7の実施の形態に係る多層配線基板の断面構成を表したものである。この多層配線基板7は、例えばインターポーラ基板として用いられるものであり、第1の実施の形態の薄膜キャパシタCsが内蔵された基板本体部71を有している。基板本体部71には、例えば外形線10Fに沿って、第1または第6の実施の形態と同様の係留部10Eが設けられている。

10

#### 【0181】

基板本体部71の上面には、薄膜キャパシタCsの上方に、半導体素子72が実装されている。半導体素子72が実装された基板本体部71の上面は、保護膜73で被覆されている。

#### 【0182】

また、図30に示したように、半導体素子72に代えて、ICチップ74などを実装することも可能である。

#### 【0183】

この多層配線基板7は、例えば、第1，第3ないし第5の実施の形態と同様にして製造することができ、その作用および効果も第1または第6の実施の形態と同様である。

20

#### 【0184】

（第8の実施の形態）

図31は、本開示の第8の実施の形態に係る多層配線基板の断面構成を表したものである。この多層配線基板8は、例えば、POPと呼ばれる多段に重ねられた構造のインターポーラ基板であり、第7の実施の形態に係る多層配線基板7を複数層（例えば図31では二層）重ねた構成を有している。

#### 【0185】

本実施の形態では、半導体素子72と、多層配線基板7の基板本体部71に埋め込まれた薄膜キャパシタCsとの間の配線距離を最短にすることが可能となり、半導体素子72から見たパッケージ全体のインダクタンスを低減することが可能となる。

30

#### 【0186】

（第9の実施の形態）

図32は、本開示の第9の実施の形態に係る半導体装置の構成を表したものである。この半導体装置9は、例えばマザーボード80上に、DC/DC電源回路91と、バルクチップ92と、インターポーラ基板として第8の実施の形態に係る多層配線基板8とを実装したものである。マザーボード80は、第1配線層(GND)L1および第2配線層(電源供給配線)L2を、樹脂層81, 82, 83を間に重ねた構成を有するプリント配線基板である。マザーボード80内部には、第1配線層L1および第2配線層L2と、それらの間の樹脂層82とにより、上記第1または第6の実施の形態に係る薄膜キャパシタCsおよび係留部10Eが構成されている。

40

#### 【0187】

この半導体装置では、マザーボード80が上記実施の形態の多層配線基板により構成されているので、機能領域10Cにおいて薄膜キャパシタCsの上部電極21または下部電極22と誘電層31との界面での剥離が抑えられており、製品寿命が長くなる。

#### 【0188】

以上、実施の形態を挙げて本開示を説明したが、本開示は上記実施の形態に限定されるものではなく、種々の変形が可能である。例えば、上記実施の形態では、周辺領域10Dの一部に係留部10Eを設ける場合について説明したが、係留部10Eは、周辺領域10Dの少なくとも一部に設けられていればよい。例えば、係留部10Eは、周辺領域10Dの全部に設けられていてもよい。

50

## 【0189】

また、上記実施の形態では、係留部10Eが上部導電層41および下部導電層42の間に誘電層31を積層した構成を有している場合について説明したが、係留部10Eは、誘電層31と下部導電層42とを積層した構成を有し、下部導電層42の誘電層31に接する面が粗面部43とされていてもよい。または、係留部10Eは、誘電層31と上部導電層41とを積層した構成を有し、上部導電層41の誘電層31に接する面が粗面部43とされていてもよい。

## 【0190】

更に、例えば、上記実施の形態では、多層配線基板または半導体装置の構成を具体的に挙げて説明したが、全ての構成要素を備える必要はなく、また、他の構成要素を更に備えていてもよい。10

## 【0191】

なお、本技術は以下のような構成を取ることも可能である。

(1)

上部電極および下部電極の間に誘電層を有する薄膜キャパシタを備えた機能領域と、前記機能領域以外の周辺領域とを有し、

前記周辺領域の少なくとも一部に、前記誘電層および導電層が積層された係留部が設けられ、

前記導電層の前記誘電層に接する面のラフネスが、前記上部電極または前記下部電極の前記誘電層に接する面のラフネスよりも大きい20

多層配線基板。

(2)

前記誘電層は、前記機能領域と前記周辺領域との共通層として設けられている

前記(1)記載の多層配線基板。

(3)

前記係留部が、外形線に沿って設けられている

前記(1)または(2)記載の多層配線基板。

(4)

前記周辺領域に貫通孔が設けられており、

前記係留部は、前記貫通孔を囲んで設けられている30

前記(1)ないし(3)のいずれか1項に記載の多層配線基板。

(5)

前記係留部は、上部導電層および下部導電層の間に前記誘電層を有し、前記上部導電層と前記下部導電層とが、前記誘電層を貫通して物理的につながっている

前記(1)ないし(4)のいずれか1項に記載の多層配線基板。

(6)

金属箔の表面の一部のラフネスを悪化させる工程と、

前記金属箔の表面に誘電層および導電材料層をこの順に積層する工程と、

前記金属箔を成形することにより、薄膜キャパシタの下部電極を形成すると共に、前記ラフネスを悪化させた領域に、前記誘電層および下部導電層が積層された係留部を形成する工程と40

前記導電材料層を成形することにより、前記薄膜キャパシタの上部電極を形成する工程と

を含む多層配線基板の製造方法。

(7)

前記金属箔の表面の一部のラフネスを悪化させる工程の前に、前記金属箔の表面のうち少なくとも前記下部電極となる領域のラフネスを改善させる工程を含む

前記(6)記載の多層配線基板の製造方法。

(8)

前記ラフネスを悪化させる手法として、レーザ加工を用いる50

前記(6)または(7)記載の多層配線基板の製造方法。

(9)

前記ラフネスを悪化させる手法として、薬液による粗化処理を用いる

前記(6)または(7)記載の多層配線基板の製造方法。

(10)

金属箔の表面に誘電層および導電材料層をこの順に積層する工程と、

レーザ加工により前記金属箔または前記導電材料層の前記誘電層に接する面の一部のラフネスを悪化させる工程と、

前記金属箔を成形することにより、薄膜キャパシタの下部電極を形成すると共に、前記ラフネスを悪化させた領域に、前記誘電層および下部導電層が積層された係留部を形成する工程と、10

前記導電材料層を成形することにより、前記薄膜キャパシタの上部電極を形成すると共に、前記係留部に上部導電層を形成する工程と

を含む多層配線基板の製造方法。

(11)

金属箔の表面に誘電層および導電材料層をこの順に積層する工程と、

前記金属箔を成形することにより、薄膜キャパシタの下部電極を形成すると共に、前記誘電層および下部導電層が積層された係留部を形成する工程と、

レーザ加工により前記係留部における前記下部導電層または前記導電材料層の前記誘電層に接する面のラフネスを悪化させる工程と、20

前記導電材料層を成形することにより、前記薄膜キャパシタの上部電極を形成する工程と

を含む多層配線基板の製造方法。

(12)

金属箔の表面に誘電層および導電材料層をこの順に積層する工程と、

前記金属箔を成形することにより、薄膜キャパシタの下部電極を形成すると共に、前記誘電層および下部導電層が積層された係留部を形成する工程と、

前記導電材料層を成形することにより、前記薄膜キャパシタの上部電極を形成すると共に、前記係留部に上部導電層を形成する工程と、

レーザ加工により前記係留部における前記上部導電層または前記下部導電層の前記誘電層に接する面のラフネスを悪化させる工程と30

を含む多層配線基板の製造方法。

(13)

上部電極および下部電極の間に誘電層を有する薄膜キャパシタを備えた機能領域と、前記機能領域以外の周辺領域とを有し、

前記周辺領域の少なくとも一部に、上部導電層および下部導電層の間に前記誘電層を有する係留部が設けられ、

前記上部導電層と前記下部導電層とが、前記誘電層を貫通して物理的につながっている多層配線基板。

(14)

金属箔の表面に誘電層および導電材料層をこの順に積層する工程と、

レーザ加工により前記金属箔と前記導電材料層とを、前記誘電層を貫通して物理的につなげる工程と、

前記金属箔を成形することにより、薄膜キャパシタの下部電極を形成すると共に、前記金属箔と前記導電材料層とを物理的につなげた領域に、前記誘電層および下部導電層が積層された係留部を形成する工程と、

前記導電材料層を成形することにより、前記薄膜キャパシタの上部電極を形成すると共に、前記係留部に上部導電層を形成する工程と

を含む多層配線基板の製造方法。

(15)

10

20

30

40

50

金属箔の表面に誘電層および導電材料層をこの順に積層する工程と、  
 前記金属箔を成形することにより、薄膜キャパシタの下部電極を形成すると共に、前記  
 誘電層および下部導電層が積層された係留部を形成する工程と、  
 レーザ加工により前記係留部における前記下部導電層と前記導電材料層とを、前記誘電  
 層を貫通して物理的につなげる工程と、  
 前記導電材料層を成形することにより、前記薄膜キャパシタの上部電極を形成すると共  
 に、前記係留部に上部導電層を形成する工程と  
 を含む多層配線基板の製造方法。

(16)

金属箔の表面に誘電層および導電材料層をこの順に積層する工程と、  
 前記金属箔を成形することにより、薄膜キャパシタの下部電極を形成すると共に、前記  
 誘電層および下部導電層が積層された係留部を形成する工程と、  
 前記導電材料層を成形することにより、前記薄膜キャパシタの上部電極を形成すると共  
 に、前記係留部に上部導電層を形成する工程と、  
 レーザ加工により前記係留部における前記上部導電層と前記下部導電層とを、前記誘電  
 層を貫通して物理的につなげる工程と  
 を含む多層配線基板の製造方法。

(17)

チップおよび多層配線基板を備え、  
 前記多層配線基板は、  
 上部電極および下部電極の間に誘電層を有する薄膜キャパシタを備えた機能領域と、前  
 記機能領域以外の周辺領域とを有し、  
 前記周辺領域の少なくとも一部に、前記誘電層および導電層が積層された係留部が設け  
 られ、  
 前記導電層の前記誘電層に接する面のラフネスが、前記上部電極または前記下部電極の  
 前記誘電層に接する面のラフネスよりも大きい  
 半導体装置。

(18)

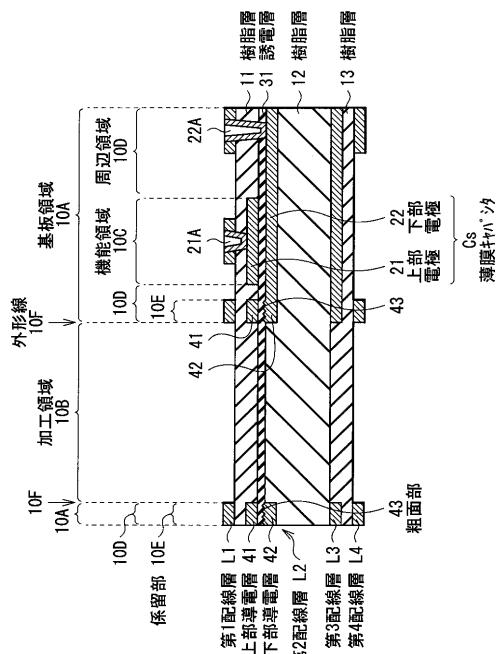
チップおよび多層配線基板を備え、  
 前記多層配線基板は、  
 上部電極および下部電極の間に誘電層を有する薄膜キャパシタを備えた機能領域と、前  
 記機能領域以外の周辺領域とを有し、  
 前記周辺領域の少なくとも一部に、上部導電層および下部導電層の間に前記誘電層を有  
 する係留部が設けられ、  
 前記上部導電層と前記下部導電層とが、前記誘電層を貫通して物理的につながっている  
 半導体装置。

## 【符号の説明】

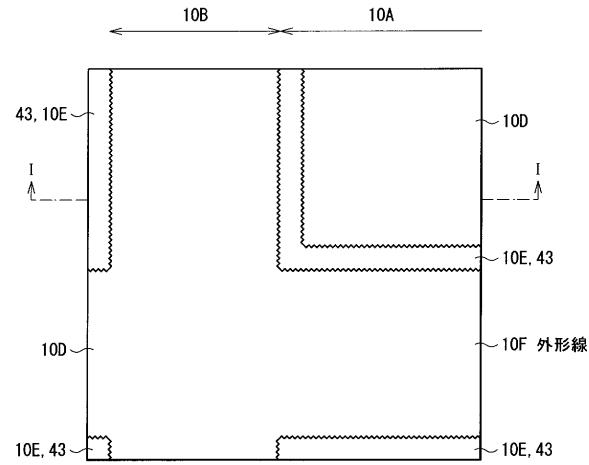
【0192】

10A...基板領域、10B...加工領域、10C...機能領域、10D...周辺領域、10E  
 ...係留部、11, 12, 13...樹脂層、21...上部電極、22...下部電極、31...誘電層  
 、41...上部導電層、42...下部導電層、51...金属箔、Cs...薄膜キャパシタ、L1...  
 第1配線層、L2...第2配線層、L3...第3配線層、L4...第4配線層

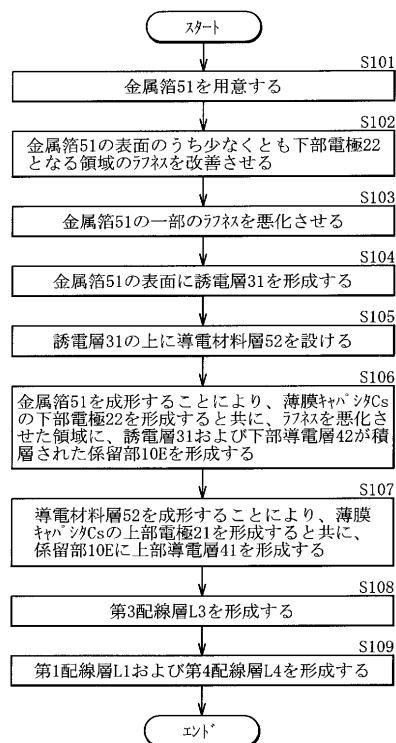
【図1】



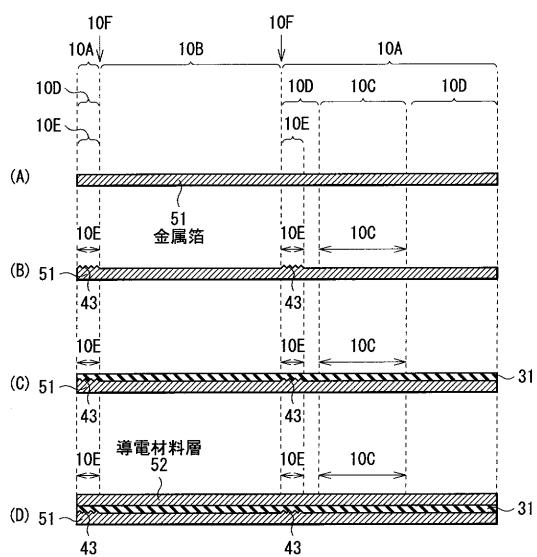
【図2】



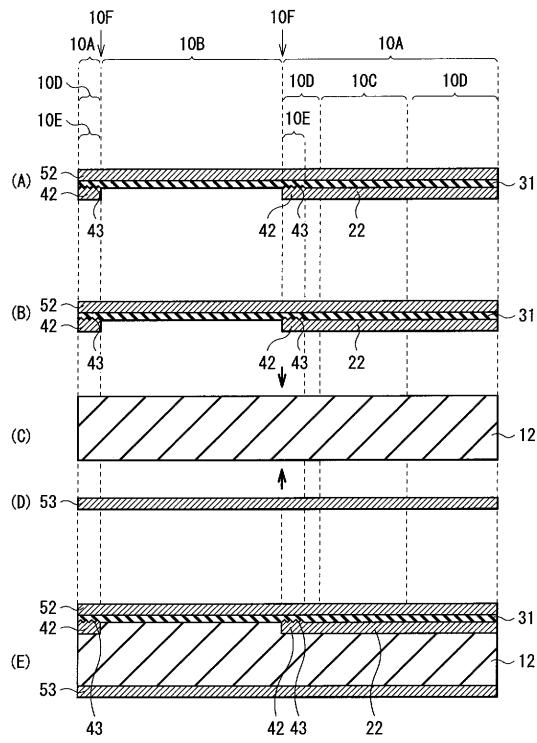
( 3 )



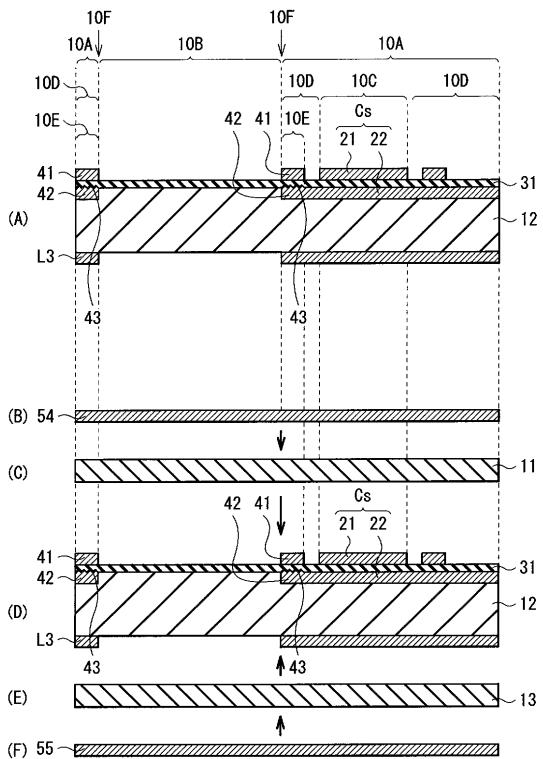
( 4 )



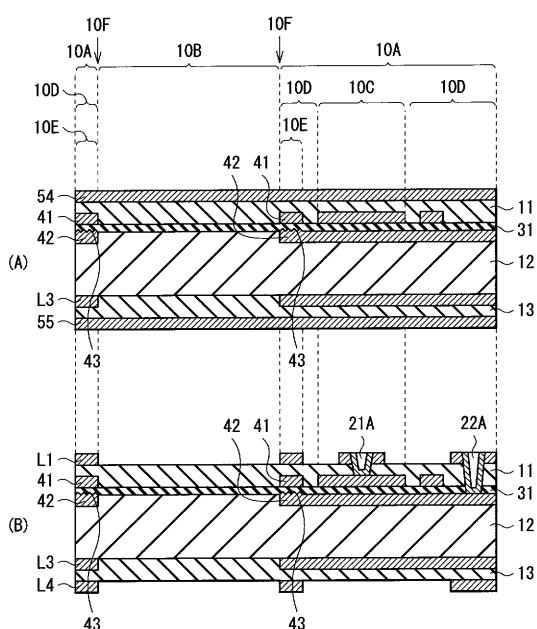
【図5】



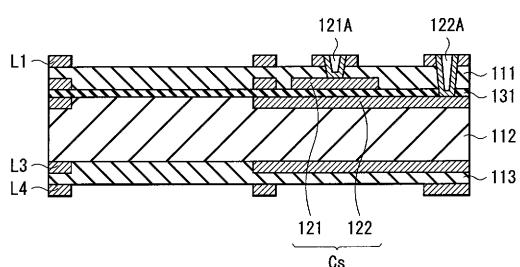
【図6】



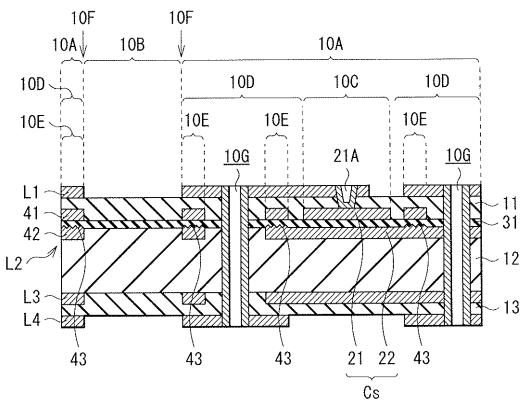
【図7】



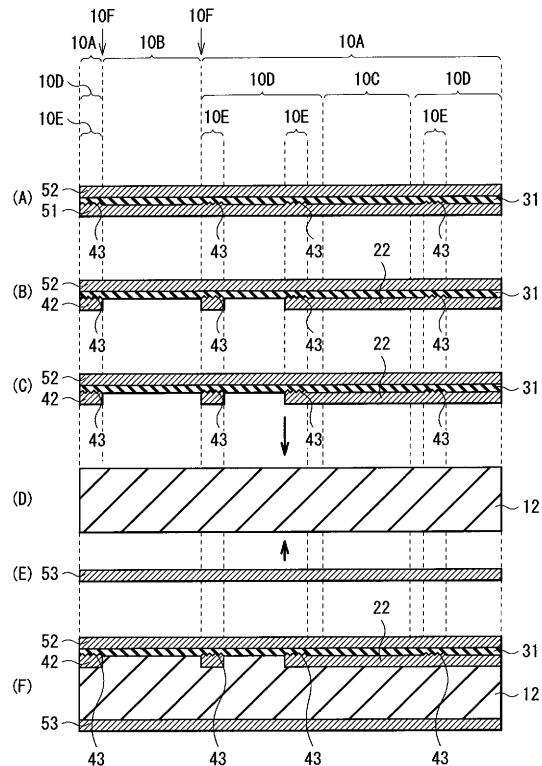
【図8】



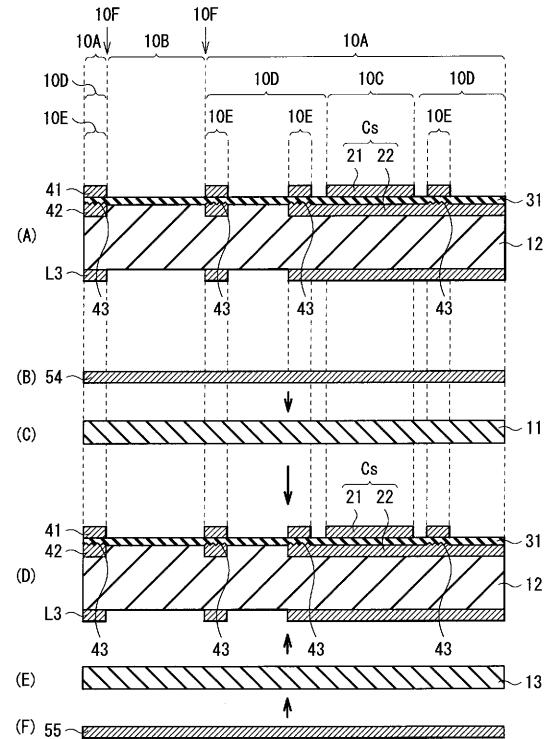
【図9】



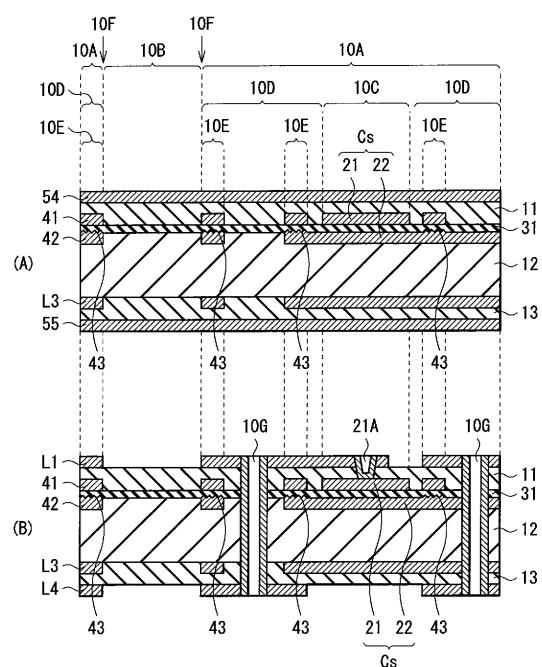
【図10】



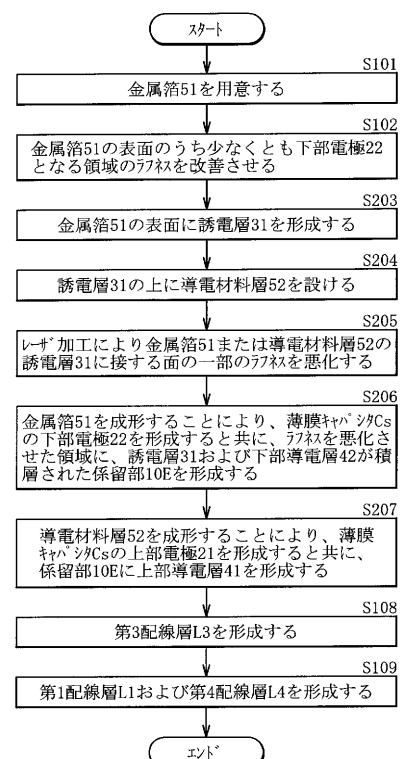
【図11】



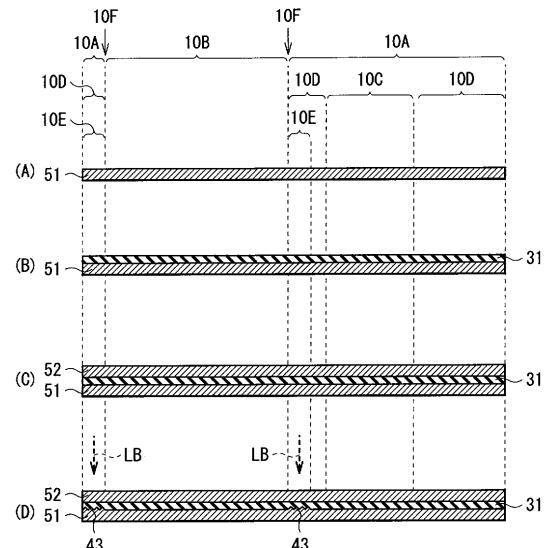
【図12】



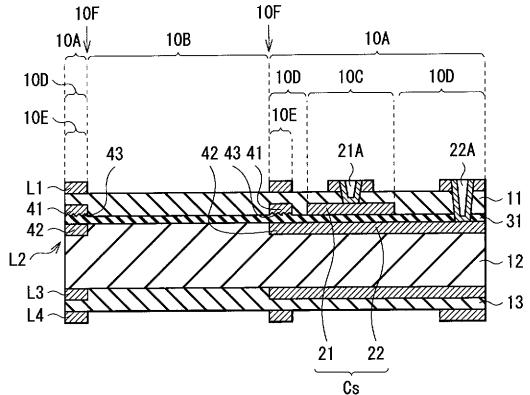
【図13】



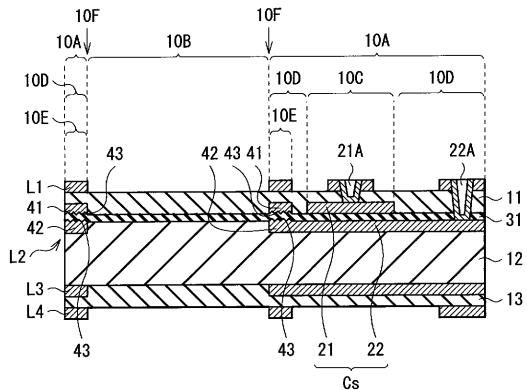
【図14】



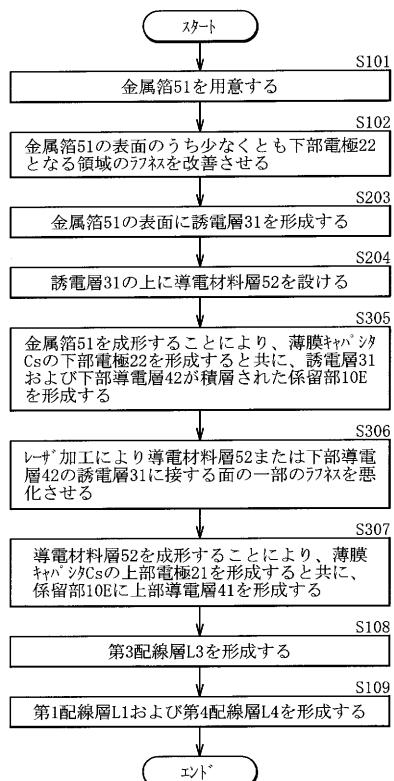
【図15】



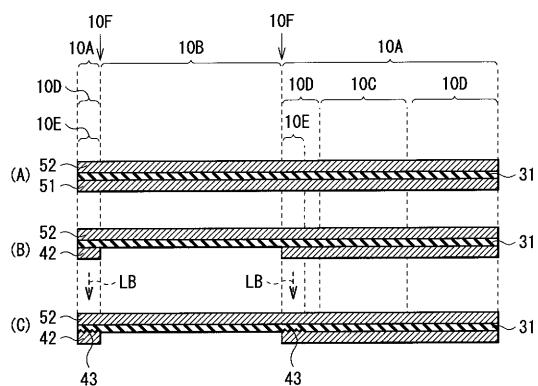
【図16】



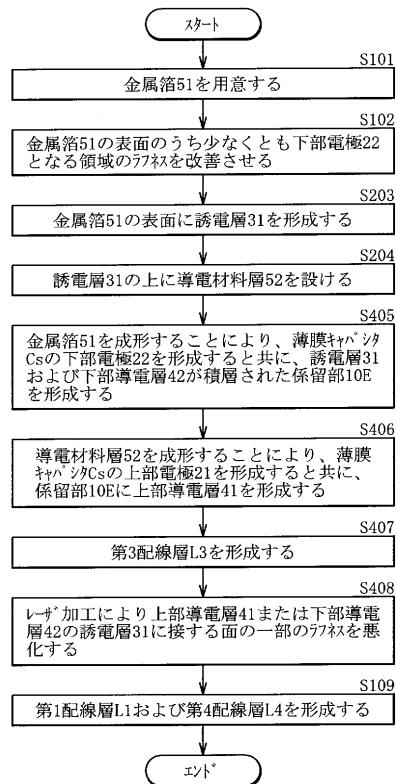
【図17】



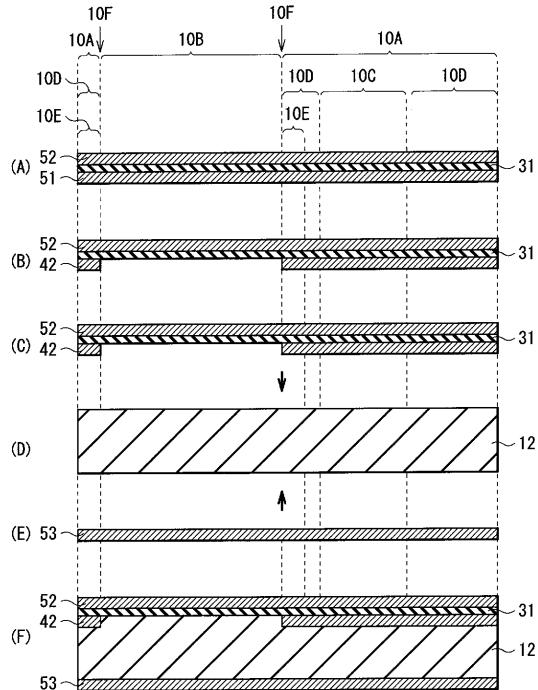
【図18】



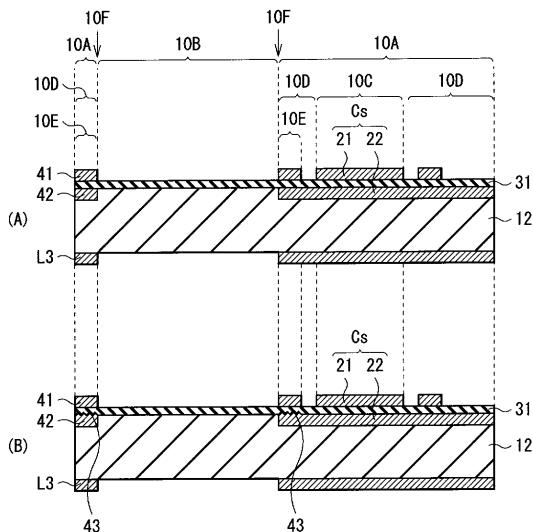
【図19】



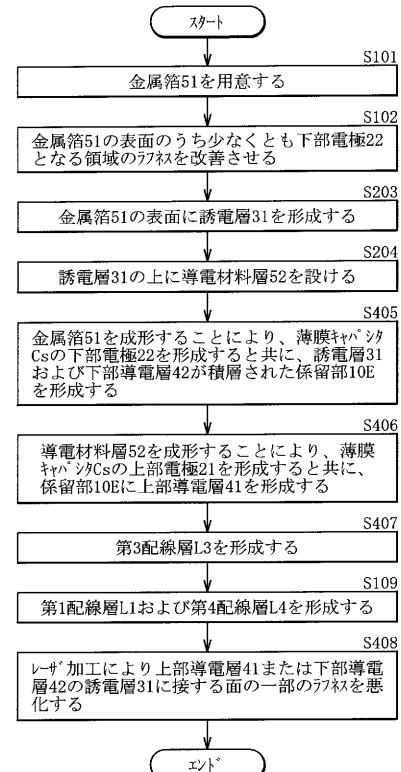
【図20】



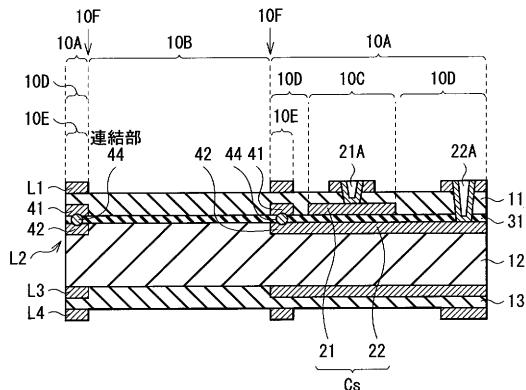
【図21】



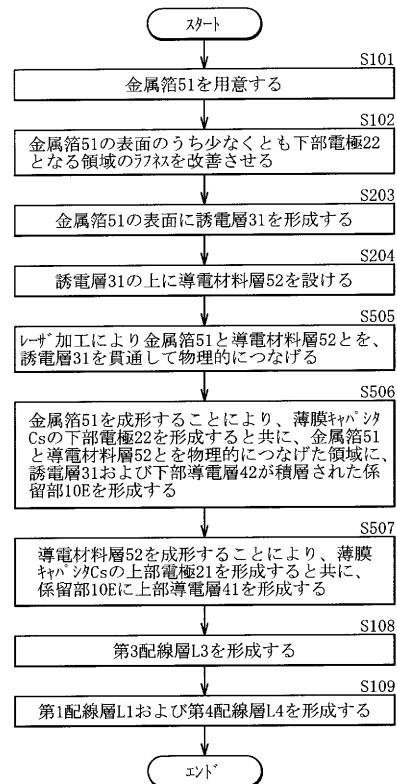
【図22】



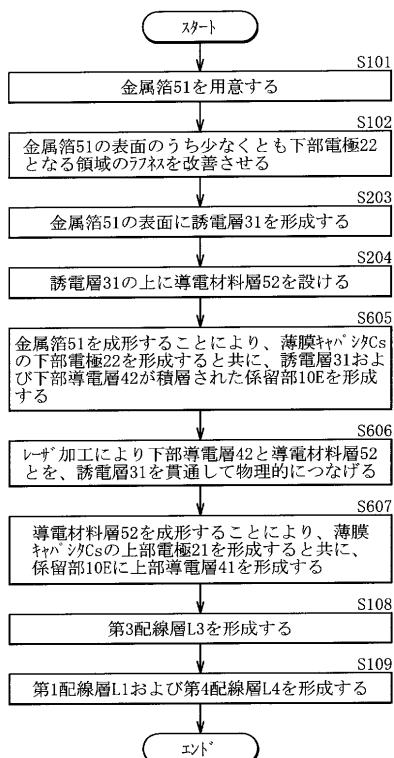
【図23】



【図24】



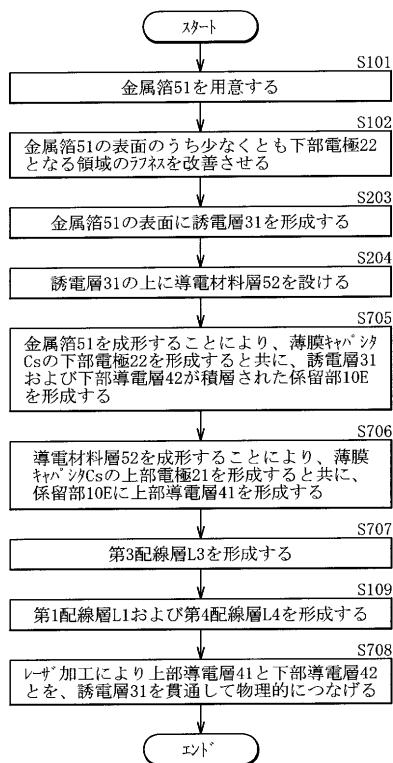
【図25】



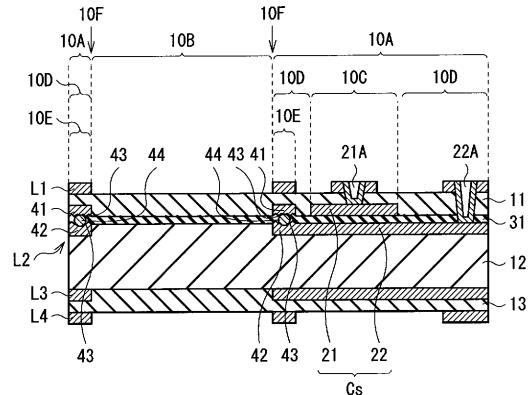
【図26】



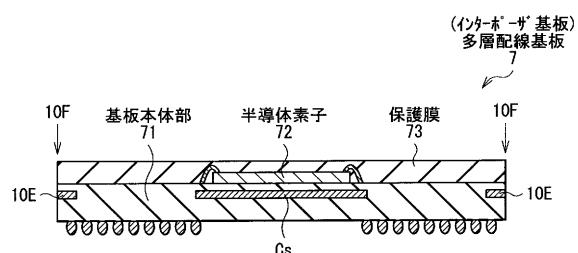
【図27】



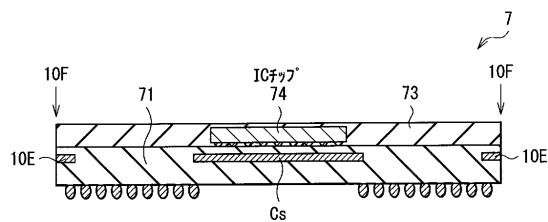
【 図 2 8 】



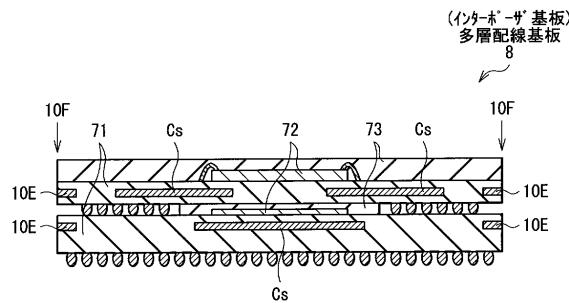
【図29】



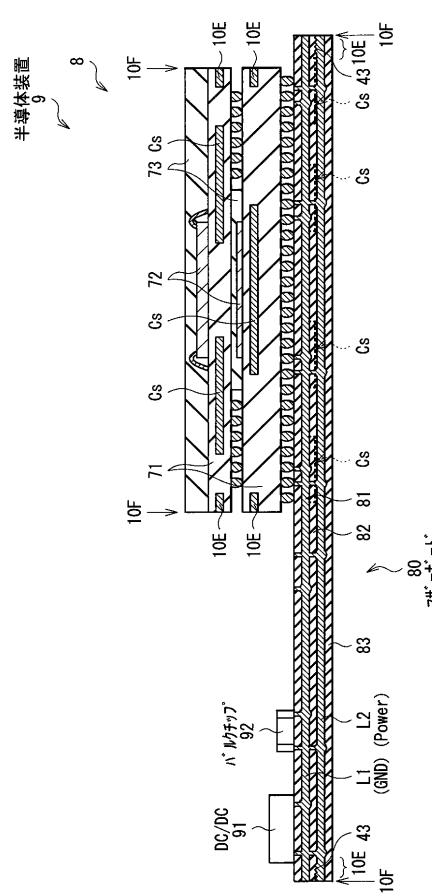
【図30】



【図3-1】



【図32】



---

フロントページの続き

(72)発明者 柳川 周作  
東京都港区港南1丁目7番1号 ソニー株式会社内  
(72)発明者 足立 研  
東京都港区港南1丁目7番1号 ソニー株式会社内

審査官 井上 信

(56)参考文献 特開2000-49041(JP,A)  
特開2007-281466(JP,A)  
特開2006-245588(JP,A)

(58)調査した分野(Int.Cl., DB名)

H 05 K	1 / 16
H 05 K	3 / 38
H 05 K	3 / 46