

(21)申請案號：099116527

(22)申請日：中華民國 99 (2010) 年 05 月 24 日

(51)Int. Cl.：

H03K19/02 (2006.01)

G06F1/32 (2006.01)

(30)優先權：2009/12/17

美國

12/640,004

(71)申請人：L S I 股份有限公司 (美國) LSI CORPORATION (US)

美國

(72)發明人：史瑞迪哈特拉 斯里尼瓦斯 SRIADIBHATLA, SRINIVAS (IN)

(74)代理人：林志剛

申請實體審查：有 申請專利範圍項數：20 項 圖式數：4 共 29 頁

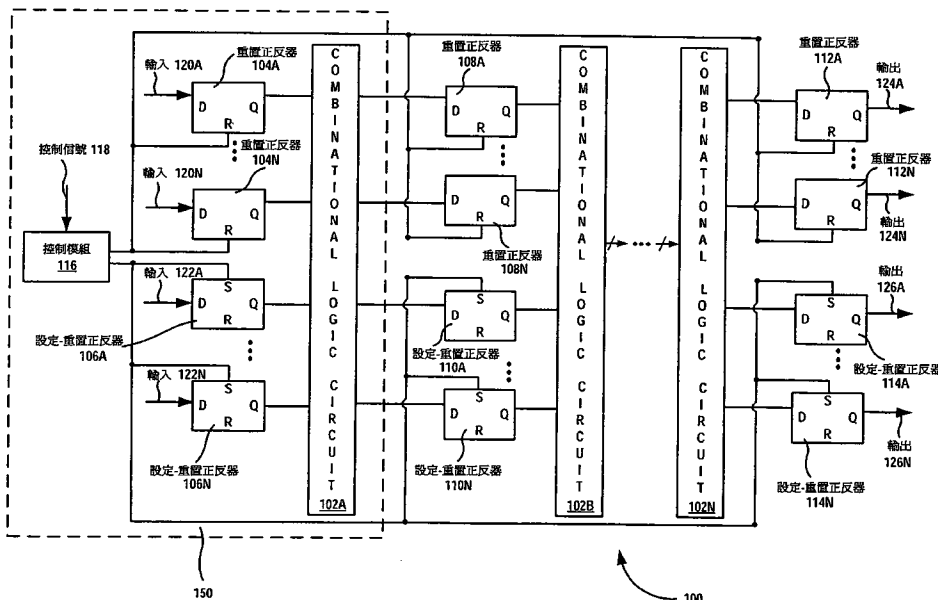
(54)名稱

循序電路中的漏電流減少

LEAKAGE CURRENT REDUCTION IN A SEQUENTIAL CIRCUIT

(57)摘要

在此提出一種用於減少循序電路中之漏電流的系統和裝置。在一實施例中，一種用於減少循序電路中之漏電流的系統包括：組合邏輯電路、耦合至該組合邏輯電路的一或多個重置正反器、以及耦合至該組合邏輯電路的一或多個設定-重置正反器。該系統更包括控制模組，該控制模組耦合至該等重置正反器和該等設定-重置正反器，且被組態成當該循序電路的待命模式被觸發時，重置該等重置正反器，並設定該等設定-重置正反器。



100：循序電路

102A-N：組合邏輯電路

104A-N：重置正反器

106A-N：設定-重置正反器

108A-N：重置正反器

110A-N：設定-重置正反器

112A-N：重置正反器

114A-N：設定-重置正反器

116：控制模組

118：控制信號

120A-N：輸入

122A-N：輸入

124A-N：輸出

126A-N：輸出

150：用以減少漏電流的系統

(21)申請案號：099116527

(22)申請日：中華民國 99 (2010) 年 05 月 24 日

(51)Int. Cl.：

H03K19/02 (2006.01)

G06F1/32 (2006.01)

(30)優先權：2009/12/17

美國

12/640,004

(71)申請人：L S I 股份有限公司 (美國) LSI CORPORATION (US)

美國

(72)發明人：史瑞迪哈特拉 斯里尼瓦斯 SRIADIBHATLA, SRINIVAS (IN)

(74)代理人：林志剛

申請實體審查：有 申請專利範圍項數：20 項 圖式數：4 共 29 頁

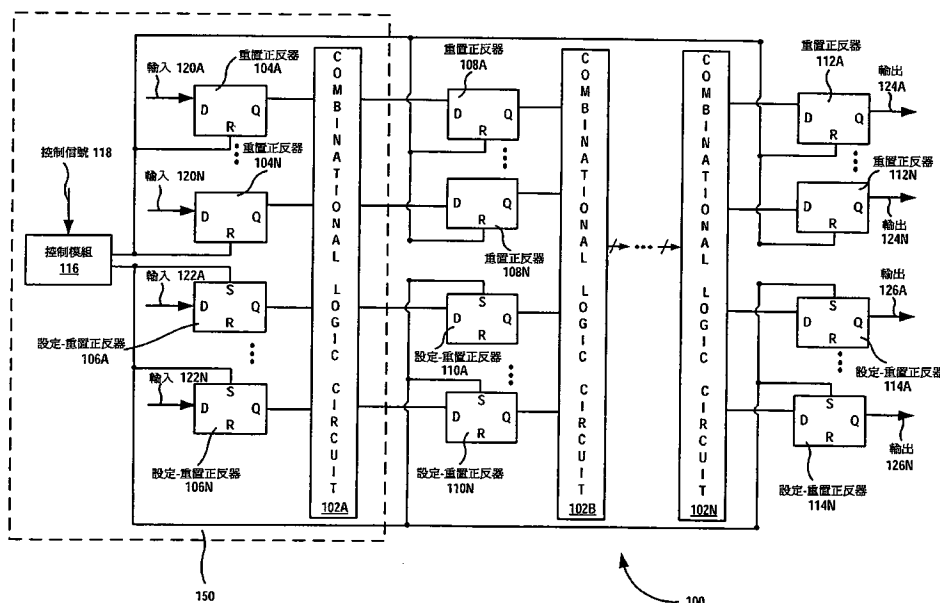
(54)名稱

循序電路中的漏電流減少

LEAKAGE CURRENT REDUCTION IN A SEQUENTIAL CIRCUIT

(57)摘要

在此提出一種用於減少循序電路中之漏電流的系統和裝置。在一實施例中，一種用於減少循序電路中之漏電流的系統包括：組合邏輯電路、耦合至該組合邏輯電路的一或多個重置正反器、以及耦合至該組合邏輯電路的一或多個設定-重置正反器。該系統更包括控制模組，該控制模組耦合至該等重置正反器和該等設定-重置正反器，且被組態成當該循序電路的待命模式被觸發時，重置該等重置正反器，並設定該等設定-重置正反器。



100：循序電路

102A-N：組合邏輯電路

104A-N：重置正反器

106A-N：設定-重置正反器

108A-N：重置正反器

110A-N：設定-重置正反器

112A-N：重置正反器

114A-N：設定-重置正反器

116：控制模組

118：控制信號

120A-N：輸入

122A-N：輸入

124A-N：輸出

126A-N：輸出

六、發明說明：

【發明所屬之技術領域】

本發明的實施例與電子學的領域有關。更明確來說，本發明的實施例是與電子裝置及系統的電源管理有關。

【先前技術】

漏電流可為裝置之半導體特性所導致，從處於關閉狀態之裝置漏出的小電流。舉例來說，由於不斷努力縮小裝置的尺寸，隨著構成 CMOS 電路之電晶體的臨限電壓、通道長度、和閘極氧化物厚度持續縮減，深次微米型的高漏電流逐漸成為裝置中之互補金氧半導體（CMOS）電路的功率消耗之主因。

裝置中可能有三個主要的漏電流來源，亦即次臨限漏電流、閘極漏電流、以及逆向偏壓接面漏電流。次臨限漏電流可由電流從作用於弱反轉區的電晶體之汲極流至源極所導致。閘極漏電流可由閘極氧化物穿隧和熱載子注入所造成之電流從電晶體的閘極流經氧化物至基板所導致。逆向偏壓接面漏電流可由電流從電晶體之源極或汲極流經逆向偏壓二極體至基板所導致。隨著電晶體縮小，各漏電流來源皆可能因此提高，從而導致總漏電流增加。

電路中的漏電流大小可取決於施加於其主輸入的輸入向量。另外，對電路之邏輯閘的不同輸入組合之間的漏電流率可高至 10。輸入向量控制法是一種用以減少漏電流的技術。舉例來說，在設計包括連接至組合邏輯電路的多

級之正反器的循序電路時，可在循序電路的設計階段算出用以減少組合邏輯電路之漏電流或漏電源消耗的最小漏電流位元（MLB），並在循序電路的製造階段加以實行。接著在循序電路的待命模式期間將 MLB 用於組合邏輯電路，以減少漏電流。

該實施方式可藉由對循序電路添加多工器來達成，使得在循序電路的動作模式期間，對正反器的輸入可被饋送至組合邏輯電路。相反地，在循序電路的待命模式期間，可使用多工器將 MLB 饋送至組合邏輯電路。雖然可依照此方法來減少經過組合邏輯電路的漏電流，但增加多工器可能會消耗使用循序電路之裝置的大量空間及／或導致可觀的額外時序。或是，可對該裝置提供記憶體來儲存 MLB，使得組合邏輯電路可在待命模式期間取得 MLB。雖然此方法在減少額外面積方面會比採用多工器的方法有效，但記憶體可能會消耗不少功率來保存並將 MLB 移至組合邏輯電路。

【發明內容】

在此提出一種用於減少循序電路中之漏電流的系統。根據本發明的一形態，該系統包括：組合邏輯電路、耦合至該組合邏輯電路的一或多個重置正反器、以及耦合至該組合邏輯電路的一或多個設定-重置正反器。該系統更包括控制模組，該控制模組耦合至該等重置正反器和該等設定正反器，且被組態成當該循序電路的待命模式被觸發時

，重置該等重置正反器，並設定該等設定-重置正反器。

根據本發明的另一形態，一循序電路包括：多個組合邏輯電路；耦合至該等組合邏輯電路之每一者的一或多個重置正反器；以及耦合至該等組合邏輯電路之每一者的一或多個設定-重置正反器。該循序電路亦包括控制模組，該控制模組耦合至該等重置正反器和該等設定-重置正反器，且被組態成當該循序電路的待命模式被觸發時，重置該等重置正反器，並設定該等設定-重置正反器。

根據本發明的又一形態，一裝置包括循序電路，且該循序電路包括：多個組合邏輯電路；耦合至該等組合邏輯電路之每一者的一或多個重置正反器；以及耦合至該等組合邏輯電路之每一者的一或多個設定-重置正反器。該循序電路亦包括控制模組，該控制模組耦合至該等重置正反器和該等設定-重置正反器，且被組態成當該循序電路的待命模式被觸發時，重置該等重置正反器，並設定該等設定-重置正反器。該裝置更包括耦合至該控制模組的電源管理單元，以在該循序電路的待命模式被觸發時，轉送休眠信號。

在此所述之系統和裝置可以任何方式加以實行來達成各種形態，且其他特徵將可由附圖及以下詳細說明所瞭解。

【實施方式】

在此提出用以減少循序電路中之漏電流的系統和裝置

。在以下發明實施例的詳細說明中，係參照構成本說明書的一部份之附圖，且其中以圖解方式顯示可實行本發明的特定實施例。這些實施例是以詳盡的方式加以描述，以使熟習該項技藝者得以實行本發明，且應了解可使用其他的實施方式，並且可在不偏離本發明之範圍下進行變更。因此，以下詳細說明不應具有限制性，且本發明之範圍僅由所附申請專利範圍所界定。

第 1 圖根據一實施例來說明具有用以減少漏電流的系統 150 之範例循序電路 100。具體來說，第 1 圖係說明管線式之循序電路。循序電路 100 包括複數個組合邏輯電路 102A-N、複數個重置正反器 104A-N、108A-N 和 112A-N、以及複數個設定-重置正反器 106A-N、110A-N 和 114A-N。循序電路 100 亦包括控制模組 116。

組合邏輯電路 102A-N 可為組合複數個邏輯閘（例如：AND、OR、NAND、NOR 等）所形成的電路，且這些電路被組態成對接收自耦合至組合邏輯電路 102A-N 的正反器之輸入 120A-N 和 122A-N 執行布林代數。在一範例實施方式中，重置正反器 104A-N、108A-N 和 112A-N 以及設定-重置正反器 106A-N、110A-N 和 114A-N 可為 D 型正反器。另外，重置正反器 104A-N、108A-N 和 112A-N 以及設定-重置正反器 106A-N、110A-N 和 114A-N 可為非同步或同步型。

如圖所示，重置正反器 104A-N 和設定-重置正反器 106A-N 被耦合至組合邏輯電路 102A。另外，重置正反器

108A-N 和設定-重置正反器 110A-N 被耦合至組合邏輯電路 102A 和組合邏輯電路 102B。可以注意到的是，循序電路 100 中的兩相鄰組合邏輯電路是經由重置正反器和設定-重置正反器所連接。另外，如圖所示，組合邏輯電路 102N 被耦合至重置正反器 112A-N 和設定-重置正反器 114A-N。

控制模組 116 被耦合至重置正反器 104A-N、108A-N 和 112A-N 以及設定-重置正反器 106A-N、110A-N 和 114A-N。在一範例實施例中，控制模組 116 包括耦合至重置正反器 104A-N、108A-N 和 112A-N 的 OR 閘，以及耦合至設定-重置正反器 104A-N、108A-N 和 112A-N 的 AND 閘。可以從第 1 圖看出，控制模組 116、重置正反器 104A-N、設定-重置正反器 106A-N 和組合邏輯電路 102A 形成用以減少漏電流的系統 150。應理解的是，循序電路 100 可包括控制模組 116 和耦合至組合邏輯電路的多級之輸入正反器。

在循序電路 100 的動作模式期間，輸入 120A-N 分別被饋送至重置正反器 104A-N。此外，輸入 122A-N 分別被饋送至設定-重置正反器 106A-N。使用輸入 120A-N 和 122A-N，使重置正反器 104A-N 和設定-重置正反器 106A-N 驅動組合邏輯電路 102A。組合邏輯電路 102A 的輸出被儲存或保持在重置正反器 108A-N 和設定-重置正反器 110A-N 中，以驅動組合邏輯電路 102B。在通過數級之正反器和組合邏輯電路的組合之後，產生輸出 124A-N 和

126A-N。

當循序電路 100（例如：或是包含循序電路 100 之裝置）的待命或休眠模式被觸發時（例如：在接收到控制信號 118 時），控制模組 116 被組態成重置該等重置正反器 104A-N、108A-N 和 112A-N，並設定該等設定-重置正反器 106A-N、110A-N 和 114A-N。當循序電路 100 的待命或休眠模式被觸發時，可由控制模組 116 接收並處理控制信號 118（例如：低態動作休眠信號）。當循序電路 100 再次動作時，可無視控制模組 116 並將重置和設定信號傳遞至該等正反器。

根據本發明的一實施例，在設計循序電路 100 時可使用以下程序。為了設計循序電路 100，將合成、對映且時序封閉之網表（netlist）當作來自邏輯合成工具之輸入。對所有的組合邏輯電路 102A-N 而言，最小漏電流位元（MLB）是使用熟習該項技藝者所熟知的輸入向量控制法來加以計算。接著，以設定-重置正反器（例如：設定-重置正反器 106A-N、110A-N 和 114A-N）取代循序電路 100 中之導致具有邏輯值「1」之 MLB 的重置正反器。為了以設定-重置正反器 106A-N、110A-N 和 114A-N 取代該等重置正反器，係假設該等重置正反器在合成程序之前具有低態動作重置。

接著，具有邏輯值「0」之 MLB 的重置正反器（例如：重置正反器 104A-N、108A-N 和 112A-N）之重置接腳被邏輯連接至低態動作休眠信號。可以注意到的是，設

定-重置正反器 106A-N、110A-N 和 114A-N 之重置接腳的連接保持不變。換言之，設定-重置正反器 106A-N、110A-N 和 114A-N 的重置接腳被連接至重置信號。另外，將設定-重置正反器 106A-N、110A-N 和 114A-N 的設定接腳連接在一起，使得當循序電路 100 進入待命模式時，可將反向之休眠信號饋送至該等設定接腳。

接著，在修改之網表上執行靜態時序分析（STA）。可以注意到的是，若產生任何由插入設定-重置正反器 106A-N、110A-N 和 114A-N 所導致之干擾，則以等效之重置正反器取代設定-重置正反器 106A-N、110A-N 和 114A-N。在執行 STA 時，將修改之網表送至實體設計工具，以完成循序電路 100 的設計。最後，得到如第 1 圖所示的循序電路 100。

第 2A 圖根據一實施例來說明第 1 圖中之系統 150 的範例電路 200。如圖所示，電路 200 包括組合邏輯電路 202、非同步重置正反器 204A-N 和非同步設定-重置正反器 206A-N。電路 200 亦包括 OR 閘 208 和 AND 閘 210。應理解的是，OR 閘 208 和 AND 閘 210 共同組成第 1 圖的控制模組 116。

第 2A 圖中，非同步重置正反器 204A-N 和非同步設定-重置正反器 206A-N 被耦合至組合邏輯電路 202。OR 閘 208 的輸出被耦合至非同步設定-重置正反器 206A-N。另外，OR 閘 208 包括第一輸入節點 214 和第二輸入節點 216，其中第一輸入節點 214 被組態成接收設定信號 218

，而第二輸入節點 216 被組態成接收休眠信號 220。AND 閘 210 的輸出被耦合至非同步重置正反器 204A-N。另外，AND 閘 210 包括第一輸入端 222 和第二輸入端 224，其中第一輸入端 222 被組態成接收休眠信號 220，而第二輸入端 224 被組態成接收重置信號 226。

如圖所示，非同步重置正反器 204A-N 和非同步設定-重置正反器 206A-N 被組態成接收輸入 228。在動作模式期間，非同步重置正反器 204A-N 和非同步設定-重置正反器 206A-N 將輸入 228 饋送至組合邏輯電路 202，以產生輸出 230。接著，輸出 230 被當作輸入饋送至循序電路 100 的後續級。在操作的待命模式期間，非同步重置正反器 204A-N 和非同步設定-重置正反器 206A-N 將最小漏電位元 212（例如：0 或 1）饋送至組合邏輯電路 202。應理解的是，最小漏電位元 212 是使用輸入向量控制法所獲得。亦應理解到，最小漏電位元 212 是用以在操作的待命模式期間提供經過組合邏輯電路 202 的最小漏電流。

第 2B 圖根據一實施例來說明範例表 250，其說明第 2A 圖中之電路 200 的操作。表 250 說明三種信號 252 和兩種操作模式 254。如表 250 所述，當電路 200 被觸發而進入待命模式 256 時，OR 閘 208 被組態成反轉並處理經過第二輸入節點 216 的低態動作休眠信號（例如：具有邏輯值「0」）。據此，OR 閘 208 設定非同步設定-重置正反器 206A-N。因此，非同步設定-重置正反器 206A-N 將最小漏電流位元 212（例如：具有值「1」）饋送至組合

邏輯電路 202，使得經過組合邏輯電路 202 的漏電流為最小值。

此外，AND 閘 210 被組態成處理經過第一輸入端 222 的低態動作休眠信號 220（例如：具有邏輯值「0」），以重置非同步重置正反器 204A-N。這導致非同步重置正反器 204A-N 將最小漏電流位元 212（例如：具有值「0」）饋送至組合邏輯電路 202，使得經過組合邏輯電路 202 的漏電流為最小值。

當動作模式 258 被觸發時，OR 閘 208 被組態成處理經過第一輸入節點 214 的設定信號 218，並處理經過第二輸入節點 216 的高態休眠信號 220（例如：具有邏輯值「1」）。據此，OR 閘 208 將設定信號 218 傳遞至非同步設定-重置正反器 206A-N。此外，AND 閘 210 被組態成處理經過第一輸入端 222 的高態休眠信號 220（例如：具有邏輯值「1」），並處理經過第二輸入端 224 的重置信號 226。據此，AND 閘 210 將重置信號 226 傳遞至非同步重置正反器 204A-N。也就是說，包括 OR 閘 208 和 AND 閘 210 的控制模組在動作模式 258 期間會變成可被無視，因其將設定信號 218 和重置信號 226 傳遞至該等正反器。因此，當電路 200 的動作模式 258 被觸發且未出現設定信號 218 和重置信號 226 時，非同步重置正反器 204A-N 和非同步設定-重置正反器 206A-N 將輸入 228 饋送至組合邏輯電路 202。因此，組合邏輯電路 202 產生將被提供至循序電路 100 的後續級之輸出 230。

第 3A 圖根據一實施例來說明第 1 圖中之系統 150 的範例電路 300。如圖所示，電路 300 包括：組合邏輯電路 302、同步重置正反器 304A-N 和同步設定-重置正反器 306A-N。電路 300 亦包括 OR 閘 308 和 AND 閘 310。應理解的是，OR 閘 308 和 AND 閘 310 共同組成第 1 圖的控制模組 116。

第 3A 圖中，同步重置正反器 304A-N 和同步設定-重置正反器 306A-N 被耦合至組合邏輯電路 302。OR 閘 308 的輸出被耦合至同步設定-重置正反器 306A-N。另外，OR 閘 308 包括第一輸入節點 314 和第二輸入節點 316，其中第一輸入節點 314 被組態成接收設定信號 318，而第二輸入節點 316 被組態成接收休眠信號 320。AND 閘 310 的輸出被耦合至同步重置正反器 304A-N。另外，AND 閘 310 包括第一輸入端 322 和第二輸入端 324，其中第一輸入端 322 被組態成接收休眠信號 320，而第二輸入端 324 被組態成接收重置信號 326。

如圖所示，同步重置正反器 304A-N 和同步設定-重置正反器 306A-N 被組態成接收輸入 328。在動作模式期間，同步重置正反器 304A-N 和同步設定-重置正反器 306A-N 將輸入 328 饋送至組合邏輯電路 302，以產生輸出 330。輸出 330 接著被當作輸入饋送至循序電路 100 的後續級。當待命模式被觸發時，同步重置正反器 304A-N 和同步設定-重置正反器 306A-N 將最小漏電流位元 312（例如：0 或 1）饋送至組合邏輯電路 302。應理解的是，最小漏

電位元 312 是使用輸入向量控制法所獲得。亦應理解到，最小漏電位元 312 是用以在操作的待命模式期間提供經過組合邏輯電路 302 的最小漏電流。

第 3B 圖根據一實施例來說明範例表 350，其說明第 3A 圖中之電路 300 的操作。表 350 說明三種信號 352 和兩種操作模式 354。表 350 中所述之電路 300 的待命模式 356 和動作模式 358 期間之電路 300 的操作和表 250 中所述之電路 200 的操作相同，因此省略其說明。

第 4 圖根據一實施例來說明具有第 1 圖之循序電路 100 的範例裝置 400。如第 4 圖中所闡述之裝置 400 可為任何採用循序電路 100 的電子裝置，例如：膝上型電腦、行動裝置、工作站、伺服器、桌上型電腦等。如圖所示，裝置 400 包括具有控制模組 116 的循序電路 100（例如：如第 1 圖所示）和電源管理單元 402。電源管理單元 402 被耦合至控制模組 116。在一範例實施方式中，當裝置 400 的待命模式被觸發時，電源管理單元 402 產生休眠信號 404（例如：低態動作休眠信號）。另外，電源管理單元 402 將休眠信號 404 轉送至控制模組 116。如上所述，在接收到休眠信號 404 時，控制模組 116 重置該等重置正反器 104A-N、108A-N 和 112A-N，並設定該等設定-重置正反器 106A-N、110A-N 和 114A-N，使得經過組合邏輯電路 102A-N 的漏電流為最小。

在各種實施例中，第 1~4 圖中所述之系統和裝置可根據 MLB，藉由採用重置和設定-重置正反器來幫助減少循

序電路中的漏電流，而不需在循序電路中採用大量的額外元件（例如：多工器、邏輯閘等等）。此外，該等系統和裝置可消除將 MLB 儲存於記憶體中的需求。另外，該等系統和裝置可允許在循序電路進入待命模式後，立即切斷時脈，從而節省大量的動態電源。

雖然已參照特定範例實施例來說明這些實施例，但顯然可在不偏離各種實施例的廣義精神及範圍下，對這些實施例進行各種修改及變更。舉例來說，在此所述之各種裝置、模組、分析器、產生器等，可使用硬體電路（例如：以互補金氧半導體（CMOS）為基礎的邏輯電路）、韌體、軟體及／或任何硬體、韌體及／或軟體（例如：收錄於機器可讀取之媒體中）之組合來加以啟動和操作。舉例來說，各種電氣結構和方法可使用電晶體、邏輯閘、和電氣電路（例如：特定應用積體電路（ASIC））來加以體現。

【圖式簡單說明】

在此係參照圖式來描述各較佳實施例，其中：

第 1 圖根據一實施例來說明具有用以減少漏電流的系統之範例循序電路；

第 2A 圖根據一實施例來說明第 1 圖中之系統的範例電路；

第 2B 圖根據一實施例來說明一範例表，該範例表說明第 2A 圖中之電路的操作；

第 3A 圖根據一實施例來說明第 1 圖中之系統的另一範例電路；

第 3B 圖根據一實施例來說明一範例表，該範例表說明第 3A 圖中之電路的操作；

第 4 圖根據一實施例來說明具有第 1 圖之循序電路的範例裝置；

此處所述之圖式僅用於說明，且不應以任何方式限制本揭示之範圍。

【主要元件符號說明】

100：循序電路

102A-N：組合邏輯電路

104A-N：重置正反器

106A-N：設定-重置正反器

108A-N：重置正反器

110A-N：設定-重置正反器

112A-N：重置正反器

114A-N：設定-重置正反器

116：控制模組

118：控制信號

120A-N、122A-N：輸入

124A-N、126A-N：輸出

150：用以減少漏電流的系統

200、300：電路

202、302：組合邏輯電路

204A-N：非同步重置正反器

206A-N：非同步設定-重置正反器

208、308：OR 閘

210、310：AND 閘

212、312：最小漏電流位元

214、314：第一輸入節點

216、316：第二輸入節點

218、318：設定信號

220、320：休眠信號

222、322：第一輸入端

224、324：第二輸入端

226、326：重置信號

228、328：輸入

230、330：輸出

304A-N：同步重置正反器

306A-N：同步設定-重置正反器

400：裝置

402：電源管理單元

404：休眠信號

發明專利說明書

(本申請書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：099116527

※申請日：099 年 05 月 24 日

※IPC 分類：H03K19/02 (2006.01)
G06F1/32 (2006.01)

一、發明名稱：(中文／英文)

循序電路中的漏電流減少

Leakage current reduction in a sequential circuit

二、中文發明摘要：

在此提出一種用於減少循序電路中之漏電流的系統和裝置。在一實施例中，一種用於減少循序電路中之漏電流的系統包括：組合邏輯電路、耦合至該組合邏輯電路的一或多個重置正反器、以及耦合至該組合邏輯電路的一或多個設定-重置正反器。該系統更包括控制模組，該控制模組耦合至該等重置正反器和該等設定正反器，且被組態成當該循序電路的待命模式被觸發時，重置該等重置正反器，並設定該等設定-重置正反器。

三、英文發明摘要：

A system and device for reducing leakage current in a sequential circuit is disclosed. In one embodiment, a system for reducing leakage current in a sequential circuit includes a combinational logic circuit, one or more reset flip-flops coupled to the combinational logic circuit, and one or more set-reset flip-flops coupled to the combinational logic circuit. The system further includes a control module coupled to the reset flip-flops and to the set flip-flops and configured to reset the reset flip-flops and to set the set-reset flip-flops when a standby mode of the sequential circuit is triggered.

七、申請專利範圍：

1. 一種用於減少循序電路中之漏電流的系統，包含：

組合邏輯電路；

至少一重置正反器，耦合至該組合邏輯電路；

至少一設定-重置正反器，耦合至該組合邏輯電路；

以及

控制模組，耦合至該至少一重置正反器和該至少一設定-重置正反器，且被組態成當該循序電路的待命模式被觸發時，重置該至少一重置正反器，並設定該至少一設定-重置正反器。

2. 如申請專利範圍第 1 項之系統，其中該至少一重置正反器包含至少一非同步重置正反器，且其中該至少一設定-重置正反器包含至少一非同步設定-重置正反器。

3. 如申請專利範圍第 1 項之系統，其中該至少一重置正反器包含至少一同步重置正反器，且其中該至少一設定-重置正反器包含至少一同步設定-重置正反器。

4. 如申請專利範圍第 1 項之系統，其中該至少一重置正反器和該至少一設定-重置正反器被組態成在該待命模式期間對該組合邏輯電路饋送最小漏電流位元。

5. 如申請專利範圍第 4 項之系統，其中該等最小漏電流位元是用以提供經過該組合邏輯電路的最小漏電流。

6. 如申請專利範圍第 4 項之系統，其中該等最小漏電流位元是使用輸入向量控制法所獲得。

7. 如申請專利範圍第 1 項之系統，其中該控制模組包含：

OR 閘，耦合至該至少一設定-重置正反器；以及

AND 閘，耦合至該至少一重置正反器。

8. 如申請專利範圍第 7 項之系統，其中該 OR 閘被組態成當該循序電路的待命模式被觸發時，根據接收到的低態動作休眠信號，設定該至少一設定-重置正反器。

9. 如申請專利範圍第 8 項之系統，其中該 OR 閘包含第一輸入節點和第二輸入節點，且其中該 OR 閘被組態成反相並處理經過該第二輸入節點的該低態動作休眠信號。

10. 如申請專利範圍第 9 項之系統，其中該 OR 閘被組態成當該循序電路的動作模式被觸發時，反相並處理經過該第二輸入節點的高態休眠信號。

11. 如申請專利範圍第 7 項之系統，其中該 AND 閘被組態成當該循序電路的待命模式被觸發時，根據接收到的低態動作休眠信號，重置該至少一重置正反器。

12. 如申請專利範圍第 11 項之系統，其中該 AND 閘包含第一輸入端和第二輸入端，且其中該 AND 閘被組態成處理經過該第一端的該低態動作休眠信號。

13. 如申請專利範圍第 12 項之系統，其中該 AND 閘被組態成當該循序電路的動作模式被觸發時，處理經過該第一輸入端的高態休眠信號。

14. 一種循序電路，包含：

複數個組合邏輯電路；

至少一重置正反器，耦合至該等複數個組合邏輯電路的每一者；

至少一設定-重置正反器，耦合至該等複數個組合邏輯電路的該每一者；以及

控制模組，耦合至該至少一重置正反器和該至少一設定-重置正反器，且被組態成當該循序電路的待命模式被觸發時，重置該至少一重置正反器，並設定該至少一設定-重置正反器。

15. 如申請專利範圍第 14 項之循序電路，其中該至少一重置正反器和該至少一設定-重置正反器的每一者皆是以 D 型正反器為基礎。

16. 如申請專利範圍第 14 項之循序電路，其中該至少一重置正反器包含至少一非同步重置正反器，且其中該至少一設定-重置正反器包含至少一非同步設定-重置正反器。

17. 如申請專利範圍第 14 項之循序電路，其中該至少一重置正反器包含至少一同步重置正反器，且其中該至少一設定-重置正反器包含至少一同步設定-重置正反器。

18. 如申請專利範圍第 14 項之循序電路，其中該控制模組包含：

OR 閘，耦合至該至少一設定-重置正反器；以及

AND 閘，耦合至該至少一重置正反器。

19. 一種裝置，包含：

循序電路，包含：

複數個組合邏輯電路；

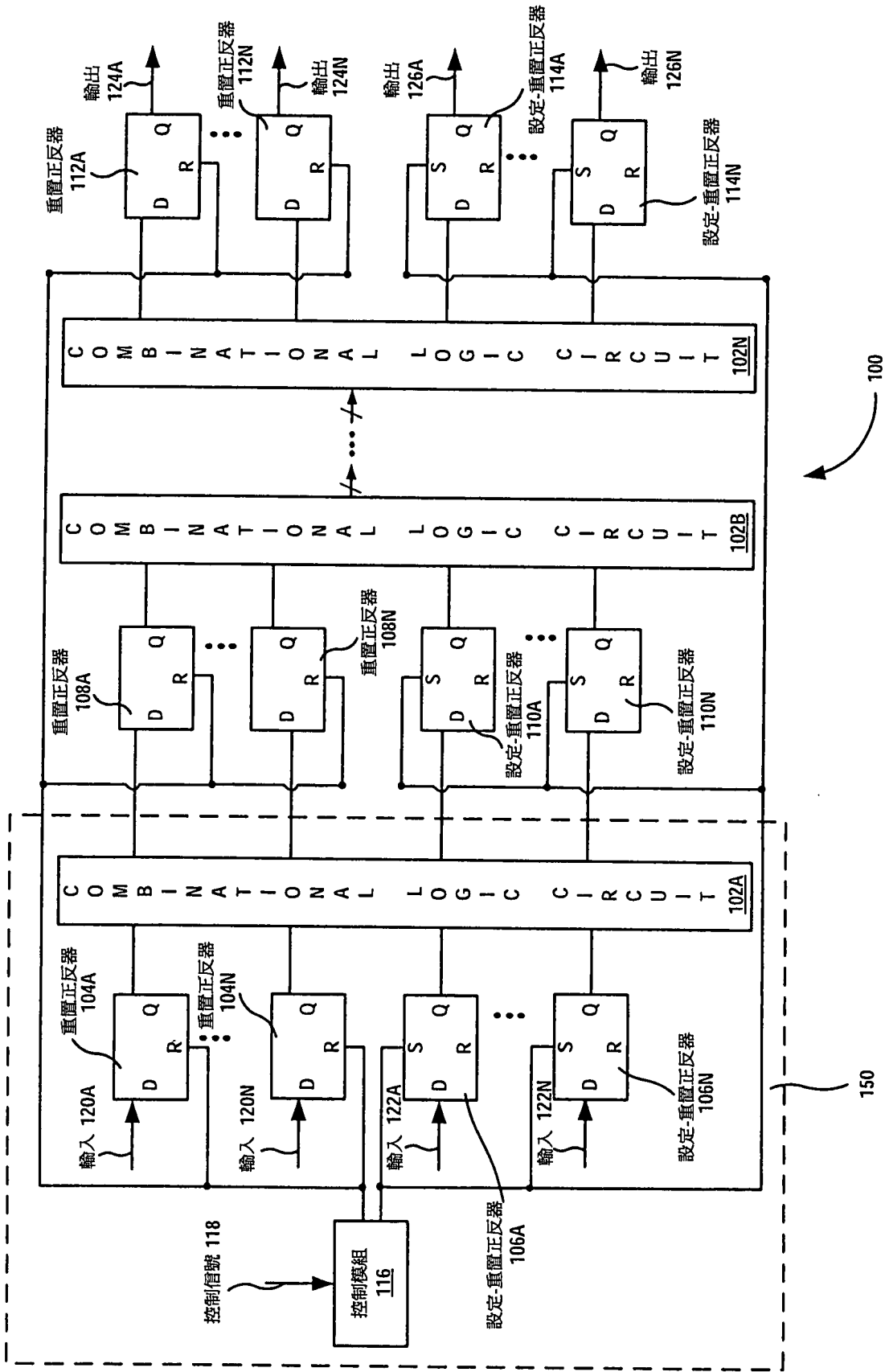
至少一重置正反器，耦合至該等複數個組合邏輯電路的每一者；

至少一設定-重置正反器，耦合至該等複數個組合邏輯電路的該每一者；以及

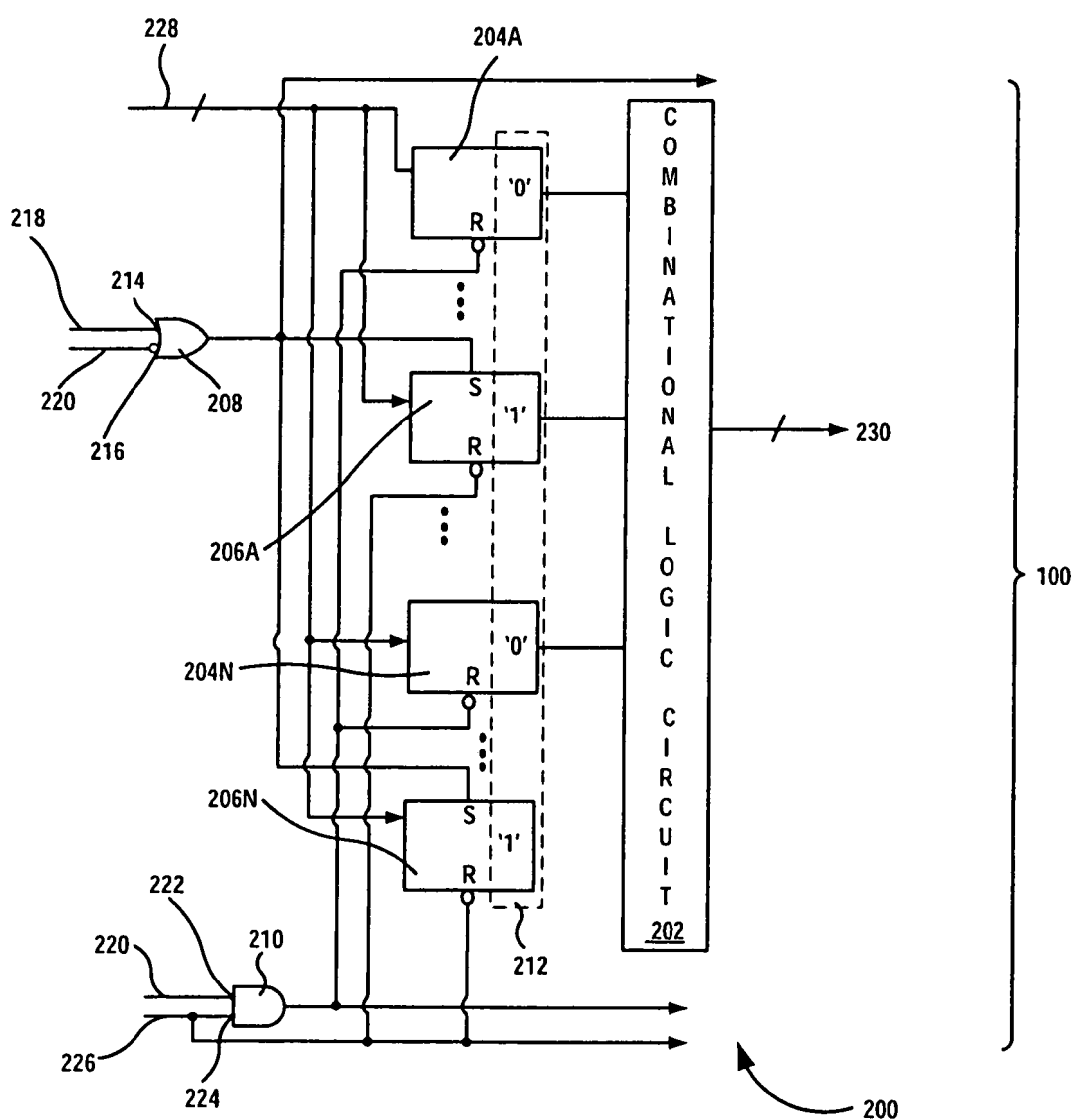
控制模組，耦合至該至少一重置正反器和該至少一設定-重置正反器，且被組態成當該循序電路的待命模式被觸發時，重置該至少一重置正反器，並設定該至少一設定-重置正反器。

20. 如申請專利範圍第 19 項之裝置，更包含耦合至該控制模組的電源管理單元，以在該循序電路的待命模式被觸發時，轉送休眠信號。

第1圖



第2A圖

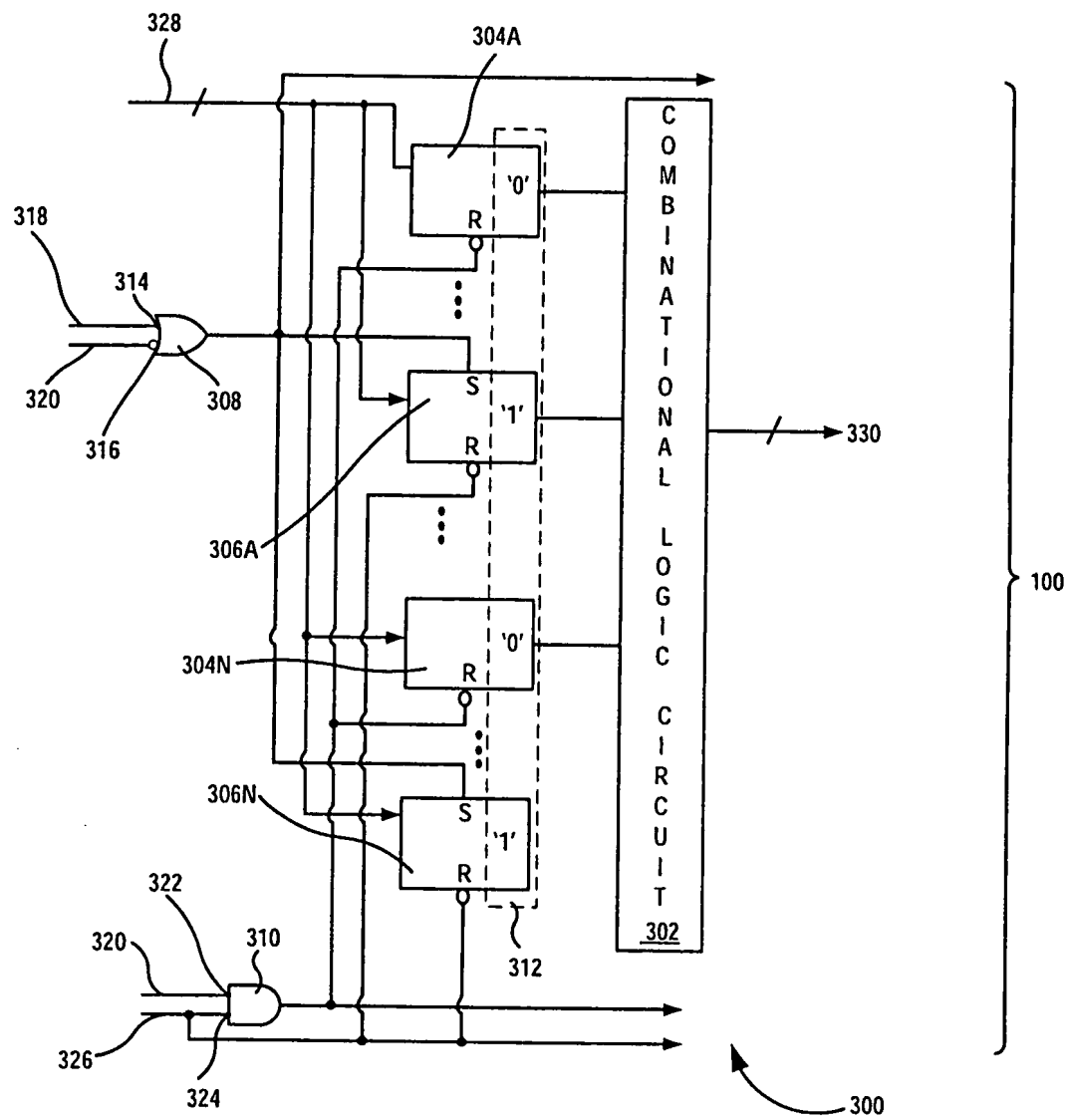


第2B圖

信號 252	操作模式 254		
	休眠信號 220	設定信號 218	重置信號 226
待命模式 256	0	X	X
動作模式 258	1	X	X

250

第3A圖

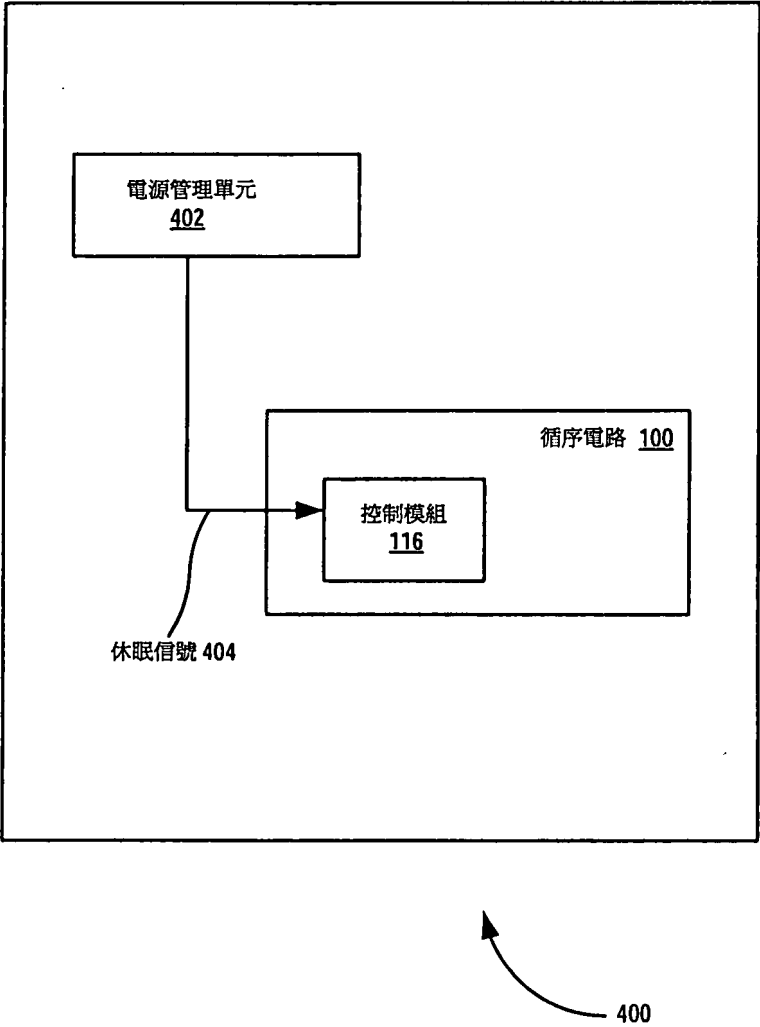


第3B圖

信號 352			
	休眠信號 320	設定信號 318	重置信號 326
操作模式 354			
待命模式 356	0	X	X
動作模式 358	1	X	X

350

第4圖



四、指定代表圖：

(一)、本案指定代表圖為：第 (1) 圖。

(二)、本代表圖之元件符號簡單說明：

100：循序電路

102A-N：組合邏輯電路

104A-N：重置正反器

106A-N：設定-重置正反器

108A-N：重置正反器

110A-N：設定-重置正反器

112A-N：重置正反器

114A-N：設定-重置正反器

116：控制模組

118：控制信號

120A-N、122A-N：輸入

124A-N、126A-N：輸出

150：用以減少漏電流的系統

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無