



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201308530 A1

(43)公開日：中華民國 102 (2013) 年 02 月 16 日

(21)申請案號：101126386

(22)申請日：中華民國 101 (2012) 年 07 月 20 日

(51)Int. Cl. : **H01L23/31 (2006.01)**

(30)優先權：2011/07/21 美國 13/188,287

(71)申請人：蘋果公司(美國) APPLE INC. (US)  
美國

(72)發明人：齋 俊 ZHAI, JUN (US) ; 凡 凱內爾 文森 R VON KAENEL, VINCENT R. (US)

(74)代理人：陳長文

申請實體審查：有 申請專利範圍項數：20 項 圖式數：6 共 23 頁

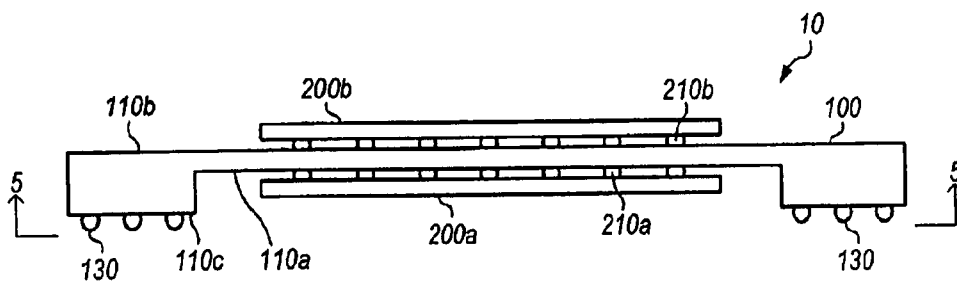
(54)名稱

雙面覆晶封裝

DOUBLE-SIDED FLIP CHIP PACKAGE

(57)摘要

半導體裝置模組具有安裝於一基板之對置面上的兩個或兩個以上積體電路晶粒。該等積體電路晶粒係藉由使用表面黏著連接(諸如使用導電凸塊實施之覆晶連接)而安裝。系統可包括本發明之半導體裝置模組中之一或多者，且在一些狀況下，亦可包括其他模組，諸如一系統模組。



10：電子裝置模組/元件

100：模組基板

110a：表面

110b：表面

110c：表面

130：模組導體

200a：積體電路晶粒

200b：積體電路晶粒

210a：導電凸塊

210b：導電凸塊



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201308530 A1

(43)公開日：中華民國 102 (2013) 年 02 月 16 日

(21)申請案號：101126386

(22)申請日：中華民國 101 (2012) 年 07 月 20 日

(51)Int. Cl. : **H01L23/31 (2006.01)**

(30)優先權：2011/07/21 美國 13/188,287

(71)申請人：蘋果公司(美國) APPLE INC. (US)  
美國

(72)發明人：齋 俊 ZHAI, JUN (US) ; 凡 凱內爾 文森 R VON KAENEL, VINCENT R. (US)

(74)代理人：陳長文

申請實體審查：有 申請專利範圍項數：20 項 圖式數：6 共 23 頁

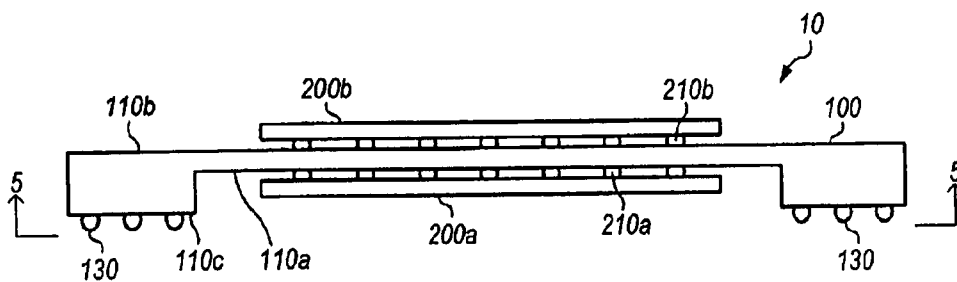
(54)名稱

雙面覆晶封裝

DOUBLE-SIDED FLIP CHIP PACKAGE

(57)摘要

半導體裝置模組具有安裝於一基板之對置面上的兩個或兩個以上積體電路晶粒。該等積體電路晶粒係藉由使用表面黏著連接(諸如使用導電凸塊實施之覆晶連接)而安裝。系統可包括本發明之半導體裝置模組中之一或多者，且在一些狀況下，亦可包括其他模組，諸如一系統模組。



10：電子裝置模組/元件

100：模組基板

110a：表面

110b：表面

110c：表面

130：模組導體

200a：積體電路晶粒

200b：積體電路晶粒

210a：導電凸塊

210b：導電凸塊

# 發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號： 101126386

※ 申請日： 101.7.20

※IPC 分類： H01L 23/31 (2006.1)

## 一、發明名稱：(中文/英文)

雙面覆晶封裝

DOUBLE-SIDED FLIP CHIP PACKAGE

## 二、中文發明摘要：

半導體裝置模組具有安裝於一基板之對置面上的兩個或兩個以上積體電路晶粒。該等積體電路晶粒係藉由使用表面黏著連接(諸如使用導電凸塊實施之覆晶連接)而安裝。系統可包括本發明之半導體裝置模組中之一或多者，且在一些狀況下，亦可包括其他模組，諸如一系統模組。

## 三、英文發明摘要：

Semiconductor device modules having two or more integrated circuit dies mounted on opposing sides of a substrate. The integrated circuit dies are mounted by use of surface mount connections, such as flip chip connections implemented using conductive bumps. Systems may include one or more of the present semiconductor device modules, and in some cases may also include other modules, such as a system module.

四、指定代表圖：

(一)本案指定代表圖為：第(4)圖。

(二)本代表圖之元件符號簡單說明：

10	電子裝置模組/元件
100	模組基板
110a	表面
110b	表面
110c	表面
130	模組導體
200a	積體電路晶粒
200b	積體電路晶粒
210a	導電凸塊
210b	導電凸塊

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

## 六、發明說明：

### 【發明所屬之技術領域】

本發明大體而言係關於半導體裝置，且更特定而言係關於多晶粒模組。

### 【先前技術】

可藉由增加每封裝之積體電路晶粒的數量來改良裝置封裝(諸如，DDR記憶體封裝)之容量。舉例而言，可在記憶體封裝內實施一或多對堆疊晶粒以與具有未堆疊晶粒之記憶體封裝相比而增加記憶體容量，而不顯著增加封裝之佔據面積。此等堆疊記憶體封裝通常使用線接合以用於將晶粒連接至模組基板。

積體電路(IC)裝置之覆晶連接可提供合乎需要的電感特性(例如，較低信號及/或功率電感)。又，連接密度可比對於線接合之積體電路裝置為可能的連接密度大得多。覆晶連接可使用安置於晶粒之一個表面上的導電凸塊來促進至基板之連接。因此，覆晶連接可能並不良好適合於典型堆疊晶粒組態。

### 【發明內容】

揭示提供半導體裝置封裝之各種結構及技術，該等半導體裝置封裝具有安裝於基板之對置面上的兩個或兩個以上積體電路晶粒。此等積體電路晶粒係藉由使用表面黏著連接(諸如使用導電凸塊實施之覆晶連接)而安裝。在某些實施例中，所揭示之結構及技術可促進封裝內之較高裝置密度，同時提供降低之電感值及改良之連接器密度。

電子裝置模組之一項實施例可包括：一第一晶粒，其經由一覆晶連接而電連接至一模組基板之一第一表面；及一第二晶粒，其亦經由一覆晶連接而電連接至該模組基板的一第二實質上對置表面。特定實施例可進一步包括在該模組基板之第一面上的導體以促進該電子裝置模組至外部組件之連接。其他實施例可包括安置於該模組基板之除了用於外部連接之第一表面之外的一或多個表面上之導體。一些實施例可經組態以經由安置於該模組基板之一個以上表面處的導體而用於外部連接。舉例而言，一個此實施例可為包括安裝於模組基板之對置表面上的兩個或兩個以上DDR晶粒覆晶的記憶體模組，其中該記憶體模組經組態以用於連接至包括一系統單晶片(SOC)的系統模組。在一些狀況下，特定記憶體模組可經進一步組態以用於連接至第三模組(諸如另一記憶體模組)，藉此促進包括SOC及兩個記憶體模組之系統。

在特定實施例中，電子裝置模組可包括：一第一積體電路，其電連接至一模組基板的第一組導體；及一第二積體電路，其電連接至該模組基板的第二組導體。該第一組導體及該第二組導體可安置於該模組基板之實質上對置表面上，且可使用導電凸塊(諸如焊料凸塊)電連接至第一積體電路及第二積體電路。一些實施例可包括電連接至該模組基板之額外積體電路。在一些實施例中，該模組基板進一步包括經組態以用於外部連接(例如，用於連接至SOC模組、記憶體模組或其他模組)的一或多組電導體。在一些

狀況下，該一或多組電導體可經組態以用於使用一或多個球型柵格陣列連接。

在本發明之一些實施例中，系統可包括電連接至第二模組之第一模組。該等模組可經由安置於第一模組基板處的一組電導體而連接。除了第一模組基板之外，第一模組亦可包括第一晶粒及第二晶粒。該第一晶粒及該第二晶粒可經由覆晶連接分別電連接至該第一模組基板之對置表面。在一些實施例中，第二模組可包括SOC。在各種實施例中，第一模組可為記憶體模組。

### 【實施方式】

以下詳細描述參看現簡短描述之隨附圖式。

在圖中藉由實例展示特定實施例且將在本文中詳細描述該等特定實施例。然而，應理解，圖式及詳細描述並不意欲將申請專利範圍限於所揭示之特定實施例，甚至在關於特定特徵僅描述單一實施例的情況下亦如此。相反地，本發明將涵蓋對於受益於本發明之熟習此項技術者將顯而易見的所有修改、等效物及替代方案。除非另外陳述，否則本發明中提供之特徵的實例意欲為說明性的而非限制性的。

本文中所使用之標題僅出於組織性目的，且不意欲用來限制描述之範疇。如本申請案全篇中所使用，詞語「可」係在准許意義(亦即，意謂有可能)而非強制意義(亦即，意謂必須)上使用。詞語「包括」指示開放式關係且因此意謂包括但不限制。類似地，詞語「具有」亦指示開放式關

係，且因此意謂具有但不限於具有。如本文中所使用之術語「第一」、「第二」、「第三」等等用作名詞領先之名詞標籤，且不暗示任何類型之排序(例如，空間、時間、邏輯等)，除非另外明確地指示此排序。舉例而言，除非另外指定，否則「電連接至模組基板之第三晶粒」不排除「電連接至模組基板之第四晶粒」在第三晶粒之前連接的情形。類似地，除非另外指定，否則「第二」特徵不需要在「第二」特徵之前實施「第一」特徵。

各種組件可描述為「經組態以」執行一或多個任務。在此等情況下，「經組態以」為廣泛敘述，其大體上意謂「具有在操作期間執行該或該等任務之結構」。因而，組件可經組態以執行任務，即使當該組件當前不執行彼任務時(例如，一組電導體可經組態以將一模組電連接至另一模組，即使當兩個模組未連接時)。在一些情況下，「經組態以」可為結構之廣泛敘述，其大體上意謂「具有在操作期間執行該或該等任務之電路」。因而，組件可經組態以執行任務，即使當該組件當前不在作用中。一般而言，形成對應於「經組態以」之結構的電路可包括硬體電路。

為便於描述，可將各種組件描述為執行一或多個任務。此等描述應解釋為包括片語「經組態以」。敘述經組態以執行一或多個任務之組件明確地不意欲調用 35 U.S.C. § 112 第六段對於彼組件之解釋。

本發明之範疇包括本文中所揭示(明確地或隱含地)之任何特徵或特徵組合，或其任何一般化，無論其是否減輕本

文中所處理之問題的任何或全部。因此，在針對任何此特徵組合之此申請案(或主張其優先權之申請案)的審查期間可闡述新請求項。詳言之，參看所附申請專利範圍，來自附屬請求項之特徵可與獨立請求項之特徵組合，且來自各別獨立請求項之特徵可以任何適當方式且不僅以在所附申請專利範圍中列舉之特定組合來組合。

此說明書包括對「一項實施例」或「一實施例」之參考。片語「在一項實施例中」或「在一實施例中」之出現未必指代同一實施例。可以與本發明一致之任何合適方式組合特定特徵、結構或特性。

轉向圖1，展示系統1之實施例的說明。如所描繪，多模組系統1包括經由使用模組導體130之連接而電耦接至模組20的電子裝置模組10。作為一項實例，模組20可為包括積體電路晶粒22之系統模組(例如，處理器)，且電子裝置模組10可為具有多個積體電路晶粒200(例如，記憶體IC)之模組(例如，記憶體模組)。在一些實施例中，模組20可包括積體電路晶粒22，積體電路晶粒22為系統單晶片。各種實施例可包括電子裝置模組10及/或模組20，從而提供其他功能性，諸如圖形控制、數位信號處理及通信協定功能。

電子裝置模組10可向系統1提供可組態性。舉例而言，考慮先前系統，其中處理器及記憶體以共同封裝安置於共同基板上。在此系統中，包括處理器及記憶體之固定組態的共同封裝之庫存可需要在可接受前置時間內滿足產品需求。可需要表示處理器及記憶體之各種組合的許多固定組

態。固定組態之所儲存庫存可表示歸因於可能組件價格改變、組件產品演變，及組件過時的庫存風險。舉例而言，歸因於更佳執行記憶體之發佈或價格改變，包括特定記憶體積體電路之所儲存共同封裝可變得需要。

藉由使得能夠儲存與系統來自各種模組之組裝相關聯的較短前置時間所產生的減少之庫存，使用記憶體模組及處理器模組之本例示性系統可減少庫存風險。此外，當特定模組之組件變得過時，本例示性系統之其他模組不受影響。舉例而言，特定記憶體產品之過時引起僅對應記憶體模組之過時，而不引起處理器模組或其他記憶體模組之過時。

相比之下，由於過時記憶體整合至共同封裝中，因此上述先前共同封裝之庫存可變得過時。因為處理器亦整合至共同封裝中，所以記憶體之可能過時亦引起與整合處理器有關之庫存風險。

此外，本實施例之模組可提供較佳單元以用於測試及採購。舉例而言，由記憶體供應商提供之根據本發明的記憶體模組向彼記憶體供應商呈現在模組層級而非僅晶粒層級進行品質保證的機會。因此，可在遞送至客戶之前經由供應商執行的較高層級測試獲得效率。因此，與在組裝期間產生之缺陷相關聯的各種風險可轉移至模組供應商。

可使用各種互連形式經由模組導體130實現電子裝置模組10與模組20之間的電連接。舉例而言，系統1之實施例可包括使用球型柵格陣列(ball grid array)、針型柵格陣列

(pin grid array)、平台柵格陣列(land grid array)、雙列封裝或其他合適互連外觀尺寸電耦接的電子裝置模組10與模組20。在一些狀況下，系統1之實施例可包括使用多個不同互連格式之多個模組導體130。模組導體130可相對於模組基板100之表面110對稱地配置(見圖3)，或可在一些狀況下相對於表面110非對稱地配置。系統導體24可促進系統1至外部組件(諸如系統板)的連接。在一些實施例中系統導體24可包括與模組導體130中所使用的相同互連格式。在其他實施例中，系統導體24可使用與模組導體130中使用之互連格式不同的(或額外)互連格式。

轉向圖2，電子裝置模組10之所描繪實施例包括使用導電凸塊210安裝至模組基板100的三個積體電路晶粒200。積體電路晶粒200a與積體電路晶粒200c使用導電凸塊210a與導電凸塊210b電連接於模組基板100之表面110a處。積體電路晶粒200b使用導電凸塊210b電連接於表面110b處，表面110b與模組基板100上的表面110a對置。模組導體130安置於表面110a上，模組導體130經組態以提供至外部組件(諸如模組20)之電耦接。

導電凸塊210可包括藉由使用(例如)回焊製程之超音波形成的覆晶連接來在積體電路晶粒200與模組基板100之間提供電連接之焊料凸塊。在一些實施例中，可使用其他凸塊(例如，金柱凸塊)及其他製程(例如，導電薄膜或帶)形成覆晶連接。

使用覆晶連接相比於替代連接方法提供若干優點。舉例

而言，覆晶連接可比線接合連接短得多。因此，可達成提供較低電感值(例如，功率電感及信號電感)之設計。此外，與通常對於線接合可能達成之導體密度相比，用於將導電凸塊置放於覆晶實施中的晶粒之整個面的可用性提供較高導體密度(例如，較多數目個輸入/輸出信號及功率/接地信號)之機會。

將積體電路晶粒200安裝於模組基板100之對置面上可允許用於電子裝置模組10及系統1之特定佔據面積內的積體電路晶粒200之密度增加。可藉由積體電路晶粒200之此雙面安裝促進的密集組態可適應強加於對外觀尺寸敏感的實施(諸如行動裝置)中之緊密設計約束。各種積體電路晶粒200安裝組態可用於電子裝置模組10之特定實施例中，包括變化之數量之晶粒的對稱或非對稱組態。舉例而言，圖1、圖4及圖6各自描繪一個晶粒安裝於模組基板之兩個對置表面中之每一者上的模組。參見圖1，元件10；圖4，元件10；圖6，元件30。圖2描繪一實施例，其中一個晶粒安裝於模組基板之第一表面上，且兩個晶粒安裝於對置表面上。圖6之元件10包括安裝於模組基板之兩個對置面中之每一者上的三個晶粒。

在一些實施例中，電子裝置模組10可包括安裝於模組基板100上之多個相同積體電路晶粒200。一個此實施例為記憶體模組，其中相同記憶體積體電路可用以提供儲存以供系統單晶片使用。電子裝置模組10之其他實施例可包括安裝於模組基板100上之多種積體電路晶粒200。舉例而言，

特定記憶體模組可經組態以向耦接之系統提供單獨系統記憶體及圖形記憶體。在此特定例示性記憶體模組中，可使用特定積體電路中之一或多者提供系統記憶體，且可使用一或多個不同積體電路提供圖形記憶體。電子裝置模組10之其他實施例可包括積體電路晶粒200，積體電路晶粒200提供除了記憶體之外的功能性，諸如圖形控制、數位信號處理及通信協定功能。

圖3描繪如自圖2之線3-3觀看的模組基板100之表面110a。展示安置於模組基板之表面處的電導體。電導體包括對應於用於電連接至積體電路晶粒200a之導電凸塊210a的基板導體120a。類似地，基板導體120b對應於用於電連接至積體電路晶粒200b之導電凸塊210b。儘管在圖3中描繪之實施例中，基板導體120a與基板導體120b為類似陣列，但其他實施例可包括具有與所描繪之圖案不同的圖案及/或彼此不同之圖案的基板導體120。虛線指示在安裝至模組基板100時積體電路晶粒200a及積體電路晶粒200b輪廓之外形。安裝積體電路晶粒200可包括使用絕緣體進行底部填充。

現轉向圖4及圖5，描繪電子裝置模組10之替代實施例。與圖2及圖3中所展示的包括安置於模組基板100之表面110處之模組導體130的實施例形成對比，圖4及圖5之實施例包括安置於表面110c處之模組導體130。表面110c可自表面110a偏移，且因此在積體電路晶粒200a與電子裝置模組10連接至之組件之間提供額外間隙。舉例而言，模組基板

100之組態可包括間距以容納積體電路晶粒200a與系統板或模組的電子裝置模組10可連接至之組件之間的間隙。圖3之實施例包括沿著表面110之周邊對稱地配置之導體模組130，且圖5之實施例包括在模組基板100之兩邊緣附近對稱地配置之模組導體130。其他實施例可包括以其他組態(包括非對稱組態)配置之模組導體130。實施例亦可包括具有各種外觀尺寸之模組導體130，該等外觀尺寸諸如球型柵格陣列、針型柵格陣列、平台柵格陣列、雙列封裝或其他合適互連外觀尺寸。

圖6描繪系統1之實施例，系統1包括經由模組導體130a電耦接至模組20且經由模組導體130b電耦接至裝置模組30的電子裝置模組10。電子裝置模組10包括模組基板，模組基板經組態以使得間隙提供於安裝於電子裝置模組10上之積體電路與安裝於模組20及裝置模組30上之積體電路之間。在一些實施例中，模組20可包括系統單晶片封裝，其中電子裝置模組10及模組20為連續堆疊於系統封裝上之記憶體封裝。在其他實施例中，電子裝置模組10可為系統封裝，其中模組20及裝置模組30為堆疊於系統封裝之每一面上的記憶體封裝。一些實施例可包括堆疊於裝置模組30上方及/或模組20下方的額外封裝。特定實施例可包括具有執行不同或額外功能之積體電路的封裝，該等功能包括(例如)控制、信號處理及與功率有關之功能。

儘管上文已相當詳細地描述了實施例，但熟習此項技術者一旦完全理解以上揭示內容便將明顯看出眾多變化及修

改。預期將以下申請專利範圍解釋為涵蓋所有此等變化及修改。

### 【圖式簡單說明】

圖1描繪根據本發明之一項實施例的系統。所描繪系統包括具有對置地安裝至模組基板之兩個積體電路的第一模組，及耦接至第一模組之第二模組。

圖2描繪包括安裝至模組基板之三個晶粒的模組。三個所安裝晶粒包括使用導電凸塊安裝至模組基板之第一面的兩個晶粒，及使用導電凸塊安裝至模組基板之第二面的第三晶粒。模組基板亦包括用於提供至模組外部之組件之電連接的導體。

圖3為如自圖2之線3-3觀看的圖2中描繪之實施例之各種組件的仰視圖。描繪安置於模組基板之表面處的電導體。電導體包括用於連接至模組外部之組件的一組導體、用於連接至第一晶粒的一組導體，及用於連接至第二晶粒的一組導體。

圖4描繪包括安裝至模組基板之兩個積體電路的模組。兩個積體電路包括使用導電凸塊安裝至模組基板之第一面的IC，及使用導電凸塊安裝至模組基板之第二面的第二IC。模組基板亦包括定位於自模組基板之第一面偏移且與模組基板之第一面平行的表面上之導體，以用於提供至模組外部之組件的電連接。

圖5為如自圖4之線5-5觀看的圖4中描繪之實施例的仰視圖。用於連接至外部組件之電導體經描繪為安置於模組基

板之相對於所描繪IC安裝之表面偏移的表面處。電導體包括用於連接至模組外部之組件的一組導體、用於連接至第一晶粒的一組導體，及用於連接至第二晶粒的一組導體。

圖5為如自圖4之線5-5觀看的圖4中描繪之實施例的仰視圖。用於連接至外部組件的電一組導體經描繪為安置於模組基板之相對於所描繪IC安裝之表面偏移的表面處。模組亦包括用於連接至第一晶粒的一組導體，及用於連接至第二晶粒的一組導體。

圖6描繪根據本發明之一實施例之具有三個模組的系統。所描繪系統包括具有六個晶粒之第一模組，其中三個晶粒安裝於模組基板之兩個對置面的每一者處。具有一個晶粒之第二模組經描繪為耦接至第一模組。第一模組亦耦接至第三模組，第三模組包括安裝至第三模組之基板之對置面的兩個晶粒。第一模組包括充當間距(stand off)之偏移表面以用於促進至第二模組及第三模組之連接。在所描繪實施例中，球型柵格陣列連接用於第一模組與第二模組及第三模組之間的連接中。

#### 【主要元件符號說明】

1	多模組系統
10	電子裝置模組/元件
20	模組
22	積體電路晶粒
24	系統導體
30	裝置模組/元件

100	模組基板
110	表面
110a	表面
110b	表面
110c	表面
120a	基板導體
130	模組導體
130a	模組導體
130b	模組導體
200a	積體電路晶粒
200b	積體電路晶粒
200c	積體電路晶粒
210a	導電凸塊
210b	導電凸塊
210c	導電凸塊

## 七、申請專利範圍：

1. 一種電子裝置模組，其包含：

一模組基板，其包括一第一表面、實質上與該第一表面對置之一第二表面，及經組態以電連接該電子裝置模組之一第一組電導體；

一第一晶粒，其經由與該模組基板之該第一表面的一覆晶連接而電連接至該模組基板；及

一第二晶粒，其經由與該模組基板之該第二表面的一覆晶連接而電連接至該模組基板。

2. 如請求項1之電子裝置模組，其中該第一組電導體經組態以將該電子裝置模組電連接至包含一系統單晶片的一模組。

3. 如請求項2之電子裝置模組，其進一步包含：

一第二組電導體，其經組態以將該電子裝置模組電連接至另一模組，其中該第二組電導體經組態以自與連接包含該系統單晶片之該模組的方向實質上相反之一方向電連接該電子裝置模組。

4. 如請求項1之電子裝置模組，其中該第一組電導體安置於該模組基板之該第一表面上，且其中該第一組導體經組態以使用一球型柵格陣列電連接該電子裝置。

5. 如請求項1之電子裝置模組，其中該第一組電導體至少部分安置於該模組基板之一第三表面上，該第三表面不同於該第一表面且實質上平行於該第一表面。

6. 如請求項1之電子裝置模組，其中該第一晶粒包含記憶

體。

7. 如請求項1之電子裝置模組，其進一步包含：

一第三晶粒，其經由與該模組基板之該第一表面的一覆晶連接而電連接至該模組基板；及

一第四晶粒，其經由與該模組基板之該第二表面的一覆晶連接而電連接至該模組基板；

其中該第一晶粒、該第二晶粒、該第三晶粒及該第四晶粒各自包含記憶體。

8. 一種電子裝置模組，其包含：

一模組基板，其包括：

一第一組電導體，其安置於該模組基板之一第一表面上；及

一第二組電導體，其安置於該模組基板之一第二表面上，該第二表面實質上與該第一表面對置；及

一第三組電導體；

一第一積體電路，其使用一第一組焊料凸塊電連接至該模組基板的該第一組電導體；及

一第二積體電路，其使用一第二組焊料凸塊電連接至該模組基板的該第二組電導體；

其中該電子裝置模組經組態以經由該模組基板的該第三組電導體電連接。

9. 如請求項8之電子裝置模組，其中該第三組電導體經組態以將該電子裝置模組電連接至包含一系統單晶片的一模組。

10. 如請求項9之電子裝置模組，其進一步包含：

一第四組電導體，其經組態以將該電子裝置模組電連接至另一模組，其中該第四組電導體經組態以自與連接包含該系統單晶片之該模組的方向實質上相反之一方向電連接該電子裝置模組。

11. 如請求項8之電子裝置模組，其中該第三組電導體安置於該模組基板之該第一表面處。

12. 如請求項8之電子裝置模組，其中該第三組電導體至少部分安置於該模組基板之一第三表面上，該第三表面不同於第一表面且實質上平行於該第一表面。

13. 如請求項8之電子裝置模組，其中該第一積體電路包含記憶體。

14. 如請求項8之電子裝置模組，其進一步包含：

一第三積體電路，其使用一第三組焊料凸塊電連接至安置於該模組基板之該第一表面上的電導體；及

一第四積體電路，其使用一第四組焊料凸塊電連接至安置於該模組基板之該第二表面上的電導體；

其中該第一積體電路、該第二積體電路、該第三積體電路及該第四積體電路各自包含記憶體。

15. 一種系統，其包含：

一第一模組，其包含：

一第一模組基板，其包括一第一表面、實質上與該第一表面對置之一第二表面，及一第一組電導體；

一第一晶粒，其經由與該第一模組基板之該第一表

面的一覆晶連接而電連接至該第一模組基板；及

一第二晶粒，其經由與該第一模組基板之該第二表面的一覆晶連接而電連接至該第一模組基板；及

一第二模組，其經由該第一模組基板的該第一組電導體而電連接至該第一模組，該第二模組包含一第二模組基板。

16. 如請求項15之系統，其中該第二模組進一步包含：

一系統單晶片。

17. 如請求項15之系統，其中該第二模組為一封裝中之一系統。

18. 如請求項15之系統，其中該第二模組使用一球型柵格陣列電連接至該第一模組。

19. 如請求項15之系統，其進一步包含：

一第三模組，其經由安置於該第一模組基板上的一第二組電導體而電連接至該第一模組。

20. 如請求項19之系統，其中該第三模組使用一球型柵格陣列電連接至該第一模組。

八、圖式：

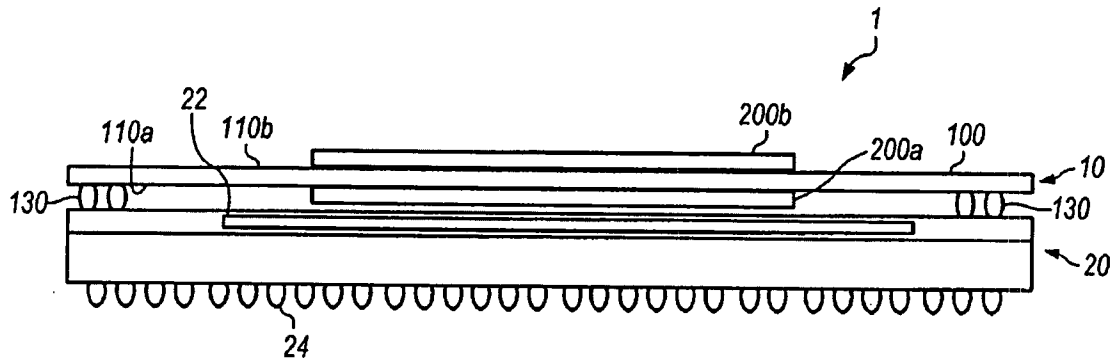


圖1

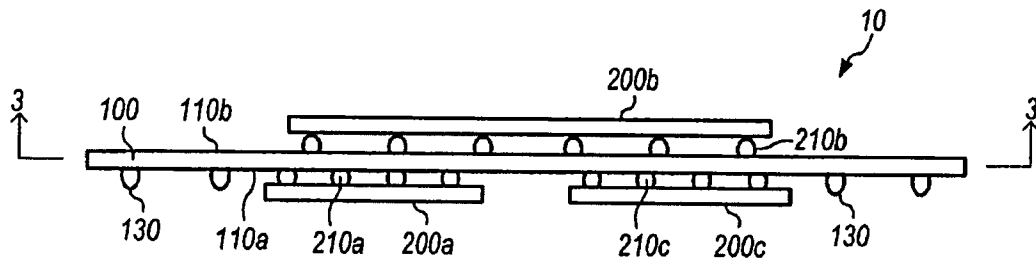


圖2

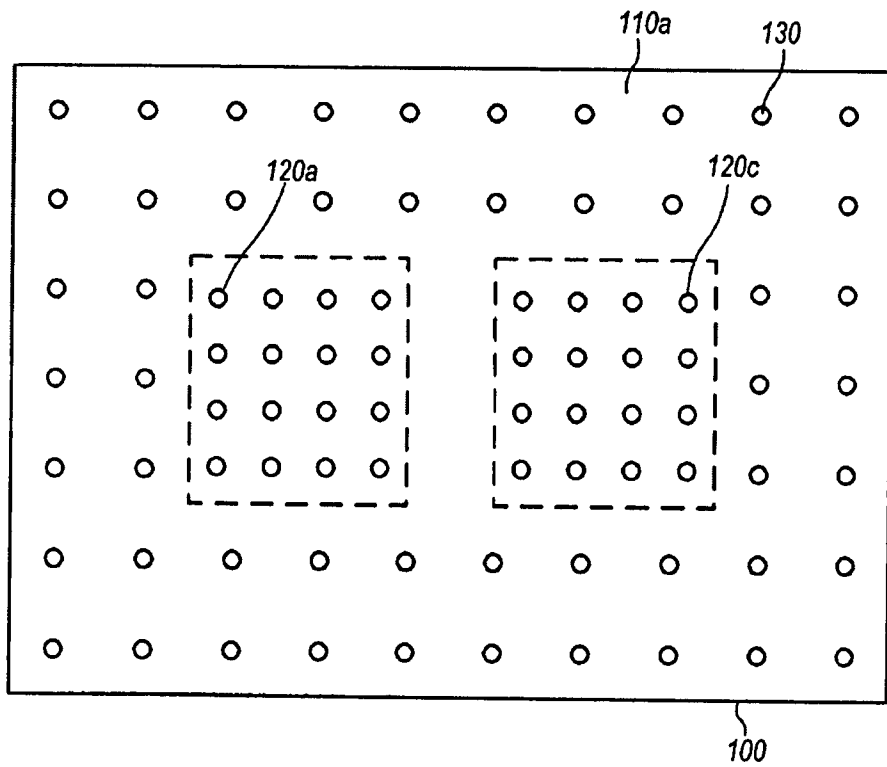


圖3

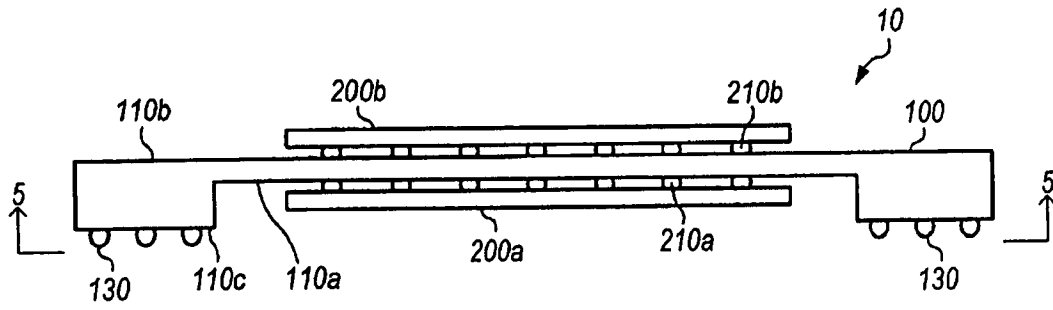


圖4

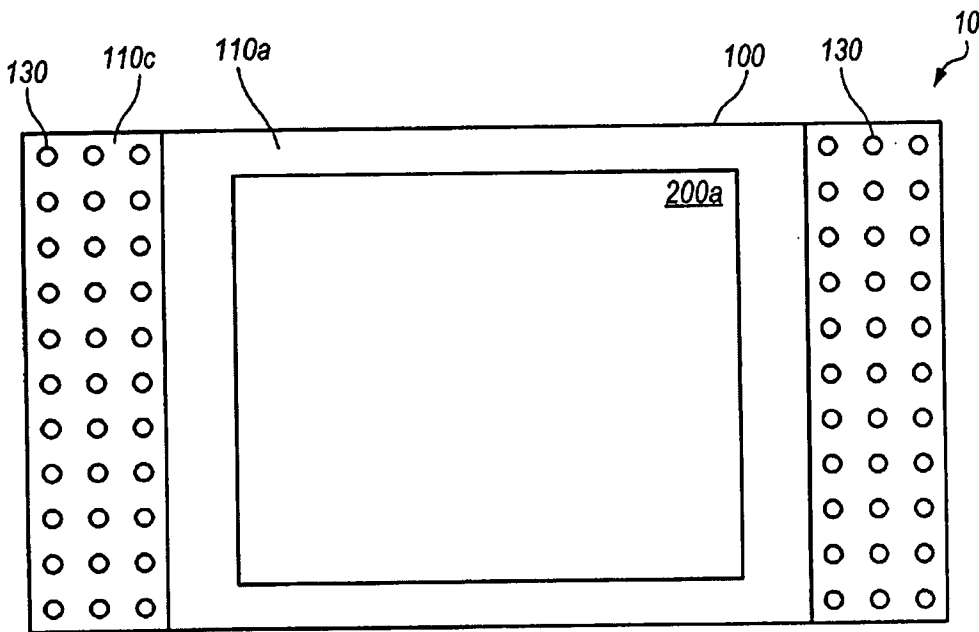


圖5

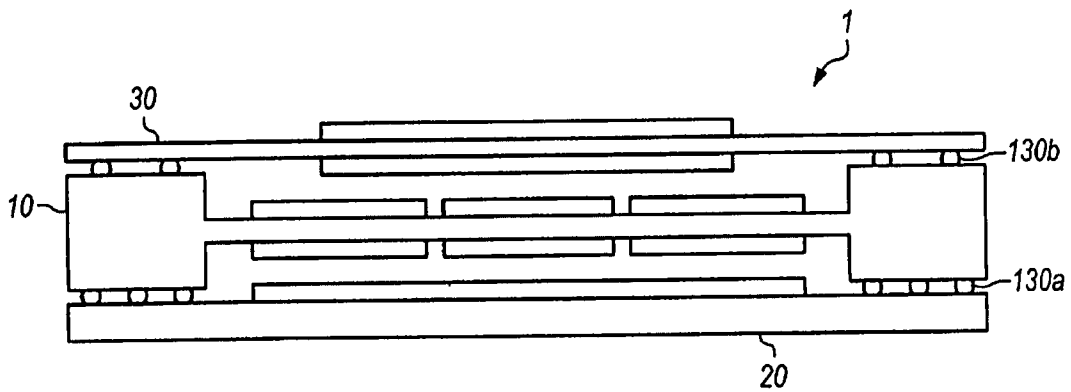


圖6