

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4169879号  
(P4169879)

(45) 発行日 平成20年10月22日(2008.10.22)

(24) 登録日 平成20年8月15日(2008.8.15)

(51) Int.Cl.	F I
HO 1 L 29/78 (2006.01)	HO 1 L 29/78 6 5 2 J
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 6 5 2 C
	HO 1 L 29/78 6 5 2 N
	HO 1 L 29/78 6 5 8 A

請求項の数 9 (全 16 頁)

(21) 出願番号	特願平11-233405	(73) 特許権者	000002037
(22) 出願日	平成11年8月20日(1999.8.20)		新電元工業株式会社
(65) 公開番号	特開2001-60685(P2001-60685A)		東京都千代田区大手町2丁目2番1号
(43) 公開日	平成13年3月6日(2001.3.6)	(74) 代理人	100102875
審査請求日	平成17年10月21日(2005.10.21)		弁理士 石島 茂男
		(74) 代理人	100106666
			弁理士 阿部 英樹
		(72) 発明者	中村 秀幸
			埼玉県飯能市南町10番13号 新電元工業株式会社飯能工場内
		審査官	小野田 誠
		(56) 参考文献	特開平05-283432(JP,A)
			特開平05-160407(JP,A)
			最終頁に続く

(54) 【発明の名称】 高耐圧トランジスタ

(57) 【特許請求の範囲】

【請求項1】

第1の導電型のドレイン層と、前記ドレイン層上に配置された第2の導電型の耐圧層とを有する半導体基板と、

前記半導体基板の前記耐圧層側から部分的に拡散された不純物によって形成され、底部が前記第1の導電型のドレイン層に接続された第1の導電型の導電領域と、

前記半導体基板の前記耐圧層側から部分的に拡散された不純物によって形成された第2の導電型のベース領域と、

前記ベース領域内に形成された第1の導電型のソース領域と、

前記ソース領域と前記導電領域との間に位置する前記ベース領域の表面をチャンネル領域としたときに、少なくとも該チャンネル領域表面に配置されたゲート酸化膜と、

前記ゲート酸化膜上に配置されたゲート電極膜と、

前記ソース領域と前記ベース領域に電氣的に接続されたソース電極と、

前記ドレイン層に電氣的に接続されたドレイン電極とを有し、

前記導電領域の表面濃度は、前記耐圧層の表面濃度よりも高いトランジスタ。

【請求項2】

前記導電領域は、表面を該導電領域とは反対の導電型の領域で囲まれた部分を有する請求項1記載のトランジスタ。

【請求項3】

前記ベース領域は、前記耐圧層内に形成された部分と、前記導電領域内に形成された部

分とが接続されている請求項 1 乃至請求項 2 のいずれか 1 項記載のトランジスタ。

【請求項 4】

前記ベース領域の前記導電領域内に形成された部分が前記チャンネル領域にされた請求項 3 記載のトランジスタ。

【請求項 5】

前記ソース領域は、前記導電領域内に形成された前記ベース領域内と、前記耐圧層内に形成された前記ベース領域内との間に亘って配置された請求項 3 又は請求項 4 のいずれか 1 項記載のトランジスタ。

【請求項 6】

前記ベース領域の表面濃度は、前記耐圧層の表面濃度よりも高い請求項 1 乃至請求項 5 のいずれか 1 項記載のトランジスタ。

10

【請求項 7】

前記ベース領域の表面の表面濃度は前記導電領域よりも高い請求項 1 乃至請求項 6 のいずれか 1 項記載のトランジスタ。

【請求項 8】

前記半導体基板の前記耐圧層と反対側には、前記ドレイン層よりも高濃度の第 1 の導電型の低抵抗層が配置された請求項 1 乃至請求項 7のいずれか 1 項記載のトランジスタ。

【請求項 9】

前記半導体基板の前記耐圧層とは反対側には、第 2 の導電型のコレクタ層が配置された請求項 1 乃至請求項 7のいずれか 1 項記載のトランジスタ。

20

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、MOSFET や IGBT 等の電界効果トランジスタの技術分野に関する。

【0002】

【従来の技術】

従来の MOSFET を図面を用いて説明する。

図 38 を参照し、符号 101 は文献に記載されている従来型の MOSFET の一例であり、シリコン単結晶から成り、N<sup>+</sup>型の不純物が高濃度にドーピングされたドレイン層 105 と、該ドレイン層 105 上にエピタキシャル成長によって形成された N<sup>-</sup>型の導電層 106 とを有している。導電層 106 内には、表面から P 型の不純物が拡散され、ベース領域 112 が形成されている。

30

【0003】

ベース領域 112 内には、その表面から N 型の不純物が拡散され、リング状のソース領域 114 が形成されている。符号 115 で示した領域は、ベース領域 112 の端部とソース領域 114 の外周部分の間の部分であり、チャンネル領域と呼ばれている。

【0004】

ベース領域 112 とソース領域 114 とチャンネル領域 115 とで、1 つのセル 117 が形成されている。MOSFET 101 は、多数のセル 117 を有しており、各セル 117 が格子状に規則正しく配置されている。

40

【0005】

図 39 に、MOSFET 101 のセル 117 の配置状態を示す。

各セル 117 のチャンネル領域 115 上と、セル 117 間の導電層 106 表面上にはゲート酸化膜 121 が形成されており、ゲート酸化膜 121 上にはゲート電極膜 131 が配置されている。

【0006】

ソース領域 114 の内側には、ベース領域 112 表面が露出しており、ソース領域 114 表面とベース領域 112 の表面には、ソース電極膜 132 が形成されており、ソース領域 114 とベース領域 112 とは、共にソース電極膜 132 に接続されている。ゲート電極膜 131 上には層間絶縁膜 122 が配置されており、各セル 117 上に形成されたソース

50

電極膜 132 は、層間絶縁膜 122 上に形成されたソース電極膜 132 によって互いに接続されている。従って、ソース電極 132 とゲート電極膜 131 とは互いに絶縁されている。

【0007】

ソース電極 132 を形成する金属薄膜の一部分は、ソース電極 132 とは絶縁した状態でゲート電極膜 131 にも接続されている。

【0008】

符号 135 は保護膜であり、該保護膜 135 及び層間絶縁膜 122 はパターンングされ、MOSFET 101 上には、ソース電極 132 が部分的に露出しており、また、ゲート電極膜 131 に接続された金属膜も部分的に露出している。

10

【0009】

また、ドレイン層 105 表面にはドレイン電極 133 が形成されており、このドレイン電極 133 と、ソース電極 132 の露出部分と、ゲート電極膜 131 に接続された金属膜の露出部分とが、外部端子にそれぞれ接続され、外部端子を電気回路に接続することで、この MOSFET を動作させるように構成されている。

【0010】

この MOSFET 101 を使用する場合、ソース電極 132 を接地電位に置き、ドレイン電極 133 に正電圧を印加した状態でゲート電極膜 131 にスレッシュド以上のゲート電圧(正電圧)を印加すると、P型のチャネル領域 115 表面にN型の反転層が形成され、ソース領域 114 と導電領域 111 とが反転層によって接続され、ドレイン電極 133 からソース電極 132 に電流が流れる。

20

【0011】

その状態からゲート電極膜 131 にスレッシュド電圧以下の電圧(例えば接地電位)を印加すると、反転層は消滅し、ベース領域 112 と導電領域 111 とは逆バイアス状態になるので、ドレイン電極 113 とソース電極 132 の間には電流は流れなくなる。

【0012】

上記のような MOSFET 101 は、ゲート電極膜 131 に印加する電圧を制御することで、ドレイン電極 133 とソース電極 132 との間を導通させたり遮断させたりできるので、高速なスイッチとして、電源回路やモータ制御回路等の電力を扱う電気回路に広く使用されている。

30

【0013】

上記のような MOSFET 101 では、遮断状態にあるときに、ドレイン電極 133 とソース電極 132 の間に大きな電圧が印加される場合がある。

【0014】

MOSFET 101 が遮断状態にある間は、チャネル領域 115 を含むベース領域 112 と導電領域 111 との間が逆バイアスされるから、その部分のPN接合の耐圧で MOSFET 101 の耐圧は決定されることになる。

【0015】

PN接合の形状は、濃度の高い方の拡散層の形状に注目し、プレーナ接合、円筒接合、球状接合の三種類に大別でき、プレーナ接合の耐圧が最も高く、球状接合の耐圧が最も低いことが知られている。

40

【0016】

上記のようなセル 117 が多数個配置された MOSFET は、セル 117 の底面ではプレーナ接合が形成されるが、セル 117 が四角形等の多角形のため、辺部分では円筒接合が形成され、頂点部分では球状接合が必ず形成されてしまい、各セル 117 の頂点部分の耐圧で全体の耐圧が決定されてしまっていた。

【0017】

【発明が解決しようとする課題】

本発明は上記従来技術の不都合を解決するために創作されたものであり、その目的は、高耐圧のトランジスタを提供することにある。

50

また、本発明の他の目的は導通抵抗が低いトランジスタを提供することにある。

【0018】

【課題を解決するための手段】

上記課題を解決するために、請求項1記載の発明は、第1の導電型のドレイン層と、前記ドレイン層上に配置された第2の導電型の耐圧層とを有する半導体基板と、前記半導体基板の前記耐圧層側から部分的に拡散された不純物によって形成され、底部が前記第1の導電型のドレイン層に接続された第1の導電型の導電領域と、前記半導体基板の前記耐圧層側から部分的に拡散された不純物によって形成された第2の導電型のベース領域と、前記ベース領域内に形成された第1の導電型のソース領域と、前記ソース領域と前記導電領域との間に位置する前記ベース領域の表面をチャンネル領域としたときに、少なくとも該チャンネル領域表面に配置されたゲート酸化膜と、前記ゲート酸化膜上に配置されたゲート電極膜と、前記ソース領域と前記ベース領域に電氣的に接続されたソース電極と、前記ドレイン層に電氣的に接続されたドレイン電極とを有し、前記導電領域の表面濃度は、前記耐圧層の表面濃度よりも高いトランジスタである。

10

請求項2記載の発明は、請求項1記載のトランジスタであって前記導電領域は、表面を該導電領域とは反対の導電型の領域で囲まれた部分を有するトランジスタである。

請求項3記載の発明は、請求項1乃至請求項2のいずれか1項記載のトランジスタであって、前記ベース領域は、前記耐圧層内に形成された部分と、前記導電領域内に形成された部分とが接続されているトランジスタである。

請求項4記載の発明は、請求項3記載のトランジスタであって、前記ベース領域の前記導電領域内に形成された部分が前記チャンネル領域にされたトランジスタである。

20

請求項5記載の発明は、請求項3又は請求項4のいずれか1項記載のトランジスタであって、前記ソース領域は、前記導電領域内に形成された前記ベース領域内と、前記耐圧層内に形成された前記ベース領域内との間に亘って配置されたトランジスタである。

請求項6記載の発明は、請求項1乃至請求項5のいずれか1項記載のトランジスタであって、前記ベース領域の表面濃度は、前記耐圧層の表面濃度よりも高いトランジスタである。

請求項7記載の発明は、請求項1乃至請求項6のいずれか1項記載のトランジスタであって、前記ベース領域の表面の表面濃度は前記導電領域よりも高いトランジスタである。

請求項8記載の発明は、請求項1乃至請求項7のいずれか1項記載のトランジスタであって、前記半導体基板の前記耐圧層と反対側には、前記ドレイン層よりも高濃度の第1の導電型の低抵抗層が配置されたトランジスタである。

30

請求項9記載の発明は、請求項1乃至請求項7のいずれか1項記載のトランジスタであって、前記半導体基板の前記耐圧層とは反対側には、第2の導電型のコレクタ層が配置されたトランジスタである。

【0019】

本発明は上記のように構成されており、従来技術とは異なり、第2の導電型の耐圧層内に第1の導電型の不純物を、窓明けしたシリコン酸化膜等を用いて部分的に拡散させ、第2の導電型の耐圧層内の所望位置に第1の導電型の導電領域を形成するようになっている。

【0020】

また、2の導電型の耐圧層上に、窓明けした酸化膜等をマスクとする不純物の注入と拡散により、同じ導電型のベース領域を部分的に形成しており、そのベース領域の周辺部分にソース領域を形成すると、ベース領域の外周端部とソース領域の間でチャンネル領域を形成するようになっている。ベース領域の外周部分は導電領域内に侵入するようにしてもよいし、導電領域とは離間するようにしてもよい。

40

【0021】

ベース領域の底面は、同じ導電型の耐圧層に接続されており、耐圧層は、逆の導電型(第1の導電型)のドレイン層及び導電領域で形成される領域内に突出する突部が形成されている。従って、低濃度の耐圧層内に空乏層が広がりやすく、高耐圧になっている。

【0022】

50

また、導電領域内にはベース領域がはみ出して形成されているが、導電領域よりもベース領域の濃度の方が高いので、導電領域内のベース領域の平面形状に頂点となるような突出部分を設けなければ、球状接合が形成されず、耐圧が高くなる。

【0023】

導電領域は拡散によって形成しているが、前記球状接合が存在しない場合、導電領域の濃度を高くしても耐圧が比較的低下せず、従って、低抵抗のトランジスタを得ることができる。

【0024】

図34は、本発明のトランジスタにおいて、拡散構造を変えずに導電領域の表面濃度を变化させた場合のドレイン・ソース間の耐圧を示すグラフであり、図35は、耐圧を変えた場合の単位面積当たりの導通抵抗を示すグラフである。

10

【0025】

従来技術では、耐圧を高くすると導通抵抗が非常に大きくなるが、本発明のトランジスタでは、導通抵抗を小さくできることが分かる。

【0026】

【発明の実施の形態】

本発明を図面を用いて説明する。

図1を参照し、符号10は、本発明に用いられる半導体基板であり、N<sup>+</sup>型基板11と、該N<sup>+</sup>型基板11上に配置されたドレイン層12と、該ドレイン層12上に配置された耐圧層13とを有している。

20

【0027】

N<sup>+</sup>型基板11と、ドレイン層12と、耐圧層13とは、シリコン単結晶で構成されており、N<sup>+</sup>型基板11には、N型不純物が添加され、導電型がN型にされている。ドレイン層12と、耐圧層13とは、それぞれエピタキシャル法によってN<sup>+</sup>基板11上にこの順序で形成されており、ドレイン層12にはエピタキシャル成長の際にN型不純物が添加され、導電型がN型にされており、他方、耐圧層13には、エピタキシャル成長の際にP型の不純物が添加され、導電型がP型にされている。

【0028】

N<sup>+</sup>型基板11の濃度は $1 \times 10^{18} \sim 1 \times 10^{19}$ 原子/cm<sup>3</sup>であり、ドレイン層12の濃度は $4 \times 10^{13} \sim 4 \times 10^{15}$ 原子/cm<sup>3</sup>であり厚さは5μm~200μm程度である。耐圧層13の濃度は $3 \times 10^{13} \sim 3 \times 10^{15}$ 原子/cm<sup>3</sup>であり厚さは3μm~15μmのものが適している。耐圧層13にはドレイン層12よりも低濃度のものが用いられる。

30

【0029】

この半導体基板10を熱酸化し、耐圧層13表面に厚さ1.0μm程度のシリコン酸化膜から成る一次酸化膜21を形成する(図2)。この図2及び後述する各図面では、裏面に形成される酸化膜は省略する。

【0030】

次いで、フォトリソグラフ工程とエッチング工程によって一次酸化膜21をパターニングする。

【0031】

図3の符号22は、パターニングされた一次酸化膜21を示している。この状態の半導体基板10の平面図を図22に示す。パターニングされた一次酸化膜22の中央部分と外周部分に耐圧層13表面が露出している。図3は、図22のA-A線断面図に相当する。図3、図22の符号15は、パターニングされた一次酸化膜22の中央部分を示している。

40

【0032】

次に、半導体基板10を熱酸化し、一次酸化膜21よりも薄いゲート酸化膜23を耐圧層13表面に形成する(図4)

次いで、ポリシリコン薄膜から成るゲート電極膜24をゲート酸化膜23表面に全面成膜し(図5)、フォトリソグラフ工程とエッチング工程により、ゲート電極膜24とゲート酸

50

化膜 2 3 とをパターニングする。

【 0 0 3 3 】

図 6 の符号 2 5、2 6 は、パターニングされたゲート酸化膜 2 3 とゲート電極膜 2 4 とをそれぞれ示しており、パターニングされたゲート電極膜 2 4 は、パターニングされたゲート酸化膜 2 3 上に配置されている。

【 0 0 3 4 】

この状態の半導体基板 1 0 の平面図を図 2 3 に示す。図 6 は、図 2 3 の B - B 線断面図に相当する。

【 0 0 3 5 】

パターニングされたゲート酸化膜 2 3 及びゲート電極膜 2 4 により、一次酸化膜 2 2 の中央部分 1 5 は、後述するチャネル領域が形成される能動部分 3 2 a と、N型の導電領域が形成される部分である拡散部分 3 2 b とに分割される。

10

【 0 0 3 6 】

能動部分 3 2 a と拡散部分 3 2 b には耐圧層 1 3 が露出している。能動部分 3 2 a と拡散部分 3 2 b は、ゲート酸化膜 2 3 及びゲート電極膜 2 4 によって囲まれており、どちらも幅狭い長方形にされている。能動部分 3 2 a の幅は、一例として 1 2 . 0  $\mu\text{m}$  であり、拡散部分 3 2 b の幅は、一例として 6 . 0  $\mu\text{m}$  である。ここでは拡散部分 3 2 b の幅よりも、能動部分 3 2 a の幅の方が広がっている。

【 0 0 3 7 】

ゲート酸化膜 2 3 及びゲート電極膜 2 4 は、一次酸化膜 2 2 とは離間して配置されており、その間の位置のリング状の耐圧部分 3 2 c にも耐圧層 1 3 表面が露出している。また、一次酸化膜 2 2 の外周部分と半導体チップの外周部分の間の無効部分 3 2 d にも、耐圧領域 1 3 表面が露出している。

20

【 0 0 3 8 】

次に、図 6 に示した半導体基板 1 0 表面に、フォトリソグラフィ工程によってパターニングしたレジスト膜を形成する。

【 0 0 3 9 】

図 7 の符号 2 7 は、そのレジスト膜を示している。このレジスト膜は、耐圧領域 1 3 表面と能動部分 3 2 a 表面を覆い、無効部分 3 2 d と拡散部分 3 2 b とは露出させておく。

【 0 0 4 0 】

その状態で半導体基板 1 0 表面にリンイオンを照射すると、レジスト膜 2 7 及びゲート電極膜 2 6 とがマスクとなり、拡散部分 3 2 b 内と無効部分 3 2 d 内に露出した耐圧層 1 3 表面にリンイオンが注入される。図 8 の符号 4 1 は、注入されたリンイオンから成る不純物層を示している。レジスト膜 2 7 で覆われた部分には、リンイオンは注入されない。

30

【 0 0 4 1 】

その状態の平面図を図 2 4 に示す。図 8 は、図 2 4 の C - C 線断面図に相当する。

【 0 0 4 2 】

次に、レジスト膜 2 7 を除去し、熱処理によって不純物層 4 1 を拡散させると、図 9 に示すように、耐圧層 1 3 内に N 型の導電領域 4 2 が形成される。このとき、導電領域 4 2 の底面部分はドレイン層 1 2 に接していてもよいし、後工程の熱処理により、最終的に接するようにしてもよい。

40

【 0 0 4 3 】

ここでは導電領域 4 2 の表面の端部は、ゲート電極膜 2 6 及びゲート酸化膜 2 6 の幅以上に横方向拡散し、能動部分 3 2 a 及び耐圧部分 3 2 c にまではみ出ようになっている。この状態の平面図を図 2 5 に示す。導電領域 4 2 の外周部分は図示していない。

【 0 0 4 4 】

図 9 は、図 2 5 の D - D 線断面図に相当する。無効部分 3 2 d 内に形成された導電領域 4 2 はリング状になっており(第 1 の導電領域)、その内側に、拡散部分 3 2 b 内から形成された直線状の導電領域 4 2 (第 2 の導電領域)が配置されている。

【 0 0 4 5 】

50

次に、ホトリソグラフ工程により、半導体基板 10 表面にパターニングしたレジスト膜を形成する。

【0046】

図 10 の符号 28 は、そのレジスト膜を示しており、拡散部分 32 b と無効部分 32 d 上が覆われており、他方、能動部分 32 a と耐圧部分 32 c 内の耐圧層 13 表面、及び導電領域 42 の周辺部分の表面が露出している。この状態の半導体基板 10 の平面図を、図 26 に示す。図 10 は、図 26 の E - E 線断面図に相当する。

【0047】

その状態で表面からボロンイオンを照射すると、レジスト膜 28 とゲート電極膜 26 と一次酸化膜 22 とがマスクとなり、能動部分 32 a と耐圧部分 32 c 内に露出している耐圧層 13 表面及び導電領域 42 表面にボロンイオンの不純物層が形成される。図 11 の符号 43 は、その不純物層を示している。

10

【0048】

レジスト膜 28 を除去した後、熱処理し、不純物層 43 を拡散すると、図 12 の符号 44 で示すベース領域が形成される。このベース領域は P 型である。

【0049】

不純物層 43 を拡散する際、横方向拡散によってベース領域 44 の端部はゲート酸化膜 25 の底面下か、一次酸化膜 22 の底面下に位置している。従って、この状態では能動部分 32 a と耐圧部分 32 c 表面は P 型になっている。ベース領域 44 を形成する拡散の際、導電領域 42 も拡散される。この状態の半導体基板 10 の平面図を図 27 に示す。図 12 は、図 27 の F - F 線断面図に相当する。

20

【0050】

次に、半導体基板 10 表面にパターニングしたレジスト膜を形成する。図 13 の符号 29 a ~ 29 c は、そのレジスト膜を示しており、能動部分 32 a の中央部分に形成されたレジスト膜 29 a と、拡散部分 32 b を覆うレジスト膜 29 b と、耐圧部分 32 c の一部と一次酸化膜 22 上に亘って形成されたレジスト膜 29 c とで構成されている。

【0051】

この状態の半導体基板 10 の平面図を図 28 に示す。図 13 は、図 28 の G - G 線断面図に相当する。能動部分 32 a 上に形成されたレジスト膜 29 a は、幅狭であり、このレジスト膜 29 a の長辺とゲート電極膜 26 の間には、ベース領域 44 表面が露出しており、レジスト膜 29 a の両端部分は耐圧部分 32 c 上のレジスト膜 29 c に接続されている。

30

【0052】

拡散部分 32 b 上のレジスト膜 29 b は、拡散部分 32 b 内に形成された導電領域 42 の表面を全部覆っている。また、G - G 線断面図では、耐圧部分 32 c 上のレジスト膜 29 c とゲート電極膜 26 との間には隙間が設けられており、耐圧部分 32 c の表面には、ベース領域 44 が部分的に露出している。

【0053】

次に、図 14 に示すように、この状態の半導体基板 10 表面上からリンイオンを照射すると、半導体基板 10 表面のレジスト膜 29 a ~ 29 c やゲート電極膜 26 で覆われていない部分にリンイオンが注入され、リンを不純物とする不純物層 45 が形成される。

40

【0054】

レジスト膜 29 a ~ 29 c を除去した後、熱処理を行うと、不純物層 45 が拡散され、図 15 の符号 46 で示すソース領域が形成される。このソース領域 46 のゲート電極膜 26 側の端部は、横方向拡散により、ゲート酸化膜 25 の底面下まで潜り込んでおり、ゲート酸化膜 25 底面下の、ソース領域 46 と導電領域 42 の間のベース領域 44 の表面がチャネル領域 47 にされている。

【0055】

この半導体基板 10 では、能動部分 32 a の中央はベース領域 44 表面が露出し、その両側に、平行に対向してソース領域 46 表面が露出している。

50

## 【 0 0 5 6 】

また、拡散部分 3 2 b では、導電領域 4 2 表面が露出しており、耐圧部分 3 2 c では、ゲート電極膜 2 6 側にソース領域 4 6 表面が露出し、一次酸化膜 2 2 側ではベース領域 4 4 が露出している。

## 【 0 0 5 7 】

次に、図 1 6 に示すように、半導体基板 1 0 表面にシリコン酸化膜から成る層間絶縁膜 3 0 を全面成膜し、次いで、フォトリソグラフ工程とエッチング工程によって層間絶縁膜 3 0 をパターニングする。

## 【 0 0 5 8 】

図 1 7 の符号 3 1 a、3 1 b は、パターニングされた層間絶縁膜 3 0 を示しており、能動部分 3 2 a の中央と耐圧部分 3 2 c のゲート電極膜 2 6 側は層間絶縁膜 3 0 で覆われておらず、ベース領域 4 4 表面とソース領域 4 6 表面が露出している。他方、拡散部分 3 2 b 表面は、層間絶縁膜 3 1 a によって覆われている。無効部分 3 2 d 表面にはレジスト膜は形成されておらず、導電領域 4 2 内に形成されたソース領域 4 6 表面が露出している。

10

## 【 0 0 5 9 】

この状態の半導体基板 1 0 の平面図を図 2 9 に示す。図 1 2 は図 2 9 の H - H 線断面図に相当する。図 2 9 の符号 3 3 は、層間絶縁膜 3 0 の窓開部分であり、底部にはゲート電極膜 2 6 が露出している。

## 【 0 0 6 0 】

次に、図 1 8 に示すように、半導体基板 1 0 表面に金属薄膜 4 8 を全面成膜すると、能動部分 3 2 a、耐圧部分 3 2 c、及び無効部分 3 2 d 内に露出するベース領域 4 4 又はソース領域 4 6 表面が金属薄膜 4 8 と接触する。

20

## 【 0 0 6 1 】

その状態でフォトリソグラフ工程とエッチング工程により、金属薄膜 4 8 をパターニングし、図 1 9 に示すように、能動部分 3 2 a 及び耐圧部分 3 2 c 内のベース領域 4 4 及びソース領域 4 6 に接続されたソース電極 4 9 a と、等電位電極 4 9 b に分離される。

## 【 0 0 6 2 】

この状態の半導体基板 1 0 の平面図を図 3 1 に示す。図 1 9 は、図 3 0 の I - I 線断面図に相当する。図 3 1 の符号 4 9 c は金属薄膜 4 8 から成り、ゲート電極膜 2 6 に接続された部分であり、ソース電極 4 9 a 及び等電位電極 4 9 b とは分離している。

30

## 【 0 0 6 3 】

次に、図 2 0 に示すように、シリコン酸化膜やシリコン窒化膜から成る保護膜 5 0 を形成し、フォトリソグラフ工程とエッチング工程によって保護膜 5 0 をパターニングする。

## 【 0 0 6 4 】

図 2 1 の符号 5 1 は、パターニングされた保護膜 5 0 を示しており、窓開けによってソース電極 4 9 a が部分的に露出され、ソース電極パッド 3 8 が形成されている。最後に、半導体基板 1 0 の裏面 (N<sup>+</sup>型基板 1 1 の表面) に金属薄膜から成るドレイン電極 5 2 を形成すると、本発明の一例のトランジスタ 1 が得られる。

## 【 0 0 6 5 】

この状態の半導体基板 1 0 の平面図を図 3 1 に示す。符号 3 9 は、保護膜 5 1 の窓開けによって形成されたゲート電極パッドであり、金属薄膜 4 8 のゲート電極膜 2 6 に接続された部分 4 9 c が露出している。図 2 1 は、図 3 1 の J - J 線断面図に相当する。

40

## 【 0 0 6 6 】

最終的に得られたトランジスタ 1 のベース領域 4 4 の表面不純物濃度は  $1 \times 10^{17} \sim 1 \times 10^{18}$  個 /  $\text{cm}^3$ 、ソース領域 4 6 の表面不純物濃度は  $1 \times 10^{19} \sim 4 \times 10^{20}$  個 /  $\text{cm}^3$  である。導電領域 4 2 の表面不純物濃度はベース領域 4 4 の表面濃度よりも低く、 $5 \times 10^{14} \sim 1 \times 10^{16}$  個 /  $\text{cm}^3$  である。

## 【 0 0 6 7 】

このトランジスタ 1 を動作させる場合、ソース電極 4 9 a を接地電位に置き、ドレイン電極 5 2 に正電圧を印加し、ゲート電極膜 2 4 にスレッシュホールド電圧以上のゲート電圧を印

50

加するとチャネル領域 4 7 の表面に反転層が形成され、反転層を通過してドレイン電極 5 2 からソース電極 4 9 a に向けて電流が流れる。図 3 2 ( a ) の符号 6 1 は、トランジスタ 1 の内部に流れる電流を示している。

【 0 0 6 8 】

その状態からゲート電極膜 2 4 にグラウンド電圧を印加すると、反転層が消滅し、電流は流れなくなる。

【 0 0 6 9 】

図 3 2 ( b ) はその状態を示しており、N 型の導電領域 4 2 と、P 型の耐圧層 1 3 及びベース領域 4 4 との間に形成される P N 接合 6 4 が逆バイアスされる。

【 0 0 7 0 】

この場合、P 型の耐圧層 1 3 の不純物濃度はドレイン層 1 2 の不純物濃度と同程度にされているので、P N 接合 6 4 の両側に空乏層が広がってゆく。

【 0 0 7 1 】

符号 6 5 は P 型の不純物領域 ( ベース領域 4 4 内や耐圧層 1 3 ) 内に広がった空乏層を示しており、符号 6 6 は N 型の不純物領域 ( 導電領域 4 2 やドレイン層 1 2 ) 内に広がった空乏層を示している。

【 0 0 7 2 】

本発明の導電領域 4 2 の形状は、表面では広く、深くなるに従って狭くなり、ドレイン層 1 2 に達している。従って、低濃度の P 型の耐圧層 1 3 が、ドレイン層 1 2 と導電領域 4 2 とで形成される N 型の領域内に突出した状態になっている。図 3 2 では、符号 6 7 で示す部分が突出している。

【 0 0 7 3 】

この突出部分 6 7 は、極性の異なる導電領域 4 2 及びドレイン層 1 2 とで挟まれており、突出部分 6 7 の位置に形成される P N 接合では、特に突出部分 6 7 側に広がりやすくなっている。

【 0 0 7 4 】

なお、以上のトランジスタ 1 では、導電領域 4 2 を深く拡散させたため、ゲート酸化膜 2 6 からはみ出るまで横方向に拡散したが、図 3 3 のトランジスタ 1 ' のように、耐圧層 1 3 が薄い場合は、導電領域 4 2 ' を深く拡散させなくてもドレイン層 1 2 に接続させることができる。この場合、導電領域 4 2 ' の端部はゲート酸化膜 2 6 の底面に位置する。このようなトランジスタ 1 ' も本発明に含まれる。

【 0 0 7 5 】

次に、本発明の第二例のトランジスタを説明する。図 3 6 の符号 2 は、N<sup>+</sup>型基板 1 1 に代え、P<sup>+</sup>型基板 1 1 ' を用いた半導体基板 1 0 a を有するトランジスタである。このトランジスタ 2 は、上記トランジスタ 1 と同じ構造のトランジスタ ( I G B T ) である。P<sup>+</sup>型基板 1 1 ' の濃度は  $3 \times 10^{18} \sim 2 \times 10^{19}$  原子 /  $\text{cm}^3$  ) である。

このように、本発明のトランジスタには I G B T も含まれる。

【 0 0 7 6 】

次に、本発明の第三例のトランジスタを説明する。図 3 7 の符号 3 は、N<sup>+</sup>型基板 1 1 に代え、P 型基板 5 3 を用いた半導体基板 1 0 b を有するトランジスタである。このトランジスタ 3 は、半導体基板 1 0 b の表面から P 型の不純物が拡散され、底部が P 型半導体基板 5 3 に達している P 型のアイソレーション領域 5 5 を有している。

【 0 0 7 7 】

半導体基板 1 0 b には、横型の M O S F E T 等の他の電気素子が形成されており、トランジスタ 3 は、アイソレーション領域 5 5 によって他の素子とは電氣的に分離されている。導電領域 4 2 内に形成されたソース拡散層 4 6 には図示しないドレイン電極が接続されている。

【 0 0 7 8 】

このトランジスタ 3 のドレイン電極は、ゲート電極膜 2 6 とは絶縁した状態で、半導体基板 1 0 b のゲート電極膜 2 6 が位置する面と同じ面に配置されている。

10

20

30

40

50

【 0 0 7 9 】

即ち、このトランジスタ3は、集積回路を構成する半導体基板10b中に形成することができる。従って、本発明のトランジスタは、集積回路も含むものである。

【 0 0 8 0 】

なお、以上はN型を第1の導電型とし、P型を第2の導電型とし、P型のチャネル領域表面にN型の反転層を形成したが、P型を第1の導電型とし、N型を第2の導電型にしてもよい。即ち、N型の耐圧層中にP型の導電領域を形成し、更に、N型のベース領域とP型のソース領域を形成し、N型のチャネル領域上にゲート酸化膜とゲート電極膜を配置してもよい。この場合には、反転層の導電型はP型となる。

【 0 0 8 1 】

また、上記の第2の導電型の耐圧層13は、第1の導電型のドレイン層12表面にエピタキシャル成長法によってシリコン単結晶層を成長させて形成したが、第1の導電型のドレイン層12を厚く形成しておき、その表面から第2の導電型の不純物を拡散させることで、ドレイン層12の表面側に耐圧層13を形成してもよい。

【 0 0 8 2 】

【発明の効果】

本発明によれば高耐圧のトランジスタを得ることができる。また、導通抵抗が低いトランジスタを得ることができる。

【図面の簡単な説明】

【図1】本発明の一例のトランジスタの製造工程を説明するための断面図(1)

【図2】その続きの断面図(2)

【図3】その続きの断面図(3)

【図4】その続きの断面図(4)

【図5】その続きの断面図(5)

【図6】その続きの断面図(6)

【図7】その続きの断面図(7)

【図8】その続きの断面図(8)

【図9】その続きの断面図(9)

【図10】その続きの断面図(10)

【図11】その続きの断面図(11)

【図12】その続きの断面図(12)

【図13】その続きの断面図(13)

【図14】その続きの断面図(14)

【図15】その続きの断面図(15)

【図16】その続きの断面図(16)

【図17】その続きの断面図(17)

【図18】その続きの断面図(18)

【図19】その続きの断面図(19)

【図20】その続きの断面図(20)

【図21】その続きの断面図(21)であり、本発明のトランジスタの一例を示す図

【図22】図2の断面図に対応する平面図

【図23】図6の断面図に対応する平面図

【図24】図8の断面図に対応する平面図

【図25】図9の断面図に対応する平面図

【図26】図10の断面図に対応する平面図

【図27】図12の断面図に対応する平面図

【図28】図13の断面図に対応する平面図

【図29】図15の断面図に対応する平面図

【図30】図19の断面図に対応する平面図

【図31】図21の断面図に対応する平面図

10

20

30

40

50

【図32】(a)：本発明のトランジスタの電流の流れ方を説明するための図  
 (b)：本発明のトランジスタの空乏層の広がり方を説明するための図

【図33】耐圧層の形状を説明するための図

【図34】導電領域とドレイン・ソース間の耐圧の関係を説明するためのグラフ

【図35】ドレイン・ソース間の耐圧と導通抵抗の関係を説明するための図

【図36】IGBT構造を持つ本発明のトランジスタの例

【図37】集積回路中に形成される本発明のトランジスタの例

【図38】従来技術のMOSFETの断面図

【図39】その平面図

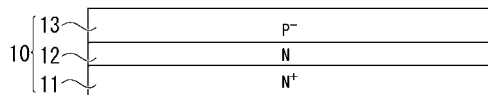
【符号の説明】

- 1 ~ 3 ..... トランジスタ
- 10 ..... 半導体基板
- 12 ..... ドレイン層
- 13 ..... 耐圧層
- 25 ..... ゲート酸化膜
- 26 ..... ゲート電極膜
- 42 ..... 導電領域
- 44 ..... ベース領域
- 46 ..... ソース領域
- 47 ..... チャネル領域

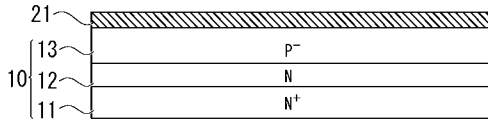
10

20

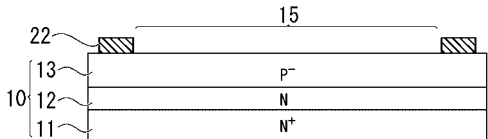
【図1】



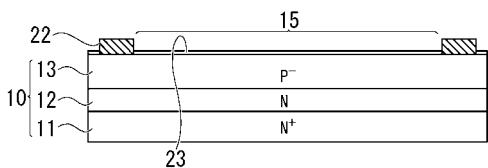
【図2】



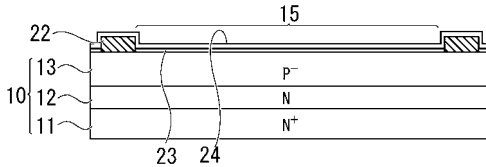
【図3】



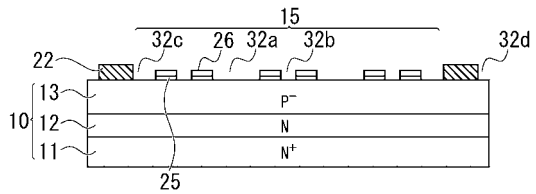
【図4】



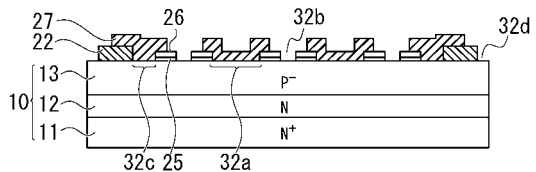
【図5】



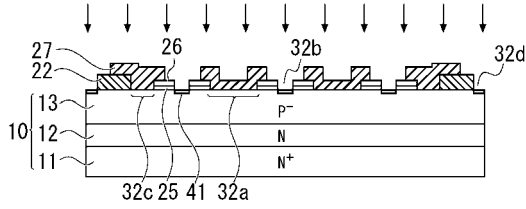
【図6】



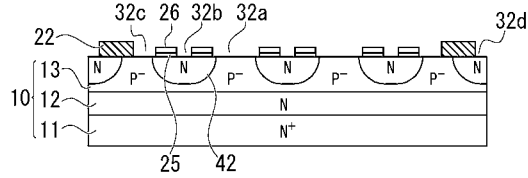
【図7】



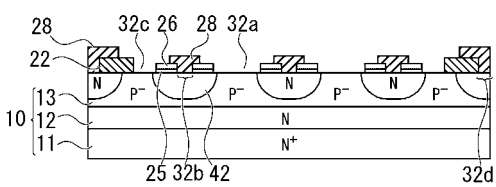
【 図 8 】



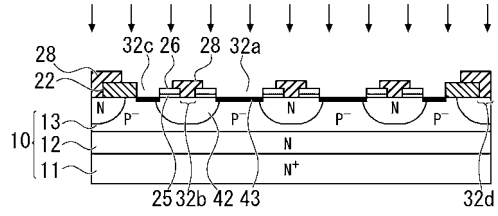
【 図 9 】



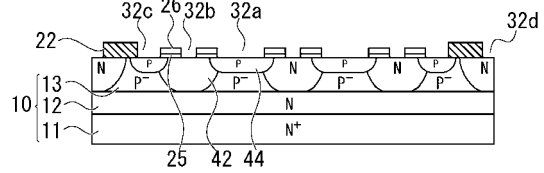
【 図 10 】



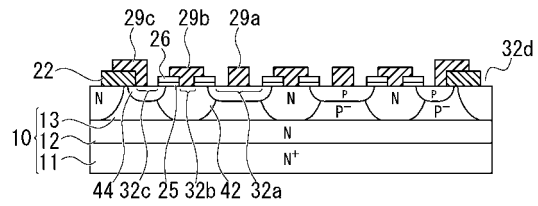
【 図 11 】



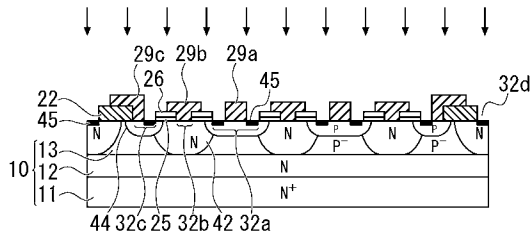
【 図 12 】



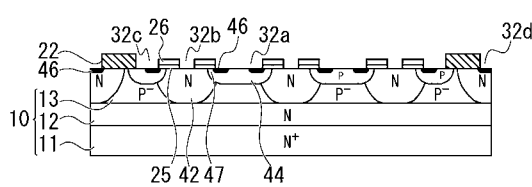
【 図 13 】



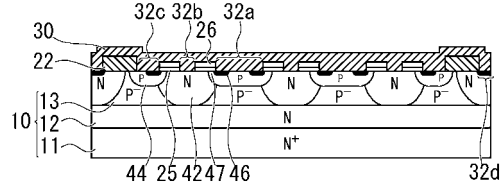
【 図 14 】



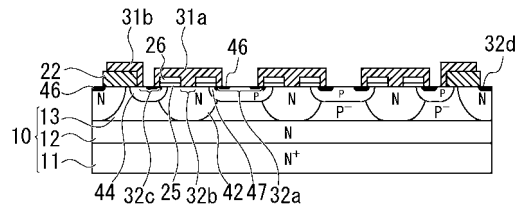
【 図 15 】



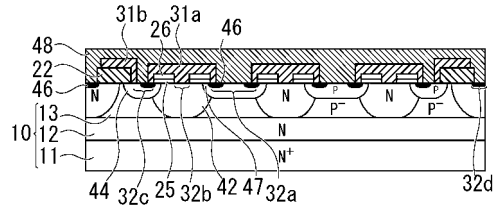
【 図 16 】



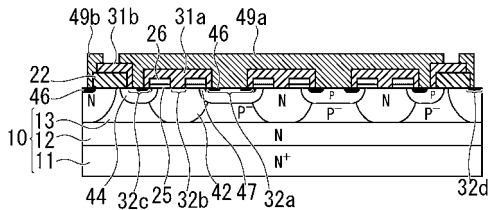
【 図 17 】



【 図 18 】

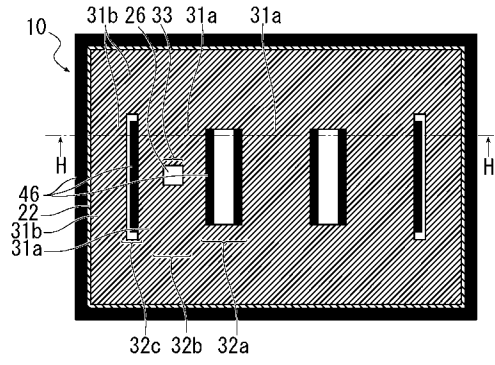


【 図 19 】

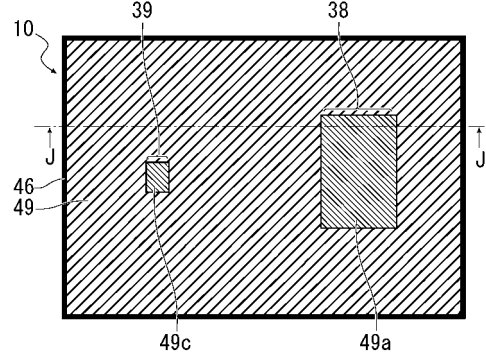




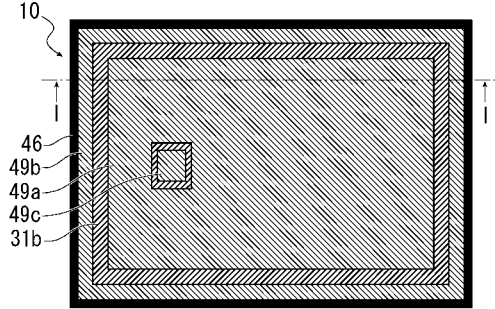
【図 29】



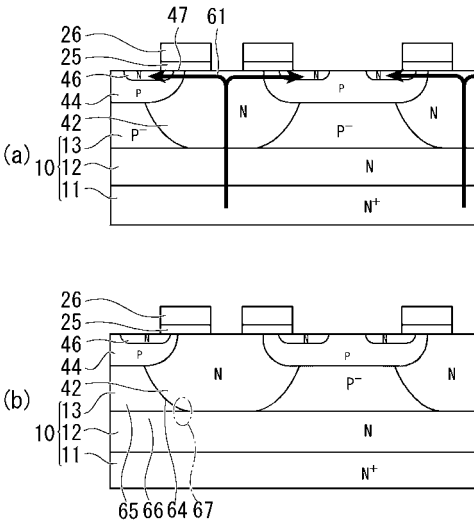
【図 31】



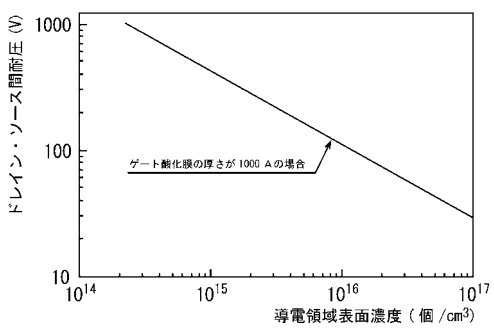
【図 30】



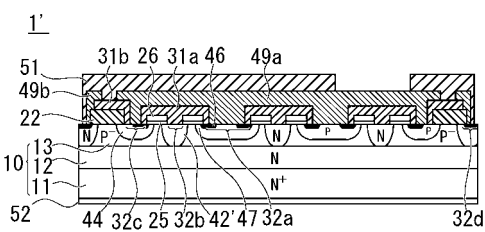
【図 32】



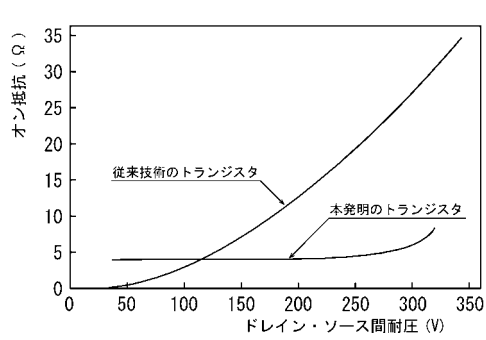
【図 34】



【図 33】



【図 35】





---

フロントページの続き

(58)調査した分野(Int.Cl. , D B名)

H01L 29/78

H01L 21/336