

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2024 年 5 月 16 日 (16.05.2024)



(10) 国际公布号
WO 2024/098705 A1

- (51) 国际专利分类号:
H10B 12/00 (2023.01)
- (21) 国际申请号: PCT/CN2023/093691
- (22) 国际申请日: 2023 年 5 月 11 日 (11.05.2023)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
202211409924.8 2022 年 11 月 10 日 (10.11.2022) CN
- (71) 申请人: 长鑫存储技术有限公司 (CHANGXIN MEMORY TECHNOLOGIES, INC.) [CN/CN]; 中国安徽省合肥市经济技术开发区空港工业园兴业大道 388 号, Anhui 230601 (CN)。
- (72) 发明人: 刘洋 (LIU, Yang); 中国安徽省合肥市经济技术开发区空港工业园兴业大道 388 号, Anhui 230601 (CN)。穆天蕾 (MU, Tianlei); 中国安徽省合肥市经济技术开发区空港工业园兴业大道 388 号, Anhui 230601 (CN)。

- (74) 代理人: 北京同立钧成知识产权代理有限公司 (LEADER PATENT & TRADEMARK FIRM); 中国北京市海淀区西直门北大街 32 号枫蓝国际 A 座 8F-6, Beijing 100082 (CN)。
- (81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。
- (84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO,

(54) Title: SEMICONDUCTOR STRUCTURE AND MANUFACTURING METHOD THEREFOR

(54) 发明名称: 半导体结构及其制作方法

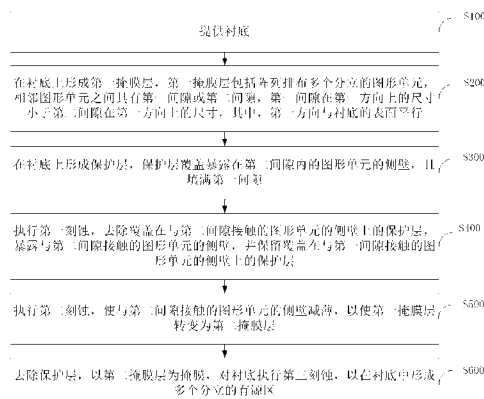


图 5

- S100 Provide a substrate
- S200 Form a first mask layer on the substrate, wherein the first mask layer comprises a plurality of discrete graphic units, which are arranged in an array, there is a first gap or a second gap between adjacent graphic units, the size of the first gap in a first direction is less than the size of the second gap in the first direction, and the first direction is parallel to a surface of the substrate
- S300 Form a protective layer on the substrate, wherein the protective layer covers a side wall of each graphic unit that is exposed in the second gap, and fills the first gap
- S400 Execute first etching to remove the protective layer covering the side wall of each graphic unit that is in contact with the second gap, expose the side wall of each graphic unit that is in contact with the second gap, and retain the protective layer covering the side wall of each graphic unit that is in contact with the first gap
- S500 Execute second etching to thin the side wall of each graphic unit that is in contact with the second gap, such that the first mask layer is converted into a second mask layer
- S600 Remove the protective layer, and execute third etching on the substrate by using the second mask layer as a mask, so as to form a plurality of discrete active areas in the substrate

(57) Abstract: Provided in the present disclosure are a semiconductor structure and a manufacturing method therefor. The method comprises: forming a plurality of graphic units on a substrate, wherein there is a first gap or a second gap between adjacent graphic units; forming a protective layer on a side wall of each graphic unit, wherein the protective layer only fills the first gap; removing the protective layer in the second gap, and retaining the protective layer in the first gap; thinning the side wall of each exposed graphic unit; and removing the protective layer and etching the substrate, so as to form active areas.

(57) 摘要: 本公开提供一种半导体结构及其制作方法, 其包括: 在衬底上形成多个图形单元, 相邻图形单元间具有第一间隙或第二间隙; 在图形单元的侧壁形成保护层, 保护层仅填满第一间隙; 去除第二间隙内的保护层, 并保留第一间隙内的保护层; 将暴露的图形单元的侧壁减薄; 去除保护层并刻蚀衬底, 形成有源区。

[见续页]

PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第21条(3))。

半导体结构及其制作方法

本公开要求于 2022 年 11 月 10 日提交中国专利局、申请号为 202211409924.8、申请名称为“半导体结构及其制作方法”的中国专利申请
5 5 的优先权，其全部内容通过引用结合在本公开中。

技术领域

本公开涉及半导体技术领域，尤其涉及一种半导体结构及其制作方法。

10 背景技术

随着半导体技术的发展，半导体结构尤其是动态随机存储器(Dynamic Random Access Memory, 简称 DRAM) 被广泛地应用在手机、电脑、汽车等电子产品中。随着半导体技术的发展，半导体结构的特征尺寸不断缩小，其制作难度越来越大，电性要求也越来越高。半导体结构的制作过程中，
15 15 所形成的单个有源区的均匀性较差，有源区存在缺陷，影响半导体结构的性能。

发明内容

本公开实施例提供一种半导体结构及其制作方法，以保证半导体结构
20 20 的性能。

根据一些实施例，本公开的第一方面提供一种半导体结构的制作方法，其包括：

提供衬底；

在所述衬底上形成第一掩膜层，所述第一掩膜层包括阵列排布多个分
25 25 立的图形单元，相邻所述图形单元之间具有第一间隙或第二间隙，所述第一间隙在第一方向上的尺寸小于所述第二间隙在所述第一方向上的尺寸，其中，所述第一方向与所述衬底的表面平行；

在所述衬底上形成保护层，所述保护层覆盖暴露在所述第二间隙内的所述图形单元的侧壁，且填满所述第一间隙；

30 30 执行第一刻蚀，去除覆盖在与所述第二间隙接触的所述图形单元的侧

壁上的所述保护层，暴露与所述第二间隙接触的所述图形单元的侧壁，并保留覆盖在与所述第一间隙接触的所述图形单元的侧壁上的所述保护层；

执行第二刻蚀，使与所述第二间隙接触的所述图形单元的侧壁减薄，以使所述第一掩膜层转变为第二掩膜层；

- 5 去除所述保护层，以所述第二掩膜层为掩膜，对所述衬底执行第三刻蚀，以在所述衬底中形成多个分立的有源区。

本公开实施例提供的半导体结构的制作方法至少具有如下优点：

- 本公开实施例提供的半导体结构的制作方法中，在衬底上形成第一掩膜层，第一掩膜层包括多个分立的图形单元，相邻图形单元之间具有第一间隙或者第二间隙，且第一间隙沿第一方向的尺寸小于第二间隙沿第一方向的尺寸。通过在图形单元的侧壁上形成保护层，保护层填满第一间隙且没有填满第二间隙，再去除第二间隙内的保护层，保留第一间隙内的保护层，使得与第二间隙接触的图形单元的侧壁暴露，从而可以将与第二间隙接触的图形单元的侧壁减薄。在刻蚀衬底的过程中，与第二间隙相接触的图形单元的侧壁减薄，可以弥补第二间隙沿第一方向的尺寸大于第一间隙沿第一方向的尺寸的负载效应，一方面使获得的有源区平行于衬底表面方向的截面中沿第一方向相对的两长边较为平直，有源区沿其延伸方向的均匀性较好，另一方面还可以改善有源区刻蚀不足或者图形倒塌等缺陷问题，提高半导体结构的性能。
- 10
- 15

- 20 根据一些实施例，本公开第二方面提供一种半导体结构，其包括有源区，所述有源区通过如上所述的制作方法形成，且所述有源区平行于所述衬底表面方向的截面为两短边平整，两长边平直的矩形。有源区沿其延伸方向的均匀性较好，半导体结构的性能提高。

25 附图说明

图 1 为相关技术中的有源区的结构示意图；

图 2 为相关技术中的形成第一掩膜层后的结构示意图；

图 3 为图 2 中 A 处的截面图；

图 4 为相关技术中形成有源区后的结构示意图；

- 30 图 5 为本公开一实施例中的半导体结构的制作方法的流程图；

图 6 为本公开一实施例中的衬底的结构示意图；

图 7 为本公开一实施例中的形成第一掩膜层后的结构示意图；

图 8 为图 7 中 A 处的截面图；

图 9 为图 7 中 B 处的截面图；

5 图 10 为图 7 中 C 处的截面图；

图 11 为本公开一实施例中的形成保护层后的结构示意图；

图 12 为图 11 中 A 处的截面图；

图 13 为图 11 中 B 处的截面图；

图 14 为图 11 中 C 处的截面图；

10 图 15 为本公开一实施例中的各向异性刻蚀的刻蚀方向的示意图；

图 16 为本公开一实施例中的去除部分保护层后的结构示意图；

图 17 为图 16 中 A 处的截面图；

图 18 为图 16 中 B 处的截面图；

图 19 为图 16 中 C 处的截面图；

15 图 20 为本公开一实施例中的刻蚀图形单元部分侧壁后的 A 截面的示意图；

图 21 为本公开一实施例中的刻蚀图形单元部分侧壁后的 B 截面的示意图；

20 图 22 为本公开一实施例中的刻蚀图形单元部分侧壁后的 C 截面的示意图；

图 23 为本公开一实施例中的去除剩余的保护层后的 A 截面的示意图；

图 24 为本公开一实施例中的去除剩余的保护层后的 B 截面的示意图；

图 25 为本公开一实施例中的去除剩余的保护层后的 C 截面的示意图；

图 26 为本公开一实施例中的形成有源区后的结构示意图；

25 图 27 为图 26 中 C 处的截面图。

附图标记说明：

10-衬底；

11-有源区；

20-第一掩膜层；

21-图形单元；

22-第一间隙；

23-第二间隙；

30 24-氧化硅层；

25-多晶硅层；

30-保护层；
31-孔洞；
40-第二掩膜层。

具体实施方式

参阅图 1，相关技术中的半导体结构存在性能较差的问题。如图 1 所示，有源区 11 位于衬底 10 中，有源区 11 的延伸方向如图 1 所示的竖直方向（Y 方向）。沿有源区 11 的延伸方向，有源区 11 相对的两个侧壁中部外凸。有源区 11 的宽度不一，有源区 11 中部的宽度大于有源区 11 端部的宽度，每个有源区 11 的均匀性较差，使得半导体结构的性能较差。

经发明人研究发现，每个有源区 11 的均匀性较差，参阅图 2 至图 4，其原因在于：制作有源区 11 时，如图 2 和图 3 所示，通常先在衬底 10 上形成第一掩膜层 20，再以第一掩膜层 20 为掩膜刻蚀衬底 10 上，如图 4 所示，形成有源区 11。第一掩膜层 20 通常包括多个图形单元 21，多个图形单元 21 形成多行多列的阵列排布。示例性的，图形单元 21 的延伸方向为列方向（图 2 所示 Y 方向），行方向（图 2 所示 X 方向）与列方向交叉，其中，行方向和列方向并不垂直。

图形单元 21 沿列方向的间距相等，且沿行方向的间距也相等。由于行方向和列方向不垂直，沿垂直于列方向的方向（图 2 所示 Z 方向），同一列中的图形单元 21 的部分区域与相邻列的图形单元 21 相对，其间距较小，如图 2 和图 3 中 L1 处所示。同一列中的图形单元 21 的另一部分区域与隔一列的图形单元 21 相对，其间距较大，如图 2 和图 3 中 L2 处所示。

在以第一掩膜层 20 为掩膜刻蚀衬底 10 的过程中，由于刻蚀的负载效应（Loading Effect），使得间距较大的相邻图形单元 21 间的区域刻蚀剂消耗快，刻蚀速率下降。所形成的有源区 11 沿其延伸方向，有源区 11 的中部刻蚀不足，有源区 11 的中部的侧壁外凸，有源区 11 的自身形状均匀性较差，严重地，可能会导致有源区 11 倒塌。为此，本公开实施例提供一种半导体结构的制作方法，衬底上的第一掩膜层具有多个阵列排布的分立的图形单元，相邻图形单元之间具有第一间隙或第二间隙，且第一间隙沿第一方向的尺寸小于第二间隙沿第一方向的尺寸。通过将较大的第二间隙相接触的图形单元的侧壁减薄，弥补刻蚀衬底时的负载效应，使得有源

区沿其延伸方向的宽度较为均匀，提高半导体结构的性能。

为了使本公开实施例的上述目的、特征和优点能够更加明显易懂，下面将结合本公开实施例中的附图，对本公开实施例中的技术方案进行清楚、完整地描述。显然，所描述的实施例仅仅是本公开的一部分实施例，而不是全部的实施例。基于本公开中的实施例，本领域普通技术人员在没有作出创造性劳动的前提下所获得的所有其它实施例，均属于本公开保护的范围。

本公开实施例提供一种半导体结构的制作方法，参阅图 5，该制作方法可以包括以下步骤：

步骤 S100：提供衬底。

参阅图 6，衬底 10 的材质可以为半导体，例如单晶硅、多晶硅、无定型硅、锗、碳化硅、锗化硅、绝缘体上锗（Germanium on Insulator，简称 GOI）或者绝缘体上硅（Silicon on Insulator，简称 SOI）等，或者本领域技术人员已知的其他材料。衬底 10 可以为有掺杂的衬底，也可以为无掺杂的衬底。例如衬底 10 为 P 型衬底。

步骤 S200：在衬底上形成第一掩膜层，第一掩膜层包括阵列排布多个分立的图形单元，相邻图形单元之间具有第一间隙或第二间隙，第一间隙在第一方向上的尺寸小于第二间隙在第一方向上的尺寸，其中，第一方向与衬底的表面平行。

参阅图 7 至图 10，图 8、图 9 和图 10 分别为图 7 中 A 处、B 处和 C 处的截面示意图。图 8 所示截面的为垂直于图形单元的延伸方向的平面，图 9 所示的截面为垂直于位线的延伸方向，且位于字线上的截面，图 10 所示的截面为垂直于位线的延伸方向，且位于相邻字线之间的截面。

如图 7 至图 10 所示，第一掩膜层 20 可以是单层，也可以是叠层，例如，第一掩膜层 20 包括设置在衬底 10 上的氧化硅层 24，以及设置在氧化硅层 24 上的多晶硅层 25。

第一掩膜层 20 包括多个图形单元 21，图形单元 21 用于形成有源区 11。如图 7 所示，多个图形单元 21 之间彼此独立，互不接触，以使部分衬底 10 暴露出来。多个图形单元 21 呈多行多列的阵列排布，其中，行方向与列方向交叉且并不垂直。列方向可以为图形单元 21 的延伸方向，如

图 2 所示的竖直方向（图 2 所示 Y 方向）。行方向（图 2 所示 X 方向）与列方向并不垂直，如图 2 所示，行方向相对于水平方向倾斜。

再参阅图 7，相邻列的图形单元 21 沿列方向交错，即各列的图形单元 21 之间沿垂直于列方向的方向（第一方向）并没有对齐。相邻的图形单元 21 之间具有第一间隙 22 或第二间隙 23，第一间隙 22 如图 7 中虚线所围合的区域，第二间隙 23 如图 7 中圆点所围合的区域。第一间隙 22 在第一方向上的尺寸（图 7 至图 10 中 L1 处所示）小于第二间隙 23 在第一方向上的尺寸（图 7 至图 10 中 L2 处所示）。其中，第一方向与衬底 10 的表面平行。其中，第一方向（Z 方向）与衬底 10 平行，其可以垂直于图形单元 21 的列方向。

第一间隙 22 位于隔列相邻的图形单元 21 之间，第二间隙 23 位于相邻两列的图形单元 21 之间，且第一间隙 22 与第二间隙 23 连通。第二间隙 23 在第一方向的尺寸等于第一间隙 22 在第一方向的尺寸的两倍再加上图形单元 21 在第一方向的尺寸。

步骤 S300：在衬底上形成保护层，保护层覆盖暴露在第二间隙内的图形单元的侧壁，且填满第一间隙。

参阅图 11 至图 15，保护层 30 可以通过沉积或者旋涂等工艺形成在衬底 10 上，并填充在第一间隙 22 和第二间隙 23 之间。保护层 30 填满第一间隙 22，且覆盖第二间隙 23 内的图形单元 21 的侧壁，其未填满第二间隙 23。保护层 30 的材质包括碳，例如非晶碳（Amorphous carbon，简称 a-C）或者旋涂碳（Spin on Carbon，简称 SOC），以便于后续去除。

在一些可能的实施方式中，在第一掩膜层上形成保护层，保护层覆盖暴露在第二间隙内的图形单元的侧壁，且填满第一间隙，包括：在图形单元的侧壁和背离衬底的表面，以及衬底上沉积保护层，保护层填满第一间隙，位于第二间隙内的保护层围合形成孔洞。

如图 7 至图 14 所示，在图形单元 21 的侧面和顶面，以及暴露的衬底 10 上沉积保护层 30。由于第一间隙 22 在第一方向的尺寸小于第二间隙 23 在第一方向的尺寸，通过控制保护层 30 的厚度，可以使得保护层 30 填满第一间隙 22，且未填满第二间隙 23。

在一些可能的实施例中，第二间隙 23 在第二方向上的尺寸大于第二

间隙 23 在第一方向的尺寸，其中，第二方向与第一方向垂直，且与衬底 10 的表面平行；保护层 30 的厚度大于或者等于第一间隙 22 在第一方向上的尺寸的一半，且保护层 30 的厚度小于第二间隙 23 在第一方向上的尺寸的一半。

5 其中，第二方向可以为图形单元 21 的延伸方向，即图形单元 21 的列方向，第二方向与衬底 10 平行且与第一方向垂直。第二间隙 23 沿第二方向的尺寸大于第一间隙 22 沿第一方向的尺寸，即图形单元 21 沿列方向之间的间距最大。此时，保护层 30 的厚度大于或者等于第一间隙 22 在第一方向的尺寸的一半，且小于第二间隙 23 在第一方向的尺寸的一半。如此
10 设置，沿第一方向，暴露在第一间隙 22 内的图形单元 21 侧壁上的保护层 30 相接触形成一体，暴露在第二间隙 23 内的图形单元 21 侧壁上的保护层 30 沿第一方向和第二方向均具有一定距离，使得第二间隙 23 内的保护层 30 围合形成孔洞 31。

15 在另一些可能的实施例中，第二间隙 23 在第二方向上的尺寸小于第二间隙 23 在第一方向的尺寸，其中，第二方向与第一方向垂直，且与衬底 10 的表面平行；保护层 30 的厚度大于或者等于第一间隙 22 在第一方向上的尺寸的一半；保护层 30 的厚度小于第二间隙 23 在第一方向上的尺寸的一半，且小于第二间隙 23 在第二方向上的尺寸的一半。

20 其中，第二间隙 23 在第二方向的尺寸小于第二间隙 23 在第一方向的尺寸，为了避免第二间隙 23 内的保护层 30 沿第二方向相接触而填满第二间隙 23，保护层 30 的厚度在大于或者等于第一间隙 22 在第一方向上的尺寸的一半，且小于第二间隙 23 在第一方向上的尺寸的一半的基础上，还要小于第二间隙 23 在第二方向上的尺寸的一半。如此设置，沿第二方向，位于第二间隙 23 内的图形单元 21 侧壁上的保护层 30 也存在一定距
25 离，避免第二间隙 23 内的图形单元 21 侧壁上的保护层 30 相接触，使得位于第二间隙 23 内的保护层 30 可以围合形成孔洞 31。

 可选的，第一间隙 22 在第一方向上的尺寸小于 20nm，相应的，保护层 30 的厚度至少小于或者等于 10nm，本公开实施例中的制作方法可以用于制作关键尺寸（Critical Dimension，简称 CD）较小的半导体结构。

30 步骤 S400：执行第一刻蚀，去除覆盖在与第二间隙接触的图形单元的

侧壁上的保护层，暴露与第二间隙接触的图形单元的侧壁，并保留覆盖在与第一间隙接触的图形单元的侧壁上的保护层。

参阅图 11 至图 19，执行第一刻蚀后，位于第二间隙 23 内的保护层 30 被去除，位于第一间隙 22 内的保护层 30 仍然保留，使得图形单元 21 与第二间隙 23 接触的侧壁暴露，图形单元 21 与第一间隙 22 接触的侧壁没有暴露。其中，刻蚀去除的保护层 30 的厚度可以与沉积的保护层 30 的厚度相等，使得形成在第二间隙 23 内的保护层 30 和图形单元 21 顶面的保护层 30 完全去除，且第一间隙 22 内的保护层 30 尽量少的去除。

在保护层 30 的材质为碳的实施例中，去除保护层 30 时的刻蚀气体包括氧气，即保护层 30 可以通过灰化工艺去除。保护层 30 的厚度较薄，容易通过等离子体灰化去除干净，且不会损伤衬底 10 的表面，可以保证衬底 10 的表面光滑。

步骤 S500：执行第二刻蚀，使与第二间隙接触的图形单元的侧壁减薄，以使第一掩膜层转变为第二掩膜层。

参阅图 16 至图 19，执行第一刻蚀后，第二间隙 23 暴露，第一间隙 22 仍填充有保护层 30。此时，参阅图 20 至图 22，执行第二刻蚀，去除沿第一方向与第二间隙 23 接触的图形单元 21 的侧壁，使得第一掩膜层 20 转变为第二掩膜层 40。第二掩膜层 40 包括多个减薄后的图形单元 21，该图形单元 21 沿第一方向相对的两个侧壁均内凹。

在一些可能的实施例中，执行第二刻蚀，使与第二间隙接触的图形单元的侧壁减薄，以使第一掩膜层转变为第二掩膜层，还包括：对在第一方向上与第二间隙接触的图形单元的侧壁减薄的同时，使在第二方向上与第二间隙接触的图形单元的侧壁平整化。

在形成图形单元 21 的过程中，沿图形单元 21 的延伸方向，图形单元 21 的两端的侧壁形状并不平整，图形单元 21 的端部的侧壁呈两边凸出中间凹陷的形状。为了便于绘图，图 7 中的图形单元 21 沿其延伸方向两端的侧壁没有绘制出弧度，其形状可以参阅图 2。

这是因为在第一掩膜层 20 的形成过程中，平行间隔的条形图案和交错排布的圆孔图案共同的组合得到的刻蚀图形，即由圆孔图案将条形图案切断得到图形单元 21，在圆孔图案对条形图案的切断面处会出现向被切断

的条形图案内部的凹陷，即图形单元 21 的端部的侧壁呈两边凸出中间凹陷的形状。在以第一掩膜层 20 为掩膜刻蚀衬底 10 时，这个凹陷形状也会被一定程度被转移到衬底 10 中，进一步使得有源区 11 的自身形状均匀性较差，导致漏电或其他电性问题。刻蚀第一方向上与第二间隙 23 接触的图形单元 21 的侧壁减薄的同时，也刻蚀第二方向上与第二间隙 23 接触的图形单元 21 的侧壁。位于第二方向上与第二间隙 23 接触的图形单元 21 的侧壁会减薄，并平整化，且平整化的效果比减薄的效果更加明显，从而使得位于第二方向上与第二间隙 23 接触的图形单元 21 的侧壁更加平直。

在第一掩膜层 20 包括设置在衬底 10 上的氧化硅层 24，以及设置在氧化硅层 24 上的多晶硅层 25 的实施例的基础上，第二刻蚀为各向同性刻蚀，至少使与第二间隙 23 接触的氧化硅层 24 的侧壁减薄。由于氧化硅层 24 和多晶硅层 25 的材质不同，其刻蚀速率存在差异，在各向同性刻蚀时，优先保证氧化硅层 24 的刻蚀的准确性，至少使与第二间隙 23 接触的氧化硅层 24 的侧壁减薄，以保证有源区 11 图形的准确性。

步骤 S600：去除保护层，以第二掩膜层为掩膜，对衬底执行第三刻蚀，以在衬底中形成多个分立的有源区。

参阅图 23 至图 25，去除位于第一间隙 22 的保护层 30，以使第二掩膜层 40 完全暴露。其中，保护层 30 可以通过氧气刻蚀去除。以第二掩膜层 40 为掩膜，刻蚀衬底 10，使得衬底 10 中形成有源区 11，有源区 11 与第二掩膜层 40 的图形单元 21 相对应。

第二掩膜层 40 的图形单元 21 中与相邻图形单元 21 间距较大的部分侧壁减薄，可以弥补第三刻蚀时的负载效应，一方面使获得的有源区 11 平行于衬底 10 表面方向的截面中沿第一方向相对的两长边较为平直，有源区 11 沿其延伸方向的均匀性较好，可以改善有源区 11 刻蚀不足或者图形倒塌等缺陷问题。

此外，第二掩膜层 40 的图形单元 21 中沿第二方向相对的侧壁平整化，可以使获得有源区 11 平行于衬底 10 表面方向的截面中沿第二方向相对的两短边较为平整，以使有源区 11 获得较平整的轮廓，进一步提高有源区 11 的均匀性，减少有源区 11 存在缺陷，提高半导体结构的性能。

在一些可能的实施例中，去除保护层，以第二掩膜层为掩膜，对衬底

执行第三刻蚀，以在衬底中形成多个分立的有源区（步骤 S600）之后，还包括：去除第二掩膜层，以暴露有源区。可以理解的是，形成有源区后，将有源区上方的膜层去除，以使有源区暴露。

在第一掩膜层 20 包括氧化硅层 24 和多晶硅层 25 的实施例中，去除保护层，以第二掩膜层为掩膜，对衬底执行第三刻蚀，以在衬底中形成多个分立的有源区（步骤 S600）之后，有源区背离衬底的表面还覆盖有至少部分氧化硅层。

参阅图 26 和图 27，有源区 11 的顶面还覆盖有氧化硅，以减少有源区 11 的氧化。在一些可能的实现方式中，对衬底 10 执行第三刻蚀的过程中，第二掩膜层 40 中的多晶硅层 25 完全消耗，第二掩膜层 40 中的氧化硅层 24 没有消耗，或者没有完全消耗，此时氧化硅层 24 保留。在另一些可能的实现方式中，对衬底 10 执行第三刻蚀的过程中，多晶硅层 25 没有完全消耗，即多晶硅层 25 有剩余，此时可以去除剩余的多晶硅层 25 以及至多部分氧化硅层 24，完全保留或者保留部分氧化硅层 24。

综上，本公开实施例的半导体结构的制作方法中，在衬底 10 上形成第一掩膜层 20，第一掩膜层 20 包括多个分立的图形单元 21。相邻的图形单元 21 之间具有第一间隙 22 或者第二间隙 23，且第一间隙 22 沿第一方向的尺寸小于第二间隙 23 沿第一方向的尺寸。通在图形单元 21 的侧壁上形成保护层 30，保护层 30 填满第一间隙 22 且没有填满第二间隙 23，再去除第二间隙 23 内的保护层 30，保留第一间隙 22 内的保护层 30，使得与第二间隙 23 接触的图形单元 21 的侧壁暴露，从而可以将与第二间隙 23 接触的图形单元 21 的侧壁减薄。在刻蚀衬底 10 的过程中，与第二间隙 23 相接触的图形单元 21 的侧壁减薄，可以弥补第二间隙 23 沿第一方向的尺寸大于第一间隙 22 沿第一方向的尺寸的负载效应。一方面使获得的有源区 11 平行于衬底 10 表面方向的截面中沿第一方向相对的两长边较为平直，有源区 11 沿其延伸方向的均匀性较好，可以改善有源区 11 刻蚀不足或者图形倒塌等缺陷问题；另一方面沿第二方向相对的两短边较为平整，没有凹陷或尖角，也可以减少有源区 11 漏电等电性问题，提高半导体结构的性能。

在一些可能的实施例中，执行第一刻蚀，去除覆盖在与第二间隙接触

的图形单元的侧壁上的保护层，暴露与第二间隙接触的图形单元的侧壁，并保留覆盖在与第一间隙接触的图形单元的侧壁上的保护层(步骤 S400)，包括：

对暴露在孔洞内的保护层，以及位于图形单元背离衬底的表面的保护层执行第一刻蚀，暴露图形单元背离衬底的表面和朝向第二间隙的部分侧壁，以及衬底。

如图 11 至图 19 所示，刻蚀去除图形单元 21 顶面的保护层 30，以及位于第二间隙 23 内的保护层 30，使得图形单元 21 的顶面和与第二间隙 23 相接触的侧壁，以及衬底 10 暴露。去除部分保护层 30 后，孔洞 31 拓宽为第二间隙 23，即第二间隙 23 暴露，第一间隙 22 没有暴露。

由于保护层 30 填充第一间隙 22，位于第一间隙 22 内保护层 30 不存在孔洞 31，其仅有顶面暴露，不易去除。位于第二间隙 23 内保护层 30 围合形成孔洞 31，孔洞 31 的侧壁和底部均为保护层 30，沿孔洞 31 可以直接刻蚀位于孔洞 31 的侧壁和底部的保护层 30，这部分保护层 30 具有较大的刻蚀面积，容易去除。

可以理解的是，在去除保护层 30 的过程中，位于第一间隙 22 内的保护层 30 很少或者几乎没有被去除，位于第一间隙 22 内的保护层 30 保留，使得图形单元 21 与第一间隙 22 接触的侧壁没有暴露，后续不进行处理。位于第二间隙 23 内的保护层 30 几乎完全去除，使得图形单元 21 与第二间隙 23 接触的侧壁暴露出来，以便进行后续处理。

在一些可能的实现方式中，第一刻蚀为各向同性刻蚀或与垂直于衬底表面方向具有倾斜角的各向异性刻蚀，倾斜角的范围为 $5^{\circ} \sim 85^{\circ}$ 。示例性的，第一刻蚀可以为干法刻蚀，也可以为湿法刻蚀。干法刻蚀可以实现各向同性刻蚀，也可以实现各向异性刻蚀，湿法刻蚀只能实现各向同性刻蚀。

参阅图 15，各向异性刻蚀时，刻蚀方向相较于衬底 10 的垂线方向具有 $5^{\circ} \sim 85^{\circ}$ 的倾斜角，即刻蚀方向与衬底 10 的垂线方向的夹角为 $5^{\circ} \sim 85^{\circ}$ 。如此设置，可以去除孔洞 31 侧壁和底部的保护层 30，从而使得所需要的图形单元 21 的侧壁完全暴露，便于对图形单元 21 的侧壁进行处理。其中，刻蚀方向是指刻蚀的发生方向，即刻蚀只在或者主要在刻蚀方向上

发生。

本公开实施例中可以通过孔洞 31 刻蚀去除保护层 30，孔洞 31 侧壁和底部的保护层 30 均需要去除。采用各向同性刻蚀去除位于孔洞 31 的底部与侧壁的交接处的保护层 30 时，相较于采用各向异性刻蚀去除该位置处的保护层 30，更加容易去除干净。此外，各向同性刻蚀相较于各向异性刻蚀也更容易实现。

在一些可能的实施例中，在衬底上形成第一掩膜层，第一掩膜层包括阵列排布多个分立的图形单元，相邻图形单元之间具有第一间隙或第二间隙，第一间隙在第一方向上的尺寸小于第二间隙在第一方向上的尺寸，其中，第一方向与衬底的表面平行（步骤 S100），包括：

在衬底 10 上沉积初始掩膜层。通过沉积等工艺在衬底 10 上形成初始掩膜层，初始掩膜层覆盖衬底 10，且为一整层。

形成初始掩膜层后，通过自对准双重工艺对初始掩膜层执行第四刻蚀，形成多条间隔设置的初始图形单元。对初始掩膜层执行第四刻蚀，去除部分初始掩膜层，形成多条初始图形单元，多条初始图形单元间隔设置，相邻的初始图形单元之间形成沟槽。其中，第四刻蚀可以采用自对准双重（Self-aligned Double Patterning，简称 SADP）工艺进行刻蚀，以使所形成的初始图形单元的关键尺寸均匀性较好。在执行第四刻蚀时，初始掩膜层的掩膜层具有条形图案。

形成初始图形单元后，执行第五刻蚀，使初始图形单元断开，形成图形单元 21，相邻初始图形单元的断开位置交错，剩余的初始掩膜层形成第一掩膜层 20。通过刻蚀初始图形单元，使得每条初始图形单元均断开形成至少两个图形单元 21。相邻初始图形单元的断开位置交错，以使所形成的图形单元 21 之间具有第一间隙 22 和第二间隙 23，且沿第一方向，第一间隙 22 的尺寸小于第二间隙 23 的尺寸。其中，执行第五刻蚀时，初始图形单元的掩膜层具有圆孔图案，使得所形成的图形单元 21 端部的侧壁呈两边凸出中间凹陷的形状。

本公开实施例还提供一种半导体结构，其包括有源区 11，有源区 11 通过上述制作方法形成，所形成的有源区 11 平行于衬底 10 表面方向的截面为两短边平整，两长边平直的矩形，使得有源区 11 的均匀性较好，半

导体结构的性能较好。

本说明书中各实施例或实施方式采用递进的方式描述，每个实施例重点说明的都是与其他实施例的不同之处，各个实施例之间相同相似部分相互参见即可。参考术语“一个实施方式”、“一些实施方式”、“示意性实施方式”、“示例”、“具体示例”、或“一些示例”等的描述意指结合实施方式或示例描述的具体特征、结构、材料或者特点包含于本公开的至少一个实施方式或示例中。在本说明书中，对上述术语的示意性表述不一定指的是相同的实施方式或示例。而且，描述的具体特征、结构、材料或者特点可以在任何的一个或多个实施方式或示例中以合适的方式结合。

10 最后应说明的是：以上各实施例仅用以说明本公开的技术方案，而非对其限制；尽管参照前述各实施例对本公开进行了详细的说明，本领域的普通技术人员应当理解：其依然可以对前述各实施例所记载的技术方案进行修改，或者对其中部分或者全部技术特征进行等同替换；而这些修改或者替换，并不使相应技术方案的本质脱离本公开各实施例技术方案的范围。

权利要求书

1.一种半导体结构的制作方法，包括：

提供衬底（10）；

5 在所述衬底（10）上形成第一掩膜层（20），所述第一掩膜层（20）包括阵列排布多个分立的图形单元（21），相邻所述图形单元（21）之间具有第一间隙（22）或第二间隙（23），所述第一间隙（22）在第一方向上的尺寸小于所述第二间隙（23）在所述第一方向上的尺寸，其中，所述第一方向与所述衬底（10）的表面平行；

10 在所述衬底（10）上形成保护层（30），所述保护层（30）覆盖暴露所述第二间隙（23）内的所述图形单元（21）的侧壁，且填满所述第一间隙（22）；

15 执行第一刻蚀，去除覆盖在与所述第二间隙（23）接触的所述图形单元（21）的侧壁上的所述保护层（30），暴露与所述第二间隙（23）接触的所述图形单元（21）的侧壁，并保留覆盖在与所述第一间隙（22）接触的所述图形单元（21）的侧壁上的所述保护层（30）；

执行第二刻蚀，使与所述第二间隙（23）接触的所述图形单元（21）的侧壁减薄，以使所述第一掩膜层（20）转变为第二掩膜层（40）；

去除所述保护层（30），以所述第二掩膜层（40）为掩膜，对所述衬底（10）执行第三刻蚀，以在所述衬底（10）中形成多个分立的有源区（11）。

20 2.根据权利要求 1 所述的制作方法，其中，在所述衬底（10）上形成保护层（30），所述保护层（30）覆盖暴露所述第二间隙（23）内的所述图形单元（21）的侧壁，且填满所述第一间隙（22），包括：

25 在所述图形单元（21）的侧壁和背离所述衬底（10）的表面，以及所述衬底（10）上沉积保护层（30），所述保护层（30）填充所述第一间隙（22），位于所述第二间隙（23）内的保护层（30）围合形成孔洞（31）。

3.根据权利要求 2 所述的制作方法，其中，执行第一刻蚀，去除覆盖在与所述第二间隙（23）接触的所述图形单元（21）的侧壁上的所述保护层（30），暴露与所述第二间隙（23）接触的所述图形单元（21）的侧壁，并保留覆盖在与所述第一间隙（22）接触的所述图形单元（21）的侧壁上的所述保护层（30），包括：

对暴露在所述孔洞（31）内的所述保护层（30），以及位于所述图形单元（21）背离所述衬底（10）的表面的所述保护层（30）执行所述第一刻蚀，暴露所述图形单元（21）背离所述衬底（10）的表面和朝向所述第二间隙（23）的部分侧壁，以及所述衬底（10）。

- 5 4.根据权利要求 1-3 任一项所述的制作方法，其中，所述第二间隙（23）在第二方向上的尺寸小于所述第二间隙（23）在所述第一方向的尺寸，其中，所述第二方向与所述第一方向垂直，且与所述衬底（10）的表面平行；

所述保护层（30）的厚度大于或者等于所述第一间隙（22）在所述第一方向上的尺寸的一半；

- 10 所述保护层（30）的厚度小于所述第二间隙（23）在所述第一方向上的尺寸的一半，且小于所述第二间隙（23）在所述第二方向上的尺寸的一半。

5.根据权利要求 4 所述的制作方法，其中，所述第一间隙（22）在所述第一方向上的尺寸小于 20nm。

- 15 6.根据权利要求 4 或 5 所述的制作方法，其中，执行第二刻蚀，使与所述第二间隙（23）接触的所述图形单元（21）的侧壁减薄，以使所述第一掩膜层（20）转变为第二掩膜层（40），还包括：

- 20 对在所述第一方向上与所述第二间隙（23）接触的所述图形单元（21）的侧壁减薄的同时，使在所述第二方向上与所述第二间隙（23）接触的所述图形单元（21）的侧壁平整化。

7.根据权利要求 1-6 任一项所述的制作方法，其中，所述第一刻蚀为各向同性刻蚀或与垂直于所述衬底（10）表面方向具有倾斜角的各向异性刻蚀，所述倾斜角的范围为 5° ~ 85° 。

- 25 8.根据权利要求 1-7 任一项所述的制作方法，其中，所述保护层（30）的材质包括碳。

9.根据权利要求 8 所述的制作方法，其中，去除所述保护层（30）时的刻蚀气体包括氧气。

- 30 10.根据权利要求 1-9 任一项所述的制作方法，其中，去除所述保护层（30），以所述第二掩膜层（40）为掩膜，对所述衬底（10）执行第三刻蚀，以在所述衬底（10）中形成多个分立的有源区（11）之后，还包括：
去除所述第二掩膜层（40），以暴露所述有源区（11）。

11.根据权利要求 1-10 任一项所述的制作方法，其中，所述第一掩膜层（20）包括设置在所述衬底（10）上的氧化硅层（24），以及设置在所述氧化硅层（24）上的多晶硅层（25）。

12.根据权利要求 11 所述的制作方法，其中，去除所述保护层（30），
5 以所述第二掩膜层（40）为掩膜，对所述衬底（10）执行第三刻蚀，以在所述衬底（10）中形成多个分立的有源区（11）之后，所述有源区（11）背离所述衬底（10）的表面还覆盖有至少部分所述氧化硅层（24）。

13.根据权利要求 11 或 12 所述的制作方法，其中，所述第二刻蚀为各向同性刻蚀，至少使与所述第二间隙（23）接触的所述氧化硅层（24）的
10 侧壁减薄。

14.根据权利要求 1-13 任一项所述的制作方法，其中，在所述衬底（10）上形成第一掩膜层（20），所述第一掩膜层（20）包括阵列排布多个分立的图形单元（21），相邻所述图形单元（21）之间具有第一间隙（22）或第二间隙（23），所述第一间隙（22）在第一方向上的尺寸小于所述第二
15 间隙（23）在所述第一方向上的尺寸，其中，所述第一方向与所述衬底（10）的表面平行，包括：

在所述衬底（10）上沉积初始掩膜层；

通过自对准双重工艺对所述初始掩膜层执行第四刻蚀，形成多条间隔设置的初始图形单元；

20 执行第五刻蚀，使所述初始图形单元断开，形成所述图形单元（21），相邻所述初始图形单元的断开位置交错，剩余的所述初始掩膜层形成所述第一掩膜层（20）。

15.一种半导体结构，包括：

25 有源区（11），所述有源区（11）通过权利要求 1-14 任一项所述的制作方法形成，且所述有源区（11）平行于所述衬底（10）表面方向的截面为两短边平整，两长边平直的矩形。

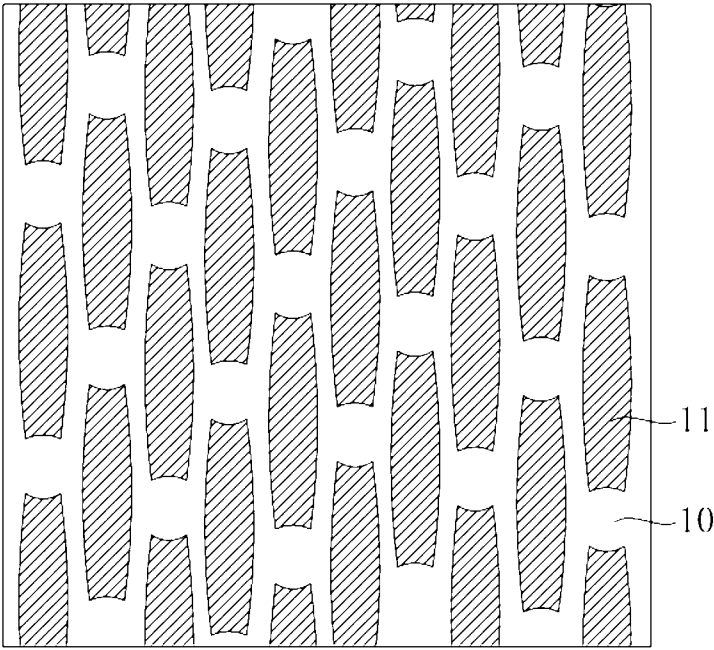


图 1

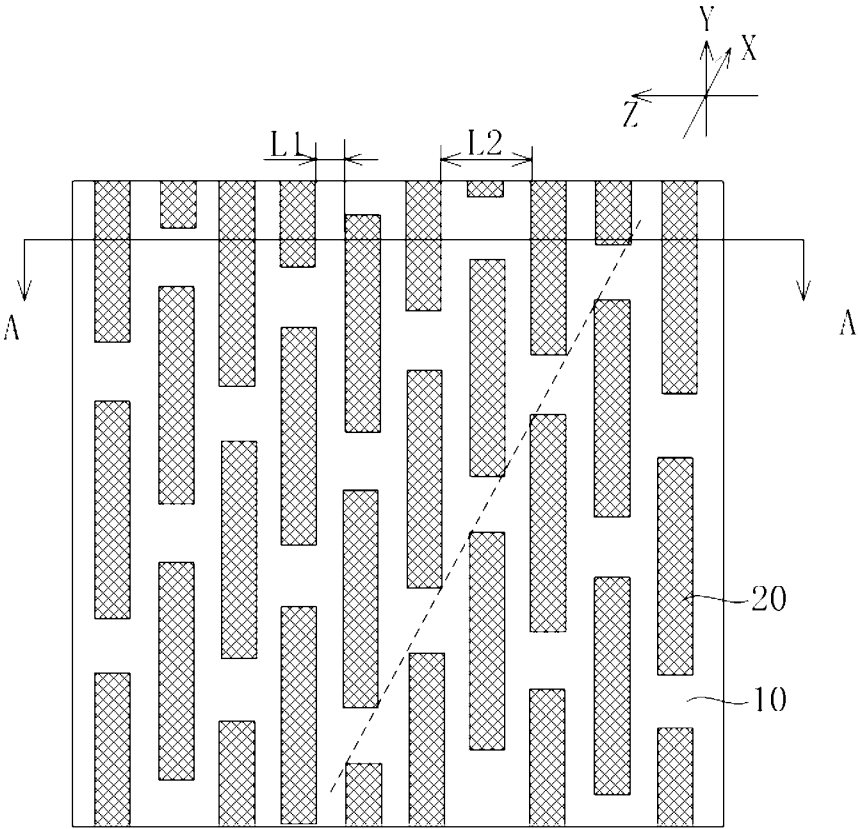


图 2

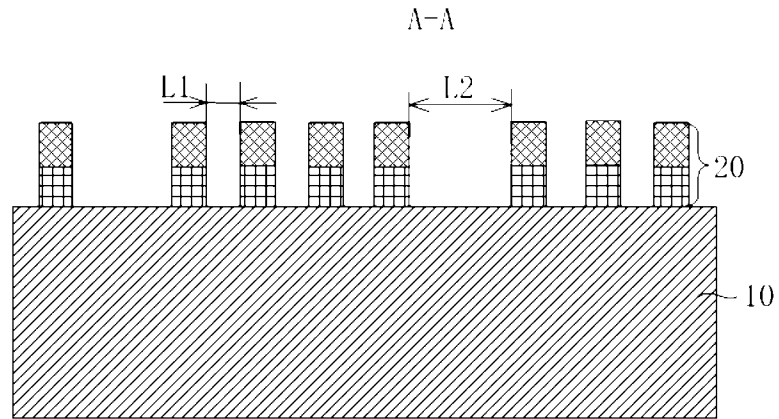


图 3

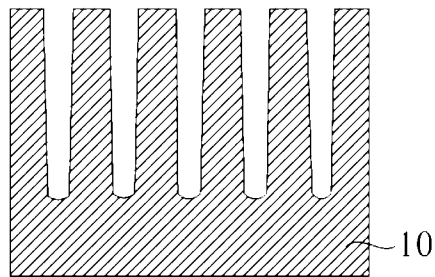


图 4

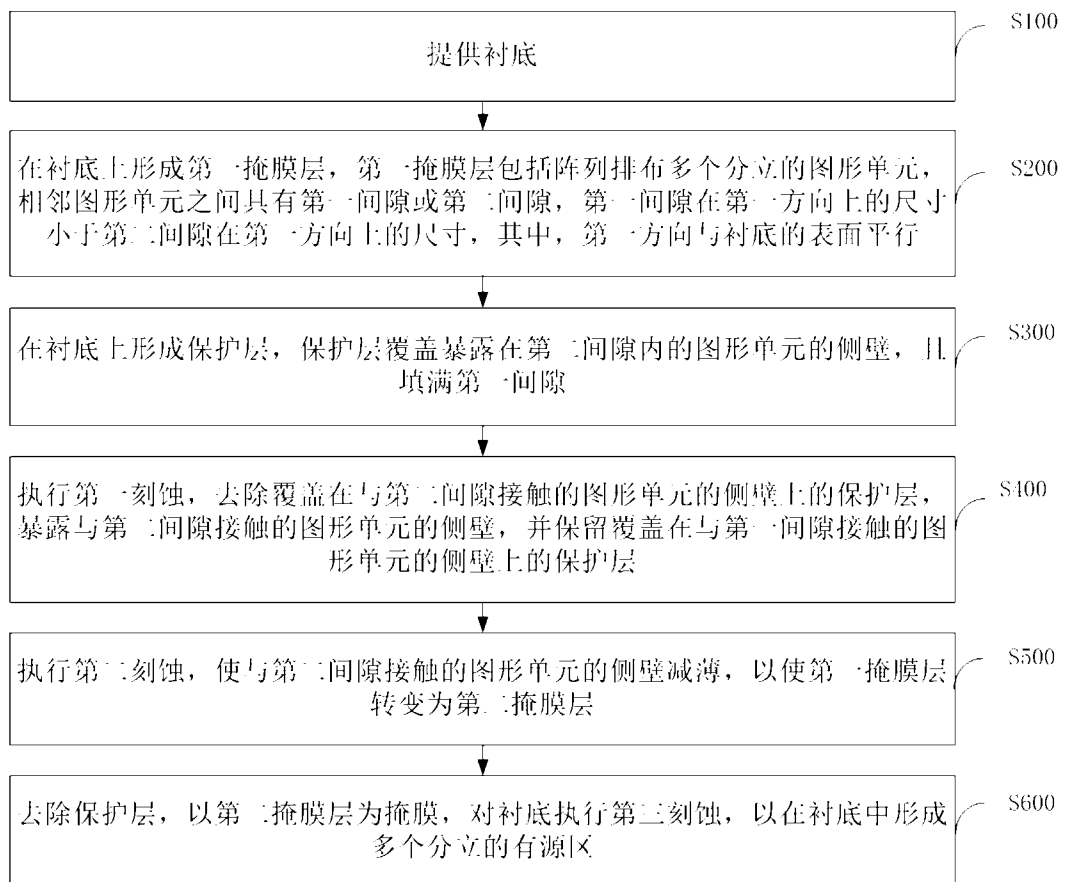


图 5

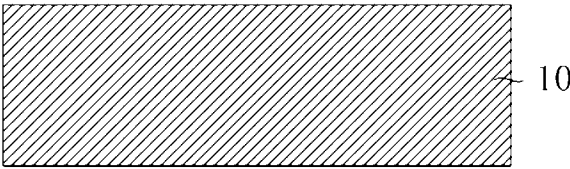


图 6

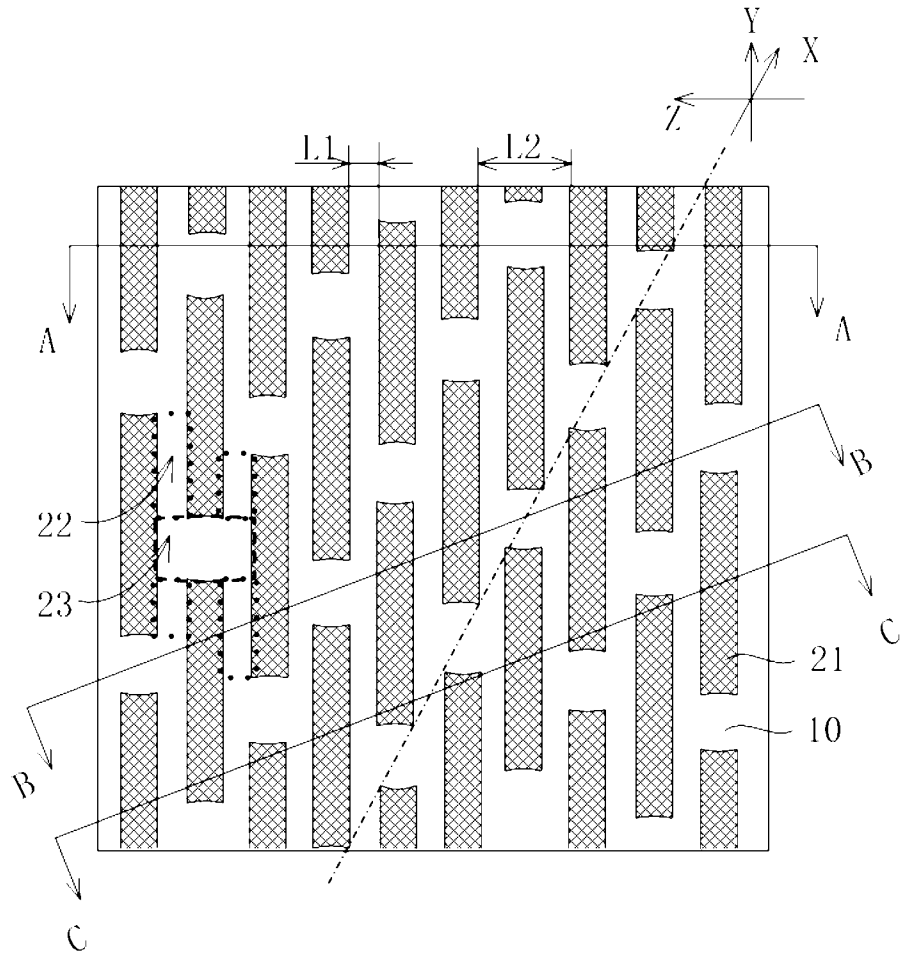


图 7

A-A

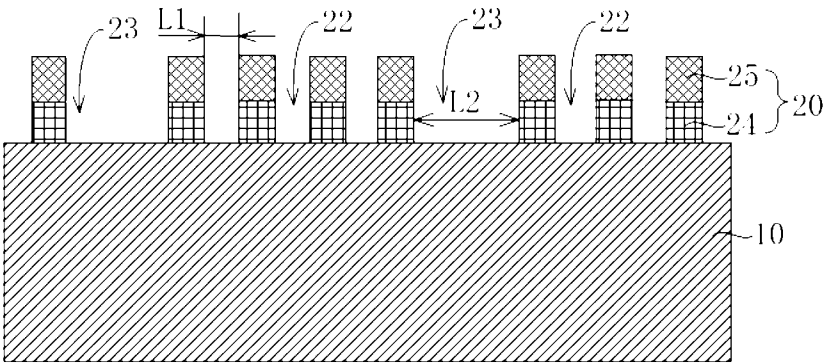


图 8

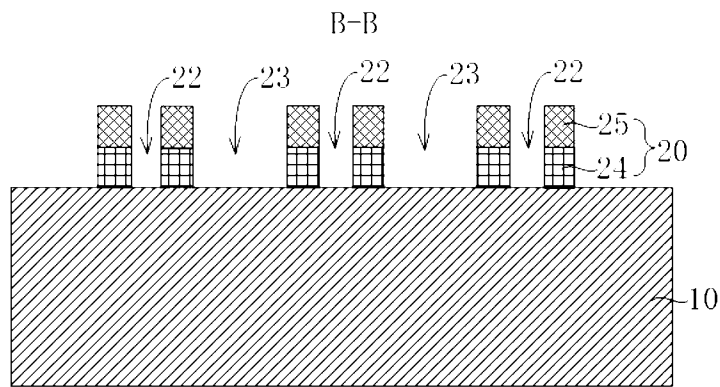


图 9

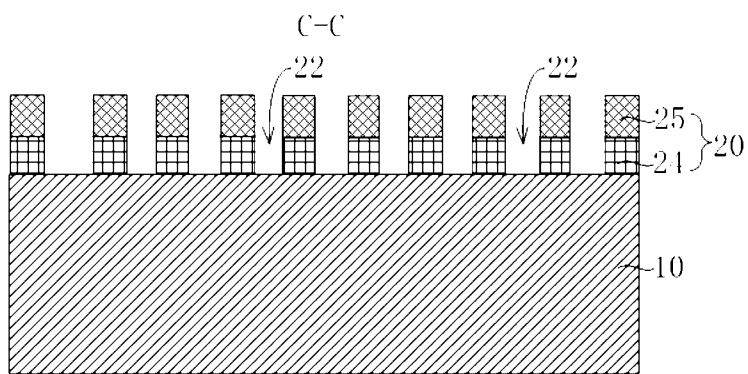


图 10

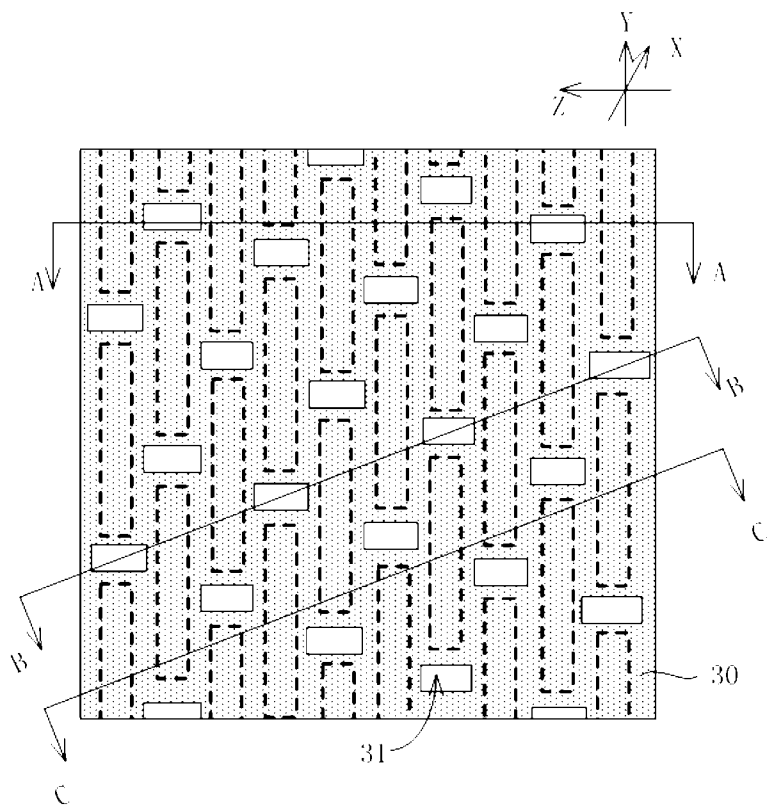


图 11

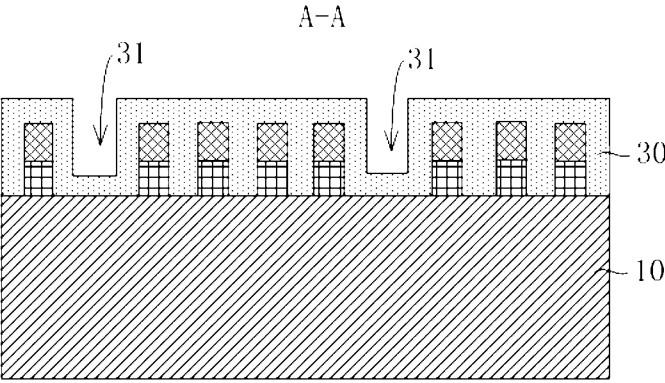


图 12

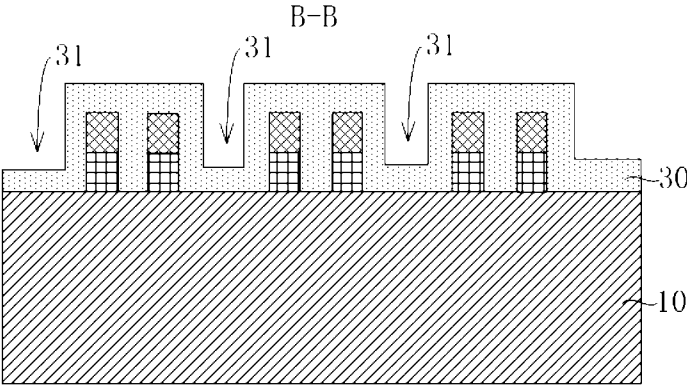


图 13

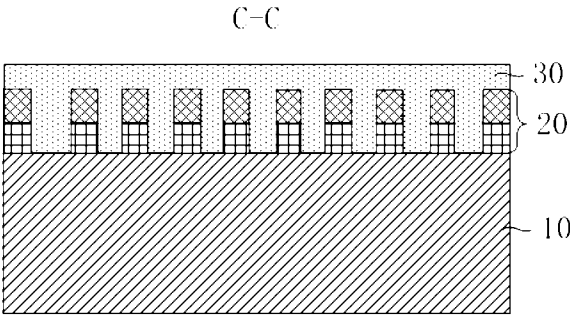


图 14

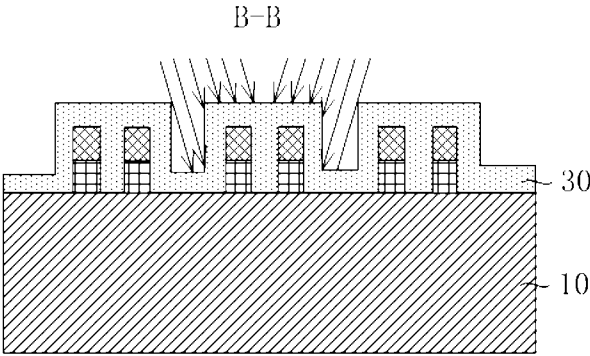


图 15

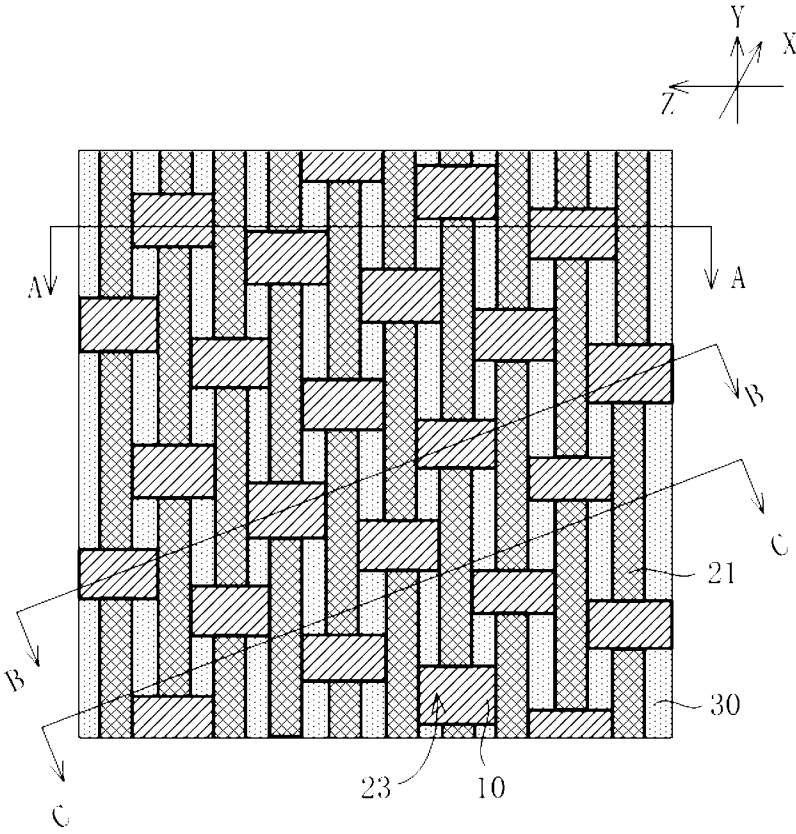


图 16

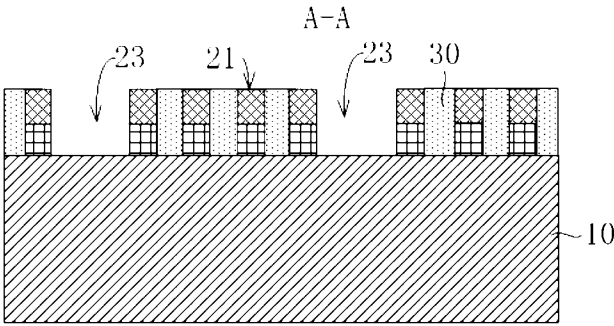


图 17

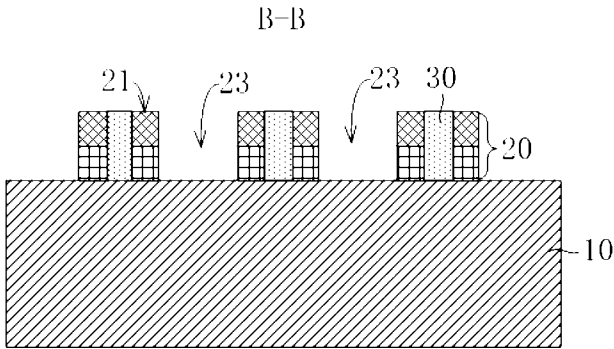


图 18

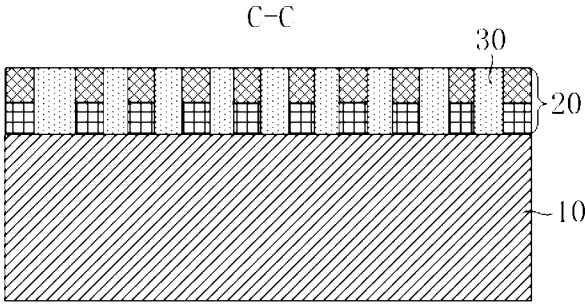


图 19

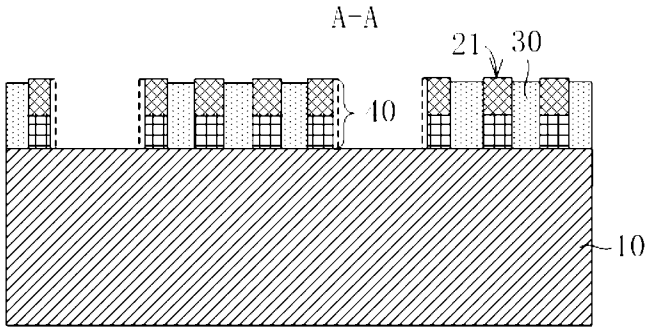


图 20

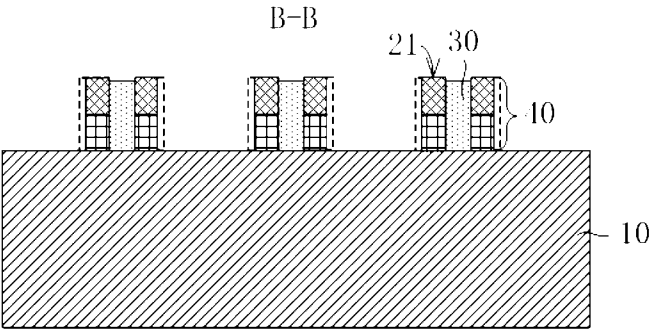


图 21

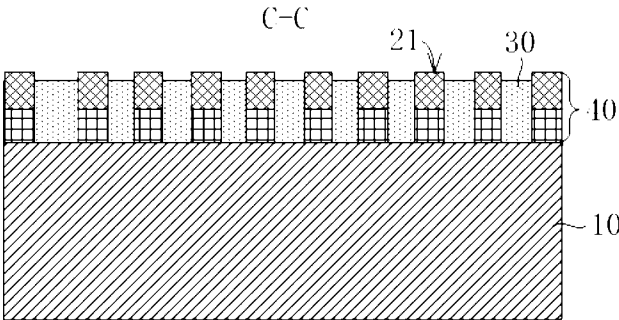


图 22

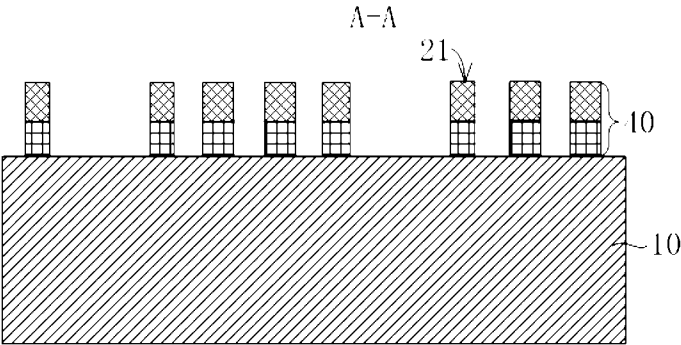


图 23

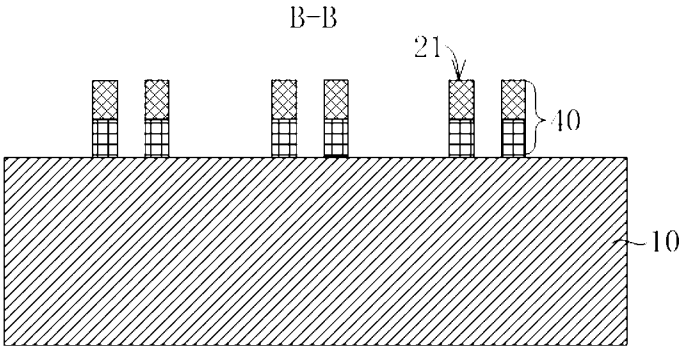


图 24

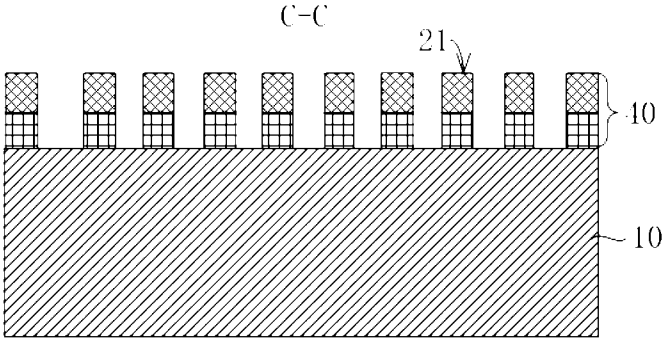


图 25

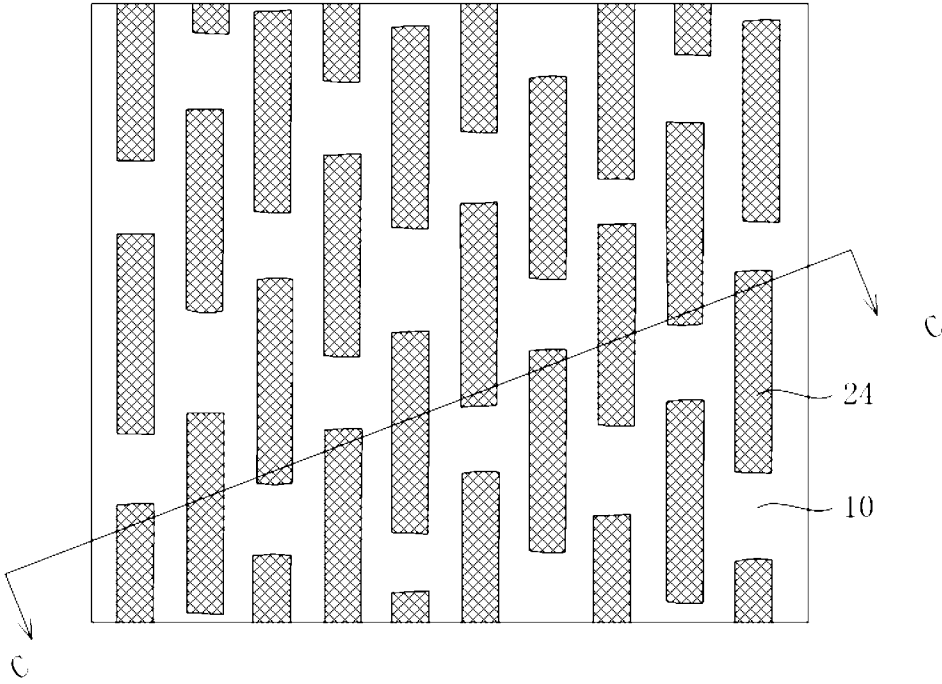


图 26

C-C

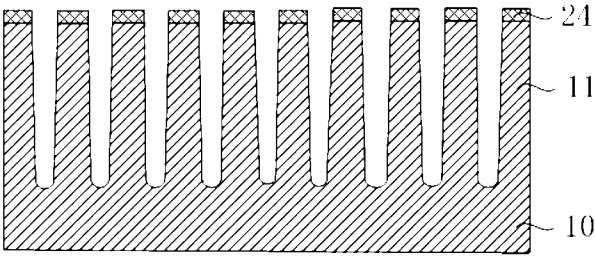


图 27

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2023/093691

A. CLASSIFICATION OF SUBJECT MATTER		
H10B12/00(2023.01)i		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols)		
IPC:H10B12/-; H01L27/-; H01L21/-		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
CNABS; CNTXT; VEN; DWPI; WOTXT; EPTXT; USTXT; CNKI: 动态随机存储器, 有源, 掩膜, 侧壁, 刻蚀, 保护, 间距, 间隙, DRAM, dynamic random access memory, active, mask, sidewall, etch, protect, space, gap		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
E	CN 116230500 A (BEIJING CHAOXIAN MEMORY RESEARCH INSTITUTE) 06 June 2023 (2023-06-06) description, paragraphs 34-56, and figures 1-9	15
PX	CN 115810577 A (CHANGXIN MEMORY TECHNOLOGIES, INC.) 17 March 2023 (2023-03-17) description, paragraphs 56-95, and figures 1-2X	15
PX	CN 115810578 A (CHANGXIN MEMORY TECHNOLOGIES, INC.) 17 March 2023 (2023-03-17) description, paragraphs 47-67, and figures 1-2I	15
X	CN 113707608 A (CHANGXIN MEMORY TECHNOLOGIES, INC.) 26 November 2021 (2021-11-26) description, paragraphs 62-115, and figures 1-10	15
X	US 2015145013 A1 (SK HYNIX INC.) 28 May 2015 (2015-05-28) description, paragraphs 82-88, and figure 6A(a)-figure 6C(c)	15
A	KR 20080071328 A (HYNIX SEMICONDUCTOR INC.) 04 August 2008 (2008-08-04) description, paragraphs 21-48, and figure 1-figure 2e	1-15
☒ Further documents are listed in the continuation of Box C. ☒ See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "D" document cited by the applicant in the international application "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search		Date of mailing of the international search report
24 July 2023		26 July 2023
Name and mailing address of the ISA/CN		Authorized officer
China National Intellectual Property Administration (ISA/CN) China No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing 100088		Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2023/093691

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 113782487 A (SEMICONDUCTOR MANUFACTURING INTERNATIONAL (SHANGHAI) CORP. et al.) 10 December 2021 (2021-12-10) entire document	1-15

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2023/093691

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	116230500	A	06 June 2023	None			
CN	115810577	A	17 March 2023	US	2023027276	A1	26 January 2023
				WO	2023035523	A1	16 March 2023
CN	115810578	A	17 March 2023	WO	2023035522	A1	16 March 2023
CN	113707608	A	26 November 2021	WO	2021232936	A1	25 November 2021
				EP	3944301	A1	26 January 2022
US	2015145013	A1	28 May 2015	US	2016086888	A1	24 March 2016
				US	9397044	B2	19 July 2016
				KR	20150060092	A	03 June 2015
				KR	102110464	B1	13 May 2020
				US	9230931	B2	05 January 2016
KR	20080071328	A	04 August 2008	None			
CN	113782487	A	10 December 2021	US	2021391173	A1	16 December 2021
				US	11404273	B2	02 August 2022

A. 主题的分类 H10B12/00 (2023.01) i 按照国际专利分类 (IPC) 或者同时按照国家分类和 IPC 两种分类																										
B. 检索领域 检索的最低限度文献 (标明分类系统和分类号) IPC:H10B12/-; H01L27/-; H01L21/- 包含在检索领域中的除最低限度文献以外的检索文献 在国际检索时查阅的电子数据库 (数据库的名称, 和使用的检索词 (如使用)) CNABS; CNTXT; VEN; DWPI; WOTXT; EPTXT; USTXT; CNKI: 动态随机存储器, 有源, 掩膜, 侧壁, 刻蚀, 保护, 间距, 间隙, DRAM, dynamic random access memory, active, mask, sidewall, etch, protect, space, gap																										
C. 相关文件 <table border="1"> <thead> <tr> <th>类 型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>E</td> <td>CN 116230500 A (北京超弦存储器研究院) 2023年6月6日 (2023 - 06 - 06) 说明书第34-56段, 图1-9</td> <td>15</td> </tr> <tr> <td>PX</td> <td>CN 115810577 A (长鑫存储技术有限公司) 2023年3月17日 (2023 - 03 - 17) 说明书第56-95段, 图1-图2X</td> <td>15</td> </tr> <tr> <td>PX</td> <td>CN 115810578 A (长鑫存储技术有限公司) 2023年3月17日 (2023 - 03 - 17) 说明书第47-67段, 图1-图2I</td> <td>15</td> </tr> <tr> <td>X</td> <td>CN 113707608 A (长鑫存储技术有限公司) 2021年11月26日 (2021 - 11 - 26) 说明书第62-115段, 图1-10</td> <td>15</td> </tr> <tr> <td>X</td> <td>US 2015145013 A1 (SK HYNIX INC) 2015年5月28日 (2015 - 05 - 28) 说明书第82-88段, 图6A(a)-图6C(c)</td> <td>15</td> </tr> <tr> <td>A</td> <td>KR 20080071328 A (HYNIX SEMICONDUCTOR INC) 2008年8月4日 (2008 - 08 - 04) 说明书第21-48段, 图1-图2e</td> <td>1-15</td> </tr> <tr> <td>A</td> <td>CN 113782487 A (中芯国际集成电路制造 (上海) 有限公司 等) 2021年12月10日 (2021 - 12 - 10) 全文</td> <td>1-15</td> </tr> </tbody> </table>			类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求	E	CN 116230500 A (北京超弦存储器研究院) 2023年6月6日 (2023 - 06 - 06) 说明书第34-56段, 图1-9	15	PX	CN 115810577 A (长鑫存储技术有限公司) 2023年3月17日 (2023 - 03 - 17) 说明书第56-95段, 图1-图2X	15	PX	CN 115810578 A (长鑫存储技术有限公司) 2023年3月17日 (2023 - 03 - 17) 说明书第47-67段, 图1-图2I	15	X	CN 113707608 A (长鑫存储技术有限公司) 2021年11月26日 (2021 - 11 - 26) 说明书第62-115段, 图1-10	15	X	US 2015145013 A1 (SK HYNIX INC) 2015年5月28日 (2015 - 05 - 28) 说明书第82-88段, 图6A(a)-图6C(c)	15	A	KR 20080071328 A (HYNIX SEMICONDUCTOR INC) 2008年8月4日 (2008 - 08 - 04) 说明书第21-48段, 图1-图2e	1-15	A	CN 113782487 A (中芯国际集成电路制造 (上海) 有限公司 等) 2021年12月10日 (2021 - 12 - 10) 全文	1-15
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求																								
E	CN 116230500 A (北京超弦存储器研究院) 2023年6月6日 (2023 - 06 - 06) 说明书第34-56段, 图1-9	15																								
PX	CN 115810577 A (长鑫存储技术有限公司) 2023年3月17日 (2023 - 03 - 17) 说明书第56-95段, 图1-图2X	15																								
PX	CN 115810578 A (长鑫存储技术有限公司) 2023年3月17日 (2023 - 03 - 17) 说明书第47-67段, 图1-图2I	15																								
X	CN 113707608 A (长鑫存储技术有限公司) 2021年11月26日 (2021 - 11 - 26) 说明书第62-115段, 图1-10	15																								
X	US 2015145013 A1 (SK HYNIX INC) 2015年5月28日 (2015 - 05 - 28) 说明书第82-88段, 图6A(a)-图6C(c)	15																								
A	KR 20080071328 A (HYNIX SEMICONDUCTOR INC) 2008年8月4日 (2008 - 08 - 04) 说明书第21-48段, 图1-图2e	1-15																								
A	CN 113782487 A (中芯国际集成电路制造 (上海) 有限公司 等) 2021年12月10日 (2021 - 12 - 10) 全文	1-15																								
☐ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。																										
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “D” 申请人在国际申请中引证的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件																										
国际检索实际完成的日期 2023年7月24日		国际检索报告邮寄日期 2023年7月26日																								
ISA/CN的名称和邮寄地址 中国国家知识产权局 中国北京市海淀区蓟门桥西土城路6号 100088		授权官员 沈冬云 电话号码 (+86) 020-28958914																								

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2023/093691

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	116230500	A	2023年6月6日	无			
CN	115810577	A	2023年3月17日	US	2023027276	A1	2023年1月26日
				WO	2023035523	A1	2023年3月16日
CN	115810578	A	2023年3月17日	WO	2023035522	A1	2023年3月16日
CN	113707608	A	2021年11月26日	WO	2021232936	A1	2021年11月25日
				EP	3944301	A1	2022年1月26日
US	2015145013	A1	2015年5月28日	US	2016086888	A1	2016年3月24日
				US	9397044	B2	2016年7月19日
				KR	20150060092	A	2015年6月3日
				KR	102110464	B1	2020年5月13日
				US	9230931	B2	2016年1月5日
KR	20080071328	A	2008年8月4日	无			
CN	113782487	A	2021年12月10日	US	2021391173	A1	2021年12月16日
				US	11404273	B2	2022年8月2日