I521641

(19)中華民國智慧財產局

(12)發明說明書公告本 **(11)證書號數：TW I521641 B**

(45)公告日： 中華民國 105 (2016) 年 02 月 11 日

(21)申請案號：103123322 (22)申請日： 中華民國 103 (2014) 年 07 月 07 日

(51)Int. Cl.： ***H01L21/76 (2006.01)*** ***H01L21/77 (2006.01)***

(30)優先權：2013/07/08 美國 61/843,804

(71)申請人：高效電源轉換公司 (美國) EFFICIENT POWER CONVERSION CORPORATION (US)
美國

(72)發明人：周春華 ZHOU, CHUNHUA (TW)；曹 建軍 CAO, JIANJUN (US)；里道 亞力山大 LIDOW, ALEXANDER (US)；畢曲 羅伯特 BEACH, ROBERT (US)；納卡塔 亞雷納 NAKATA, ALANA (US)；史瑞特瑪特 羅伯特 STRITTMATTER, ROBERT (US)；趙廣元 ZHAO, GUANGYUAN (TW)；庫魯里 謝斯海德里 KOLLURI, SESHADRI (IN)；馬豔萍 MA, YANPING (TW)；劉芳昌 LIU, FANG CHANG (TW)；江銘崑 CHIANG, MING KUN (TW)；曹佳麗 CAO, JIALI (TW)

(74)代理人：惲軼群；陳文郎

(56)參考文獻：

TW	200733385	TW	201212229A1
US	2006/0226442A1	US	2010/0330754A1

審查人員：王安邦

申請專利範圍項數：16 項 圖式數：7 共 27 頁

(54)名稱

製作氮化鎵裝置及積體電路中之自我對準隔離部的方法

METHOD TO FABRICATE SELF-ALIGNED ISOLATION IN GALLIUM NITRIDE DEVICES AND INTEGRATED CIRCUITS

(57)摘要

一種用以形成具有一隔離區域之一增強模式 GaN HFET 裝置之方法，且該隔離區域自我對準一接觸開口或金屬遮罩窗。有利地，該方法不需要一專用隔離遮罩及相關程序步驟，因此減少製造成本。該方法包括提供一 EPI 結構，且該 EPI 結構包括一基材、一緩衝層、一 GaN 層及一障壁層。一介電層形成在該障壁層上方，且多數開口形成在該介電層中用於多數裝置接觸開口及一隔離部接觸開口。接著在該介電層上方形成一金屬層，且在各裝置接觸開口上方沈積一光阻。接著蝕刻該金屬層，以便在該隔離部接觸開口上方形成一金屬遮罩窗，且在藉由在該介電層中之隔離部接觸開口暴露之部份蝕刻該障壁及 GaN 層。

A method for forming an enhancement mode GaN HFET device with an isolation area that is self-aligned to a contact opening or metal mask window. Advantageously, the method does not require a dedicated isolation mask and the associated process steps, thus reducing manufacturing costs. The method includes providing an EPI structure including a substrate, a buffer layer a GaN layer and a barrier layer. A dielectric layer is formed over the barrier layer and openings are formed in the dielectric layer for device contact openings and an isolation contact opening. A metal layer is then formed over the dielectric layer and a photoresist film is deposited above each of the device contact openings. The metal layer is then etched to

form a metal mask window above the isolation contact opening and the barrier and GaN layer are etched at the portion that is exposed by the isolation contact opening in the dielectric layer.

指定代表圖：

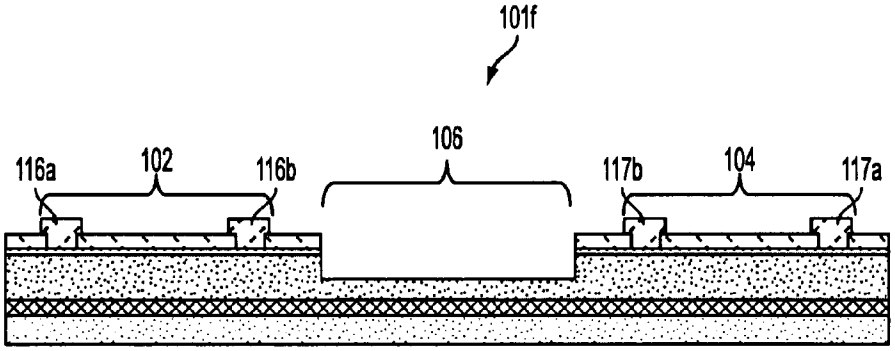


圖 6G

符號簡單說明：

101f・・・GaN 結構

102,104・・・裝置

106・・・隔離區域

116a,116b,117a,

117b・・・歐姆接觸

I521641

公告本

發明摘要

※ 申請案號：103123322

※ 申請日：103.7.7　　※IPC 分類：H01L 21/36 (2006.01)
H01L 21/77 (2006.01)

【發明名稱】(中文/英文)

製作氮化鎵裝置及積體電路中之自我對準隔離部的方法/ METHOD TO FABRICATE SELF-ALIGNED ISOLATION IN GALLIUM NITRIDE DEVICES AND INTEGRATED CIRCUITS

【中文】

一種用以形成具有一隔離區域之一增強模式GaN HFET裝置之方法，且該隔離區域自我對準一接觸開口或金屬遮罩窗。有利地，該方法不需要一專用隔離遮罩及相關程序步驟，因此減少製造成本。該方法包括提供一EPI結構，且該EPI結構包括一基材、一緩衝層、一GaN層及一障壁層。一介電層形成在該障壁層上方，且多數開口形成在該介電層中用於多數裝置接觸開口及一隔離部接觸開口。接著在該介電層上方形成一金屬層，且在各裝置接觸開口上方沈積一光阻。接著蝕刻該金屬層，以便在該隔離部接觸開口上方形成一金屬遮罩窗，且在藉由在該介電層中之隔離部接觸開口暴露之部份蝕刻該障壁及GaN層。

【英文】

A method for forming an enhancement mode GaN HFET device with an isolation area that is self-aligned to a contact opening or metal mask window. Advantageously, the method does not require a dedicated isolation mask and the associated process steps, thus reducing manufacturing costs. The method includes providing an EPI structure including a substrate, a buffer layer a GaN layer and a barrier layer. A dielectric layer is formed over the barrier layer and openings are formed in the dielectric layer for device contact openings and an isolation contact opening. A metal layer is then formed over the dielectric layer and a photoresist film is deposited above each of the device contact openings. The metal layer is then etched to form a metal mask window above the isolation contact opening and the barrier and GaN layer are etched at the portion that is exposed by the isolation contact opening in the dielectric layer.

【代表圖】

【本案指定代表圖】：第（ 6G ）圖。

【本代表圖之符號簡單說明】：

101f...GaN 結構
102,104...裝置
106...隔離區域
116a,116b,117a,117b...歐姆接觸

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

(無)

發明專利說明書

（本說明書格式、順序，請勿任意更動）

【發明名稱】（中文/英文）

製作氮化鎵裝置及積體電路中之自我對準隔離部的方法
METHOD TO FABRICATE SELF-ALIGNED ISOLATION IN GALLIUM NITRIDE DEVICES AND INTEGRATED CIRCUITS

【技術領域】

[0001]本發明係有關於一種增強模式氮化鎵(GaN)異質接面場效電晶體(HFET)之領域。特別地，本發明係有關於用以更符合經濟效益地製作增強模式GaN裝置及積體電路之方法。

【先前技術】

[0002]因爲氮化鎵(GaN)半導體裝置攜帶大電流及支持高電壓之能力，故功率半導體裝置對於氮化鎵半導體裝置之需要不斷地增加。這些裝置之發展已大致集中在高功率/及高頻應用上。爲這些種類之應用製作之裝置係依據展現高電子遷移率之一般裝置結構爲基礎且被多樣地稱爲異質接面/異質結構場效電晶體(HFET)、高電子遷移率電晶體(HEMT)、或調變摻雜場效電晶體(MODFET)。

[0003]一GaN HFET裝置包括具有至少兩氮化物層之一氮化物半導體。形成在該半導體上或在一緩衝層上之不同材料使該等層具有不同能帶間隙。在相鄰氮化物層中之不同材料亦產生極化，且該極化有助於產生靠近該等兩層之接面，特別在具有較窄能帶間隙之層中的一導電二維電

子氣體(2DEG)區域。

[0004]產生極化之氮化物層通常包括靠近一GaN層之一AlGaN之障壁層以包括該2DEG，這使電荷可流經該裝置。這障壁層可摻雜或未摻雜。因爲該2DEG區域在零閘極偏壓時存在該閘極下方，故大部份氮化物裝置通常是接通，或空乏模式裝置。如果該2DEG區域在該閘極下方在零施加閘極偏壓時被空乏(即，移除)，該裝置可爲一增強模式裝置。多數增強模式裝置通常是截止，且因爲所提供之增加安全性且它們比較容易以簡單、低成本驅動電路來控制，故它們是合於吾人之意者。一增強模式裝置需要一施加在閘極之正偏壓以便傳導電流。

[0005]在GaN裝置及積體電路中，通常使用隔離部移除在一選擇區域之該2DEG。隔離部減少寄生電容，例如，閘極至汲極及汲極至源極電容。圖1顯示具有兩裝置10與20之一示範積體電路，其中在裝置10中之隔離區域12及在裝置20中之隔離區域22係設置成刻意地移除該2DEG以使寄生電容減至最小。放在該等裝置之某些區域之隔離部亦可減少電場。

[0006]在一GaN積體電路中，使用隔離部爲各裝置產生不同參考電位。例如，在圖1中，隔離區域24電氣地分離裝置10及裝置20，使得裝置10之源極及裝置20之源極在不同電位。在該等裝置10與20內之隔離區域12及22移除不需要之2DEG，因此減少寄生電容且在某些情形下移除具有較高電場之區域。

[0007]圖2顯示具有裝置30及裝置40之另一示範積體電路，且該等裝置30與40具有隔離部。裝置30包括汲極31、閘極32及源極33。類似地，裝置40包括汲極41、閘極42及源極43。一隔離區域50電氣地分離裝置30及裝置40，使得裝置30之源極33及裝置40之源極43在不同電位。裝置30包括隔離區域34且裝置40包括隔離區域44以移除不需要之2DEG，因此減少寄生電容且在某些情形下移除具有較高電場之區域。

[0008]在習知製造方法中，爲在相鄰裝置30與40之間製作隔離區域50且爲在該等裝置30與40內製作隔離區域34與44，藉由蝕刻或離子植入移除導電層及該2DEG。圖3A與3B顯示圖2之線AA'的橫截面，其中隔離區域50a、50b係分別藉由該蝕刻及該離子植入形成。

[0009]如圖3A與3B所示，該等隔離區域50a與50b具有一長度L_{ISO}，且該L_{ISO}決定在該第一裝置30之源極33與該第二裝置40之源極43間的最大電壓差。在以GaN爲主之材料中，該崩潰電壓可以每微米50至200V之比例與L_{ISO}成正比。

[0010]以往，該隔離區域50係以一專用遮罩製作。如圖4A與4B所示，在以蝕刻或離子植入60製作隔離區域50時，使用一專用隔離遮罩在該晶圓上方形成一圖案化光阻62。隔離區域50c與50d被暴露，同時裝置30及裝置40之裝置區域被該圖案化光阻62覆蓋。

[0011]習知形成該隔離區域50之製造方法包括數個程

序步驟，包括例如光微影、蝕刻或離子植入、光阻剝離及晶圓清潔。離子植入隔離會另外需要一熱退火以活化該植入之離子物種。一專用隔離遮罩及其相關程序步驟增加製作成本。

[0012]因此，強烈需要避免上述缺點及額外程序步驟的一GaN半導體裝置之製造方法，該製造方法形成具有一自我對準隔離區之一隔離區域。

【發明內容】

[0013]藉由提供形成一自我對準隔離區的GaN半導體裝置之製造方法，以下所述之實施例解決上述問題及其他問題。

[0014]該方法包括提供一EPI結構，且該EPI結構包括一基材、一緩衝層、一GaN層及一障壁層。一介電層形成在該障壁層上方且多數開口形成在該介電層中用於多數歐姆接觸及一接觸開口。接著在該介電層上方形成一金屬層且在各歐姆接觸開口上方沈積一光阻。接著蝕刻該金屬層以便在該接觸開口上方形成一金屬遮罩窗且在藉由在該介電層中之接觸開口暴露之部份蝕刻該障壁層及GaN層。

【圖式簡單說明】

[0015]本發明之特徵、目的及優點可在配合類似參考字元對應地表示元件之圖式時，由以下所述之詳細說明更了解且其中：

[0016]圖1示意地顯示一習知GaN積體電路之俯視圖，

且該GaN積體電路具有各具有一對應隔離區域之兩相鄰裝置。

[0017]圖2示意地顯示另一習知GaN積體電路之俯視圖，且該GaN積體電路具有各具有一對應隔離區域之兩相鄰裝置。

[0018]圖3A顯示藉由蝕刻去除作用層形成之一習知隔離區域的橫截面圖。

[0019]圖3B顯示藉由離子植入作用層形成之一習知隔離區域的橫截面圖。

[0020]圖4A顯示藉由以一專用遮罩蝕刻形成之一習知隔離區域的橫截面圖。

[0021]圖4B顯示藉由以一專用遮罩離子植入形成之一習知隔離區域的橫截面圖。

[0022]圖5顯示依據本發明之一實施例製作自我對準隔離區域的流程圖。

[0023]圖6A至6G顯示依據本發明之一實施例的程序步驟範例。

[0024]圖7A至7B顯示具有一形成之隔離區域之本發明一實施例的俯視圖及橫截面圖，且該形成之隔離區域係自我對準一金屬遮罩窗。

[0025]圖7C至7D顯示具有一形成之隔離區域之本發明一實施例的俯視圖及橫截面圖，且該形成之隔離區域係自我對準一接觸開口。

[0026]該等圖不一定依比例繪製且在全部圖中類似結

構或功能之元件大致以類似符號表示以達成顯示之目的。該等圖只是要便於說明在此所述之各種不同實施例；該等圖未說明在此揭露之教示的每一特性且不限制申請專利範圍之範圍。

【實施方式】

[0027]在以下詳細說明中，參考某些實施例。這詳細說明只是要進一步詳細地教示所屬技術領域中具有通常知識者以便實施本發明之較佳特性且不是要限制申請專利範圍之範圍。因此，在以下詳細說明中揭露之特徵的組合對於以最廣義方式實施該等教示不是必要的，而只是用以說明本發明之特別代表例。可了解的是可使用其他實施例且可進行各種結構、邏輯及電氣變化。

[0028]本發明係用以形成具有一隔離區域之一增強模式GaN HFET裝置之一方法，且該隔離區域係與一接觸開口或金屬遮罩窗自我對準。有利地，該方法不需要一專用隔離遮罩及相關程序步驟，因此減少製造成本。

[0029]圖5顯示依據本發明之第一實施例之製造具有一隔離區域之一方法的流程圖。首先，在步驟510，形成一成長態EPI結構。如以下更詳細說明地，該EPI結構包括一基材、一緩衝層、一氮化鎵(GaN)層13及一AlGaN障壁層。在步驟515，一介電層沈積在該EPI結構上方。應了解的是該沈積可使用任何習知沈積技術實施，例如原子層沉積或電漿加強化學蒸氣沈積法等。或者，該介電層可在該EPI成長結束時成長。

[0030]接著，在步驟520，一接觸遮罩沈積在該介電層上且實施蝕刻，以便在該介電層中界定欲形成用於該等作用裝置之歐姆接觸及欲形成該等隔離區域的窗。在蝕刻後，在步驟525，覆蓋沈積一接觸金屬且使用一金屬遮罩。該金屬遮罩界定爲該等作用裝置提供之金屬線及空間及用於欲形成之該隔離區域的開口區域。

[0031]最後，在步驟530，實施一金屬蝕刻以蝕刻去除該金屬遮罩具有一開口區域之金屬且蝕刻去除欲形成該隔離區域之導電層。在步驟530過度蝕刻該金屬時，蝕刻動作停止在該金屬遮罩或在該等作用區中的該介電層。相反地，在具有該金屬遮罩中之開口區域及在該接觸遮罩中之開口窗的區域中，金屬過度蝕刻將繼續蝕刻去除導電層以形成該隔離區域。該接觸金屬遮罩及金屬蝕刻可被用來形成該等汲極與源極歐姆接觸。或者，該接觸金屬遮罩及金屬蝕刻可被用來形成一閘極接觸。製得之GaN HFET包括自我對準一接觸開口或金屬遮罩窗之一隔離區域。

[0032]圖6A至6G顯示用以形成一增強模式GaN HFET裝置之選定程序步驟的橫截面圖，且該增強模式GaN HFET裝置具有自我對準一接觸開口或金屬遮罩窗之一隔離區域。在圖中之該等橫截面圖係大致在一垂直於該晶圓表面之平面中截取，且類似特徵在全部圖中一致地使用類似符號。應了解的是該等橫截面圖大致對應於以上關於圖5所述之方法步驟。

[0033]圖6A顯示初始EPI結構100。由下至上，EPI結構

100包括例如矽、碳化矽、GaN及藍寶石之一基材111；一緩衝層112；通常未摻雜且較佳地具有在0.5與10 μm間之厚度之一GaN層113；及一AlGaN障壁層114，且該AlGaN障壁層114通常未摻雜，較佳地具有在50Å與300Å間之厚度，且具有包含較佳地在該AlGaN障壁層114之10%與35%間之Al組分。EPI結構100之各層可沈積或使用所屬技術領域中具有通常知識者可了解之習知沈積技術以其他方式形成在基材111上方。

[0034]圖6B顯示一旦一介電層沈積在EPI結構100上(即，圖5之步驟515)後製得之GaN結構101a。如圖所示，在EPI結構100之AlGaN障壁層114上沈積一介電層115。較佳地，該介電層115係氮化矽(Si_3N_4)。在已沈積該介電材料115後，實施一接觸遮蔽及蝕刻(即，圖5之步驟520)以界定欲形成用於裝置102之多數接觸部116及用於裝置104之多數接觸部117的區域。如以下所詳述地，該隔離區域將形成在該接觸開口118。

[0035]圖6C顯示在沈積一金屬層119(即，圖5之步驟525)後製得之GaN結構101b。較佳地，該金屬層119係一金屬薄膜，且該金屬薄膜，例如，可由一疊鈦(Ti)、鋁(Al)及鉬(Mo)構成。如圖所示，該金屬層119係沈積在該介電層115上方，且亦在用於接觸部116與117之開口中及在接觸開口118中。

[0036]接著，圖6D顯示在使用該金屬遮罩後之GaN結構101c。該金屬遮罩界定一光阻薄膜120，在該等作用裝

置102與104中之多數金屬線121，及在該等作用裝置102與104中之多數金屬空間122。此外，在兩作用裝置102與104之間形成用於該隔離區域之一金屬遮罩窗123。較佳地，該金屬遮罩窗123之尺寸比圖6B所示之接觸開口118寬。

[0037]圖6E顯示在金屬蝕刻移除在未形成該光阻120之結構表面上的金屬層119後的GaN結構101d。在該示範實施例中，該金屬蝕刻宜使用Cl_2、BCl_3及Ar電漿。如圖6D類似地所示，一金屬遮罩窗123係設置在欲形成在兩裝置102與104間之該隔離區域，且該金屬遮罩窗123宜比接觸開口118寬。

[0038]圖6F顯示已在金屬過度蝕刻中移除該等導電層後之GaN結構101e。在金屬過度蝕刻時，該金屬蝕刻停止於在金屬線121中的光阻120。該蝕刻亦停止在金屬空間122及該接觸開口118外之金屬線121中的介電層115。在該示範實施例中，只在金屬遮罩窗123與接觸開口118重疊之區域中，金屬過度蝕刻將繼續蝕刻移除該AlGaN障壁層114且進入該GaN層113中。進入GaN層113中之蝕刻移除2DEG且形成該隔離區域。

[0039]如上所述，在該示範實施例中，該金屬遮罩窗123係比該接觸開口118大，這較佳地使在兩裝置102與104間之隔離區域與在圖5之步驟520中產生及圖6B所示之該接觸開口118具有相同尺寸。因此，在兩裝置102與104間之隔離區域自我對準該接觸開口118，產生圖6F所示之結構101e。應了解的是在另一實施例中，該接觸開口118可

比該金屬遮罩窗123大，這可產生自我對準該金屬遮罩窗123之隔離區域。

[0040]圖6G顯示在使用習知技術剝離該光阻120後之最後GaN結構101f。在兩裝置102與104間之該隔離區域106已在金屬過度蝕刻中形成。如圖所示，裝置102包括一對歐姆接觸116a、116b(即，汲極及源極接觸)且裝置104類似地包括一對歐姆接觸117a、117b(即，汲極及源極接觸)。有利地，在此所述之製造程序在不使用一專用遮罩及相關程序步驟之情形下界定該隔離區域，因此明顯地減少製作成本。

[0041]圖7A至7D顯示該自我對準之隔離結構之示意橫截面，其中該金屬遮罩窗與該接觸開口重疊。特別地，圖7A至7B顯示本發明一實施例之俯視圖及橫截面圖，其中該接觸開口係比該金屬遮罩窗大。如圖7A所示，該金屬遮罩開口201係比該接觸開口202大。因此，該隔離區域較佳地自我對準該接觸開口202，如圖7B所示之示意橫截面所示。應了解的是這實施例可使用上述本發明程序步驟實施。

[0042]圖7C至7D顯示本發明之另一實施例的俯視圖及橫截面圖，其中該接觸開口係比該金屬遮罩窗小。如圖7C所示，金屬遮罩窗301係比該接觸開口302小。因此，該隔離區域將自我對準該金屬遮罩窗301，如圖7D所示之示意橫截面所示。

[0043]最後，應注意的是雖然已說明以上關於圖5及6A

至6G所示之前述製造方法爲製造具有二或二以上電晶體裝置之一積體電路，但是可預期的是在此所述之製造方法亦可實施以便製作一分開電晶體裝置等。即，在一示範實施例中，揭露之製造技術可應用於在一電晶體之一閘極墊等下方形成一隔離區。另一例係如所屬技術領域中具有通常知識者可了解地使用本發明之製造方法在一單一裝置中形成一隔離台面。

[0044]以上說明及圖式只被視爲說明達成在此說明之特徵及優點的特定實施例。可以對特定程序條件進行修改及替換。因此，本發明之實施例不被視爲受限於前述說明及圖式。

【符號說明】

10,20,30,40,102,104...裝置

12,22,24,34,44,50,50a,50b,50c,50d,106...隔離區域

31,41...汲極

32,42...閘極

33,43...源極

60...蝕刻或離子植入

62...圖案化光阻

100...EPI 結構

111...基材

101a-101f...GaN 結構

112...緩衝層

113...GaN 層

114...AlGaN 障壁層

115...介電層；介電材料

116,117...接觸部

116a,116b,117a,117b...歐姆接觸

118,202,302...接觸開口

119...金屬層

120...光阻(薄膜)

121...金屬線

122...金屬空間

123,301...金屬遮罩窗

201...金屬遮罩開口

510,515,520,525,530...步驟

L_{ISO}...長度

申請專利範圍

1. 一種形成具有至少兩電晶體裝置之積體電路的製造方法，該方法包含：

在一基材上形成一緩衝層；

在該緩衝層上方形成一GaN層；

在該GaN層上方形成一障壁層；

在該障壁層上方形成一介電層；

在該介電層中形成用於該等至少兩電晶體裝置中各電晶體裝置之至少一裝置接觸開口，及在該介電層中位於該等至少兩電晶體裝置之間的一隔離部接觸開口；

在該介電層、該等裝置接觸開口及該隔離部接觸開口上方形成一金屬層；

在各該裝置接觸開口上方形成一光阻薄膜；

蝕刻該金屬層以便在該隔離部接觸開口上方形成一金屬遮罩窗；及

蝕刻藉由在該介電層中之該隔離部接觸開口暴露之該障壁層及該GaN層的一部份。

2. 如請求項1之方法，其中蝕刻該金屬層之步驟包含使用一電漿金屬蝕刻，且該電漿包含一Cl_2、BCl_3及Ar電漿中至少一者。

3. 如請求項1之方法，其中用於該等至少兩電晶體裝置中各電晶體裝置之該等裝置接觸開口界定各閘極接觸。

4. 如請求項1之方法，其中該等裝置接觸開口包含用於該等至少兩電晶體裝置中各電晶體裝置之一對裝置接觸開口，且該對裝置接觸開口界定各汲極及源極歐姆接觸。

5. 如請求項1之方法，其中該GaN層係未摻雜且包含一在0.5與10 μm之間的厚度。

6. 如請求項1之方法，其中該障壁層係未摻雜且包含一在50 Å至300 Å之間的厚度。

7. 如請求項6之方法，其中該障壁層包含AlGaN，且該AlGaN具有在該AlGaN之10%與35%之間的一Al組分比例。

8. 一種形成電晶體裝置之方法，該方法包含：

在一基材上形成一緩衝層；

在該緩衝層上方形成一GaN層；

在該GaN層上方形成一障壁層；

在該障壁層上方形成一介電層；

在該介電層中形成至少一裝置接觸開口及一隔離部接觸開口；

在該介電層、該至少一裝置接觸開口及該隔離部接觸開口上方形成一金屬層；

在該至少一裝置接觸開口上方形成一光阻薄膜；

蝕刻該金屬層以便在該隔離部接觸開口上方形成一金屬遮罩窗；及

蝕刻藉由在該介電層中之該隔離部接觸開口暴露

之該障壁層及該GaN層的一部份。

9. 如請求項1或8之方法，其中該隔離部接觸開口係比該金屬遮罩窗寬。

10. 如請求項1或8之方法，其中該金屬遮罩窗係比該隔離部接觸開口寬。

11. 如請求項8之方法，其中在該介電層中形成該至少一裝置接觸開口及該隔離部接觸開口之步驟包含蝕刻該介電層以暴露該障壁層。

12. 如請求項1或8之方法，更包含剝離該光阻薄膜。

13. 如請求項8之方法，其中該至少一裝置接觸開口界定用於該電晶體裝置之一閘極接觸。

14. 如請求項8之方法，其中該至少一裝置接觸開口包含一對裝置接觸開口，且該對裝置接觸開口界定用於該電晶體裝置之各汲極及源極歐姆接觸。

15. 如請求項4或14之方法，其中該光阻作爲用於蝕刻該金屬層的一蝕刻擋件。

16. 如請求項15之方法，其中蝕刻該金屬層之步驟更包含在各裝置之該等汲極及源極歐姆接觸之間界定各金屬空間。

圖式

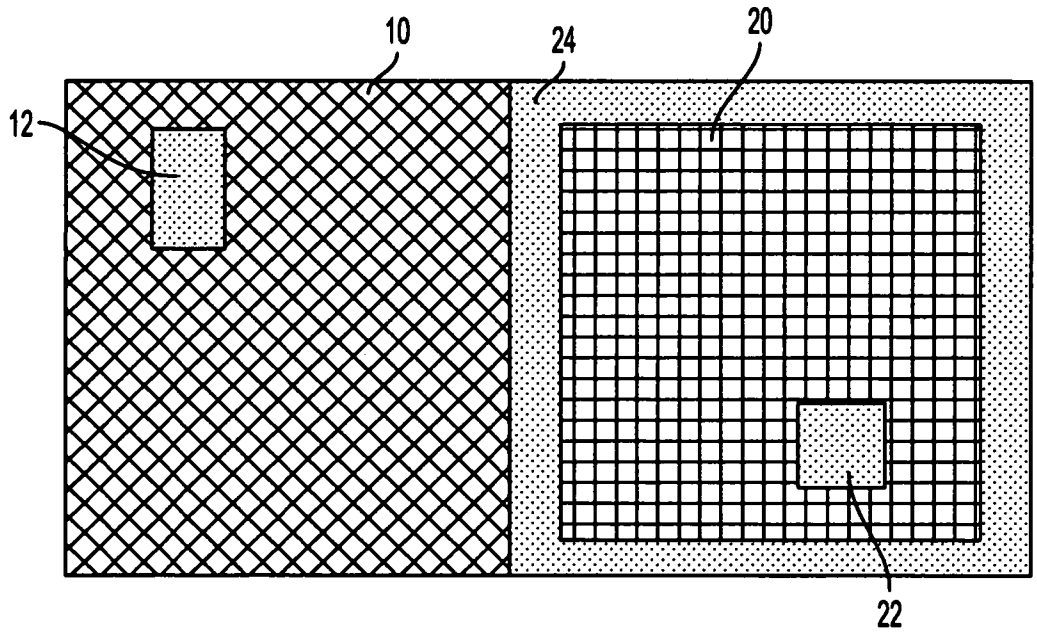


圖 1

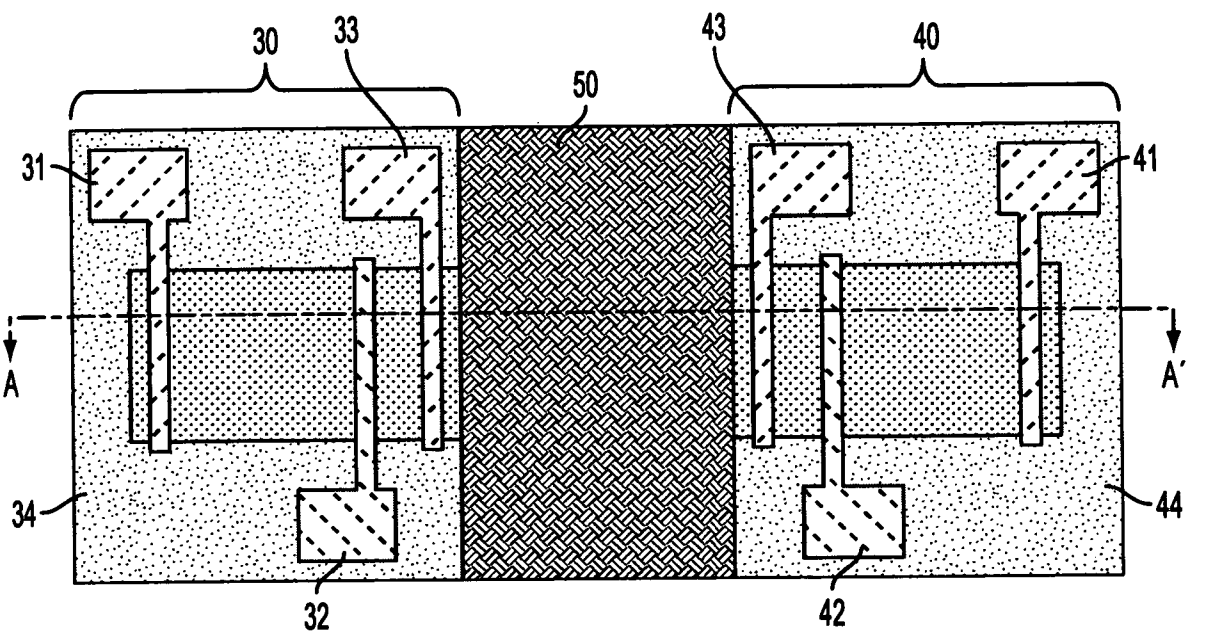


圖 2

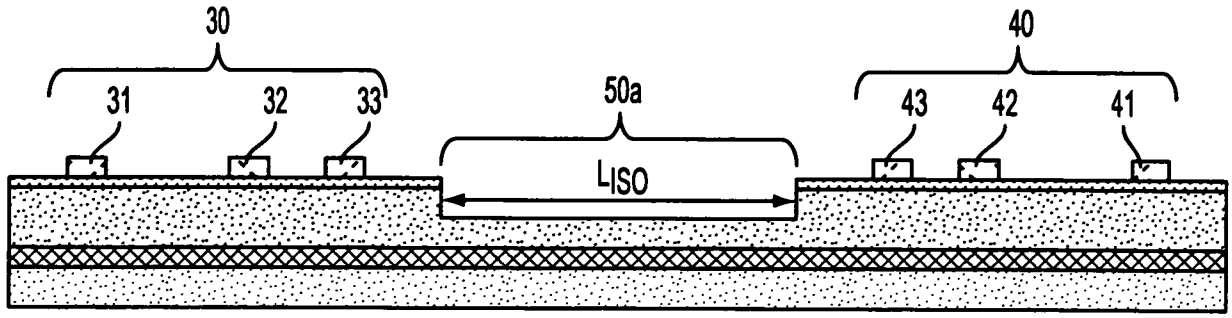


圖 3A

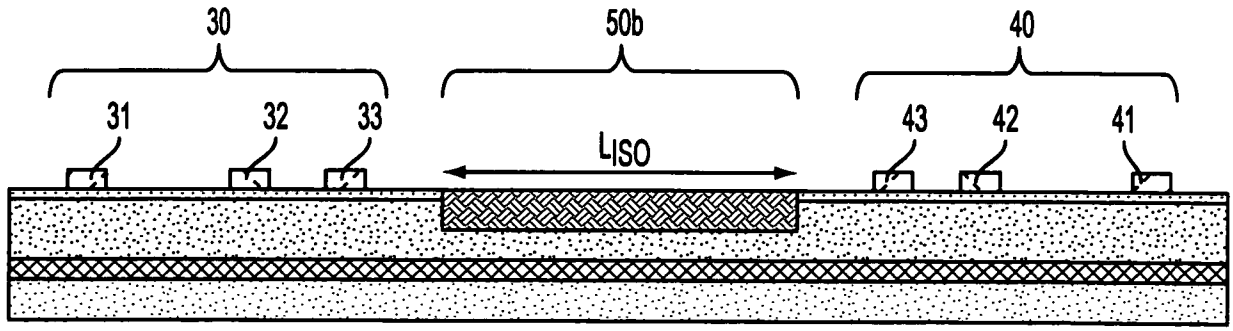


圖 3B

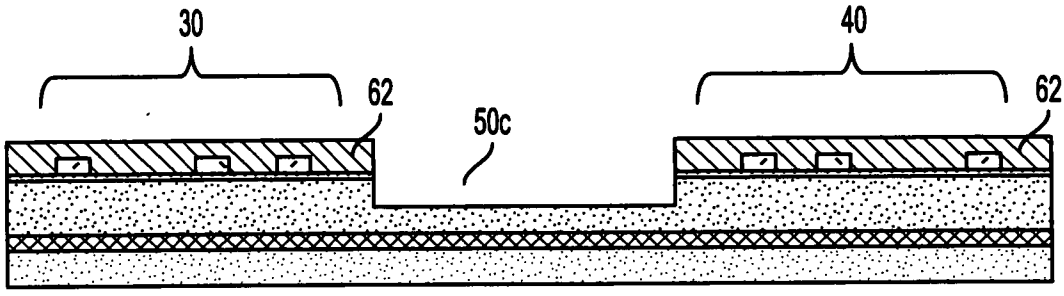


圖 4A

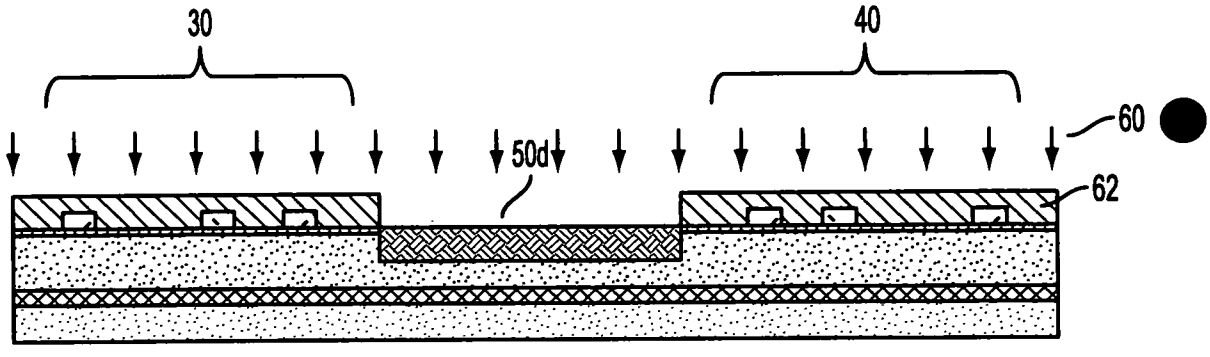


圖 4B

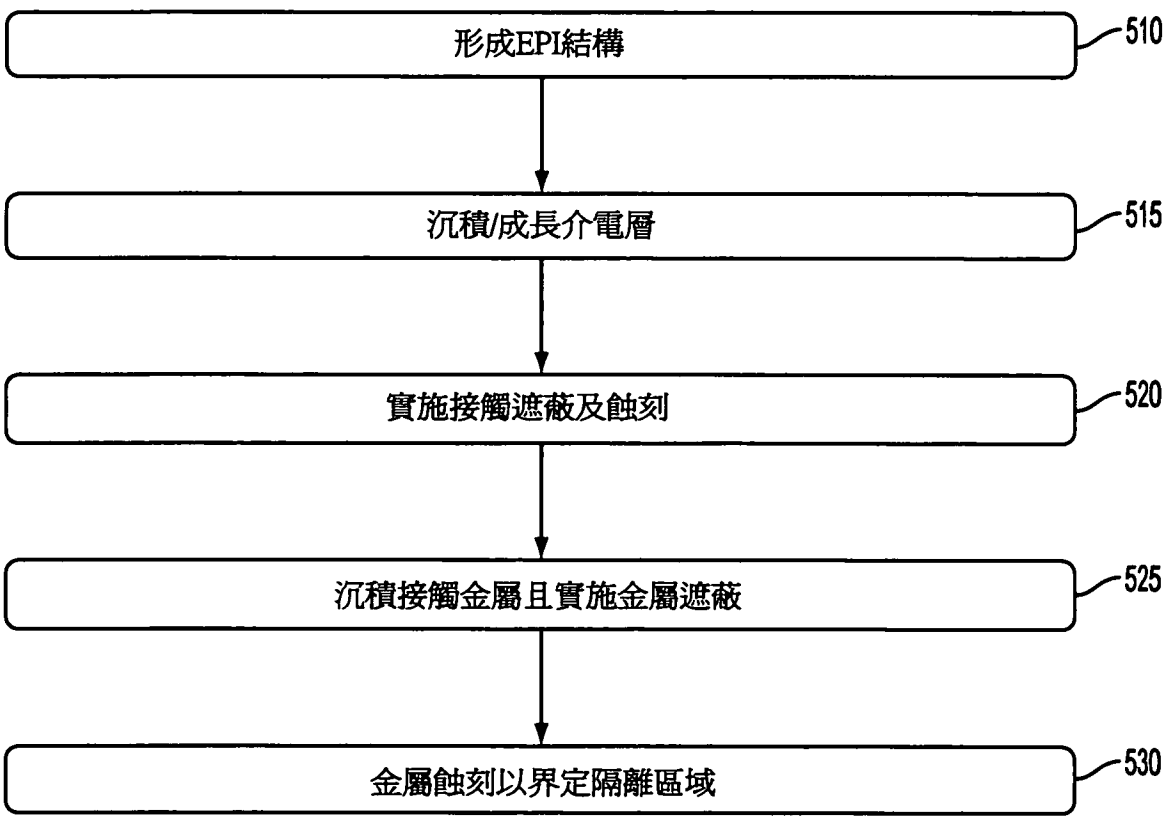

形成EPI結構
510
沉積/成長介電層
515
實施接觸遮蔽及蝕刻
520
沉積接觸金屬且實施金屬遮蔽
525
金屬蝕刻以界定隔離區域
530

圖 5

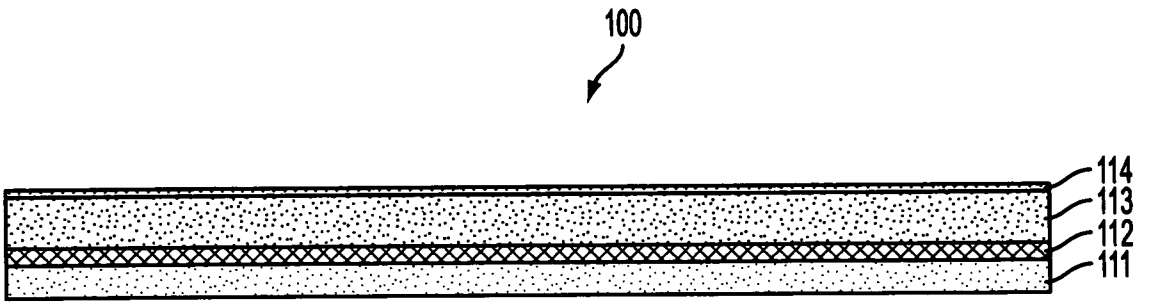

100
114
113
112
111

圖 6A

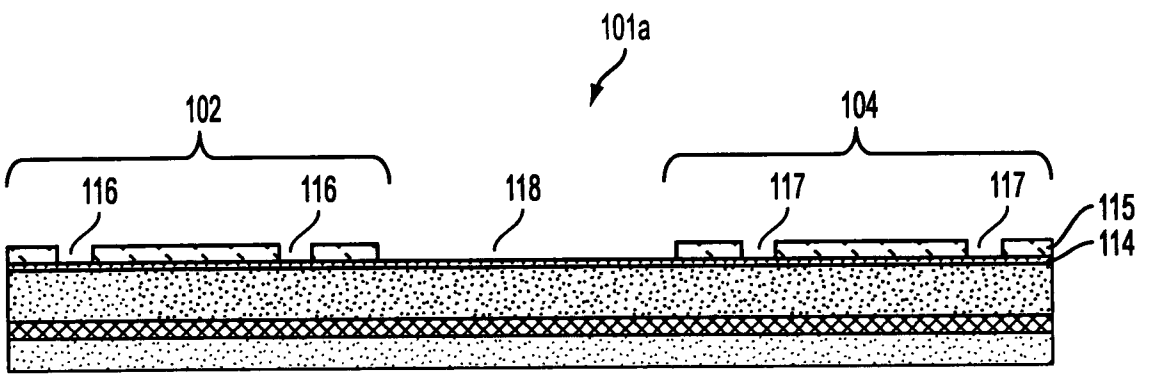

101a
102
104
116
116
118
117
117
115
114

圖 6B

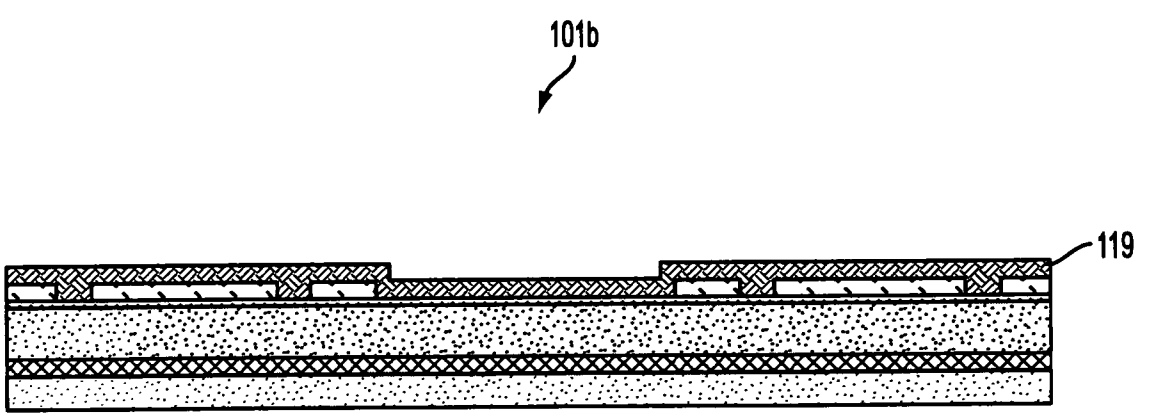

101b
119

圖 6C

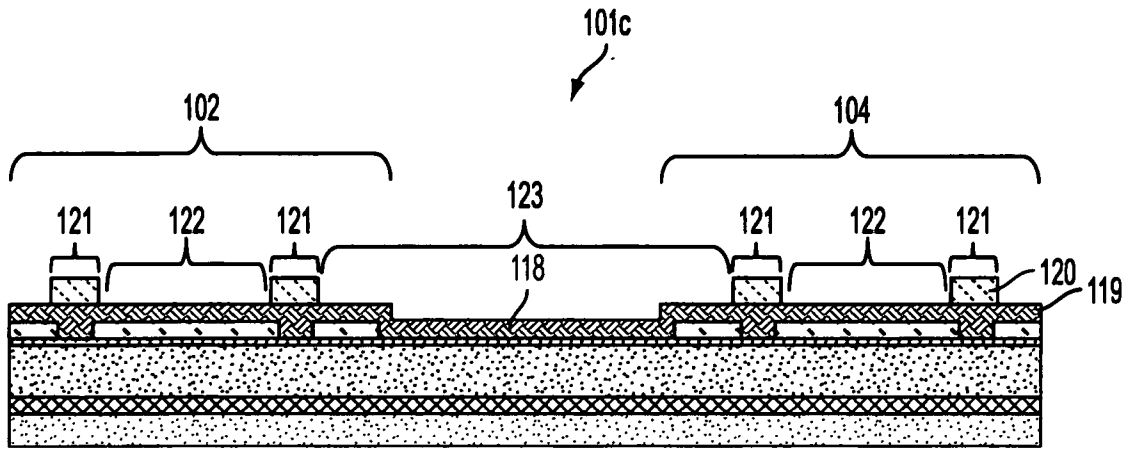

101c
102
104
123
121
122
121
121
122
121
118
120
119

圖 6D

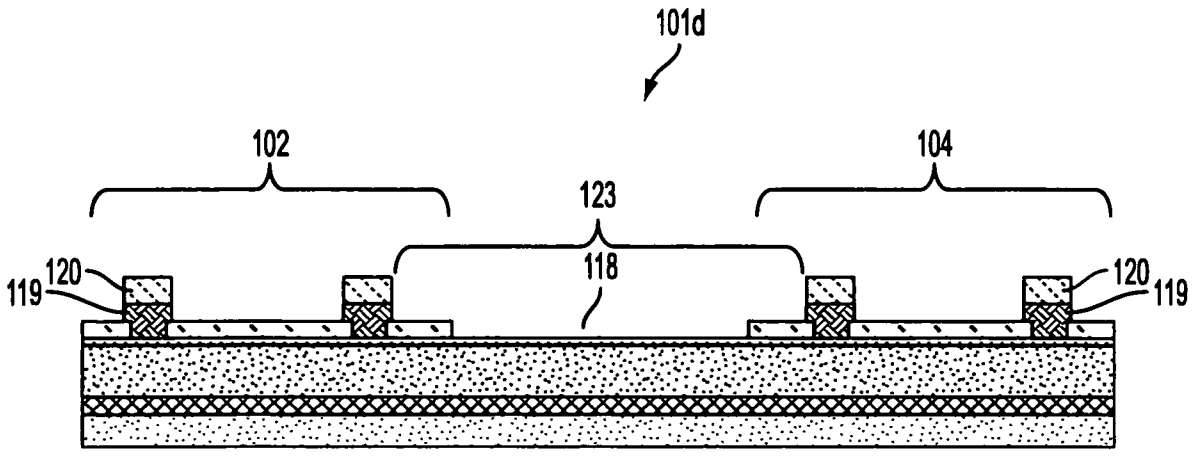

101d
102
104
123
118
119
120
120
119

圖 6E

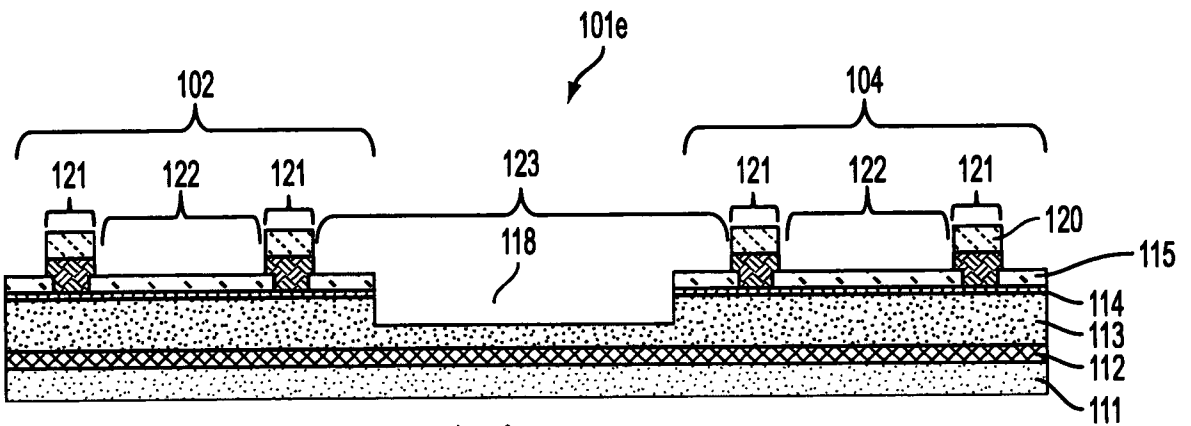

101e
102
104
121
122
121
123
121
122
121
120
118
115
114
113
112
111

圖 6F

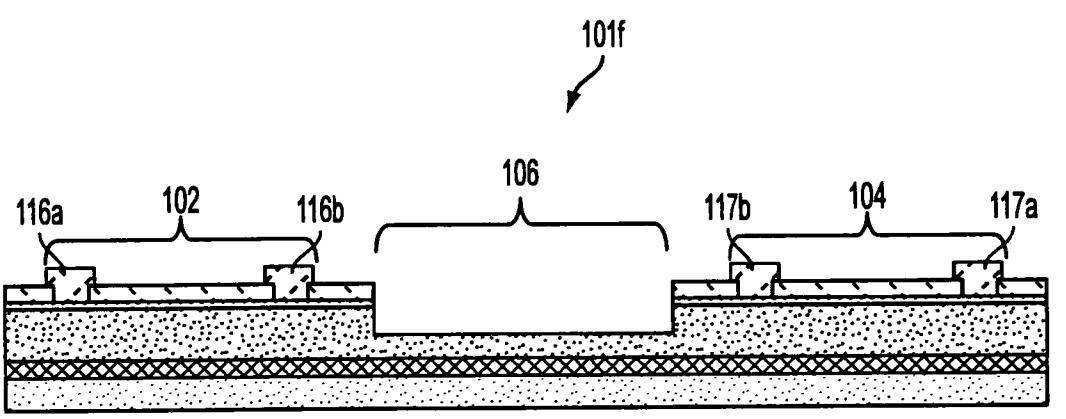

101f
106
116a
102
116b
117b
104
117a

圖 6G

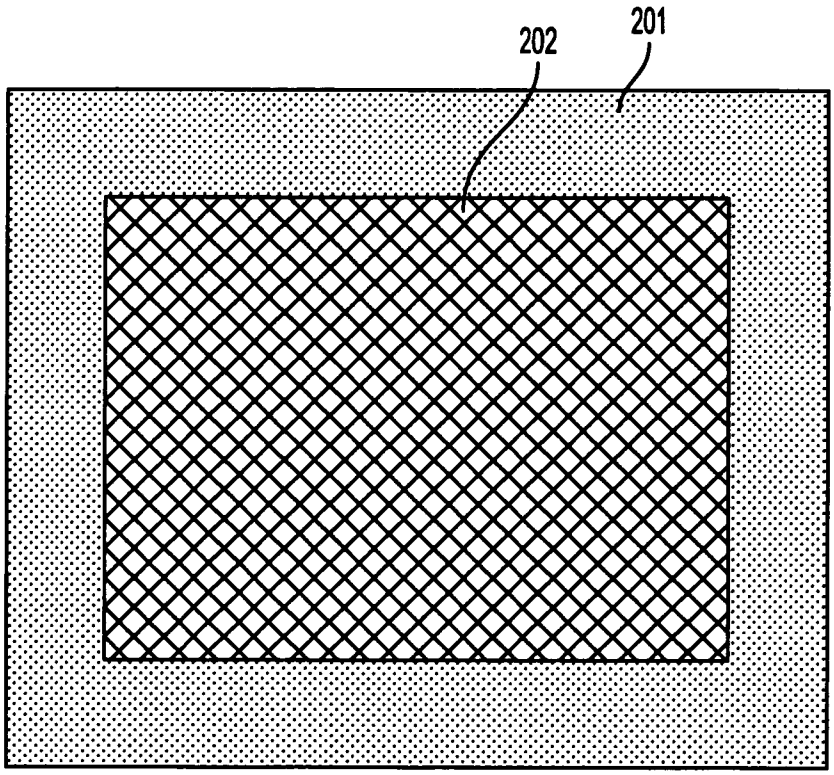


圖 7A

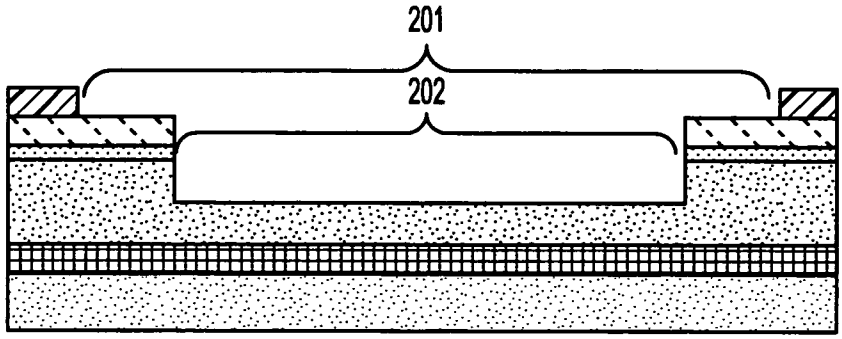


圖 7B

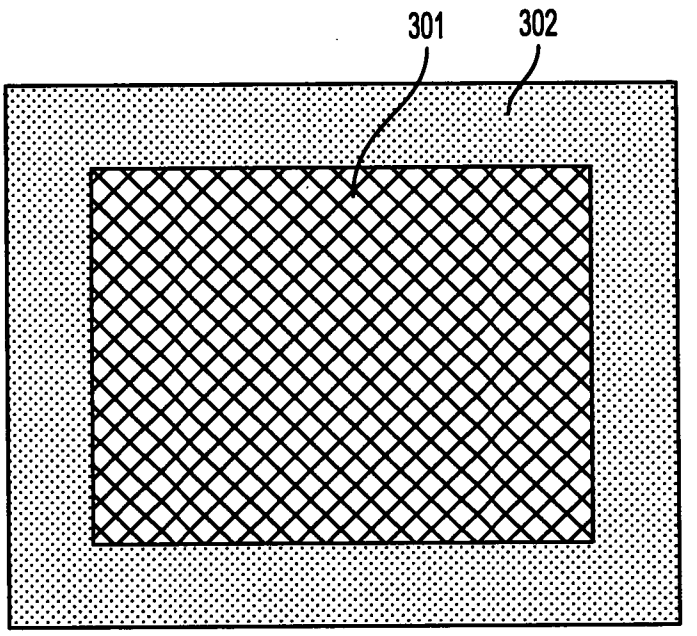


圖 7C

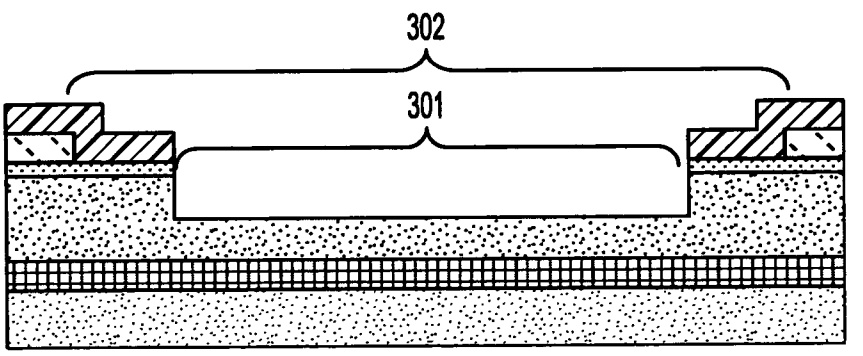


圖 7D