

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5906022号

(P5906022)

(45) 発行日 平成28年4月20日 (2016. 4. 20)

(24) 登録日 平成28年3月25日 (2016. 3. 25)

(51) Int. Cl.	F I
HO 1 L 21/60 (2006. 01)	HO 1 L 21/60 3 1 1 S
HO 1 L 23/50 (2006. 01)	HO 1 L 21/92 6 0 4 J
	HO 1 L 23/50 P

請求項の数 4 (全 8 頁)

(21) 出願番号	特願2011-88708 (P2011-88708)	(73) 特許権者	390041542
(22) 出願日	平成23年4月13日 (2011. 4. 13)		ゼネラル・エレクトリック・カンパニー
(65) 公開番号	特開2011-228704 (P2011-228704A)		アメリカ合衆国、ニューヨーク州 1 2 3
(43) 公開日	平成23年11月10日 (2011. 11. 10)		4 5、スケネクタデイ、リバーロード、1
審査請求日	平成26年4月9日 (2014. 4. 9)		番
(31) 優先権主張番号	12/762, 610	(74) 代理人	100137545
(32) 優先日	平成22年4月19日 (2010. 4. 19)		弁理士 荒川 聡志
(33) 優先権主張国	米国 (US)	(74) 代理人	100105588
			弁理士 小倉 博
		(74) 代理人	100129779
			弁理士 黒川 俊久

最終頁に続く

(54) 【発明の名称】 マクロピンハイブリッド相互接続アレイ及びその製造方法

(57) 【特許請求の範囲】

【請求項 1】

テルル化カドミウム亜鉛 (C Z T) 又はテルル化カドミウム (C d T e) 結晶アノードアレイ (1 8) とアルミナセラミック基板 (1 4) とを備えるマクロピンハイブリッド相互接続アレイ (1 0) であって、前記アレイ (1 8) と前記基板 (1 4) とが、1 を超える高さ対幅のアスペクト比を有する相互接続 (1 2) 幾何形状を介して共に接合されており、前記結晶アノードアレイ (1 8) が、はんだ無しで前記相互接続 (1 2) に接続されたほぼ平坦なアノードパッド (1 6) を備えており、前記相互接続 (1 2) が、前記基板 (1 4) 上の回路メタライゼーション (2 4) を介して基板 (1 4) に接合されている、マクロピンハイブリッド相互接続アレイ (1 0)。

【請求項 2】

前記相互接続 (1 2) が、複数の銅ピラー、金スタッドバンプ又は金めっきピラーを含む、請求項 1 記載のマクロピンハイブリッド相互接続アレイ (1 0)。

【請求項 3】

前記相互接続 (1 2) を前記基板 (1 4) 上の回路メタライゼーション (2 4) に固定する継手が、はんだ継手、圧着継手、接着剤エポキシ樹脂継手、及びそれらの組み合わせのうち 1 つ以上を含む、請求項 1 又は請求項 2 記載のマクロピンハイブリッド相互接続アレイ (1 0)。

【請求項 4】

請求項 1 乃至請求項 3 のいずれか 1 項記載のマクロピンハイブリッド相互接続アレイ (

10

20

10)を形成する方法であって、

ほぼ平坦なアノードパッド(16)を備えるテルル化カドミウム亜鉛(CZT)又はテルル化カドミウム(CdTe)結晶アノードアレイ(18)と、アルミナセラミック基板(14)とを用意する工程と、

1を超える高さ対幅のアスペクト比を有する相互接続(12)幾何形状を介して前記アレイ(18)と前記基板(14)とを共に接合する工程であって、ほぼ平坦なアノードパッド(16)を、はんだ無しで前記相互接続(12)に接続し、前記相互接続(12)を、前記基板(14)上の回路メタライゼーション(24)を介して基板(14)に接合することを含む工程とを含んでなる方法。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、一般に、マクロピンハイブリッド相互接続アレイに関し、より詳細には、結晶とこの結晶を取り付ける基板との間の熱膨張係数(CTE: Coefficient of Thermal Expansion)の不整合を最小にする構造を作り出すマクロピンハイブリッド相互接続アレイ構造及び方法に関する。

【背景技術】

【0002】

テルル化カドミウム亜鉛(CZT: cadmium zinc telluride)結晶、及びテルル化カドミウム(CdTe)結晶は、大変脆い材料であり、特に大きく薄い結晶については、パッケージングが非常に困難となる。最近の発見により、マイクロクラックが、低温導電性エポキシ樹脂接着剤を用いて製造した相互接続に隣接するCZT中に生じることが分かっている。結晶と基板の間のCTEの不整合は、相互接続と結晶の界面にかなりの歪みを引き起こし、特にCTEが11ppm/以上である有機基板を用いるときに、深刻な信頼性の問題をもたらす。最も大きい歪みは、その部分を(接着プロセスを用いる場合)硬化するとき、又は(はんだプロセスを用いる場合)その部分をリフローするときしばしば起こる。

20

【0003】

典型的には、基板材料は、基板及び結晶が膨張及び収縮する際、熱サイクル中に発生する全体的な歪み(global strain)を最小にするために、結晶にできる限り近くなるよう整合したCTEが選択される。通常、アルミナセラミック基板が、CZT検出器と共に使用するために選ばれる。

30

【0004】

更なる分析により、単一の相互接続箇所内の導電性接着剤とCZTの間の局所的なCTEの不整合によって、マイクロクラックが、導電性エポキシ樹脂相互接続でセラミック基板に装着したCZT結晶中に生じ得ることが示されている。導電性エポキシ樹脂は、CZTよりずっと大きいCTEを有することで知られている。また、エポキシ樹脂の温度が、ガラス転移温度(Tg)を超えると、CTEは、Tg未満のCTEよりも典型的には4~

40

5倍大きい値まで劇的に増加する。

【0005】

現在、インジウムバンプボンディング、導電性接着剤、及び低温はんだが、CZT検出器結晶基板を取り付けるために用いられている。これら結晶を用いたパッケージの信頼性に対してはほとんど研究がなされておらず、業界標準のパッケージと比べると、これまでに行われた研究は、非常に限定的であると思われる。薄い(<5mm)CZT結晶及びCdTe結晶は、損傷を与えずにパッケージングすることが困難であることで知られている。典型的には、CZT検出器は、非常に割れやすいことが知られているので、最も軽い信頼性試験だけを受ける。0.5mmの厚さのCdTe結晶は、注意深く取り扱っても簡単にひび割れる可能性があることがよく知られている。このタイプの結晶を有機インターポ

50

ーザなどの大きいC T Eのインターポーザに取り付けるときに、ひび割れる可能性が非常に高い。

【先行技術文献】

【特許文献】

【0006】

【特許文献1】米国特許第7,554,206号公報

【発明の概要】

【発明が解決しようとする課題】

【0007】

したがって、局所歪みが少なく、今日製造者が利用できる従来の取り付け方法に適合可能であるインターポーザにC Z T及び/又はC d T eを相互接続するための構造を提供することが有益であろう。

【課題を解決するための手段】

【0008】

簡潔に言えば、一実施形態によれば、マクロピンハイブリッド相互接続アレイは、結晶アノードアレイ及びセラミック基板を備え、この結晶及び基板は、大きい高さ対幅のアスペクト比を有する相互接続幾何形状を介して共に接合され、相互接続を結晶アノードアレイに固定する継手は、無はんだである。

【0009】

別の実施形態によれば、マクロピンハイブリッド相互接続アレイは、結晶アノードアレイ及びセラミック基板を備え、このアレイ及び基板は、コンプライアントマイクロピンハイブリッド相互接続構成を介して共に接合され、熱暴走中のアレイと相互接続の間の力学的歪みが、結晶アノードアレイをセラミック基板に接合するために従来のはんだボンディングを用いて生じる歪みより低くとどまるようになっている。

【0010】

更に別の実施形態によれば、マクロピンハイブリッド相互接続アレイを形成する方法は、結晶アノードアレイ及びセラミック基板を用意し、アレイ及び基板が共に接合される各領域内で局所歪みを減少させるコンプライアントマイクロピンハイブリッド相互接続構成を介してアレイ及び基板を共に接合し、熱暴走中のアレイと相互接続の間の力学的歪みが、結晶アノードアレイを相互接続に接合しマクロピンハイブリッド相互接続アレイを形成するためのはんだボンディングを用いて生じ得る歪みより低くとどまるようになっていることを含んでなる。

【0011】

本発明のこれら及び他の特徴、態様及び利点は、添付図面を参照して下記の詳細な説明を読むとより良く理解されよう。この図面では、図面全体を通じて、同じ符号が同じ部分を表している。

【図面の簡単な説明】

【0012】

【図1】一実施形態による、はんだを用いてセラミック基板に取り付けられると共に、はんだを用いずに結晶アノードアレイに更に取り付けられる銅スタッド又はピラー相互接続を用いるマクロピンハイブリッド相互接続アレイの説明図である。

【図2】別の実施形態による、無はんだの圧着によってセラミック基板と結晶アノードアレイの両方に取り付けられる金スタッドバンプ又はめっきピラー相互接続を用いるマクロピンハイブリッド相互接続アレイの説明図である。

【図3】更に別の実施形態による、導電性エポキシ樹脂の微細堆積物によってセラミック基板に取り付けられ、はんだ又はエポキシ樹脂を用いずに結晶アノードアレイに更に取り付けられる金スタッドバンプ又はめっきピラー相互接続を用いるマクロピンハイブリッド相互接続アレイの説明図である。

【発明を実施するための形態】

【0013】

10

20

30

40

50

上記図面の各図は、代替実施形態を説明するが、説明の中で言及したように本発明の他の実施形態も考えられる。どの場合も、本開示は、代表によって本発明の例示の実施形態を示すものであり、限定するものではない。当業者は、本発明の本原理の範囲及び精神の範囲内に入る多数の他の修正形態及び実施形態を考え出すことができる。

【 0 0 1 4 】

図 1 は、一実施形態による、はんだ 1 5 を用いてセラミック基板 1 4 に取り付けられると共に、はんだを用いずに結晶アノードアレイ 1 8 の 1 つのアノードパッド 1 6 に更に取り付けられる銅スタッド又はピラー相互接続 1 2 を用いるマクロピンハイブリッド相互接続アレイ 1 0 を示す。一実施形態によるこのタイプの相互接続を作り出す好ましい方法は、まず、結晶アノードアレイ 1 8 を洗浄することを含む。結晶アノードアレイ 1 8 の洗浄に続いて、バンプ下地金属 (U B M : u n d e r b u m p m e t a l l i z a t i o n) 層 (T i - W 、 N i 、 A u 又は T i - W 、 C u 、 N i 、 A u) を付着して結晶にアノードパッド 1 6 を形成し、続いてこのアノードパッド 1 6 にフォトレジストシート 2 0 を施す。次いで、フォトレジストシート 2 0 をパターンングしてフォトレジストシート 2 0 に開口部 2 2 を形成する。開口部 2 2 を電解めっき又は無電解めっきによって銅 (C u) でめっきして、高さ対幅の高いアスペクト比の C u ピラー 1 2 を形成する。次いで、残りのフォトレジスト 2 0 を除去して、結晶アノードアレイ 1 8 のアノードパッド 1 6 に今取り付けられている C u ピラー 1 2 だけを残す。

【 0 0 1 5 】

次いで、 C u ピラー 1 2 と、セラミック基板 1 4 上の回路メタライゼーション 2 4 との取り付けが行われることになる領域内で、はんだペースト、例えばタイプ 6 、又はより微細なペーストを、基板 1 4 に施すことができる。次いで、はんだペーストをリフローして、はんだ付着物を形成する。本発明の一態様によれば、はんだ付着物は、各はんだ付着物がほぼ平坦でほぼ等しい高さであることを確かなものとするように圧印加工してもよい。次に、はんだフラックスを基板 1 4 全体にわたって塗布し、はんだ付着物を覆う。はんだフラックスの塗布に続いて、各 C u ピラー 1 2 が基板 1 4 上の対応するはんだ付着物と位置合わせされるように、結晶アノードアレイ 1 8 に取り付けられた C u ピラー 1 2 を配置する。再び、はんだをリフローして、はんだと対応する C u ピラー 1 2 の間に金属継手 1 5 を形成する。結晶アノードアレイ 1 8 とセラミック基板 1 4 の自己整合は、このリフロープロセス中に起こる。得られたマクロピンハイブリッド相互接続アレイ 1 0 に残っている残留フラックスは、はんだフラックスが水溶性である場合、洗浄によって除去することができる。最後に、基板 1 4 は、本発明の一態様によるプラズマエッチング及び続くアンダーフィルの塗布によってコンディショニングすることができる。

【 0 0 1 6 】

上記のようにはんだペーストをリフローしない場合、前述のはんだ付着物の形成は、必要とされない。更に、フラックスは、 C u ピラー 1 2 の先端をフラックスの中に浸すことによって一態様による相互接続箇所だけに塗布されてもよい。はんだと C u ピラー 1 2 の間に金属継手 1 5 を形成するリフロープロセスの後に、得られたマクロピンハイブリッド相互接続アレイ 1 0 を試験することによって、相互接続の歩留まりを判定することができる。次いで、不十分な相互接続は、必要又は望ましいと分かった場合、手直しされてもよい。

【 0 0 1 7 】

図 2 は、別の実施形態による、無はんだの圧着によってセラミック基板 1 4 と結晶アノードアレイ 1 8 の両方に取り付けられる金スタッドバンプ又はめっきピラー相互接続 3 2 を用いるマクロピンハイブリッド相互接続アレイ 3 0 を示す。スタッドバンプ又はめっきピラー 3 2 は、一実施形態による基板 1 4 上に貴金属めっきパッドをそれぞれ備えることができる 1 つ以上の基板パッド 3 4 に圧縮変位ボンディングプロセス (c o m p r e s s i v e d i s p l a c e m e n t b o n d i n g p r o c e s s) によって接合される。一実施形態による前述のボンディング作業中に硬化するインターポーザ 3 2 を封入する低温アンダーフィル 3 6 が、使用されてもよい。前述のボンディングプロセスは、室

温で行われてもよく、それにより基板 14 は、過度の歪みをもたらすことなく結晶 18 とのより大きい CTE の不整合を有することが可能になる。

【0018】

マクロピンハイブリッド相互接続アレイ構造 30 を実現するためのあるボンディングプロセスは、まず、結晶アノードアレイ 18 の洗浄によって開始する。次に、金スタッドバンプ又はめっきピラー 32 を、図 1 に関連して本明細書に記載したプロセスのような圧縮変位ボンディングプロセス又は低温はんだ取り付けプロセスによって、アレイピクセル (array pixel) 上の UBM アノードパッドに施す。次いで、エポキシアンダーフィル 36 を基板 14 の表面に塗布して、金スタッドバンプ又はめっきピラー 32 を封入する。結晶アノードアレイ 18 は、バンプ又はピラー 32 が対応する基板パッド 34 と位置合わせするように配置される。バンプ又はピラー 32 を対応する基板パッド 34 と位置合わせした後に、圧力が、各バンプ又はピラー 32 とその対応する基板パッド 34 の間の圧縮変位接着力を実現するために加えられる。前述のボンディングプロセスの完了に続いて、アンダーフィル 36 を硬化するため必要な場合、熱が、エポキシアンダーフィル 36 に加えられてもよい。

10

【0019】

図 3 は、更に別の実施形態による、導電性エポキシ樹脂 44 の微細堆積物によってセラミック基板 14 に取り付けられ、はんだ又はエポキシ樹脂を用いずに結晶アノードアレイ 18 に更に取り付けられる金スタッドバンプ又はめっきピラー相互接続 42 を用いるマクロピンハイブリッド相互接続アレイ 40 を示す。各金スタッドバンプ又はめっきピラー 42 は、図示のように、各金スタッドバンプ又はめっきピラー 42 を基板 14 に取り付けるところで導電性エポキシ樹脂の微細堆積物に埋設される。好ましくは、各バンプ又はピラー 42 は、1 を超える高さ対幅のアスペクト比を有する。

20

【0020】

マクロピンハイブリッド相互接続アレイ 40 は、まず、結晶アノードアレイ 18 を洗浄することによって、一実施形態により形成することができる。次いで、金めっき又はスタッドバンプを用いて、図 1 及び図 2 に関連して本明細書に記載したようなプロセスによって、金スタッドバンプ又はめっきピラー 42 を形成する。導電性接着剤ペースト 44 の微細堆積物は、例えばステンシル印刷又はシリンジ塗布プロセスを用いて、基板パッド 34 上へ塗布される。次いで、結晶アノードアレイ 18 に取り付けられたバンプ又はピラー 42 は、導電性エポキシ樹脂 (接着剤ペースト) 44 の対応する付着物と位置合わせされ、所定の位置に押圧される。次いで、接着剤 44 は、温度で硬化され、必要があるときはプラズマエッチングが適用される。必要があるときは、図 2 に関連して説明したアンダーフィル 36 などのアンダーフィルが、特定の用途に適合するように用いられてもよい。

30

【0021】

本明細書に記載したマクロピンハイブリッド相互接続アレイは、各検出器・基板電極ペアに施された単一の相互接続を用いて示されるが、本発明はそれに限定されず、各検出器・基板電極ペアは、電極ごとに複数の小径相互接続を用いて同様に容易に実施できることを理解されよう。電極ごとに複数の小径相互接続を用いると、より大きい高さ対幅のアスペクト比のインターポーザを用いることが可能になり、応力除去がより大きくなり、信頼性を改善する。例えば、複数の小径相互接続とすると、接続の冗長性によって信頼性が高まる。

40

【0022】

要約を述べると、本明細書に記載した本原理によるマクロピンハイブリッド相互接続アレイの実施形態は、結晶アノードアレイ及びセラミック基板を含む。このアレイ及び基板は、大きい高さ対幅のアスペクト比を有する相互接続幾何形状を用いて共に接合される。相互接続を結晶アノードアレイに固定する継手は、無はんだである。

【0023】

本明細書に記載した本原理により実施されるマクロピンハイブリッド相互接続アレイは、検出器結晶にあるパッドがフラックスのはんだに直接さらされないの、リフローはん

50

だプロセス中に非常に薄いAu電極の消耗に耐えるためにアノードパッドに対して複雑で独特なパンプ下地金属(UBM)構造を必要としないことで有利である。大きい高さ対幅のアスペクト比のパンプ又はピラー相互接続により、パンプ又はピラー相互接続がわずかに曲がって、はんだリフローに必要とされる熱サイクルの間に基板とのCTE不整合によって引き起こされる歪みを吸収することが可能になる。この特徴は、処理中に、検出器結晶の使用環境において割れやすい検出器結晶のひび割れを防ぐ。

【0024】

パンプ又はピラー相互接続が、CZTに形成されると、処理の残りは、広く普及している製造装置を用いて実施できることが有利である。更に、パンプ又はピラー相互接続を形成するときに用いるめっきプロセスは、高価な装置又は専用の装置を特に必要とはしない。

10

【0025】

検出器結晶は、本明細書に記載した本原理による処理中に最小限の機械的取扱いを受けることが有利である。更に、相互接続は、図1及び図2に関連して本明細書に記載したプロセスを利用するとき、アンダーフィルの前に手直しされてもよい。

【0026】

更に、有利には、本明細書に記載した本原理により実施されるマクロピンハイブリッド相互接続アレイは、約0.050mmのピッチまでの非常に微小なピッチのアノードアレイを与えることができる。この特徴を実現するために用いる既知のプロセスは、この既知のプロセスが、非常に高価であり、従来の処理装置及び処理方法と相性が良くないという点において不利である。本明細書に記載した本原理により実施されるマクロピンハイブリッド相互接続アレイは、例えば、有利なことに、リフロープロセス中に自己整合性であり、これにより基板上の結晶の位置合わせ及び配置に必要な精度を小さくする。

20

本発明のいくつかの特徴だけを本明細書に例示及び記載したが、当業者は、多くの修正形態及び変更形態に想到するであろう。したがって、添付の特許請求の範囲は、本発明の本来の精神の範囲内に入るような修正形態及び変更形態の全てを対象として含むものであることが理解されよう。

【符号の説明】

【0027】

- 10 マクロピンハイブリッド相互接続アレイ
- 12 ピラー相互接続
- 14 セラミック基板
- 15 はんだ
- 16 アノードパッド
- 18 結晶アノードアレイ
- 20 フォトレジスト、フォトレジストシート
- 22 開口部
- 24 回路メタライゼーション
- 30 マクロピンハイブリッド相互接続アレイ
- 32 めっきピラー
- 34 基板パッド
- 36 アンダーフィル
- 40 マクロピンハイブリッド相互接続アレイ
- 42 めっきピラー
- 44 導電性エポキシ樹脂

30

40

【 図 1 】

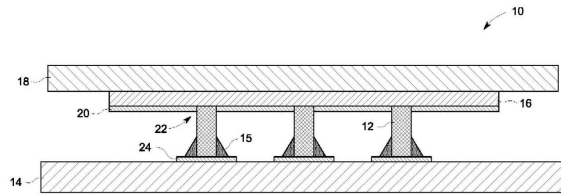


FIG. 1

【 図 2 】

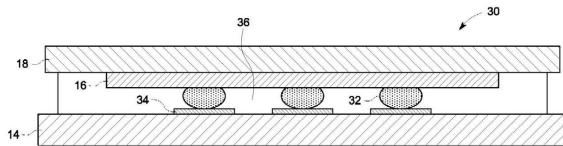


FIG. 2

【 図 3 】

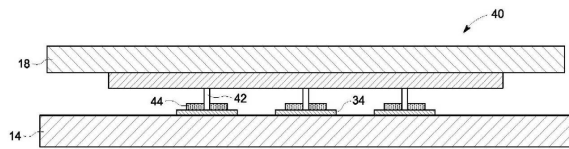


FIG. 3

フロントページの続き

- (72)発明者 チャールズ・ジェラード・ウォイチク
アメリカ合衆国、ニューヨーク州、ニスカユナ、ビルディング・ケイ 1 - 4 エイ 5 9、グローバル
・リサーチ、パテント・ドケット・ルーム (番地なし)
- (72)発明者 ジョン・エリック・トカチク
アメリカ合衆国、ニューヨーク州、ニスカユナ、ビルディング・ケイ 1 - 4 エイ 5 9、グローバル
・リサーチ、パテント・ドケット・ルーム (番地なし)
- (72)発明者 ブライアン・デビッド・ヤノフ
アメリカ合衆国、ニューヨーク州、ニスカユナ、ビルディング・ケイ 1 - 4 エイ 5 9、グローバル
・リサーチ、パテント・ドケット・ルーム (番地なし)
- (72)発明者 タン・ツァン
アメリカ合衆国、ニューヨーク州、ニスカユナ、ビルディング・ケイ 1 - 4 エイ 5 9、グローバル
・リサーチ、パテント・ドケット・ルーム (番地なし)

審査官 工藤 一光

- (56)参考文献 特開 2 0 0 4 - 0 4 8 0 1 2 (J P , A)
米国特許出願公開第 2 0 0 7 / 0 1 3 1 8 6 8 (U S , A 1)
特開平 1 1 - 0 1 7 3 0 9 (J P , A)
特開 2 0 0 1 - 1 0 2 4 8 1 (J P , A)
特開 2 0 0 7 - 8 1 3 8 0 (J P , A)
特開 2 0 0 7 - 2 1 4 1 9 1 (J P , A)
特開 2 0 0 9 - 8 1 1 5 3 (J P , A)
特表 2 0 1 0 - 5 2 1 5 8 7 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

H 0 1 L 2 1 / 6 0 - 2 1 / 6 0 7
H 0 1 L 2 3 / 1 2 - 2 3 / 1 5
H 0 1 L 2 3 / 5 0
G 0 1 T 1 / 2 4