



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 202008564 A

(43)公開日：中華民國 109 (2020) 年 02 月 16 日

(21)申請案號：107136851

(22)申請日：中華民國 107 (2018) 年 10 月 19 日

(51)Int. Cl. : **H01L27/11514 (2017.01)**

(30)優先權：2018/07/24 世界智慧財產權組織 PCT/CN2018/096783

(71)申請人：大陸商長江存儲科技有限責任公司 (中國大陸) YANGTZE MEMORY TECHNOLOGIES CO., LTD. (CN)

中國大陸

(72)發明人：許波 XU, BO (CN) ; 嚴萍 YAN, PING (CN) ; 楊川 YANG, CHUAN (CN) ; 高晶 GAO, JING (CN) ; 霍宗亮 HUO, ZONGLIANG (CN) ; 張璐 ZHANG, LU (CN)

(74)代理人：吳豐任；戴俊彥

申請實體審查：有 申請專利範圍項數：20 項 圖式數：6 共 43 頁

(54)名稱

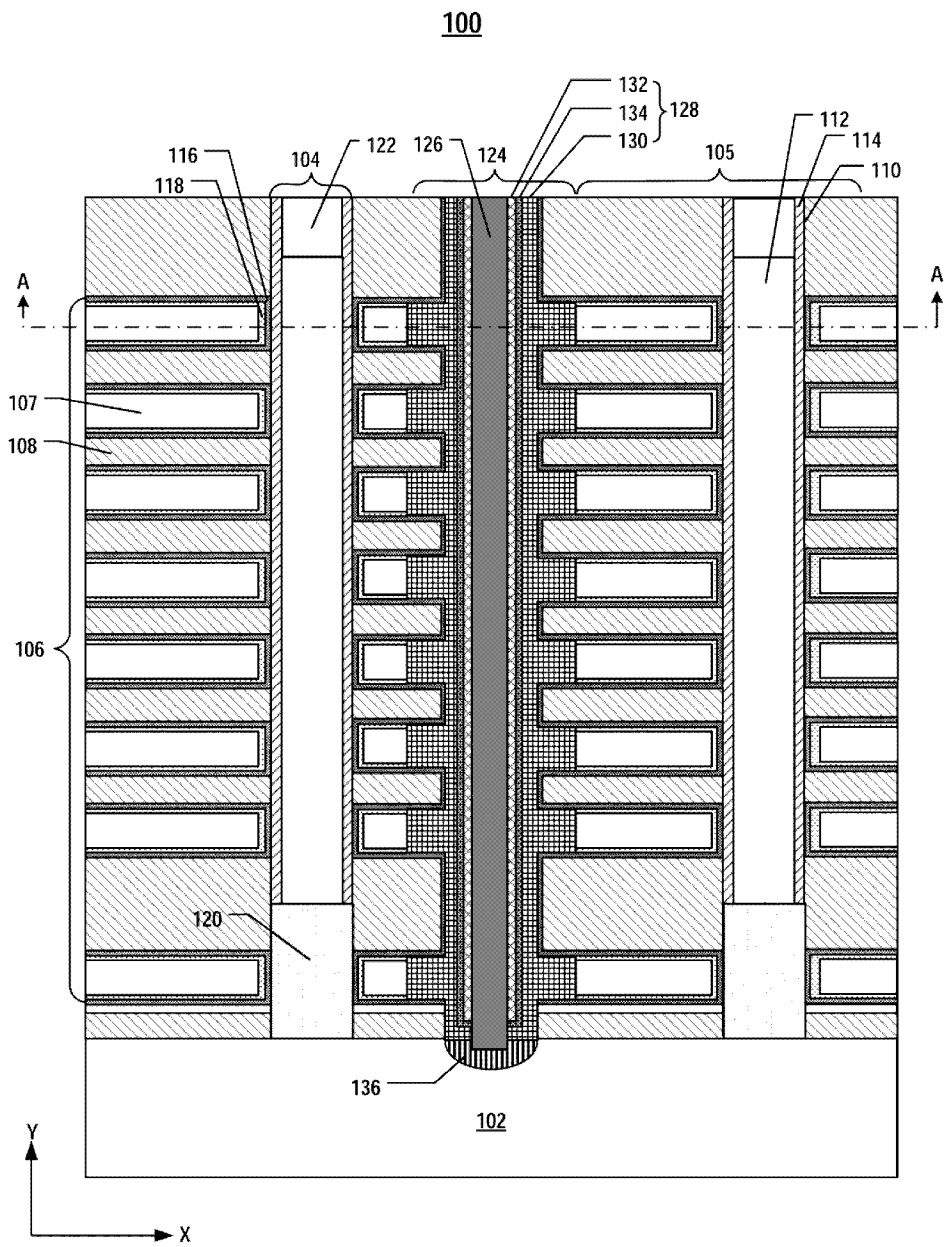
具有耐腐蝕複合間隙壁的三維記憶體元件

(57)摘要

本案揭露了具有耐腐蝕複合間隙壁的三維 (3D) 記憶體元件及其形成方法的實施例。在一個示例中，3D 記憶體元件包括基底、設置在基底上並包括多個導體/介電層對的儲存堆疊層、每個垂直延伸穿過儲存堆疊層的多個記憶體串、橫向設置在多個記憶體串之間的縫隙接觸點、以及橫向設置在縫隙接觸點和至少一記憶體串之間的複合間隙壁。複合間隙壁包括第一氧化矽膜、第二氧化矽膜和橫向設置在第一氧化矽膜和第二氧化矽膜之間的介電膜。

An embodiment of three-dimensional (3D) memory device with anti-corrosion composite spacers and method of forming the same is disclosed. In an example, the 3D memory device includes a substrate, a storage stack layer with multiple conductor/ dielectric pairs on the substrate, multiple memory strings vertically extending through the storage stack layer, gap contact laterally disposed between the multiple memory strings, and composite spacer laterally disposed between the gap contact and one of the memory strings. The composite spacer includes a first silicon oxide film, a second silicon oxide film and a dielectric film laterally disposed between the first silicon oxide film and the second silicon oxide film.

指定代表圖：



第1圖

- 符號簡單說明：
- 100 . . . 三維記憶體元件
 - 102 . . . 基底
 - 104 . . . NAND 記憶體串
 - 105 . . . NAND 儲存單元堆疊層
 - 106 . . . 儲存堆疊層
 - 107 . . . 導體層
 - 108 . . . 介電層
 - 110 . . . 通道結構
 - 112 . . . 半導體通道
 - 114 . . . 儲存膜
 - 116 . . . 閘極介電層
 - 118 . . . 介電層
 - 120 . . . 半導體插塞
 - 122 . . . 半導體插塞
 - 124 . . . 縫隙結構
 - 126 . . . 縫隙接觸點
 - 128 . . . 複合間隙壁
 - 130 . . . 第一氧化矽膜
 - 132 . . . 第二氧化矽膜
 - 134 . . . 介電膜
 - 136 . . . 摻雜區

【發明說明書】

【中文發明名稱】 具有耐腐蝕複合間隙壁的三維記憶體元件

【英文發明名稱】 3D Memory Device with Anti-Corrosion Composite Spacer

【技術領域】

【0001】 本案的實施例涉及三維（3D）記憶體元件及其製造方法。

【先前技術】

【0002】 透過改進製程技術、電路設計、程式設計演算法可以將平面儲存單元縮放到更小的尺寸。然而，隨著儲存單元的特徵尺寸接近下限，平面製程和製程技術變得具有挑戰性且成本高。結果，平面儲存單元的儲存密度接近上限。

【0003】 3D記憶體架構可以解決平面儲存單元中的密度限制。3D記憶體架構包括儲存陣列和用於控制進出儲存陣列的信號的週邊設備。

【發明內容】

【0004】 本文公開了具有耐腐蝕複合間隙壁的3D記憶體元件及其形成方法的實施例。

【0005】 在一個示例中，3D記憶體元件包括基底、設置在基底上並包括多個導體/介電層對的儲存堆疊層、每個垂直延伸穿過儲存堆疊層的多個記憶體串、橫向設置在多個記憶體串之間的縫隙接觸點以及橫向設置在縫隙接觸點和至少一記憶體串之間的複合間隙壁。複合間隙壁包括第一氧化矽膜、第二氧化矽膜和橫向設置在第一氧化矽膜和第二氧化矽膜之間的介電膜。

【0006】 在另一個示例中，半導體元件包括基底、設置在基底上的導體層、

垂直延伸穿過導體層的接觸點、以及橫向設置在接觸點和導體層之間的複合間隙壁。複合間隙壁包括低溫氧化矽膜、高溫氧化矽膜和橫向設置在低溫氧化矽膜和高溫氧化矽膜之間的高介電常數（高k）介電膜。

【0007】 在不同的示例中，其公開了一種用於形成3D記憶體元件的方法。在基底上形成包括多個介電/犧牲層對的介電堆疊層。形成垂直延伸穿過介電堆疊層的記憶體串。形成垂直延伸穿過介電堆疊層的縫隙。透過用多個導體層穿過縫隙來替換介電/犧牲層對中的犧牲層，在基底上形成包括多個導體/介電層對的儲存堆疊層。沿著縫隙的側壁形成複合間隙壁。複合間隙壁包括第一氧化矽膜、第二氧化矽膜和橫向形成在第一氧化矽膜和第二氧化矽膜之間的介電膜。形成在縫隙中垂直延伸的縫隙接觸點。

【圖式簡單說明】

【0008】

併入本文中並且構成說明書的部分的附圖示出了本案的實施例，並且與說明書一起進一步用來對本案的原理進行解釋，並且使相關領域技術人員能夠實施和使用本案。

第1圖示出了根據本發明揭露一些實施例中具有耐腐蝕複合間隙壁的示例性3D記憶體元件的橫截面。

第2圖示出了根據本發明揭露一些實施例中具有耐腐蝕複合間隙壁的示例性3D記憶體元件的平面圖。

第3圖示出了根據本發明揭露一些實施例中具有耐腐蝕複合間隙壁的示例性半導體元件的橫截面。

第4A-4F圖示出了根據本發明揭露一些實施例中用於形成具有耐腐蝕複合間隙壁的3D記憶體元件的示例性製程步驟。

第5圖是根據本發明揭露一些實施例中用於形成具有耐腐蝕複合間隙壁的3D記憶體元件的示例性方法的流程圖。

第6圖是根據本發明揭露一些實施例中用於形成耐腐蝕複合間隙壁的示例性方法的流程圖。

文中將參考附圖來描述本案的實施例。

【實施方式】

【0009】 儘管對具體配置和佈置進行了討論，但應當理解，這只是出於示例性目的而進行的。相關領域中的技術人員將認識到，可以使用其它配置和設置而不脫離本案的精神和範圍。對相關領域的技術人員顯而易見的是，本案還可以用於多種其它應用中。

【0010】 要指出的是，在說明書中提到「一個實施例」、「實施例」、「示例性實施例」、「一些實施例」等指示所述的實施例可以包括特定特徵、結構或特性，但未必每個實施例都包括該特定特徵、結構或特性。此外，這樣的短語未必是指同一個實施例。另外，在結合實施例描述特定特徵、結構或特性時，結合其它實施例（無論是否明確描述）實現這種特徵、結構或特性應在相關領域技術人員的知識範圍內。

【0011】 通常，可以至少部分從上下文中的使用來理解術語。例如，至少部分取決於上下文，本文中使用的術語「一或多個」可以用於描述單數意義的特徵、結構或特性，或者可以用於描述複數意義的特徵、結構或特性的組合。類似地，至少部分取決於上下文，諸如「一」或「所述」的術語可以被理解為傳達單數使用或傳達複數使用。另外，術語「基於」可以被理解為不一定旨在傳達一組排他性的因素，而是可以選擇性地至少部分地取決於上下文，允許存在不一定明確描述的其他因素。

【0012】 應當容易理解，本案中的「在…上」、「在…之上」和「在…上方」的含義應當以廣義的方式被解讀，以使得「在…上」不僅表示「直接在」某物「上」而且還包括在某物「上」且其間有居間特徵或層結構的含義，並且「在…之上」或「在…上方」不僅表示「在」某物「之上」或「上方」的含義，而且還可以包括其「在」某物「之上」或「上方」且其間沒有居間特徵或層結構（即直接在某物上）的含義。

【0013】 此外，諸如「在…之下」、「在…下方」、「下部」、「在…之上」、「上部」等空間相關術語在本文中為了描述方便可以用於描述一個元件或特徵與另一個或多個元件或特徵的關係，如在附圖中所示出者。空間相關術語旨在涵蓋除了在附圖所描繪的位向以外在設備使用或操作中所採用的不同位向。設備可以以其他的方式被定向（旋轉90度或在其它取向），並且本文中使用的空間相關描述詞可以類似地被對應解釋。

【0014】 如本文中使用的，術語「基底」是指向其上增加後續材料的材料。可以對基底自身進行圖案化。加設在基底頂部上的材料可以被圖案化或可以保持不被圖案化。此外，基底可以包括廣泛的半導體材料，例如矽、鍺、砷化鎵、磷化銦等。或者，基底可以由諸如玻璃、塑膠或藍寶石晶圓的非導電材料製成。

【0015】 如本文中使用的，術語「層」是指包括具有厚度的區域的材料部分。層可以在下方或上方結構的整體之上延伸，或者可以具有小於下方或上方結構範圍的範圍。此外，層結構可以是厚度小於連續結構的厚度的均質或非均質連續結構的區域。例如，層結構可以位於在連續結構的頂面和底面之間或在頂面和底面處的任何水平面對之間。層結構可以水平、豎直和/或沿傾斜表面延伸。基底可以是層結構，其中可以包括一或多個層，和/或可以在其上、其上方和/或其下方具有一或多個層。層可以包括多個層。例如，互連層可以包括一或多個導體和接觸點層（其中形成互連線和/或通孔接觸點）和一或多個介電層。

【0016】 如本文使用的，術語「標稱/標稱地」是指在生產或過程的設計階段期間設置的針對部件或過程操作的特性或參數的期望或目標值，以及高於和/或低於期望值的值的範圍。值的範圍可能是由於製造過程或容限中的輕微變化導致的。如本文使用的，術語「大約」指示可以基於與標的半導體元件相關聯的特定技術節點而變化的給定量值。基於特定技術節點，術語「大約」可以指示給定量的值，其例如在值的10%-30%（例如，值的 $\pm 10\%$ 、 $\pm 20\%$ 或 $\pm 30\%$ ）內變化。

【0017】 如文中所使用的，術語「3D記憶體元件」指的是在橫向取向的基底上具有垂直取向的儲存單元電晶體串（在本文中稱為「記憶體串」，例如NAND記憶體串），而使得記憶體串相對於基底在垂直方向上延伸的半導體元件。如本文所使用的，術語「垂直/垂直地」意味著標稱上正交於基底的橫向表面。

【0018】 在一些3D記憶體元件中，間隙壁用於電性隔離儲存單元的閘極導體（即3D記憶體元件的字元線）和閘極縫隙（gate line slit, GLS，例如用於陣列共源級（array common source, ACS）扇出）中的接觸點。例如，可以在由鎢（W）製成的閘極導體和GLS中的接觸點之間使用間隙壁氧化物以用於絕緣以及防止鎢擴散的阻隔體。高溫氧化膜因其高品質而被稱為良好的間隙壁氧化物。然而，對於透過使用六氟化鎢（WF₆）作為前驅物的化學氣相沉積（chemical vapor deposition, CVD）製程而製造的鎢閘極導體，在鎢沉積之後將在鎢閘極導體的孔徑中保留一定量的氟（F）。在下一個製造高溫氧化膜的熱處理期間，氟殘留物會洩漏出來，從而腐蝕間隙壁氧化物。腐蝕可能減小間隙壁的厚度，從而增加洩漏風險並降低3D記憶體元件的可靠性。

【0019】 根據本案的各種實施例提供了一種具有耐腐蝕複合間隙壁的3D記憶體元件。透過在間隙壁中包括具有耐腐蝕的附加膜，可以防止間隙壁氧化物膜遠離在鎢閘極沉積期間殘留的氟的損壞。在一些實施例中，複合間隙壁可包括保護鎢閘極導體免受後續高溫製程氧化的低溫氧化矽膜和作為電絕緣體和鎢擴

散阻隔體的高溫氧化矽膜。複合間隙壁還可以包括在兩個氧化矽膜之間的耐腐蝕介電膜，以防止在高溫熱氧化過程期間由氟原子和/或離子的擴散引起的對高溫氧化矽膜的損壞。

【0020】 此外，在一些實施例中，耐腐蝕介電膜可包括高k介電材料，例如氧化鋁（ Al_2O_3 ，也稱為「礬土」）。耐腐蝕介電膜的高k特性可以降低洩漏風險，從而進一步提高3D記憶體元件的可靠性。

【0021】 第1圖示出了根據本案一些實施例中具有耐腐蝕複合間隙壁128的示例性3D記憶體元件100的橫截面。3D記憶體元件100可包括基底102，基底102可包括矽（如單晶矽）、矽鍺（ SiGe ）、砷化鎵（ GaAs ）、鍺（ Ge ）、絕緣體上矽（silicon-on-isolator, SOI）、絕緣體上的鍺（germanium-on-isolator, GOI）、或任何其他合適的材料。在一些實施例中，基底102是薄化後的基底（如半導體層），其透過研磨、濕/乾蝕刻、化學機械拋光（chemical mechanical polishing, CMP）或其任何方式的組合來薄化。

【0022】 3D記憶體元件100可以包括設置在基底102之上的儲存陣列元件，例如NAND記憶體串104的陣列，如第1圖所示。注意，x軸和y軸被包括在第1圖中，以進一步示出3D記憶體元件100中元件的空間關係。基底102包括在x方向（即橫向方向）上橫向延伸的兩個橫向表面（例如頂面和底面）。如本文所使用的，一個元件（例如，層或元件）是否在半導體元件（例如，3D記憶體元件100）的另一元件（例如，層或元件）「上」、「之上」或「之下」是在基底在y方向上位於半導體元件的最低平面中時、相對於半導體元件的基底（如基底102）在y方向（即垂直方向）上所確定的。在整個本案中均採用用於描述空間關係的相同概念。

【0023】 3D記憶體元件100可以是單片3D記憶體元件的一部分。術語「單片」意指3D記憶體元件的元件（例如，週邊設備和儲存陣列元件）形成在單個基底上。對於單片3D記憶體元件，由於週邊設備處理和儲存陣列元件處理的卷積，

製造遇到額外的限制。例如，儲存陣列元件（如NAND記憶體串）的製造受到與已經形成或將要形成在同一基底上的週邊設備相關聯的熱預算的約束。

【0024】 相反地，3D記憶體元件100可以是非單片3D記憶體元件的一部分，其中元件（如週邊設備和儲存陣列元件）可以在不同的基底上單獨形成，然後以例如面對面的方式來鍵合。在一些實施例中，儲存陣列元件基底（如基底102）仍然是作為鍵合的非單片3D記憶體元件的基底，而週邊設備（如用於便於3D記憶體元件100操作的任何合適的數位、類比和/或混合信號週邊電路，例如頁面緩衝器、解碼器和鎖存器，圖中未示出）被翻轉並面朝下面向儲存陣列元件（如NAND記憶體串104）以用於混合鍵合。應當理解，在一些實施例中，儲存陣列元件基底（例如，基底102）被翻轉並面朝下面向週邊設備（未示出）以進行混合鍵合，從而在鍵合的非單片3D記憶體元件中，儲存陣列元件位於週邊設備之上。儲存陣列元件基底（例如，基底102）可以是薄化後的基底（其不是鍵合的非單片3D記憶體元件的基底），並且非單片3D記憶體元件的後段製程（back end of line, BEOL）互連可以形成在薄化後的儲存陣列元件基底的背面上。

【0025】 在一些實施例中，3D記憶體元件100是NAND快閃記憶體元件，其中儲存單元以垂直延伸在基底102之上的NAND記憶體串104的陣列形式來提供。儲存陣列元件可以包括NAND記憶體串104，其延伸穿過多個對，每個對包括導體層107和介電層118（本文稱為「導體/介電層對」）。堆疊的導體/介電層對在本文也稱為「儲存堆疊層」106。儲存堆疊層106中的導體/介電層對的數量（例如32、64、96或128）可以設定3D記憶體元件100中的儲存單元的數量。儲存堆疊層106中的導體層107和介電層108在垂直方向上交替。換句話說，除了在儲存堆疊層106的頂部或底部處的導體/介電層對之外，每個導體層107可以在兩側與兩個介電層108鄰接，並且每個介電層108可以在兩側與兩個導體層107鄰接。導體層107可各自具有相同的厚度或不同的厚度。類似地，介電層108可各自具有相同的厚度或

不同的厚度。導體層107可包括導體材料，其包括但不限於W、鈷(Co)、銅(Cu)、鋁(Al)、多晶矽(多晶矽)、摻雜矽、矽化物或其任何組合。介電層108可包括介電材料，其包括但不限於氧化矽、氮化矽、氮氧化矽或其任何組合。

【0026】 如第1圖所示，每個NAND記憶體串104可以包括垂直延伸穿過儲存堆疊層106的通道結構110。通道結構110可以包括填充有半導體材料(例如，作為半導體通道112)和介電材料(例如，作為儲存膜114)的通道孔。在一些實施例中，半導體通道112包括矽，例如非晶矽、多晶矽或單晶矽。在一些實施例中，儲存膜114是複合層，包括穿隧層、儲存層(也稱為「電荷捕獲/儲存層」)和阻隔層。每個NAND記憶體串104可以具有圓柱形狀(如柱形)。根據一些實施例，半導體通道112、穿隧層、儲存層和阻隔層會按此順序從柱的中心朝向外表面徑向設置。穿隧層可包括氧化矽、氮氧化矽或其任何組合。儲存層可包括氮化矽、氮氧化矽、矽或其任何組合。阻隔層可包括氧化矽、氮氧化矽、高k介電或其任何組合。在一個示例中，阻隔層可以包括氧化矽/氮氧化矽/氧化矽(ONO)的複合層。在另一個示例中，阻隔層可以包括高k介電材料，例如氧化鋁(Al_2O_3)、氧化鈺(HfO_2)或氧化鉭(Ta_2O_5)。

【0027】 在一些實施例中，NAND記憶體串104和儲存堆疊層106共同來自NAND儲存單元堆疊層105。儲存堆疊層106中的導體層107(每個是字元線的一部分)可以用作NAND儲存單元堆疊層105中的儲存單元的閘極導體。導體層107可以包括多個NAND儲存單元堆疊層105的多個控制閘極，並且可以作為在儲存堆疊層106的邊緣處結束(例如在儲存堆疊層106的階梯結構中)的字元線橫向延伸。在一些實施例中，NAND儲存單元堆疊層105還包括閘極介電層116和橫向設置在導體層107和儲存膜114之間的膠合層118。閘極介電層116可以增加每個儲存單元的閘極電容，以及由於其在控制閘極上的全面覆蓋而抑制從一個閘極到其相鄰閘極的漏電流。閘極介電層116可包括但不限於氮化矽、高k介電、或其任何

組合的材料，高k介電例如為氧化鋁(Al_2O_3)、氧化鈺(HfO_2)或氧化鉭(Ta_2O_5)。膠合層118（也稱為「黏合層」、「種子層」或「阻隔層」）可包括一或多個層，用於增加導體層107（閘極導體）和閘極介電層116之間的黏附性。膠合層118的材料可包括但不限於鈦(Ti)、氮化鈦(TiN)、鉭(Ta)、氮化鉭(TaN)或其任何組合。在一些實施例中，NAND儲存單元堆疊層105包括由鎢製成的閘極導體層107、包括Ti/TiN的膠合層118、由高k介電材料製成的閘極介電層116、以及通道結構110。

【0028】 在一些實施例中，NAND記憶體串104包括兩個半導體插塞120和122，每個半導體插塞位於垂直方向上的對應端。每個半導體插塞120和122都可以與通道結構110的對應端接觸。半導體插塞120可以位於NAND記憶體串104的下端並且與通道結構110（例如在通道結構的下端上）和基底102接觸。如本文所使用的，元件（例如NAND記憶體串104）的「上端」是在y方向上遠離基底102的端部，而元件（例如，NAND記憶體串104）的「下端」是在基底102位於3D記憶體元件100的最低平面中時在y方向上更靠近基底102的端部。半導體插塞120可以包括半導體材料，如矽材料，其從基底102磊晶生長。應當理解，在一些實施例中，半導體插塞120包括作為基底102一部分的單晶矽。半導體插塞120可以用作由NAND記憶體串104的源極選擇閘所控制的通道。

【0029】 半導體插塞122可以位於NAND記憶體串104的上端並且與通道結構110接觸（例如在通道結構110的上端上）。半導體插塞122可包括半導體材料（如多晶矽）或導電材料（如金屬）。在一些實施例中，半導體插塞122包括填充有作為膠合層的Ti/TiN和作為導體的鎢的開口。透過在3D記憶體元件100的製造期間覆蓋通道結構110的上端，半導體插塞122可以用作蝕刻停止層來防止填充在通道結構110中的介電材料，如氧化矽和氮化矽等，受到蝕刻。在一些實施例中，半導體插塞122還用作NAND記憶體串104的汲極。

【0030】 如第1圖所示，3D記憶體元件100還包括縫隙結構124。每個縫隙結構124可以垂直延伸穿過儲存堆疊層106。縫隙結構124也可以橫向延伸將儲存堆疊層106分成多塊。縫隙結構124可包括縫隙接觸點126，其透過用導電材料填充縫隙開口而形成，導電材料包括但不限於W、Co、Cu、Al、多晶矽、矽化物或其任何組合。縫隙結構124還可包括複合間隙壁128，其橫向設置在縫隙接觸點126和NAND記憶體串104之間，使得縫隙接觸點126與NAND儲存單元堆疊層105中周圍的導體層107（閘極導體）電絕緣。結果，縫隙結構124可以將3D記憶體元件100分成多個儲存區塊(block)和/或儲存指狀物。

【0031】 在一些實施例中，複合間隙壁128包括在NAND儲存單元堆疊層105（以及其中的NAND記憶體串104）和縫隙接觸點126之間橫向堆疊的第一氧化矽膜130和二氧化矽膜132。第一氧化矽膜130可以包括透過低溫製程形成的低溫氧化矽膜，以防止導體層107氧化。反之，二氧化矽膜132可包括透過高溫製程形成的高溫氧化矽膜，使得其膜品質高於其低溫對應物。在二氧化矽膜132生長期間，由於導體層107已經被第一氧化矽膜130絕緣，所以可以避免導體層107的氧化。在一些實施例中，低溫製程在不高於約400°C（例如在400°C以下）進行，而高溫製程在不低於約400°C（例如在400°C以上）進行。在一些實施例中，低溫製程在不高於約600°C（在600°C以下）進行，而高溫製程在不低於約600°C（例如在600°C以上）進行。低溫製程和高溫製程可以是相同類型的製程，例如CVD或原子層沉積（atomic layer deposition, ALD），但是在不同溫度下進行。或者，低溫製程和高溫製程可以是不同的製程。例如，低溫製程是低溫（LT）CVD或ALD，而高溫製程是熱氧化。

【0032】 在一些實施例中，介電膜134橫向設置在第一氧化矽膜130和二氧化矽膜132之間。介電膜134可以用作阻隔體，以防止由先前閘極形成製程留下的氟原子和/或離子進一步腐蝕氧化膜（如二氧化矽膜132）。例如，即使在徹底

的清洗製程之後，氟原子或離子可能仍然潛藏在導體層107中，導體層107具有由CVD製程中分解六氟化鎢前驅物而形成的鎢。氟原子和/或離子可逐漸向氧化物膜（例如，第二氧化矽膜132）遷移，從而降解或甚至損害氧化物膜的絕緣性。應當理解，在用除鎢以外的導電材料形成導體層107時，也可以在CVD製程中使用除六氟化鎢以外的氟化物基前驅物，其也可能引起氟遷移。

【0033】 為了提高防止氟原子和/或離子的擴散，介電膜134可以包括高k介電材料，其包括但不限於氮化矽、氧化鋁（ Al_2O_3 ）、氧化鈺（ HfO_2 ）、鉭氧化物（ Ta_2O_5 ）、氧化鋯（ ZrO_2 ）、氧化鈦（ TiO_2 ）或其任意組合。在一些實施例中，高k介電材料包括具有高於氮化矽（ $k>7$ ）的介電常數或k值的任何介電。在一些實施例中，高k介電材料包括具有高於氧化矽（ $k>3.9$ ）的介電常數或k值的任何介電。根據一些實施例，介電膜134和閘極介電層116包括相同的高k介電材料，例如氧化鋁。應理解，在一些實施例中，介電膜134包括與閘極介電層116不同的介電材料。

【0034】 介電膜134可以具有在約1nm和約10nm之間，例如在1nm和10nm之間的厚度（在橫向方向上）。在一些實施例中，介電膜134的厚度在約3nm與約7nm之間，例如在3nm與7nm之間（例如，3nm、3.5nm、4nm、4.5nm、5nm、5.5nm、6nm、6.5nm、7nm、由下端透過任何這些值限定的任何範圍、或處於由這些值中的任何兩個限定的任何範圍）。這可以確保電子穿過介電膜時會直接穿隧的可能性變得可以忽略不計。介電膜134還可以減少缺陷輔助穿隧(trap assisted tunneling, TAT)的機會。例如，氫原子或離子可以更容易地被捕獲在氧化矽中而不是高k介電材料（例如氧化鋁）中，從而迫使漏電流增加。總之，透過包括介電膜134，可以進一步減小穿過複合間隙壁128的漏電流。

【0035】 在一些實施例中，介電膜134包括橫向堆疊的多個介電子膜。也就是說，介電膜134可以是包括多種介電材料的複合介電膜。在一些實施例中，每個

介電子膜包括不同的介電材料，例如不同的高k介電材料。在一些實施例中，至少一些介電子膜包括相同的介電材料，例如相同的高k介電材料。上述厚度範圍可以指複合介電膜的總厚度。

【0036】 在一些實施例中，縫隙接觸點126用作為由相同儲存區塊或相同儲存指狀物中的NAND記憶體串104共用的ACS的接觸點。因此，縫隙接觸點126可以被稱為多個NAND記憶體串104的「共源極接觸點」。在一些實施例中，基底102包括摻雜區136（包括處於期望摻雜等級的p型或n型摻雜劑），並且，縫隙接觸點126的下端會與基底102中的摻雜區136接觸。因此，縫隙接觸點126可以透過摻雜區136電連接到NAND記憶體串104的ACS。在一些實施例中，兩個導體層107（閘極導體）和縫隙接觸點126（共源極接觸點）包括相同的導電材料，如鎢。

【0037】 第2圖示出了根據本案的一些實施例的具有耐腐蝕複合間隙壁201的示例性3D記憶體元件200的平面圖。可以基於第1圖中的橫截面線A-A來構造3D記憶體元件200。應注意，x軸和z軸包括在第2圖中以進一步示出3D記憶體元件200中元件的空間關係。如第2圖所示，3D記憶體元件200包括NAND儲存單元堆疊層202A和202B，每個NAND儲存單元堆疊層設置在縫隙結構204的相對側。每個NAND儲存單元堆疊層202A或202B還包括兩個NAND記憶體串，總共構成3D記憶體元件200中的四個NAND記憶體串206A、206B、206C和206D，如第2圖所示。由於它們的結構全部相同，因此僅採用NAND記憶體串206A來詳細描述其結構。NAND記憶體串206A可以包括由儲存膜210包覆的標稱上圓形的半導體通道208。NAND記憶體串206A可以進一步被閘極介電層212和膠合層214圍繞。導體層216可以填充在上述結構之外的矩形平面，以用作NAND儲存單元堆疊層202A中儲存單元的閘極導體。也就是說，根據一些實施例，半導體通道208、儲存膜210、閘極介電層212、膠合層214和導體層216按此順序從NAND記憶體串206A的中心徑向佈置。

【0038】 縫隙結構204可以在z方向上跨越整個基底，將NAND記憶體串206A，206B、206C和206D分成兩個儲存塊，如第圖2所示。在一些實施例中，縫隙結構204關於z軸對稱，並且如果從內向外來數元件的話，包括縫隙接觸點218、第二氧化矽膜220、介電膜222和第一氧化矽膜224。如第2圖所示，如果導體層216和縫隙接觸點218之間的絕緣由於氟原子和/或離子的侵入而劣化，則絕緣層上的漏電流可能增加。導體層216甚至可能與縫隙接觸點218短路，從而破壞整個儲存區塊。為了防止氟遷移和由此產生的洩漏，第一氧化矽膜224、介電膜222和第二氧化矽膜220可以形成耐腐蝕複合間隙壁201，其電絕緣縫隙接觸點218和NAND儲存單元堆疊層202A或202B（及其中的元件，例如導體層216和NAND記憶體串206A）。縫隙接觸點218可以橫向地設置在NAND儲存單元堆疊層202A（包括NAND記憶體串206A和206B）和NAND儲存單元堆疊層202B（包括NAND記憶體串206C和206D）之間。複合間隙壁201可以橫向地設置在縫隙接觸點218和NAND儲存單元堆疊層202A（包括NAND記憶體串206A和206B）之間，或者橫向地設置在縫隙接觸點218和NAND儲存單元堆疊層202B（包括NAND記憶體串206C和206D）之間。如第2圖所示，縫隙結構204（以及其中的縫隙接觸點218和複合間隙壁201）在平面圖中呈標稱條紋狀。上述3D記憶體元件200的元件可以共用與上面關於3D記憶體元件100描述的相同的尺寸和材料，因此將不再詳細重複。

【0039】 應當理解，使用複合間隙壁來保護接觸點層免受由相鄰導體層的氟遷移引起的漏電流可以實施在各種半導體結構中。在一些實施例中，複合間隙壁的使用可以擴展到通用半導體元件。此外，導體層可以是任何形式，包括橫向互連線和垂直互連接入（通孔）接觸點，只要由於製造過程氟離子和/或原子存在於導體層中。在一些實施例中，接觸點層可以是柱形或任何其他形狀，只要複合間隙壁可以充分形成在接觸點層周圍即可。

【0040】 例如，第3圖示出了根據本案的一些實施例的具有耐腐蝕複合間隙壁

304的示例性半導體元件300的橫截面。半導體元件300可以是任何合適的邏輯或記憶體元件。根據一些實施例，半導體元件300包括每個均設置在基底301上的導體層302、複合間隙壁304和接觸點層306。導體層302還可以包括互連線308A和308B，以及形成在一或多個層間介電層（inter-layer dielectric, ILD）312（也稱為「金屬間介電（inter-metal dielectric, IMD）層」）中的通孔接觸點310A和310B。導體層302可以由導電材料（例如由氟基前驅物形成的鎢）製成。接觸點層306可以具有圓形橫截面的通孔接觸點。接觸點層306可包括導電材料，包括但不限於W、Co、Cu、Al、多晶矽、摻雜矽、矽化物或其任何組合。複合間隙壁304可包括低溫氧化矽膜314、高k介電膜316和橫向堆疊在導體層302和接觸點層306之間的高溫氧化矽膜318。複合間隙壁304的材料和尺寸可以與3D記憶體元件100中的複合間隙壁128的相同。由於高k介電膜316是複合間隙壁304的一部分，導體層306和通孔接觸點310B之間的電絕緣可以大大增強，並且可以大大減少由氟原子和/或離子引起的對高溫氧化矽膜318的損壞。

【0041】 第4A-4F圖示出了根據一些實施例的用於形成具有耐腐蝕複合間隙壁的3D記憶體元件的示例性製造製程。第5圖是根據一些實施例的用於形成具有耐腐蝕複合間隙壁的3D記憶體元件的示例性方法500的流程圖。第6圖是根據一些實施例用於形成耐腐蝕複合間隙壁的示例性方法600的流程圖。第4-6圖中示出的3D記憶體元件的示例包括第1-2圖中所示出的3D記憶體元件100和200。將一起描述第4-6圖。應當理解，方法500和600中所示的步驟不是詳盡的，並且可以在任何所例舉的操作之前、之後或之間執行其他步驟。此外，一些步驟可以同時執行，或者是以與第5-6圖中所示不同的順序來進行。

【0042】 參照第5圖，方法500開始於步驟502，其中在基底上形成介電堆疊層。基底可以是矽基底。介電堆疊層可包括多個介電/犧牲層對。如第4A圖所示，以特寫視圖給出介電堆疊層402的頂部。在基底（未示出）上形成成對的第一介

電層406和第二介電層（稱為「犧牲層」）408（本文統稱為「介電層對」）。可以選擇性地在基底上沉積介電層406和犧牲層408以形成介電堆疊層402。在一些實施例中，每個介電層406包括氧化矽層，並且每個犧牲層408包括氮化矽。介電堆疊層402可以透過一或多種薄膜沉積製程形成，薄膜沉積製程包括但不限於CVD、PVD、ALD或其任何組合。

【0043】 方法500來到步驟504，如第5圖所示，其中形成垂直延伸穿過介電堆疊層的記憶體串。如第4A圖所示，形成垂直延伸穿過介電堆疊層402的記憶體串410。在一些實施例中，形成記憶體串410的製程還包括形成通道孔，該通道孔透過例如濕蝕刻和/或乾蝕刻垂直延伸穿過介電堆疊層402。在一些實施例中，形成記憶體串410的製程還包括形成半導體通道412和橫向設置在半導體通道412和介電堆疊層402的介電層對之間的儲存膜414。半導體通道412可包括半導體材料，如多晶矽。儲存膜414可以是複合介電層，如穿隧層、儲存層和阻隔層的組合。儲存膜414中的每個層可以包括介電材料，其包括但不限於氧化矽、氮化矽、氮氧化矽或其任何組合。半導體通道412和儲存膜414可以透過一或多種薄膜沉積製程（例如ALD、CVD、PVD、任何其他合適的製程、或其任何組合）形成。

【0044】 在一些實施例中，半導體插塞416形成在記憶體串410的上端。首先，可以在記憶體串410的上端形成凹槽。可以透過使用一或多種薄膜沉積製程（例如ALD、CVD、PVD、任何其他合適的製程、或其任何組合）填充凹槽來形成半導體插塞416。在一些實施例中，沉積多晶矽以填充凹槽，然後進行CMP製程以去除多餘的多晶矽。在一些實施例中，沉積複合金屬層，例如Ti/TiN/W，以填充凹槽，然後進行CMP製程以去除多餘的金屬層。

【0045】 方法500來到步驟506，如第5圖所示，其中形成垂直延伸穿過介電堆疊層的縫隙。縫隙可以是縫隙結構的一部分，例如GLS。如第4A圖所示，形成垂直延伸穿過介電堆疊層402的縫隙418。首先可以經由穿過介電堆疊層402的介

電質（如氧化矽和氮化矽）的濕蝕刻和/或乾蝕刻來形成縫隙418。在一些實施例中，例如經由穿過縫隙418的離子佈植和/或熱擴散，在每個縫隙418下方的基底中形成摻雜區（例如第1圖中的摻雜區136）。應理解，根據一些實施例，摻雜區可以在較早的製造階段中形成，例如在形成縫隙418之前形成。

【0046】 方法500來到步驟508，如第5圖所示，其中透過用多個導體層替換介電/犧牲層對中的犧牲層，在基底上形成儲存堆疊層。因此，儲存堆疊層包括多個導體/介電層對。在一些實施例中，形成儲存堆疊層包括穿過縫隙蝕刻介電/犧牲層對中的犧牲層，以及穿過縫隙沉積導體/介電層對中的導體層。導體層的沉積可以使用含氟的前驅物。例如，導體層包括鎢，且前驅物包括六氟化鎢。在一些實施例中，在沉積導體層之前會先在每個導體/介電層對中沉積閘極介電層。

【0047】 如第4B圖所示，透過對介電層406選擇性的濕蝕刻和/或乾蝕刻來去除介電堆疊層402中的犧牲層408（如第4A圖所示）。在完全蝕刻出犧牲層408之後，可以形成連接到縫隙418的橫向凹槽420。在一些實施例中，透過將縫隙418暴露於熱磷酸中來促進蝕刻製程，透過該熱磷酸在氧化矽上優先蝕刻氮化矽。

【0048】 如第4C圖所示，閘極介電層422、膠合層424和導體層426（閘極導體）按此順序隨後沿著縫隙418和橫向凹槽420的側壁形成。在一些實施例中，首先沿著縫隙418和橫向凹槽420的側壁沉積閘極介電層422，然後沿著閘極介電層422沉積膠合層424。然後可以沿著膠合層424沉積導體層426。根據一些實施例，然後透過濕蝕刻和/或乾蝕刻部分地去除膠合層424和導體層426。第4C圖示出了形成NAND儲存單元的控制閘極的製造製程，其被稱為閘極替換或字元線替換製程。

【0049】 閘極介電層422、膠合層424和導體層426可以透過一或多種薄膜沉積製程（例如ALD、CVD、PVD、任何其他合適的製程、或其任何組合）來形成。閘極介電層422可包括介電材料，其包括氮化矽、高k介電或其任何組合，高k介電例如為氧化鋁（ Al_2O_3 ）、氧化鈦（ HfO_2 ）或氧化鉭（ Ta_2O_5 ）。膠合層424可包

括薄膜材料，其包括但不限於鈦 (Ti)、氮化鈦 (TiN)、鉭 (Ta)、氮化鉭 (TaN) 或其任何組合。導體層426可包括導電材料，其包括但不限於W、Co、Cu、Al、多晶矽、矽化物或其任何組合。在一些實施例中，閘極介電層422、膠合層424和導體層426各自透過CVD製程形成，在CVD製程中，反應氣體（包括前驅物）穿過縫隙418到達橫向凹槽420並沿縫隙418和橫向凹槽420的側壁反應和沉積。在一些實施例中，用於沉積導體層426的CVD製程使用含氟的前驅物418。例如，導體層426包括鎢，並且CVD製程中使用的前驅物包括六氟化鎢。

【0050】 方法500前進到步驟510，如第5圖所示，其中沿著縫隙的側壁形成複合間隙壁。複合間隙壁可包括第一氧化矽膜、第二氧化矽膜和橫向形成在第一氧化矽膜和第二氧化矽膜之間的介電膜。參照第6圖，其公開了用於形成複合間隙壁的示例性方法600。方法600來到步驟602，其中沿著縫隙的側壁形成第一氧化矽膜。在一些實施例中，第一氧化矽膜的 formed 處於不高於400°C的第一溫度。

【0051】 如第4D圖所示，透過PVD、CVD、ALD、任何其它合適的製程或任何組合，沿著縫隙418的側壁（以及橫向凹槽420的剩餘空間）填充（例如沉積）氧化矽來形成第一氧化矽膜440。在一些實施例中，第一氧化矽膜440包括在不高於400°C的製程溫度下形成的低溫氧化矽，這是防止導體層426嚴重氧化的警示措施。在一些實施例中，用於形成第一氧化矽膜440的製程溫度不高於600°C。例如，形成低溫氧化矽的製程包括但不限於LT CVD或LT ALD。

【0052】 方法600來到步驟604，如第6圖所示，其中沿著第一氧化矽膜形成介電膜。介電膜可包括高k介電材料，例如氧化鋁。在一些實施例中，介電膜的厚度在約1nm和約10nm之間，例如在約3nm和約7nm之間。

【0053】 如第4E圖所示，透過PVD、CVD、ALD、任何其他合適的製程或其任何組合，穿過縫隙418沿第一氧化矽膜440填充（例如沉積）介電材料來形成介電膜450。介電膜450可以用作覆蓋第一氧化矽膜440的包覆層。介電膜450可以包

括高k介電材料，其包括但不限於氧化鋁（ Al_2O_3 ）、氧化鈺（ HfO_2 ）、鉭氧化物（ Ta_2O_5 ）、氧化鋯（ ZrO_2 ）、氧化鈦（ TiO_2 ）或其任何組合。在一些實施例中，介電膜450由氧化鋁製成，已知氧化鋁比氧化矽對氟離子和原子更耐腐蝕。介電膜450的厚度（在橫向方向上）可以形成在約1nm和約10nm之間，例如在1nm和10nm之間。在一些實施例中，介電膜450的厚度在約3nm與約7nm之間，例如在3nm與7nm之間（例如，3nm、3.5nm、4nm、4.5nm、5nm、5.5nm、6nm、6.5nm、7nm、由下端透過任何這些值限定的任何範圍、或處於由這些值中的任何兩個限定的任何範圍）。

【0054】 方法600來到步驟606，如第6圖所示，其中沿著介電膜形成第二氧化矽膜。在一些實施例中，第二氧化矽膜會形成在高於用於形成第一氧化矽膜的第一溫度的第二溫度的環境下，如不低於400°C。

【0055】 如第4F圖所示，透過PVD、CVD、ALD、任何其他合適的製程或其任何組合沿介電膜450填充（例如沉積）氧化矽來形成第二氧化矽膜460。第二氧化矽膜460可以用作覆蓋介電膜450的包覆層。在一些實施例中，第二氧化矽膜460包括在不低於400°C的製程溫度下形成的高溫氧化矽，這是增加氧化膜品質的措施，從而導致第二氧化矽膜460中更好的絕緣電阻。在一些實施例中，用於形成第二氧化矽膜460的製程溫度不低於600°C。例如，用於形成高溫氧化矽的製程包括但不限於熱氧化。

【0056】 應當注意，第一氧化矽膜、介電膜和第二氧化矽膜可以統稱為複合間隙壁，以強調其獨特的結構。還應理解，複合間隙壁的製造製程可應用於任何其他類型的半導體元件，以在兩個導體層之間獲得更大的電絕緣，如果它們中的至少一者含有氟原子和/或離子的殘餘物。因此，在半導體元件中使用複合間隙壁可以以很小的成本提高元件的可靠性。

【0057】 返回參考第5圖，方法500來到步驟512，如第5圖所示，其中形成在縫

隙中垂直延伸的縫隙接觸點。如第4F圖所示，透過PVD、CVD、ALD、任何其它合適的製程或其任何組合，將導電材料填充（例如沉積）到縫隙418的剩餘空間中來形成縫隙接觸點462。根據一些實施例，縫隙接觸點462用作共源極接觸點。在一些實施例中，縫隙接觸點462包括導電材料，其包括但不限於W、Co、Cu、Al、多晶矽、矽化物或其任何組合。在一個示例中，縫隙接觸點462由鎢製成。

【0058】 根據本案的一個方面，3D記憶體元件包括基底、設置在基底上並且包括多個導體/介電層對的儲存堆疊層、每個垂直延伸穿過儲存堆疊層的多個記憶體串、在多個記憶體串之間橫向設置的縫隙接觸點、以及在縫隙接觸點和至少一記憶體串之間橫向設置的複合間隙壁。複合間隙壁包括第一氧化矽膜、第二氧化矽膜和橫向設置在第一氧化矽膜和第二氧化矽膜之間的介電膜。

【0059】 在一些實施例中，介電膜包括高k介電材料。根據一些實施例，高k介電材料包括氧化鋁。在一些實施例中，介電膜的厚度在約1nm和約10nm之間。根據一些實施例，介電膜的厚度在約3nm和約7nm之間。

【0060】 在一些實施例中，第一氧化矽膜包括低溫氧化矽膜，並且第二氧化矽膜包括高溫氧化矽膜。根據一些實施例，低溫氧化矽膜橫向設置在至少一記憶體串和介電膜之間，並且高溫氧化矽膜橫向設置在介電膜和縫隙接觸點之間。

【0061】 在一些實施例中，介電膜包括橫向堆疊的多個介電子膜。多個介電子膜包括多種介電材料。

【0062】 在一些實施例中，每個導體/介電層對包括含鎢的導體層。根據一些實施例，縫隙接觸點包括鎢。

【0063】 在一些實施例中，每個記憶體串包括垂直延伸穿過導體/介電層對的半導體通道、以及橫向設置在導體/介電層對和半導體通道之間的儲存膜。

【0064】 在一些實施例中，縫隙接觸點和複合間隙壁中的每一個在平面圖中呈標稱條紋狀。

【0065】 在一些實施例中，縫隙接觸點電連接到記憶體串中的至少兩個記憶體串的源極。

【0066】 根據本案的另一方面，半導體元件包括基底、設置在基底之上的導體層、垂直延伸穿過導體層的接觸點、以及橫向設置在接觸點和導體層之間的複合間隙壁。複合間隙壁包括低溫氧化矽膜、高溫氧化矽膜和橫向設置在低溫氧化矽膜和高溫氧化矽膜之間的高k介電膜。

【0067】 在一些實施例中，高k介電膜包括氧化鋁。在一些實施例中，介電膜的厚度在約1nm和約10nm之間。根據一些實施例，介電膜的厚度在約3nm和約7nm之間。

【0068】 在一些實施例中，低溫氧化矽膜橫向設置在導體層和高k介電膜之間，並且高溫氧化矽膜橫向設置在高k介電膜和接觸點之間。

【0069】 在一些實施例中，高k介電膜包括橫向堆疊的多個高k介電材料。根據一些實施例，多個高k介電材料包括多個高k介電材料。

【0070】 在一些實施例中，導體層包括鎢。在一些實施例中，接觸點包括鎢。

【0071】 在一些實施例中，接觸點和複合間隙壁中的每一個在平面圖中呈標稱條紋狀。

【0072】 根據本案的又一方面，其公開了一種用於形成3D記憶體元件的方法。在基底上形成包括多個介電/犧牲層對的介電堆疊層。形成垂直延伸穿過介電堆疊層的記憶體串。形成垂直延伸穿過介電堆疊層的縫隙。透過用多個導體層穿過縫隙替換介電/犧牲層對中的犧牲層，在基底上形成包括多個導體/介電層對的儲存堆疊層。沿著縫隙的側壁形成複合間隙壁。複合間隙壁包括第一氧化矽膜、第二氧化矽膜和在第一氧化矽膜和第二氧化矽膜之間橫向形成的介電膜。形成在縫隙中垂直延伸的縫隙接觸點。

【0073】 在一些實施例中，為了形成儲存堆疊層，其穿過縫隙蝕刻多個介電/

犧牲層對中的犧牲層，並且穿過縫隙沉積多個導體/介電層對中的導體層。

【0074】 在一些實施例中，在沉積導體層之前，會先在每個導體/介電層對中沉積閘極介電層。

【0075】 在一些實施例中，導體層的沉積使用含氟的前驅物。根據一些實施例，導體層包括鎢，而前驅物包括六氟化鎢。

【0076】 在一些實施例中，為了形成複合間隙壁，其沿著縫隙的側壁形成第一氧化矽膜，沿著第一氧化矽膜形成介電膜，再沿著介電膜形成第二氧化矽膜。根據一些實施例，第一氧化矽膜的形成處於第一溫度，而第二氧化矽膜的形成處於高於第一溫度的第二溫度。在一些實施例中，第一溫度不高於400°C，而第二溫度不低於400°C。

【0077】 在一些實施例中，介電膜包括高k介電材料。根據一些實施例，高k介電材料包括氧化鋁。在一些實施例中，介電膜的厚度在約1nm和約10nm之間。根據一些實施例，介電膜的厚度在約3nm和約7nm之間。

【0078】 對特定實施例的上述說明因此將揭示本案的一般性質，使得他人能夠透過運用本領域技術範圍內的知識容易地對這種特定實施例進行修改和/或調整以用於各種應用，而不需要過度實驗，且不脫離本案的一般概念。因此，基於本文呈現的教示和指導，這種調整和修改旨在處於所公開的實施例的等同物的含義和範圍內。應當理解，本文中的措辭或術語是用於說明的目的，而不是為了進行限制，從而本說明書的術語或措辭將由技術人員按照所述教導和指導進行解釋。

【0079】 前文已經借助於功能區塊來描述了本案的實施例，功能區塊例示出了指定功能及其關係的實施方式。在本文中出於方便描述的目的任意地定義了這些功能區塊的邊界。可以定義替代的邊界，只要適當執行指定的功能及其關係即可。

【0080】 發明內容和摘要部分可以闡述發明人所設想的本案的一或多個示例性實施例，但未必是所有示例性實施例，並且因此，並非旨在透過任何方式限制本案和所附申請專利範圍。

【0081】 本案的廣度和範疇不應受任何上述示例性實施例的限制，並且應當僅根據所附申請專利範圍及其等同物來進行限定。

以上所述僅為本發明之較佳實施例，凡依本發明申請專利範圍所做之均等變化與修飾，皆應屬本發明之涵蓋範圍。

【符號說明】

【0082】

- 100 三維記憶體元件
- 102 基底
- 104 NAND記憶體串
- 105 NAND儲存單元堆疊層
- 106 儲存堆疊層
- 107 導體層
- 108 介電層
- 110 通道結構
- 112 半導體通道
- 114 儲存膜
- 116 閘極介電層
- 118 介電層
- 120 半導體插塞
- 122 半導體插塞

124	縫隙結構
126	縫隙接觸點
128	複合間隙壁
130	第一氧化矽膜
132	第二氧化矽膜
134	介電膜
136	摻雜區
200	三維記憶體元件
201	複合間隙壁
202A, 202B	NAND記憶體串
204	縫隙結構
206A, 206B, 206C, 206D	NAND記憶體串
208	半導體通道
210	儲存膜
212	閘極介電層
214	膠合層
216	導體層
218	縫隙接觸點
220	第二氧化矽膜
222	介電膜
224	第一氧化矽膜
300	半導體元件
301	基底
302	導體層

304	複合間隙壁
306	接觸點層
308A, 308B	互連線
310A, 310B	通孔接觸點
312	層間介電層
314	低溫氧化矽膜
316	高k介電膜
318	高溫氧化矽膜
402	介電堆疊層
406	介電層
408	犧牲層
410	記憶體串
412	半導體通道
414	儲存膜
416	半導體插塞
418	縫隙
420	橫向凹槽
422	閘極介電層
424	膠合層
426	導體層
440	第一氧化矽膜
450	介電膜
460	第二氧化矽膜
462	縫隙接觸點

500 方法

502, 504, 506, 508, 510, 512 步驟

600 方法

602, 604, 608 步驟



202008564

【發明摘要】

【中文發明名稱】具有耐腐蝕複合間隙壁的三維記憶體元件

【英文發明名稱】 3D Memory Device with Anti-Corrosion Composite Spacer

【中文】

本案揭露了具有耐腐蝕複合間隙壁的三維（3D）記憶體元件及其形成方法的實施例。在一個示例中，3D記憶體元件包括基底、設置在基底上並包括多個導體/介電層對的儲存堆疊層、每個垂直延伸穿過儲存堆疊層的多個記憶體串、橫向設置在多個記憶體串之間的縫隙接觸點、以及橫向設置在縫隙接觸點和至少一記憶體串之間的複合間隙壁。複合間隙壁包括第一氧化矽膜、第二氧化矽膜和橫向設置在第一氧化矽膜和第二氧化矽膜之間的介電膜。

【英文】

An embodiment of three-dimensional (3D) memory device with anti-corrosion composite spacers and method of forming the same is disclosed. In an example, the 3D memory device includes a substrate, a storage stack layer with multiple conductor/dielectric pairs on the substrate, multiple memory strings vertically extending through the storage stack layer, gap contact laterally disposed between the multiple memory strings, and composite spacer laterally disposed between the gap contact and one of the memory strings. The composite spacer includes a first silicon oxide film, a second silicon oxide film and a dielectric film laterally disposed between the first silicon oxide film and the second silicon oxide film.

【指定代表圖】第（ 1 ）圖。

【代表圖之符號簡單說明】

- 100 三維記憶體元件
- 102 基底
- 104 NAND記憶體串
- 105 NAND儲存單元堆疊層
- 106 儲存堆疊層
- 107 導體層
- 108 介電層
- 110 通道結構
- 112 半導體通道
- 114 儲存膜
- 116 閘極介電層
- 118 介電層
- 120 半導體插塞
- 122 半導體插塞
- 124 縫隙結構
- 126 縫隙接觸點
- 128 複合間隙壁
- 130 第一氧化矽膜
- 132 第二氧化矽膜
- 134 介電膜
- 136 摻雜區

【特徵化學式】

無

【發明申請專利範圍】

【第1項】 一種三維（3D）記憶體元件，包括：

基底；

儲存堆疊層，設置在該基底上並包括多個導體/介電層對；

多個記憶體串，每個該記憶體串垂直延伸穿過該儲存堆疊層；

在該多個記憶體串之間橫向設置的縫隙接觸點；以及

複合間隙壁，其橫向設置在該縫隙接觸點和至少一該記憶體串之間，其中該複合間隙壁包括第一氧化矽膜、第二氧化矽膜和橫向設置在該第一氧化矽膜和該第二氧化矽膜之間的介電膜。

【第2項】 如申請專利範圍第1項所述之三維（3D）記憶體元件，其中該介電膜包括高介電常數（高k）介電材料。

【第3項】 如申請專利範圍第2項所述之三維（3D）記憶體元件，其中該高k介電材料包括氧化鋁。

【第4項】 如申請專利範圍第1-3項所述之三維（3D）記憶體元件，其中該介電膜的厚度在約1nm和約10nm之間。

【第5項】 如申請專利範圍第4項所述之三維（3D）記憶體元件，其中該介電膜的厚度在約3nm與約7nm之間。

【第6項】 如申請專利範圍第1項所述之三維（3D）記憶體元件，其中該第一氧化矽膜包括低溫氧化矽膜，而該第二氧化矽膜包括高溫氧化矽膜。

第 1 頁，共 4 頁(發明申請專利範圍)

【第7項】 如申請專利範圍第6項所述之三維（3D）記憶體元件，其中該低溫氧化矽膜橫向設置在該至少一該記憶體串和該介電膜之間，並且該高溫氧化矽膜橫向設置在該介電膜和該縫隙接觸點之間。

【第8項】 如申請專利範圍第1項所述之三維（3D）記憶體元件，其中該介電膜包括橫向堆疊的多個介電子膜。

【第9項】 如申請專利範圍第8項所述之三維（3D）記憶體元件，其中該多個介電子膜包括多個介電材料。

【第10項】 如申請專利範圍第1項所述之三維（3D）記憶體元件，其中每個該導體/介電層對包括含鎢的導體層。

【第11項】 如申請專利範圍第1項所述之三維（3D）記憶體元件，其中該縫隙接觸點包括鎢。

【第12項】 如申請專利範圍第1項所述之三維（3D）記憶體元件，其中每個該記憶體串包括：

垂直延伸穿過該導體/介電層對的半導體通道；以及

橫向設置在該導體/介電層對和該半導體通道之間的儲存膜。

【第13項】 如申請專利範圍第1項所述之三維（3D）記憶體元件，其中該縫隙接觸點和該複合間隙壁中的每一者在平面圖中呈標稱條紋狀。

【第14項】 如申請專利範圍第1項所述之三維（3D）記憶體元件，其中該縫隙接觸點電連接到該記憶體串中的至少兩個記憶體串的源極。

【第15項】 一種半導體元件，包括：

基底；

設置在該基底之上的導體層；

垂直延伸穿過該導體層的接觸點；以及

複合間隙壁，橫向設置在該接觸點和該導體層之間，其中該複合間隙壁包括低溫氧化矽膜、高溫氧化矽膜和橫向設置在該低溫氧化矽膜和該高溫氧化矽膜之間的高介電常數（高k）介電膜。

【第16項】 一種用於形成三維（3D）記憶體元件的方法，包括：

在基底上形成包括多個介電/犧牲層對的介電堆疊層；

形成垂直延伸穿過該介電堆疊層的記憶體串；

形成垂直延伸穿過該介電堆疊層的縫隙；

透過使用多個導體層穿過該縫隙來替換該介電/犧牲層對中的犧牲層，以在該基底上形成包括多個導體/介電層對的儲存堆疊層；

沿著該縫隙的側壁形成複合間隙壁，其中該複合間隙壁包括第一氧化矽膜、第二氧化矽膜和橫向形成在該第一氧化矽膜和該第二氧化矽膜之間的介電膜；以及

形成在該縫隙中且垂直延伸的縫隙接觸點。

【第17項】 如申請專利範圍第16項所述之用於形成三維（3D）記憶體元件的方

法，其中形成該複合間隙壁的步驟包括：

沿著該縫隙的側壁形成該第一氧化矽膜；

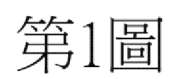
沿著該第一氧化矽膜形成該介電膜；以及

沿著該介電膜形成該第二氧化矽膜。

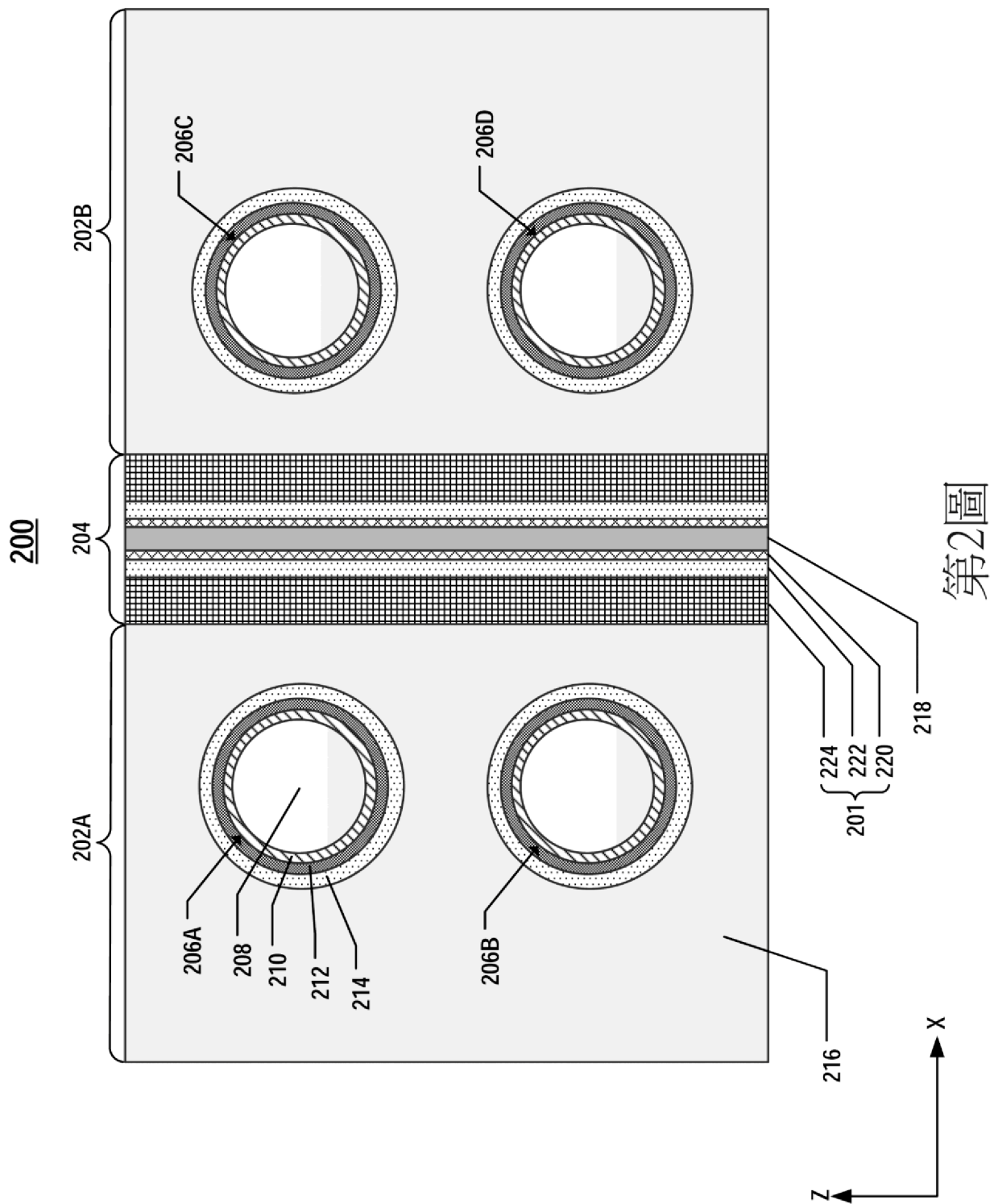
【第18項】 如申請專利範圍第16項所述之用於形成三維（3D）記憶體元件的方法，其中該第一氧化矽膜的形成處於第一溫度，而該第二氧化矽膜的形成處於高於該第一溫度的第二溫度。

【第19項】 如申請專利範圍第16項所述之用於形成三維（3D）記憶體元件的方法，其中該介電膜包括高介電常數（高k）介電材料。

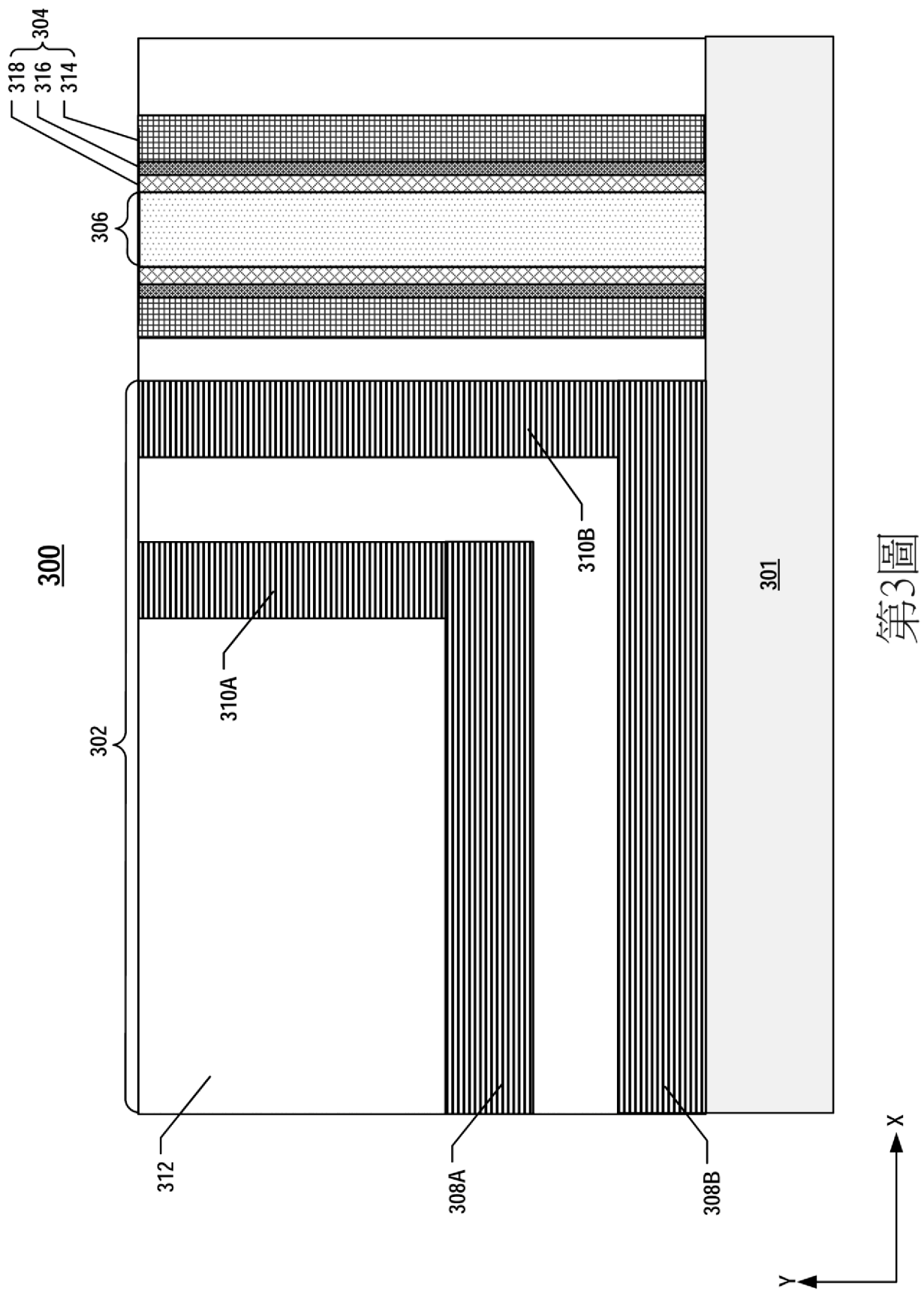
【第20項】 如申請專利範圍第16項所述之用於形成三維（3D）記憶體元件的方法，其中該介電膜的厚度在約1nm與約10nm之間。



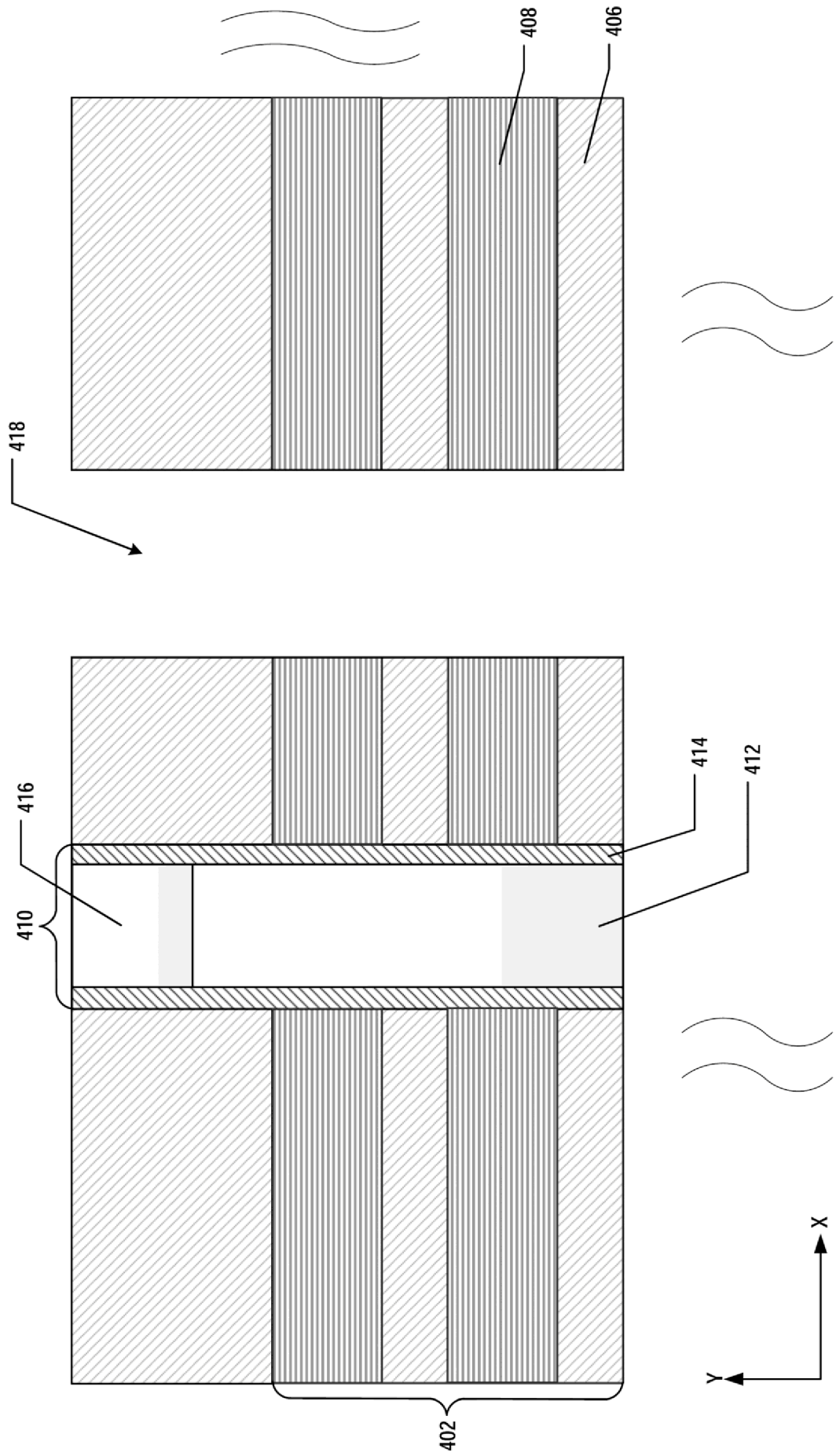
1072057991-0



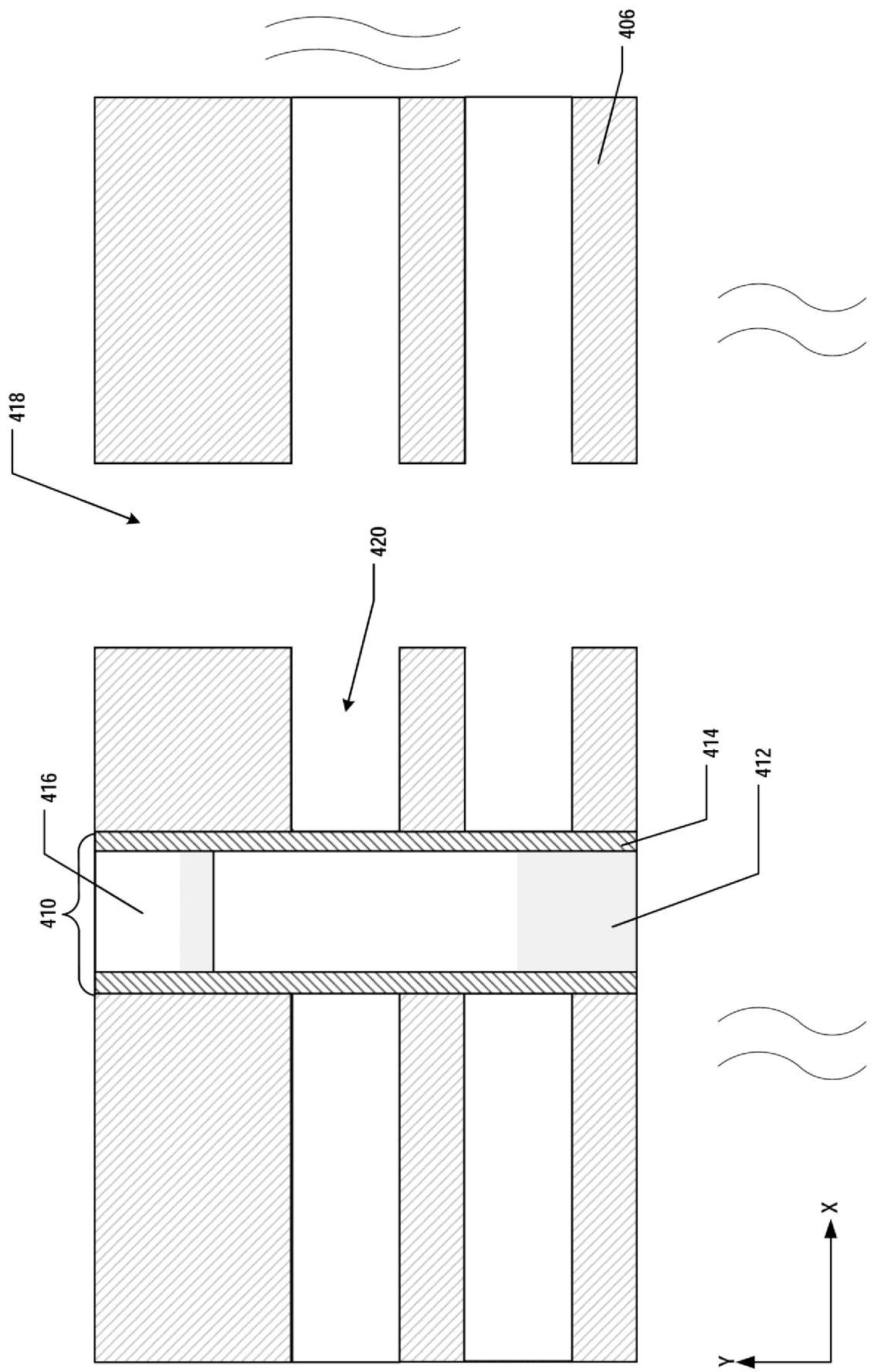
第2圖



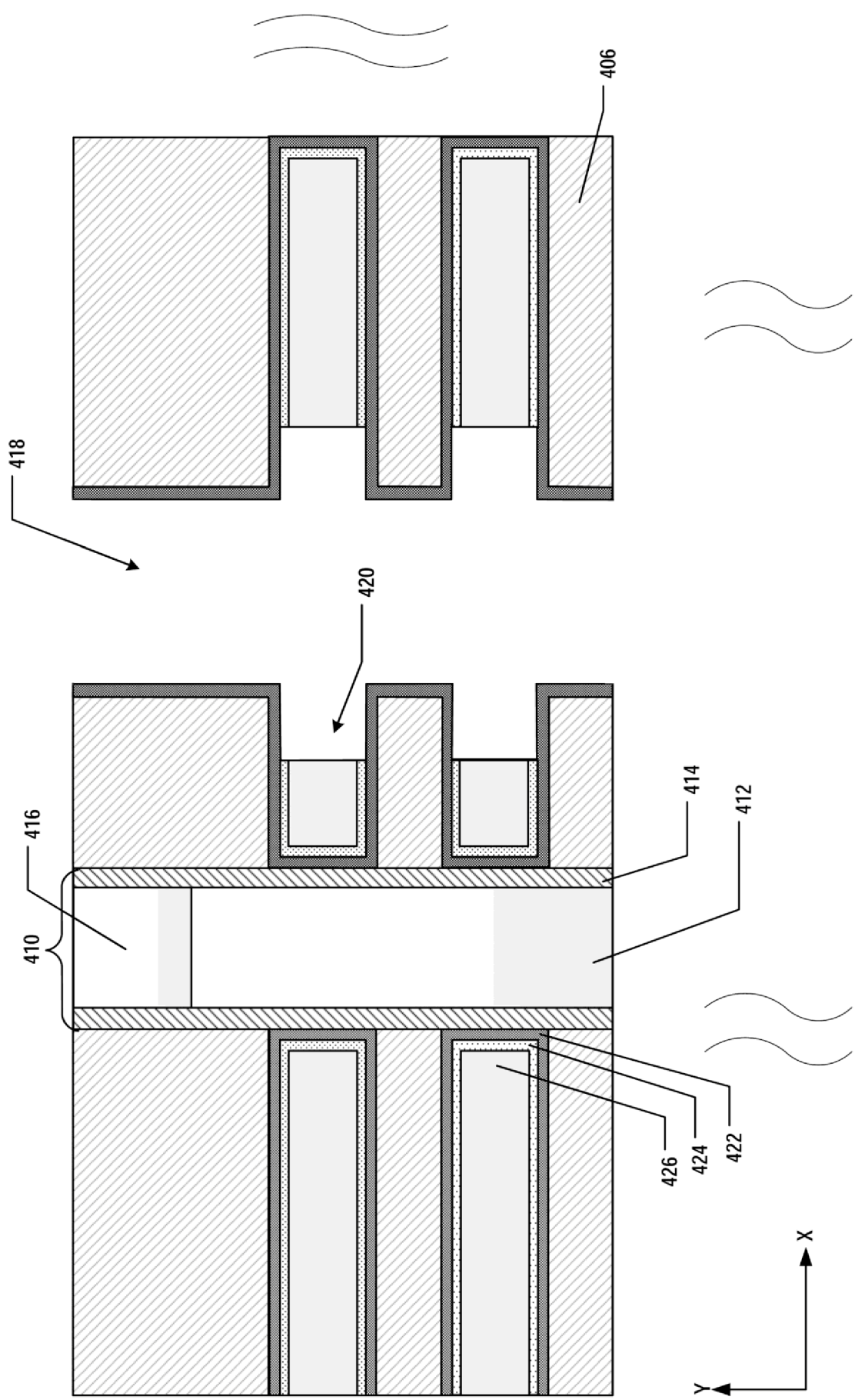
第3圖



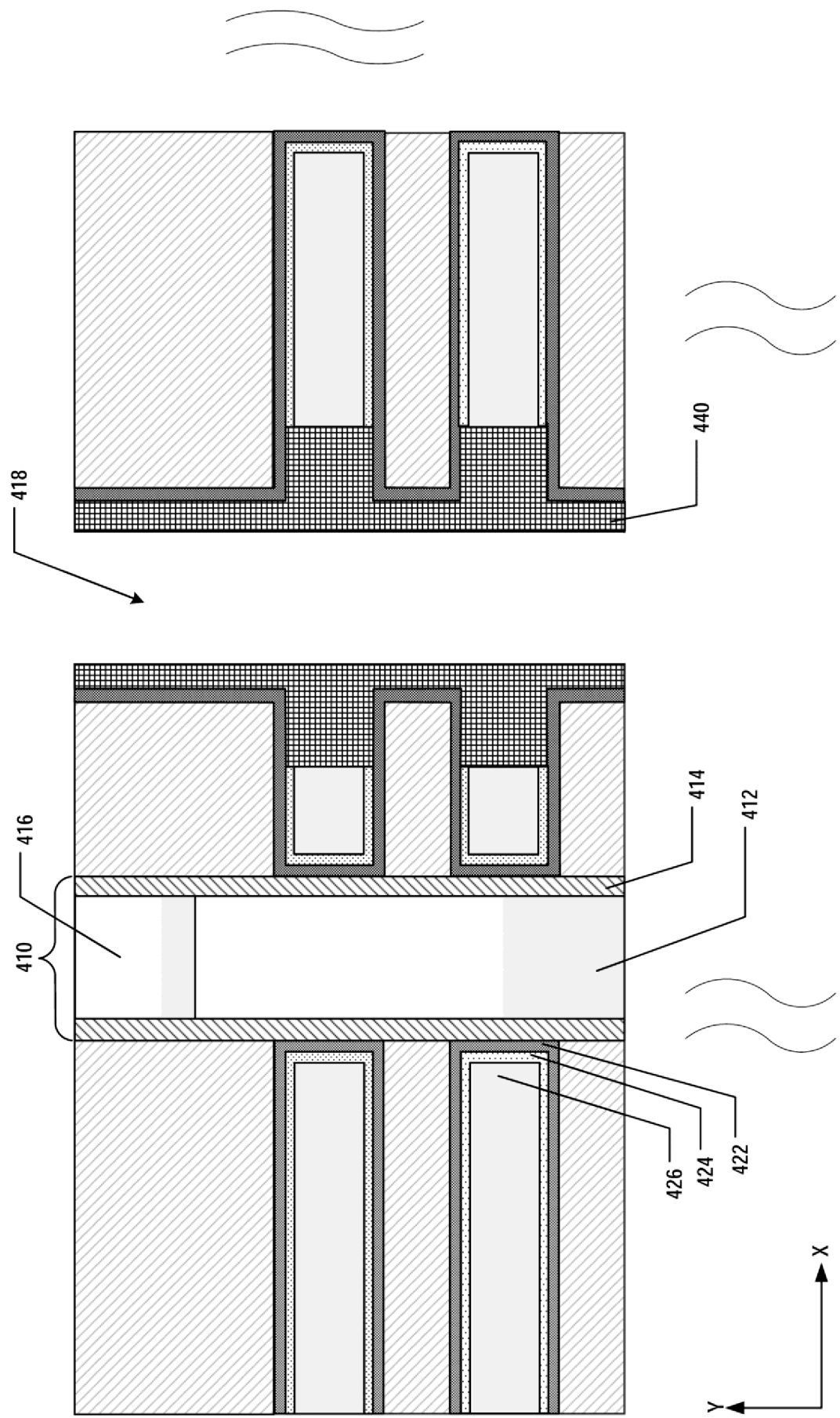
第4A圖



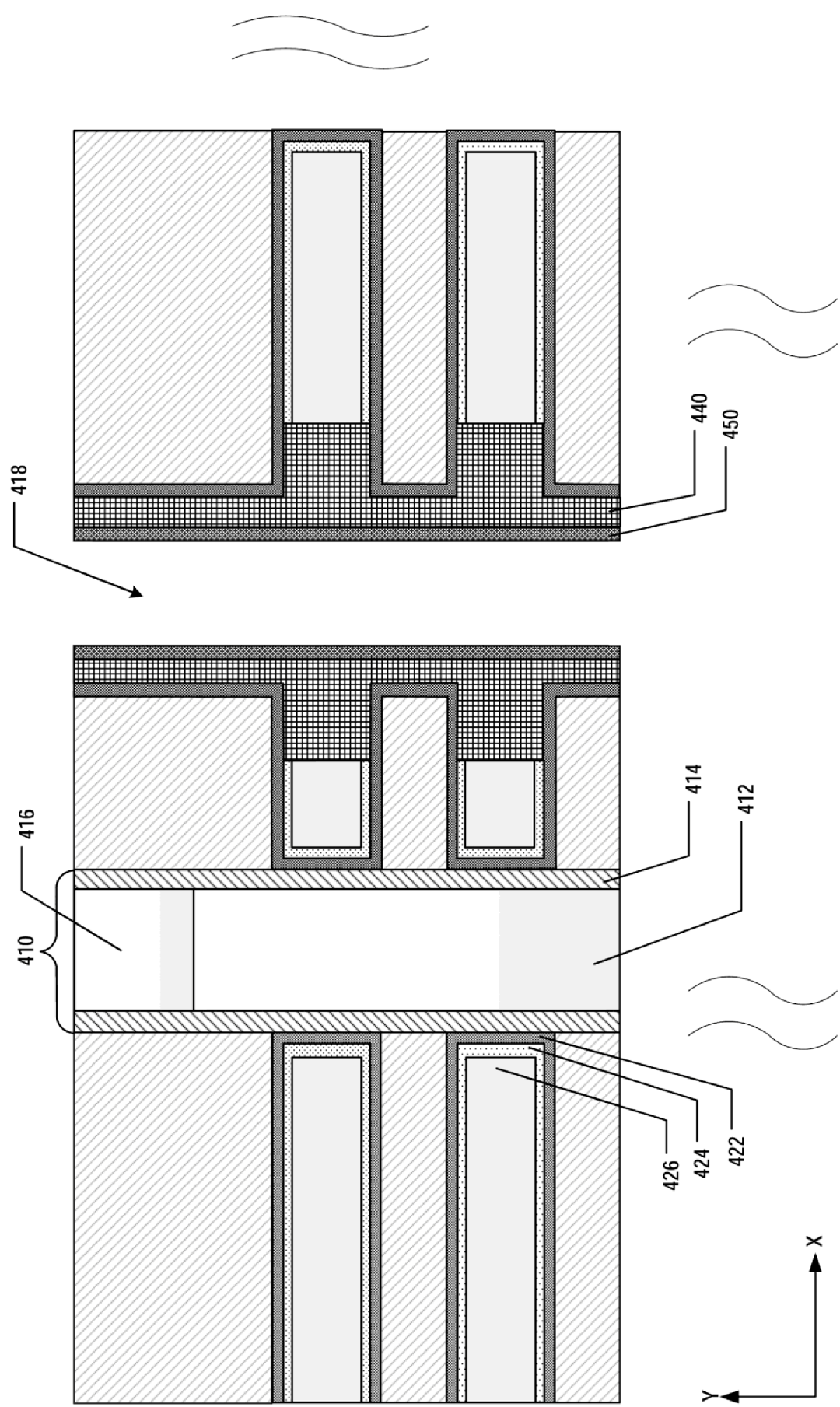
第4B圖



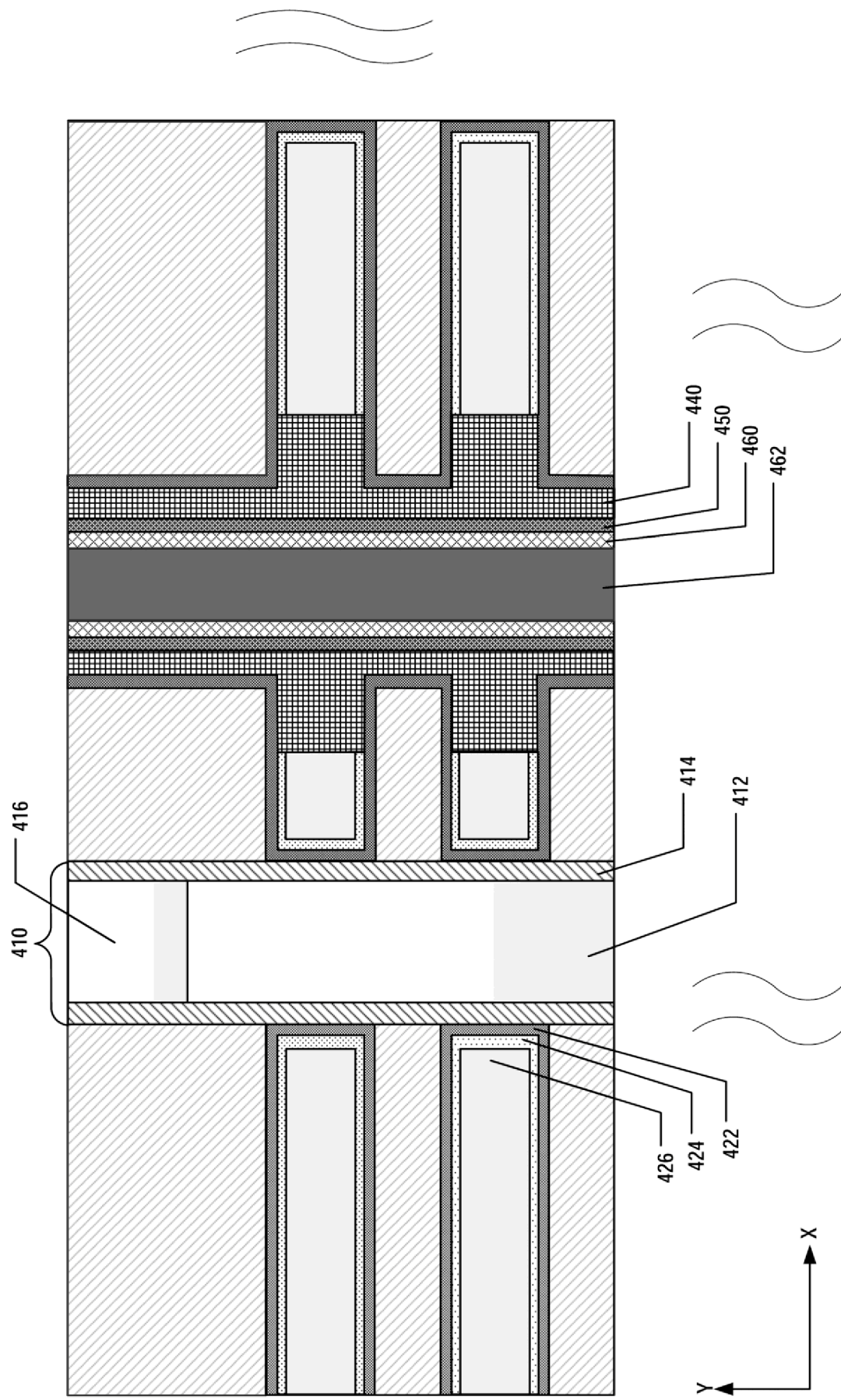
第4C圖



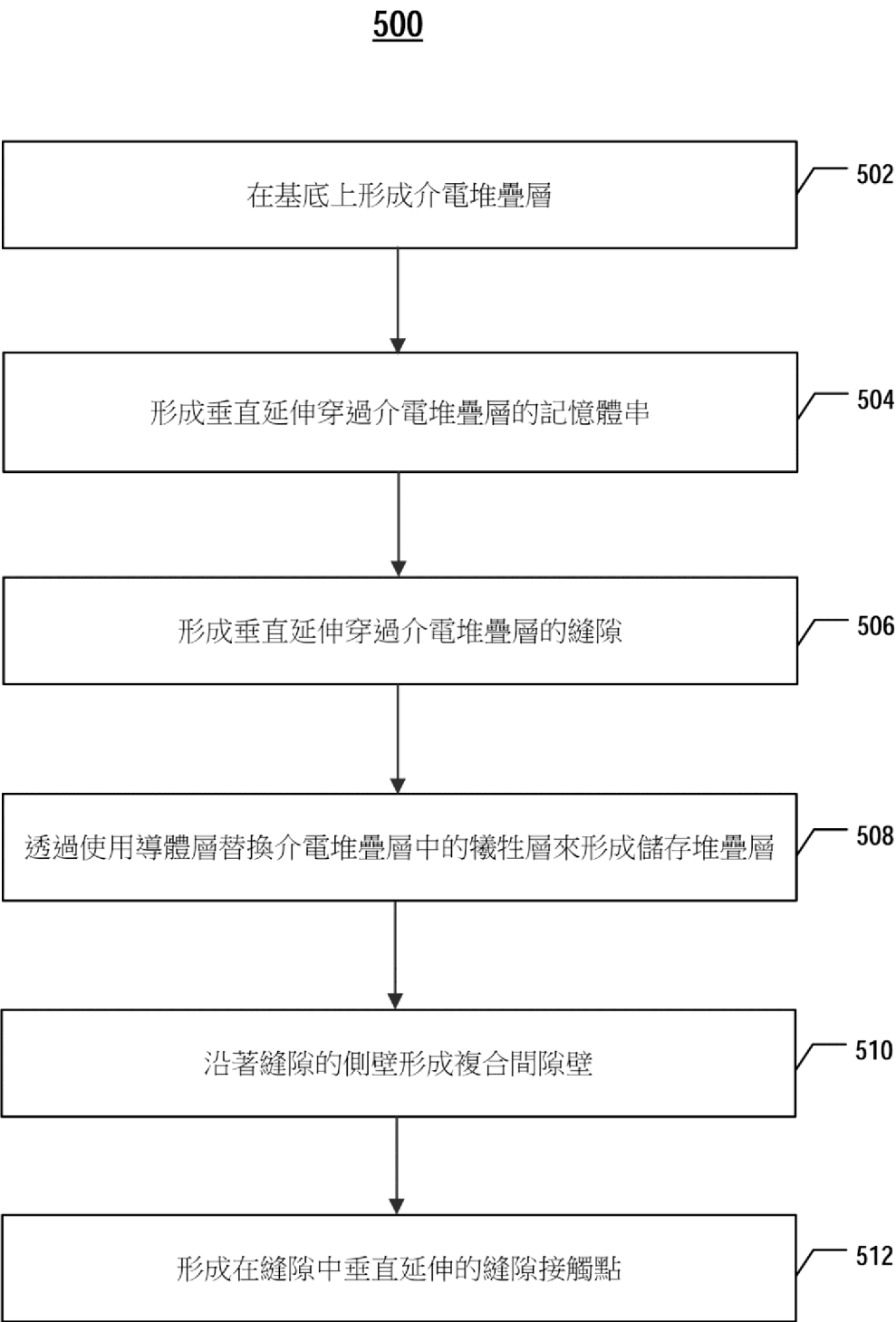
第4D圖



第4E圖

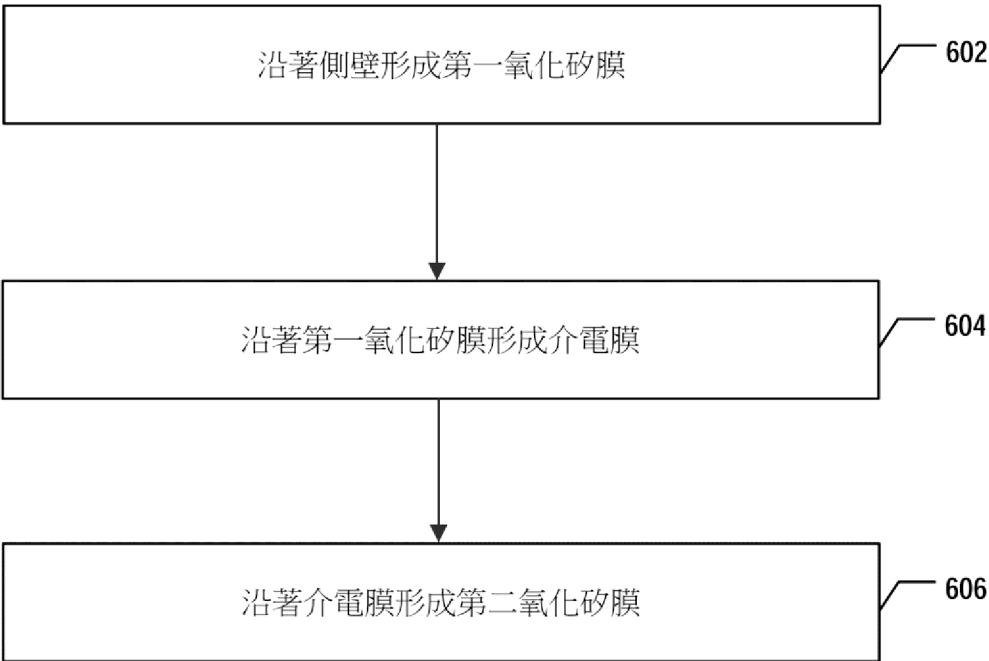


第4F圖



第5圖

600



第6圖