

(19) 日本国特許庁(JP)

## (12) 特許公報(B2)

(11) 特許番号

特許第5854895号  
(P5854895)

(45) 発行日 平成28年2月9日(2016.2.9)

(24) 登録日 平成27年12月18日(2015.12.18)

(51) Int.Cl.

F 1

H02M 1/08 (2006.01)  
H03K 17/12 (2006.01)H02M 1/08  
H03K 17/12

A

請求項の数 19 (全 47 頁)

(21) 出願番号 特願2012-54269 (P2012-54269)  
 (22) 出願日 平成24年3月12日 (2012.3.12)  
 (65) 公開番号 特開2012-249509 (P2012-249509A)  
 (43) 公開日 平成24年12月13日 (2012.12.13)  
 審査請求日 平成26年5月27日 (2014.5.27)  
 (31) 優先権主張番号 特願2011-102779 (P2011-102779)  
 (32) 優先日 平成23年5月2日 (2011.5.2)  
 (33) 優先権主張国 日本国 (JP)

(73) 特許権者 000006013  
 三菱電機株式会社  
 東京都千代田区丸の内二丁目7番3号  
 (74) 代理人 110001195  
 特許業務法人深見特許事務所  
 (72) 発明者 ハリッド ハッサン フッセイン  
 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内  
 (72) 発明者 熊谷 敏之  
 福岡県福岡市西区今宿東一丁目1番1号  
 メルコセミコンダクタエンジニアリング株式会社内  
 (72) 発明者 斎藤 省二  
 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内

最終頁に続く

(54) 【発明の名称】電力用半導体装置

(57) 【特許請求の範囲】

【請求項 1】

電力用半導体装置であって、

互いに並列に接続された第1および第2の電力用半導体素子と、

外部から繰返し受けるオン指令およびオフ指令に応じて前記第1および第2の電力用半導体素子の各々をオン状態またはオフ状態にする駆動制御部とを備え、

前記駆動制御部は、前記オン指令に対して、前記第1および第2の電力用半導体素子を同時にオン状態にする場合と、前記第1および第2の電力用半導体素子の一方をオン状態にした後に他方をオン状態にする場合とに切替え可能であり、

前記駆動制御部は、前記オフ指令に対して、前記第1および第2の電力用半導体素子の一方をオフ状態にした後に他方をオフ状態にし、

前記電力用半導体装置は、前記第1および第2の電力用半導体素子の少なくとも一方を流れる電流または両方を流れる電流の和を検出する電流検出部をさらに備え、

前記駆動制御部は、前記オン指令を受けて前記第1および第2の電力用半導体素子をオン状態にしたときに前記電流検出部によって得られた電流検出値が第1の閾値以下であるか否かを判定する判定動作を行ない、

前記駆動制御部は、前記電流検出値が前記第1の閾値以下の場合には、次の前記判定動作までの間に受けた前記オン指令に対して前記第1および第2の電力用半導体素子の一方をオン状態にした後に他方をオン状態にし、

前記駆動制御部は、前記電流検出値が前記第1の閾値を超えている場合には、次の前記

10

20

判定動作までの間に受けた前記オン指令に対して前記第1および第2の電力用半導体素子を同時にオン状態にする、電力用半導体装置。

【請求項2】

電力用半導体装置であって、

互いに並列に接続された第1および第2の電力用半導体素子と、

外部から繰返し受けるオン指令およびオフ指令に応じて前記第1および第2の電力用半導体素子の各々をオン状態またはオフ状態にする駆動制御部とを備え、

前記駆動制御部は、前記オン指令に対して、前記第1および第2の電力用半導体素子を同時にオン状態にする場合と、前記第1および第2の電力用半導体素子の一方をオン状態にした後に他方をオン状態にする場合とに切替え可能であり、

前記駆動制御部は、前記オフ指令に対して、前記第1および第2の電力用半導体素子を同時にオフ状態にする場合と、前記第1および第2の電力用半導体素子の一方をオフ状態にした後に他方をオフ状態にする場合とに切替え可能であり、

前記電力用半導体装置は、前記第1および第2の電力用半導体素子の少なくとも一方を流れる電流または両方を流れる電流の和を検出する電流検出部をさらに備え、

前記駆動制御部は、前記オン指令を受けて前記第1および第2の電力用半導体素子をオン状態にしたときに前記電流検出部によって得られた電流検出値を第1の閾値および前記第1の閾値より大きい第2の閾値とそれぞれ比較する判定動作を行ない、

前記駆動制御部は、前記電流検出値が前記第1の閾値以下の場合には、次の前記判定動作までの間に受けた前記オン指令に対して前記第1および第2の電力用半導体素子の一方をオン状態にした後に他方をオン状態にするとともに、次の前記判定動作までの間に受けた前記オフ指令に対して前記第1および第2の電力用半導体素子の一方をオフ状態にした後に他方をオフ状態にし、

前記駆動制御部は、前記電流検出値が前記第1の閾値を超えかつ前記第2の閾値以下の場合には、次の前記判定動作までの間に受けた前記オン指令に対して前記第1および第2の電力用半導体素子を同時にオン状態にするとともに、次の前記判定動作までの間に受けた前記オフ指令に対して前記第1および第2の電力用半導体素子の一方をオフ状態にした後に他方をオフ状態にし、

前記駆動制御部は、前記電流検出値が前記第2の閾値を超える場合には、次の前記判定動作までの間に受けた前記オン指令に対して前記第1および第2の電力用半導体素子を同時にオン状態にするとともに、次の前記判定動作までの間に受けた前記オフ指令に対して前記第1および第2の電力用半導体素子を同時にオフ状態にする、電力用半導体装置。

【請求項3】

電力用半導体装置であって、

互いに並列に接続された第1および第2の電力用半導体素子と、

外部から繰返し受けるオン指令およびオフ指令に応じて前記第1および第2の電力用半導体素子の各々をオン状態またはオフ状態にする駆動制御部とを備え、

前記駆動制御部は、前記オン指令に対して、前記第1および第2の電力用半導体素子を同時にオン状態にし、

前記駆動制御部は、前記オフ指令に対して、前記第1および第2の電力用半導体素子を同時にオフ状態にする場合と、前記第1および第2の電力用半導体素子の一方をオフ状態にした後に他方をオフ状態にする場合とに切替え可能であり、

前記電力用半導体装置は、前記第1および第2の電力用半導体素子の少なくとも一方を流れる電流または両方を流れる電流の和を検出する電流検出部をさらに備え、

前記駆動制御部は、前記オン指令を受けて前記第1および第2の電力用半導体素子をオン状態にしたときに前記電流検出部によって得られた電流検出値が第2の閾値以下であるか否かを判定する判定動作を行ない、

前記駆動制御部は、前記電流検出値が前記第2の閾値以下の場合には、次の前記判定動作までの間に受けた前記オフ指令に対して前記第1および第2の電力用半導体素子の一方をオフ状態にした後に他方をオフ状態にし、

10

20

30

40

50

前記駆動制御部は、前記電流検出値が前記第2の閾値を超えている場合には、次の前記判定動作までの間に受けた前記オフ指令に対して前記第1および第2の電力用半導体素子を同時にオフ状態にする、電力用半導体装置。

【請求項4】

前記第1および第2の電力用半導体素子の各々は、主電流の一部が分流して流れるセンス電極を有し、

前記電流検出部は、

前記第1の電力用半導体素子の前記センス電極に接続された第1の検出用抵抗素子と、

前記第2の電力用半導体素子の前記センス電極に接続された第2の検出用抵抗素子とを含む、請求項1～3のいずれか1項に記載の電力用半導体装置。 10

【請求項5】

オン状態における前記第1の電力用半導体素子の飽和電圧は、前記第2の電力用半導体素子の飽和電圧よりも小さく、

前記駆動制御部は、前記オフ指令に対して前記第1および第2の電力用半導体素子の一方をオフ状態にした後に他方をオフ状態にする場合には、前記第1の電力用半導体素子を前記第2の電力用半導体素子よりも先にオフ状態にする、請求項1～3のいずれか1項に記載の電力用半導体装置。

【請求項6】

前記第1および第2の電力用半導体素子の各々は、制御電極を有し、制御電極に印加される電圧が閾値電圧以下となったときにオン状態からオフ状態に切替わり、 20

前記第1の電力用半導体素子の閾値電圧は、前記第2の電力用半導体素子の閾値電圧よりも大きく、

前記駆動制御部は、前記オフ指令に対して前記第1および第2の電力用半導体素子の一方をオフ状態にした後に他方をオフ状態にする場合には、前記第1の電力用半導体素子を前記第2の電力用半導体素子よりも先にオフ状態にする、請求項1～3のいずれか1項に記載の電力用半導体装置。

【請求項7】

前記第1の電力用半導体素子は、バイポーラトランジスタであり、

前記第2の電力用半導体素子は、ユニポーラトランジスタであり、

前記駆動制御部は、前記オフ指令に対して前記第1および第2の電力用半導体素子の一方をオフ状態にした後に他方をオフ状態にする場合には、前記第1の電力用半導体素子を前記第2の電力用半導体素子よりも先にオフ状態にする、請求項1～3のいずれか1項に記載の電力用半導体装置。 30

【請求項8】

前記駆動制御部は、前記オン指令に対して前記第1および第2の電力用半導体素子の一方をオン状態にした後に他方をオン状態にする場合には、前記オン指令を受ける毎に、先にオン状態にする電力用半導体素子と後にオン状態にする電力用半導体素子とを切替える、請求項1または2に記載の電力用半導体装置。

【請求項9】

前記駆動制御部は、前記オフ指令に対して前記第1および第2の電力用半導体素子の一方をオフ状態にした後に他方をオフ状態にする場合には、前記オフ指令を受ける毎に、先にオフ状態にする電力用半導体素子と後にオフ状態にする電力用半導体素子とを切替える、請求項1～3および8のいずれか1項に記載の電力用半導体装置。 40

【請求項10】

電力用半導体装置であって、

互いに並列に接続された第1および第2の電力用半導体素子と、

外部から繰返し受けるオン指令およびオフ指令に応じて前記第1および第2の電力用半導体素子の各々をオン状態またはオフ状態にする駆動制御部とを備え、

前記駆動制御部は、前記オン指令に対して、前記第1および第2の電力用半導体素子を同時にオン状態にする場合と、前記第1および第2の電力用半導体素子の一方をオン状態 50

にした後に他方をオン状態にする場合とに切替え可能であり、

前記駆動制御部は、前記オフ指令に対して、前記第1および第2の電力用半導体素子を同時にオフ状態にする場合と、前記第1および第2の電力用半導体素子の一方をオフ状態にした後に他方をオフ状態にする場合とに切替え可能であり、

前記第1および第2の電力用半導体素子の各々は、制御電極を有し、制御電極に印加される電圧に応じてオン状態またはオフ状態に切替わり、

前記駆動制御部は、

第1および第2のノード間に接続された駆動用電源と、

前記オン指令および前記オフ指令にそれぞれ対応して論理レベルが変化する駆動信号を受け、前記駆動信号に応じて変化する第1～第4の制御信号を出力する制御回路と、

10

前記第1の電力用半導体素子の制御電極に一端が接続された第1の抵抗素子と、

前記第1の抵抗素子の他端と前記第1のノードとの間に接続され、制御電極に前記第1の制御信号を受ける第1の駆動用トランジスタと、

前記第1の電力用半導体素子の制御電極に一端が接続された第2の抵抗素子と、

前記第2の抵抗素子の他端と前記第2のノードとの間に接続され、制御電極に前記第2の制御信号を受ける第2の駆動用トランジスタと、

前記第2の電力用半導体素子の制御電極に一端が接続された第3の抵抗素子と、

前記第3の抵抗素子の他端と前記第1のノードとの間に接続され、制御電極に前記第3の制御信号を受ける第3の駆動用トランジスタと、

前記第2の電力用半導体素子の制御電極に一端が接続された第4の抵抗素子と、

20

前記第4の抵抗素子の他端と前記第2のノードとの間に接続され、制御電極に前記第4の制御信号を受ける第4の駆動用トランジスタとを含む、電力用半導体装置。

### 【請求項11】

電力用半導体装置であって、

互いに並列に接続された第1および第2の電力用半導体素子と、

外部から繰返し受けるオン指令およびオフ指令に応じて前記第1および第2の電力用半導体素子の各々をオン状態またはオフ状態にする駆動制御部とを備え、

前記駆動制御部は、前記オン指令に対して、前記第1および第2の電力用半導体素子を同時にオン状態にし、

前記駆動制御部は、前記オフ指令に対して、前記第1および第2の電力用半導体素子の一方をオフ状態にした後に他方をオフ状態にし、

30

前記第1および第2の電力用半導体素子の各々は、制御電極を有し、制御電極に印加される電圧に応じてオン状態またはオフ状態に切替わり、

前記駆動制御部は、

第1および第2のノード間に接続された駆動用電源と、

前記オン指令および前記オフ指令にそれぞれ対応して論理レベルが変化する駆動信号を受け、前記駆動信号に応じて変化する第1および第2の制御信号を出力する制御回路と、

前記第1の電力用半導体素子の制御電極に一端が接続された第1の抵抗素子と、

前記第1の抵抗素子の他端と前記第1のノードとの間に接続され、制御電極に前記第1の制御信号を受ける第1の駆動用トランジスタと、

40

前記第1の電力用半導体素子の制御電極に一端が接続された第2の抵抗素子と、

前記第2の抵抗素子の他端と前記第2のノードとの間に接続され、制御電極に前記第2の制御信号を受ける第2の駆動用トランジスタと、

前記第1の制御信号を受け、前記第1の制御信号の立上がりエッジおよび立下がりエッジのうちの一方を遅延させる第1の遅延回路と、

前記第2の制御信号を受け、前記第2の制御信号の立上がりエッジおよび立下がりエッジのうちの一方を遅延させる第2の遅延回路と、

前記第2の電力用半導体素子の制御電極に一端が接続された第3の抵抗素子と、

前記第3の抵抗素子の他端と前記第1のノードとの間に接続され、制御電極に前記第1の遅延回路の出力を受ける第3の駆動用トランジスタと、

50

前記第2の電力用半導体素子の制御電極に一端が接続された第4の抵抗素子と、  
前記第4の抵抗素子の他端と前記第2のノードとの間に接続され、制御電極に前記第2の遅延回路の出力を受ける第4の駆動用トランジスタとを含み、

前記第1の遅延回路は、前記第3の駆動用トランジスタのオフ状態への切替わりに対応するエッジを遅延させ、

前記第2の遅延回路、前記第4の駆動用トランジスタのオン状態への切替わりに対応するエッジを遅延させる、電力用半導体装置。

【請求項12】

電力用半導体装置であって、

互いに並列に接続された第1および第2の電力用半導体素子と、

10

外部から繰返し受けるオン指令およびオフ指令に応じて前記第1および第2の電力用半導体素子の各々をオン状態またはオフ状態にする駆動制御部とを備え、

前記駆動制御部は、前記オン指令に対して、前記第1および第2の電力用半導体素子を同時にオン状態にし、

前記駆動制御部は、前記オフ指令に対して、前記第1および第2の電力用半導体素子を同時にオフ状態にする場合と、前記第1および第2の電力用半導体素子の一方をオフ状態にした後に他方をオフ状態にする場合とに切替え可能であり、

前記第1および第2の電力用半導体素子の各々は、制御電極を有し、制御電極に印加される電圧に応じてオン状態またはオフ状態に切替わり、

前記駆動制御部は、

20

第1および第2のノード間に接続された駆動用電源と、

前記オン指令および前記オフ指令にそれぞれ対応して論理レベルが変化する駆動信号を受け、前記駆動信号に応じて変化する第1～第3の制御信号を出力する制御回路と、

第1の主電極が前記第1のノードと接続され、制御電極に前記第1の制御信号を受ける第1の駆動用トランジスタと、

前記第1の電力用半導体素子の制御電極に一端が接続された第1の抵抗素子と、

前記第1の抵抗素子の他端と前記第1の駆動用トランジスタの第2の主電極との間に、前記第1の駆動用トランジスタがオン状態のときに導通状態になる極性で接続された第1のダイオードと、

前記第1の電力用半導体素子の制御電極に一端が接続された第2の抵抗素子と、

30

前記第2の抵抗素子の他端と前記第2のノードとの間に接続され、前記第2の制御信号を制御電極に受ける第2の駆動用トランジスタと、

前記第2の電力用半導体素子の制御電極に一端が接続された第3の抵抗素子と、

前記第3の抵抗素子の他端と前記第1の駆動用トランジスタの前記第2の主電極との間に、前記第1の駆動用トランジスタがオン状態のときに導通状態になる極性で接続された第2のダイオードと、

前記第2の電力用半導体素子の制御電極に一端が接続された第4の抵抗素子と、

前記第4の抵抗素子の他端と前記第2のノードとの間に接続され、前記第3の制御信号を制御電極に受ける第3の駆動用トランジスタとを含む、電力用半導体装置。

【請求項13】

40

電力用半導体装置であって、

互いに並列に接続された第1および第2の電力用半導体素子と、

外部から繰返し受けるオン指令およびオフ指令に応じて前記第1および第2の電力用半導体素子の各々をオン状態またはオフ状態にする駆動制御部とを備え、

前記駆動制御部は、前記オン指令に対して、前記第1および第2の電力用半導体素子を同時にオン状態にし、

前記駆動制御部は、前記オフ指令に対して、前記第1および第2の電力用半導体素子の一方をオフ状態にした後に他方をオフ状態にし、

前記第1および第2の電力用半導体素子の各々は、制御電極を有し、制御電極に印加される電圧に応じてオン状態またはオフ状態に切替わり、

50

前記駆動制御部は、

第1および第2のノード間に接続された駆動用電源と、

前記オン指令および前記オフ指令にそれぞれ対応して論理レベルが変化する駆動信号を受け、前記駆動信号に応じて変化する第1および第2の制御信号を出力する制御回路と、

第1の主電極が前記第1のノードと接続され、制御電極に前記第1の制御信号を受ける第1の駆動用トランジスタと、

前記第1の電力用半導体素子の制御電極に一端が接続された第1の抵抗素子と、

前記第1の抵抗素子の他端と前記第1の駆動用トランジスタの第2の主電極との間に、前記第1の駆動用トランジスタがオン状態にときに導通状態になる極性で接続された第1のダイオードと、

10

前記第1の電力用半導体素子の制御電極に一端が接続された第2の抵抗素子と、

前記第2の抵抗素子の他端と前記第2のノードとの間に接続され、前記第2の制御信号を制御電極に受ける第2の駆動用トランジスタと、

前記第2の制御信号を受け、前記第2の制御信号の立上がりエッジおよび立下がりエッジのうちの一方を遅延させる遅延回路と、

前記第2の電力用半導体素子の制御電極に一端が接続された第3の抵抗素子と、

前記第3の抵抗素子の他端と前記第1の駆動用トランジスタの前記第2の主電極との間に、前記第1の駆動用トランジスタがオン状態にときに導通状態になる極性で接続された第2のダイオードと、

前記第2の電力用半導体素子の制御電極に一端が接続された第4の抵抗素子と、

20

前記第4の抵抗素子の他端と前記第2のノードとの間に接続され、制御電極に前記遅延回路の出力を受ける第3の駆動用トランジスタとを含み、

前記遅延回路は、前記第3の駆動用トランジスタのオン状態への切替わりに対応するエッジを遅延させる、電力用半導体装置。

【請求項1-4】

電力用半導体装置であって、

互いに並列に接続された第1および第2の電力用半導体素子と、

外部から繰返し受けるオン指令およびオフ指令に応じて前記第1および第2の電力用半導体素子の各々をオン状態またはオフ状態にする駆動制御部とを備え、

前記駆動制御部は、前記オン指令に対して、前記第1および第2の電力用半導体素子を同時にオン状態にし、

30

前記駆動制御部は、前記オフ指令に対して、前記第1および第2の電力用半導体素子の一方をオフ状態にした後に他方をオフ状態にし、

前記第1および第2の電力用半導体素子の各々は、制御電極を有し、制御電極に印加される電圧に応じてオン状態またはオフ状態に切替わり、

前記駆動制御部は、

第1および第2のノード間に接続された駆動用電源と、

前記オン指令および前記オフ指令にそれぞれ対応して論理レベルが変化する駆動信号を受ける入力ノードと、

前記入力ノードで受けた前記駆動信号の論理レベルを反転するインバータと、

40

前記第1の電力用半導体素子の制御電極に一端が接続された第1の抵抗素子と、

前記第1の抵抗素子の他端と前記第1のノードとの間に接続され、制御電極に前記駆動信号を受ける第1の駆動用トランジスタと、

前記第1の電力用半導体素子の制御電極に一端が接続された第2の抵抗素子と、

前記第2の抵抗素子の他端と前記第2のノードとの間に接続され、制御電極に前記インバータの出力を受ける第2の駆動用トランジスタと、

前記駆動信号を受け、前記駆動信号の立上がりエッジおよび立下がりエッジのうちの一方を遅延させる第1の遅延回路と、

前記インバータの出力を受け、前記インバータの出力の立上がりエッジおよび立下がりエッジのうちの一方を遅延させる第2の遅延回路と、

50

前記第2の電力用半導体素子の制御電極に一端が接続された第3の抵抗素子と、  
前記第3の抵抗素子の他端と前記第1のノードとの間に接続され、制御電極に前記第1の遅延回路の出力を受ける第3の駆動用トランジスタと、

前記第2の電力用半導体素子の制御電極に一端が接続された第4の抵抗素子と、  
前記第4の抵抗素子の他端と前記第2のノードとの間に接続され、制御電極に前記第2の遅延回路の出力を受ける第4の駆動用トランジスタとを含み、

前記第1の遅延回路は、前記第3の駆動用トランジスタのオフ状態への切替わりに対応するエッジを遅延させ、

前記第2の遅延回路は、前記第4の駆動用トランジスタのオン状態への切替わりに対応するエッジを遅延させる、電力用半導体装置。

10

【請求項15】

前記駆動用電源の出力電圧が前記第1および第2の抵抗素子によって分圧された電圧は、前記第1の電力用半導体素子がオン状態に切替わる閾値電圧よりも小さい、請求項11～14のいずれか1項に記載の電力用半導体装置。

【請求項16】

前記第1および第2の電力用半導体素子の各々は、制御電極を有し、前記制御電極に駆動電圧を受けた場合にオフ状態からオン状態に切替わり、

前記駆動制御部は、

第1および第2のノード間に接続され、前記駆動電圧を出力する駆動用電源と、

前記オン指令および前記オフ指令にそれぞれ対応して論理レベルが変化する駆動信号を受ける入力ノードと、

前記入力ノードで受けた前記駆動信号の論理レベルを反転するインバータと、

前記電流検出部によって得られた電流検出値が前記第2の閾値以下であるか否かを判定する論理回路と、

前記駆動信号を受け、前記駆動信号の立上がりエッジおよび立下がりエッジの両方を第1の遅延時間だけ遅延させる第1の遅延回路と、

前記インバータの出力を受け、前記インバータの出力の立上がりエッジおよび立下がりエッジの両方を第2の遅延時間だけ遅延させる第2の遅延回路と、

前記第1の電力用半導体素子の制御電極に一端が接続された第1の抵抗素子と、

前記第1の抵抗素子の他端と前記第1のノードとの間に接続され、制御電極に前記第1の遅延回路の出力を受ける第1の駆動用トランジスタと、

前記第1の電力用半導体素子の制御電極に一端が接続された第2の抵抗素子と、

前記第2の抵抗素子の他端と前記第2のノードとの間に接続され、制御電極に前記第2の遅延回路の出力を受ける第2の駆動用トランジスタと、

前記駆動信号を受け、前記駆動信号の立上がりエッジおよび立下がりエッジのうちの両方を遅延させる第3の遅延回路と、

前記インバータの出力を受け、前記インバータの出力の立上がりエッジおよび立下がりエッジのうちの両方を遅延させる第4の遅延回路と、

前記第2の電力用半導体素子の制御電極に一端が接続された第3の抵抗素子と、

前記第3の抵抗素子の他端と前記第1のノードとの間に接続され、制御電極に前記第3の遅延回路の出力を受ける第3の駆動用トランジスタと、

前記第2の電力用半導体素子の制御電極に一端が接続された第4の抵抗素子と、

前記第4の抵抗素子の他端と前記第2のノードとの間に接続され、制御電極に前記第4の遅延回路の出力を受ける第4の駆動用トランジスタとを含み、

前記第3の遅延回路は、前記論理回路の判定結果をさらに受け、前記第3の駆動用トランジスタのオン状態への切替わりに対応するエッジを前記第1の遅延時間だけ遅延させ、前記第3の駆動用トランジスタのオフ状態への切替わりに対応するエッジを、前記電流検出値が前記第2の閾値以下の場合に前記第1の遅延時間よりも大きい第3の遅延時間だけ遅延させ、前記電流検出値が前記第2の閾値を超える場合に前記第1の遅延時間だけ遅延させ、

20

30

40

50

前記第4の遅延回路は、前記論理回路の判定結果をさらに受け、前記第4の駆動用トランジスタのオン状態への切替わりに対応するエッジを前記第2の遅延時間だけ遅延させ、前記第4の駆動用トランジスタのオフ状態への切替わりに対応するエッジを、前記電流検出値が前記第2の閾値以下の場合に前記第2の遅延時間よりも大きい第4の遅延時間だけ遅延させ、前記電流検出値が前記第2の閾値を超える場合に前記第2の遅延時間だけ遅延させる、請求項3に記載の電力用半導体装置。

【請求項17】

電力用半導体装置であって、

互いに並列に接続された第1および第2の電力用半導体素子と、

外部から繰返し受けるオン指令およびオフ指令に応じて前記第1および第2の電力用半導体素子の各々をオン状態またはオフ状態にする駆動制御部とを備え、

前記駆動制御部は、前記オン指令に対して、前記第1および第2の電力用半導体素子の一方をオン状態にした後に他方をオン状態にし、

前記駆動制御部は、前記オフ指令に対して、前記第1および第2の電力用半導体素子を同時にオフ状態にする場合と、前記第1および第2の電力用半導体素子の一方をオフ状態にした後に他方をオフ状態にする場合とに切替え可能であり、

前記電力用半導体装置は、前記第1および第2の電力用半導体素子の少なくとも一方を流れる電流または両方を流れる電流の和を検出する電流検出部をさらに備え、

前記駆動制御部は、前記オン指令を受けて前記第1および第2の電力用半導体素子をオン状態にしたときに前記電流検出部によって得られた電流検出値が第2の閾値以下であるか否かを判定する判定動作を行ない、

前記駆動制御部は、前記電流検出値が前記第2の閾値以下の場合には、次の前記判定動作までの間に受けた前記オフ指令に対して前記第1および第2の電力用半導体素子の一方をオフ状態にした後に他方をオフ状態にし、

前記駆動制御部は、前記電流検出値が前記第2の閾値を超えている場合には、次の前記判定動作までの間に受けた前記オフ指令に対して前記第1および第2の電力用半導体素子を同時にオフ状態にする、電力用半導体装置。

【請求項18】

前記第1および第2の電力用半導体素子の各々は、制御電極を有し、前記制御電極に駆動電圧を受けた場合にオフ状態からオン状態に切替わり、

前記駆動制御部は、

第1および第2のノード間に接続され、前記駆動電圧を出力する駆動用電源と、

前記オン指令および前記オフ指令にそれぞれ対応して論理レベルが変化する駆動信号を受ける入力ノードと、

前記入力ノードで受けた前記駆動信号の論理レベルを反転するインバータと、

前記電流検出部によって得られた電流検出値が前記第2の閾値以下であるか否かを判定する論理回路と、

前記駆動信号を受け、前記駆動信号の立上がりエッジおよび立下がりエッジの両方を第1の遅延時間だけ遅延させる第1の遅延回路と、

前記インバータの出力を受け、前記インバータの出力の立上がりエッジおよび立下がりエッジの両方を第2の遅延時間だけ遅延させる第2の遅延回路と、

前記第1の電力用半導体素子の制御電極に一端が接続された第1の抵抗素子と、

前記第1の抵抗素子の他端と前記第1のノードとの間に接続され、制御電極に前記第1の遅延回路の出力を受ける第1の駆動用トランジスタと、

前記第1の電力用半導体素子の制御電極に一端が接続された第2の抵抗素子と、

前記第2の抵抗素子の他端と前記第2のノードとの間に接続され、制御電極に前記第2の遅延回路の出力を受ける第2の駆動用トランジスタと、

前記駆動信号を受け、前記駆動信号の立上がりエッジおよび立下がりエッジのうちの両方を遅延させる第3の遅延回路と、

前記インバータの出力を受け、前記インバータの出力の立上がりエッジおよび立下がり

10

20

30

40

50

エッジのうちの両方を遅延させる第4の遅延回路と、

前記第2の電力用半導体素子の制御電極に一端が接続された第3の抵抗素子と、

前記第3の抵抗素子の他端と前記第1のノードとの間に接続され、制御電極に前記第3の遅延回路の出力を受ける第3の駆動用トランジスタと、

前記第2の電力用半導体素子の制御電極に一端が接続された第4の抵抗素子と、

前記第4の抵抗素子の他端と前記第2のノードとの間に接続され、制御電極に前記第4の遅延回路の出力を受ける第4の駆動用トランジスタとを含み、

前記第3の遅延回路は、前記論理回路の判定結果をさらに受け、前記第3の駆動用トランジスタのオン状態への切替わりに対応するエッジを前記第1の遅延時間よりも大きい第3の遅延時間だけ遅延させ、前記第3の駆動用トランジスタのオフ状態への切替わりに対応するエッジを、前記電流検出値が前記第2の閾値以下の場合に前記第3の遅延時間だけ遅延させ、前記電流検出値が前記第2の閾値を超える場合に前記第1の遅延時間だけ遅延させ、10

前記第4の遅延回路は、前記論理回路の判定結果をさらに受け、前記第4の駆動用トランジスタのオン状態への切替わりに対応するエッジを前記第2の遅延時間よりも大きい第4の遅延時間だけ遅延させ、前記第4の駆動用トランジスタのオフ状態への切替わりに対応するエッジを、前記電流検出値が前記第2の閾値以下の場合に前記第4の遅延時間だけ遅延させ、前記電流検出値が前記第2の閾値を超える場合に前記第2の遅延時間だけ遅延させる、請求項17に記載の電力用半導体装置。20

【請求項19】

前記第1および第2の電力用半導体素子の各々は、主電流の一部が分流して流れるセンス電極を有し、

前記電流検出部は、

前記第1の電力用半導体素子の前記センス電極に接続された第1の検出用抵抗素子と、

前記第2の電力用半導体素子の前記センス電極に接続された第2の検出用抵抗素子とを含み、30

前記論理回路は、

前記第1の検出用抵抗素子にかかる電圧が、前記第2の閾値に対応する電圧を超えたか否かを判定する第1の比較器と、

前記第2の検出用抵抗素子にかかる電圧が、前記第2の閾値に対応する電圧を超えたか否かを判定する第2の比較器と、30

前記第1および第2の比較器の出力の論理和を、前記論理回路の判定結果として出力するOR回路とを含む、請求項16または18に記載の電力用半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

この発明は電力変換機器などに用いられる電力用半導体装置に関する。

【背景技術】

【0002】

パワーMOSFET (Metal-Oxide-Semiconductor Field-Effect Transistor) やIGBT (Insulated Gate Bipolar Transistor) などの電力用半導体素子は、モータ駆動用インバータ、無停電電源装置、および周波数変換装置などの電力機器の制御に用いられる。これらの電力機器の定格電圧および定格電流は増加傾向にあるため、電力用半導体素子も高耐圧化および大電流化が要求される。40

【0003】

電力用半導体素子によって制御可能な電流量を増大させる方法として、複数の電力用半導体素子を並列接続する方法が知られている(たとえば、特開2000-92820号公報(特許文献1)参照)。

【0004】

上記の文献のように複数の電力用半導体素子が並列接続される場合、これらの複数の素50

子は、通常、同一の駆動信号を用いることによって同時にスイッチングされる。このため、電力用半導体素子の並列数が多くなるほど、または、スイッチング周波数が高くなるほど、スイッチング損失（ターンオン損失およびターンオフ損失）が増大することとなる。

#### 【0005】

並列接続された電力用半導体素子のターンオフ損失を低減させるための方法として、たとえば、特開平5-291913号公報（特許文献2）に記載された方法が知られている。この文献の方法では、低飽和電圧および長下降時間を有する第1のIGBTと高飽和電圧および短下降時間を有する第2のIGBTとが並列接続され、第2のIGBTのゲートには入力抵抗が挿入される。第1および第2のIGBTを共通の駆動信号で動作させると、第2のIGBTの遮断時点が第1のIGBTの遮断時点よりも遅延するので、第2のIGBTの短下降時間に基づいてターンオフ動作を行なうことができる。

10

#### 【0006】

スイッチング損失の低減を目的としたものではないが、類似の技術が特開平6-209565号公報（特許文献3）および特開平6-209666号公報（特許文献4）に記載されている。いずれの文献も、主半導体素子とこれに並列接続される検出用半導体素子とからなるスイッチング回路を直列接続したものについて開示する。具体的に、前者の特開平6-209565号公報（特許文献3）に記載の技術では、主半導体素子のゲートとゲート駆動回路とがオフ遅延回路を介して接続され、検出用半導体素子のゲートとゲート駆動回路とがオン遅延回路を介して接続される。後者の特開平6-209666号公報（特許文献4）に記載の技術では、検出用半導体素子のゲートとゲート駆動回路とがオフ遅延回路を介して接続され、主半導体素子のゲートとゲート駆動回路とがオン遅延回路を介して接続される。

20

#### 【先行技術文献】

##### 【特許文献】

##### 【0007】

【特許文献1】特開2000-92820号公報

【特許文献2】特開平5-291913号公報

【特許文献3】特開平6-209565号公報

【特許文献4】特開平6-209666号公報

30

##### 【発明の概要】

##### 【発明が解決しようとする課題】

##### 【0008】

上記の特開平5-291913号公報（特許文献2）では、スイッチング損失の低減について考慮されているものの、ターンオフ損失の低減のみに着目され、ターンオン損失については考慮されていない。さらには、この文献に記載の方法は、低飽和電圧および長下降時間を有する第1のIGBTと高飽和電圧および短下降時間を有する第2のIGBTとを並列接続するというものであるので、同一の特性を有する電力用半導体素子が並列接続された場合には適用できない。

##### 【0009】

この発明の目的は、複数の電力用半導体素子を並列接続する場合において、スイッチング損失を従来よりも低減することである。

40

##### 【課題を解決するための手段】

##### 【0010】

この発明の一局面に従う電力用半導体装置は、互いに並列に接続された第1および第2の電力用半導体素子と、駆動制御部とを備える。駆動制御部は、外部から繰返し受けるオン指令およびオフ指令に応じて第1および第2の電力用半導体素子の各々をオン状態またはオフ状態にする。具体的には、駆動制御部は、オン指令に対して、第1および第2の電力用半導体素子を同時にオン状態にする場合と、第1および第2の電力用半導体素子の一方をオン状態にした後に他方をオン状態にする場合とに切替え可能である。駆動制御部は、オフ指令に対して、第1および第2の電力用半導体素子の一方をオフ状態にした後に他

50

方をオフ状態にする。

【発明の効果】

【0011】

この発明によれば、オン指令に対しては、第1および第2の電力用半導体素子を同時にオン状態にする場合と互いにタイミングをずらしてオン状態にする場合とに切替え可能にし、オフ指令に対しては、第1および第2の電力用半導体素子を互いにタイミングをずらしてオフ状態することによって、スイッチング損失を従来よりも低減することができる。

【図面の簡単な説明】

【0012】

10

【図1】この発明の実施の形態1による電力用半導体装置200の構成図である。

【図2】駆動信号DSと電力用半導体素子Q1, Q2のゲート電圧との関係を示すタイミング図である。

【図3】オン状態のときIGBT Q1, Q2を流れる全電流Itの大きさと(A)ターンオン損失Eonおよび(B)ターンオフ損失Eoffの大きさとの関係を示す図である。

【図4】IGBT Q1, Q2のターンオフ時のタイミング制御について説明するための概念図である。

【図5】IGBTのスイッチング損失とコレクタ電流との関係を示す図である。

【図6】IGBTのスイッチング損失とゲート抵抗との関係を示す図である。

【図7】コレクタ電流密度Jcと飽和電圧VCE(sat)との関係を示す図である。

20

【図8】ターンオフ損失Eoffと飽和電圧VCE(sat)との関係を示す図である。

【図9】IGBTのコレクタ電流Icとターンオン損失Eonとの関係を示す図である。

【図10】並列接続されたIGBTを順次スイッチングさせた場合のシミュレーション結果を示す図である。

【図11】図10のターンオン時の拡大図である。

【図12】図10のターンオフ時の拡大図である。

【図13】並列接続されたIGBTについてオン状態への切替えは同時にない、オフ状態への切替えは順次行なった場合のシミュレーション結果を示す図である。

【図14】図13のターンオン時の拡大図である。

【図15】図13のターンオフ時の拡大図である。

30

【図16】並列接続されたIGBT Q1, Q2に流れる全電流Itとターンオン損失Eonとの関係を示す図である。

【図17】この発明の実施の形態2による電力用半導体装置201の構成を示す回路図である。

【図18】図17の集積回路5から出力される制御信号のタイミング図の一例を示す図である。

【図19】この発明の実施の形態3による電力用半導体装置202の構成を示す回路図である。

【図20】図19の集積回路5aから出力される制御信号のタイミング図の一例を示す図である。

40

【図21】この発明の実施の形態4による電力用半導体装置203の構成を示す回路図である。

【図22】この発明の実施の形態5による電力用半導体装置204の構成を示す回路図である。

【図23】図22の集積回路5bから出力される制御信号のタイミング図の一例を示す図である。

【図24】この発明の実施の形態6による電力用半導体装置205の構成を示す回路図である。

【図25】この発明の実施の形態7による電力用半導体装置206の構成を示す回路図である。

50

【図26】この発明の実施の形態8による電力用半導体装置207の構成を示す回路図である。

【図27】この発明の実施の形態9による電力用半導体装置208の構成を示す回路図である。

【図28】図27の集積回路5dから出力される制御信号のタイミング図の一例を示す図である。

【図29】この発明の実施の形態10による電力用半導体装置209の構成を示す回路図である。

【図30】この発明の実施の形態11による電力用半導体装置210の構成を示す回路図である。

【図31】この発明の実施の形態12による電力用半導体装置で用いられるIGBTQ1, Q2の仕様について説明するための図である。

【図32】この発明の実施の形態13の変形例による電力用半導体装置211の構成図である。

【図33】実施の形態2, 9, 10による電力用半導体装置201, 208, 209において、駆動制御部101, 108, 109によるIGBTQ1, Q2のスイッチング制御方法の変形例について説明するための図である。

【図34】実施の形態5, 11による電力用半導体装置204, 210において、駆動制御部104, 110によるIGBTQ1, Q2のスイッチング制御方法の変形例について説明するための図である。

【図35】実施の形態2, 9, 10による電力用半導体装置201, 208, 209において、駆動制御部101, 108, 109によるIGBTQ1, Q2のスイッチング制御方法の他の変形例について説明するための図である。

【図36】この発明の実施の形態19による電力用半導体装置212の構成を示す回路図である。

【図37】図36の電流検出センサ99の出力波形の一例を示す図である。

【図38】この発明の実施の形態20による電力用半導体装置213の構成を示す回路図である。

【図39】この発明の実施の形態21による電力用半導体装置214の構成を示す回路図である。

【図40】この発明の実施の形態22による電力用半導体装置215の構成を示す回路図である。

### 【発明を実施するための形態】

#### 【0013】

以下、この発明の実施の形態について図面を参照して詳しく説明する。なお、同一または相当する部分には同一の参照符号を付して、その説明を繰り返さない。

#### 【0014】

<実施の形態1>

##### [電力用半導体装置200の構成]

図1は、この発明の実施の形態1による電力用半導体装置200の構成図である。図1を参照して、電力用半導体装置200は、高電圧ノードHVと接地ノードGNDとの間に互いに並列に接続された電力用半導体素子Q1, Q2と、駆動制御部100とを含む。図1では電力用半導体素子Q1, Q2としてIGBTが例示されるが、パワーMOSFETやバイポーラトランジスタなどその他の半導体素子であってもよい。以下では、電力用半導体素子Q1, Q2をそれぞれIGBTQ1, Q2とも記載する。IGBTQ1, Q2のコレクタが接続される高電圧ノードHVは制御対象の電力機器に接続され、高電圧が印加される。

#### 【0015】

駆動制御部100は、外部から受けた駆動信号DSの論理レベルに応じてIGBTQ1, Q2をオン状態またはオフ状態に切替える。この実施の形態による駆動制御部100は

10

20

30

40

50

、ハイレベル（Hレベル）の駆動信号DSを受けたときに電力用半導体素子Q1，Q2をオン状態にし、ローレベル（Lレベル）の駆動信号DSを受けたときに電力用半導体素子Q1，Q2をオフ状態にするものとする。Hレベルの駆動信号DSをオン指令とも称し、Lレベルの駆動信号DSをオフ指令とも称する。オン指令およびオフ指令は、駆動制御部100に交互に繰返し与えられる。駆動制御部100の具体的な構成例は、実施の形態2以降で説明する。

#### 【0016】

##### [電力用半導体装置200の動作]

図2は、駆動信号DSと電力用半導体素子Q1，Q2のゲート電圧との関係を示すタイミング図である。図1、図2を参照して、駆動制御部100は、オン指令を受けてIGBTQ1，Q2をオン状態に切替えるとき、IGBTQ1，Q2を同時にオン状態にする場合と、IGBTQ1，Q2のうち一方（たとえば、IGBTQ1）を先にオン状態にし、他方を後からオン状態にする場合とに切替え可能である。さらに、駆動制御部100は、オフ指令を受けてIGBTQ1，Q2をオフ状態に切替えるとき、IGBTQ1，Q2を同時にオフ状態にする場合と、IGBTQ1，Q2のうち一方（たとえば、IGBTQ1）を先にオフ状態にし、他方を後からオフ状態にする場合とに切替え可能である。IGBTQ1，Q2を同時にスイッチングするか、それとも、タイミングをずらしてそれぞれ独立にスイッチングするかは、オン指令を受けてIGBTQ1，Q2がオン状態（導通状態）のときにIGBTQ1，Q2をそれぞれ流れる主電流I1，I2（または主電流I1およびI2が合成された全電流It）の大きさに応じて決める。具体的に実施の形態1の場合、電力用半導体素子Q1，Q2を流れる全電流Itは、大きさによって3つの領域に分けられる。

#### 【0017】

図2（A）には、全電流Itの大きさが比較的小さい場合が示される。この場合、時刻t1において、駆動信号DSがLレベルからHレベルに切替わると、駆動制御部100は、IGBTQ1のゲートにHレベルの電圧を印加することによってIGBTQ1をオン状態に切替える。その後の時刻t2に、駆動制御部100は、IGBTQ2のゲートにHレベルの電圧を印加することによってIGBTQ2をオン状態に切替える。時刻t3において、駆動信号DSがHレベルからLレベルに切替わると、駆動制御部100は、IGBTQ1のゲートにLレベルの電圧を印加することによってIGBTQ1をオフ状態に切替える。その後の時刻t4に、駆動制御部100は、IGBTQ2のゲートにLレベルの電圧を印加することによってIGBTQ2をオフ状態に切替える。したがって、ターンオン時においては、先にターンオンするIGBTQ1にスイッチング損失（ターンオン損失Eon）が主として生じ、ターンオフ時においては後にターンオフするIGBTQ2にスイッチング損失（ターンオフ損失Eoff）が主として生じる。

#### 【0018】

図2（B）には、全電流Itの大きさが中程度の場合が示される。この場合、時刻t1において、駆動信号DSがLレベルからHレベルに切替わると、駆動制御部100は、IGBTQ1，Q2の両方のゲートにHレベルの電圧を印加することによってIGBTQ1，Q2を同時にオン状態に切替える。時刻t3において、駆動信号DSがHレベルからLレベルに切替わると、駆動制御部100は、IGBTQ1のゲートにLレベルの電圧を印加することによってIGBTQ1をオフ状態に切替える。その後の時刻t4に、駆動制御部100は、IGBTQ2のゲートにLレベルの電圧を印加することによってIGBTQ2をオフ状態に切替える。したがって、ターンオン時においては、IGBTQ1，Q2の両方にスイッチング損失（ターンオン損失Eon）が生じる。ターンオフ時においては、主として、後からターンオフするIGBTQ2にスイッチング損失（ターンオフ損失Eoff）が生じる。

#### 【0019】

図2（C）には、全電流Itの大きさが比較的高い場合が示される。この場合、時刻t1において、駆動信号DSがLレベルからHレベルに切替わると、駆動制御部100は、

10

20

30

40

50

I G B T Q 1, Q 2 の両方のゲートに H レベルの電圧を印加することによって I G B T Q 1, Q 2 を同時にオン状態に切替える。時刻  $t_3$  において、駆動信号 D S が H レベルから L レベルに切替わると、駆動制御部 100 は、I G B T Q 1, Q 2 の両方のゲートに L レベルの電圧を印加することによって I G B T Q 1, Q 2 を同時にオフ状態に切替える。したがって、ターンオン時およびターンオフ時の両方とも、I G B T Q 1, Q 2 の両方にスイッチング損失が生じる。

#### 【 0 0 2 0 】

上記では、タイミングをずらして I G B T Q 1, Q 2 を順次スイッチングする場合、I G B T Q 1 を I G B T Q 2 よりも先にオン状態またはオフ状態に切替えるようにしたが、I G B T Q 1, Q 2 の特性が同じ場合にはいずれを先にスイッチングしても構わない。

10

#### 【 0 0 2 1 】

【図 2 ( A ) ~ ( C ) の方法でスイッチング制御を行なう理由】

次に、上記の方法で I G B T Q 1, Q 2 のスイッチング制御を行なう理由について説明する。

#### 【 0 0 2 2 】

図 3 は、オン状態のとき I G B T Q 1, Q 2 を流れる全電流  $I_t$  の大きさと ( A ) ターンオン損失  $E_{on}$  および ( B ) ターンオフ損失  $E_{off}$  の大きさとの関係を示す図である。図 3 において、ターンオン損失  $E_{on}$  およびターンオフ損失  $E_{off}$  は、駆動信号 D S の 1 パルス ( Pulse ) 当たりに消費される電力 ( mJ ) で表わされる。相互にタイミングをずらして I G B T Q 1, Q 2 をそれぞれ単独でスイッチングさせる場合を 1 チップ ( 1 P ) と記載し、I G B T Q 1, Q 2 を同時にスイッチングさせる場合を 2 チップ ( 2 P ) と記載する。

20

#### 【 0 0 2 3 】

図 3 ( A ) を参照して、I G B T Q 1, Q 2 を流れる全電流  $I_t$  がある閾値  $I_{th1}$  より小さい場合は、相互にタイミングをずらして I G B T Q 1, Q 2 をそれぞれ単独でオン状態にしたほうが、同時にオン状態にするよりもターンオン損失  $E_{on}$  は小さくなる。全電流  $I_t$  が閾値  $I_{th1}$  より大きい場合は、I G B T Q 1, Q 2 を同時にオン状態にしたほうが、I G B T Q 1, Q 2 をそれぞれ単独でオン状態にするよりもターンオン損失  $E_{on}$  が小さくなる。したがって、図 1 の駆動制御部 100 は、全電流  $I_t$  が閾値  $I_{th1}$  以下の場合には、図 2 ( A ) で示したように、I G B T Q 1 を先にオン状態にし、I G B T Q 2 を後からオン状態にする。駆動制御部 100 は、全電流  $I_t$  が閾値  $I_{th1}$  より大きい場合には、図 2 ( B ) で示したように、I G B T Q 1, Q 2 を同時にオン状態にする。これによって、従来よりもターンオン損失  $E_{on}$  を低減することができる。

30

#### 【 0 0 2 4 】

図 3 ( B ) を参照して、ターンオフ損失  $E_{off}$  の場合には、導通状態の I G B T Q 1, Q 2 を流れる全電流  $I_t$  の大きさによらずに、相互にタイミングをずらして I G B T Q 1, Q 2 をそれぞれ単独でオフ状態にしたほうが、同時にオフ状態にするよりもターンオフ損失  $E_{off}$  は小さくなる。したがって、図 1 の駆動制御部 100 は、図 2 ( A ) 、 ( B ) で示したように、I G B T Q 1 を先にオフ状態にし、I G B T Q 2 を後からオフ状態にする。これによって、I G B T Q 1, Q 2 を同時にオフ状態にする場合に比べて、ターンオフ損失  $E_{off}$  を低減することができる。

40

#### 【 0 0 2 5 】

ただし、I G B T Q 1, Q 2 をそれぞれ単独でオフ状態にする場合には、I G B T Q 1, Q 2 を流れる全電流  $I_t$  が 1 素子あたりの最大定格を超えると、後からオフ状態にする素子が破壊される可能性がある。そこで、素子の破壊を防止するために、全電流  $I_t$  が 1 素子あたりの最大定格に近づいた場合には、図 2 ( C ) で示したように、I G B T Q 1, Q 2 を同時にオフ状態にする。

#### 【 0 0 2 6 】

図 4 は、I G B T Q 1, Q 2 のターンオフ時のタイミング制御について説明するための概念図である。

50

## 【0027】

図4を参照して、IGBTQ1, Q2の1素子あたりの主電流の最大定格をIRとする。最大定格IRよりも若干小さな値に閾値It h2が設定され、最大定格IRの2倍(2×IR)よりも若干小さな値に閾値It h3が設定される。導通状態でIGBTQ1, Q2を流れる全電流Itが閾値It h2未満の場合には、図1の駆動制御部100は、オフ指令に対してIGBTQ1, Q2がそれぞれ単独で順次オフ状態になるように制御する。全電流Itが閾値It h2以上であり、閾値It h3未満の場合には、駆動制御部100は、オフ指令に対してIGBTQ1, Q2が同時にオフ状態になるように制御する。1素子ずつ順次オフ状態にするよりもターンオフ損失Eoffが増加することになるが、IGBTの短絡保護を目的としてこのようなスイッチング制御を行なう。全電流Itが閾値It h3以上の場合には、IGBTQ1, Q2の両方とも駆動信号DSの論理レベルとは関係なくオフ状態になるように制御する短絡保護を行なう。 10

## 【0028】

【図3(A)、(B)のスイッチング特性が得られる理由】

次に、図3(A)、(B)に示したスイッチング特性が得られる理由について説明する。

## 【0029】

図5は、IGBTのスイッチング損失とコレクタ電流との関係を示す図である。図5には、ターンオン損失Eon、ターンオフ損失Eoff、および逆回復動作時のスイッチング損失Errのコレクタ電流Ic依存性が示される。 20

## 【0030】

図6は、IGBTのスイッチング損失とゲート抵抗との関係を示す図である。図6には、ターンオン損失Eon、ターンオフ損失Eoff、および逆回復動作時のスイッチング損失Errのゲート抵抗RG依存性が示される。図5、図6に示す特性図は、三菱電機製のIGBTモジュール(型番:CM600HX-24A)のデータシートから抜粋したものである。

## 【0031】

(1. ターンオフ損失Eoff)

図5を参照して、ターンオフ損失Eoffは、コレクタ電流Icの累乗関数で表わされる(すなわち、図5に示す両対数グラフにおいて、ターンオフ損失Eoffがコレクタ電流Icに比例する)。記号「^」で指数を表わすものとすると、ターンオフ損失Eoffは、定数a, bを用いて、 30

$$E_{off} = a \times I_c^b \quad \dots(1)$$

と書き表わすことができる。

## 【0032】

図1のIGBTQ1, Q2の各々に流れる電流をIo[A]とすると、1素子ずつオフ状態にしたときのターンオフ損失Eoff\_1Pは、

$$E_{off\_1P} = a \times (2 \times I_o)^b \quad \dots(2)$$

と表わされる。2素子同時にオフ状態にしたときのターンオフ損失Eoff\_2Pは、

$$E_{off\_2P} = 2 \times a \times I_o^b \quad \dots(3) \quad 40$$

と表わされる。上式(2)と(3)との比は、

$$E_{off\_1P} / E_{off\_2P} = 2^{b-1} \quad \dots(4)$$

となるので、b < 1であれば、

$$E_{off\_1P} < E_{off\_2P} \quad \dots(5)$$

の関係が成立する。b < 1の関係は図5のグラフの傾きが1より小さいことを意味し、通常は、このb < 1の関係が成り立つ。

## 【0033】

具体的な数値を用いて検証すると、図1に示したIGBTQ1, Q2において、1素子あたり200[A]の主電流が流れているとすると(すなわち、I1 = I2 = 200[A])、全電流Itは400[A]になる。図5を参照すると、コレクタ電流が200[A] 50

] のときのターンオフ損失  $E_{off}$  は約  $41 \text{ mJ} / \text{Pulse}$  であり、コレクタ電流が  $400 \text{ [A]}$  のときターンオフ損失  $E_{off}$  は約  $62 \text{ mJ} / \text{Pulse}$  である。したがって、2 素子同時にオフ状態に切替えた場合のターンオフ損失  $E_{off}$  は全体で  $82 \text{ mJ} / \text{Pulse}$  になるのに対して、1 素子ずつオフ状態に切替えた場合のターンオフ損失  $E_{off}$  は後からオフ状態にする素子に損失が生じるので  $62 \text{ mJ} / \text{Pulse}$  になる。このように、1 素子ずつオフ状態に切替えたほうがターンオフ損失  $E_{off}$  は小さくなる。

#### 【0034】

なお、図 6 に示すようにターンオフ損失  $E_{off}$  においては、ゲート抵抗  $R_G$  に対するターンオフ損失  $E_{off}$  の依存性はほとんどなく、ターンオフ損失  $E_{off}$  の特性は IGBT の素子特性によってほとんど決定されていることがわかる。上記の結果は、定的には次のように考えることができる。  
10

#### 【0035】

図 7 は、コレクタ電流密度  $J_c$  と飽和電圧  $V_{CE(sat)}$  との関係を示す図である。図 7 を参照して、同じ特性およびサイズの IGBT Q1, Q2 が並列に接続されるとすると、1 チップずつオフ状態に切替える場合 (1P) は、2 チップ同時にオフ状態にする場合 (2P) に比べて主電流が流れる部分の断面積が半分になるので、1 チップあたりのコレクタ電流密度  $J_c$  は 2 倍になる。そして、コレクタ電流密度  $J_c$  が増加すると、飽和電圧  $V_{CE(sat)}$  が増加する。

#### 【0036】

図 8 は、ターンオフ損失  $E_{off}$  と飽和電圧  $V_{CE(sat)}$  との関係を示す図である。  
20 図 8 を参照して、バイポーラ素子では、ターンオフ損失  $E_{off}$  と飽和電圧  $V_{CE(sat)}$  とはトレードオフの関係にある。このため、1 チップずつオフ状態に切替える場合 (1P) は、2 チップ同時にオフ状態にする場合 (2P) に比べてターンオフ損失  $E_{off}$  が小さくなる。なお、言うまでもないことであるが、オン指令を受けて IGBT Q1, Q2 が導通状態にある場合の定常損失は、ターンオフを順次行なう場合 (1P) と同時に行なう場合 (2P) とで同じである。

#### 【0037】

##### (2. ターンオン損失 $E_{on}$ )

再び図 5 を参照して、ターンオン損失  $E_{on}$  は、コレクタ電流  $I_c$  の指數関数で概ね表わすことができる (図 5 に示す両対数グラフにおいて、ターンオン損失  $E_{on}$  とコレクタ電流  $I_c$  とは正比例関係はない)。したがって、ターンオン損失  $E_{on}$  は、定数  $a$ ,  $b$  を用いて、  
30

$$E_{on} = a \times e \times p (I_c \times b) \quad \dots (6)$$

と書き表わすことができる。ただし、上式 (6) において「 $e \times p (\dots)$ 」は指數関数を表わす。

#### 【0038】

図 1 の IGBT Q1, Q2 の各々に流れる電流を  $I_o$  [A] とすると、1 素子ずつオン状態にしたときのターンオン損失  $E_{on\_1P}$  は、

$$E_{on\_1P} = a \times e \times p (2 \times I_o \times b) \quad \dots (7)$$

と表わされる。2 素子同時にオン状態にしたときのターンオン損失  $E_{on\_2P}$  は、  
40

$$E_{on\_2P} = 2 \times a \times e \times p (I_o \times b) \quad \dots (8)$$

と表わされる。上式 (7) と (8) との比は、

$$E_{on\_1P} / E_{on\_2P} = e \times p (I_o \times b) / 2 \quad \dots (9)$$

となるので、 $I_o < b \times 1n (2)$  となる比較的小電流の領域で (ただし、 $1n$  は自然対数を表わす)、

$$E_{on\_1P} < E_{on\_2P} \quad \dots (10)$$

の関係が成立する。 $I_o > b \times 1n (2)$  となる比較的大電流の領域で、

$$E_{on\_1P} > E_{on\_2P} \quad \dots (11)$$

の関係が成立する。

#### 【0039】

図9は、IGBTのコレクタ電流 $I_c$ とターンオン損失 $E_{on}$ との関係を示す図である。図9を参照して、並列接続されたオン状態のIGBT Q1, Q2の各々にコレクタ電流 $I_o$ が流れているとし、コレクタ電流 $I_o$ に対応するターンオン損失 $E_{on}$ を $E_o$  [mJ / Pulse]とする。したがって、2素子同時にオン状態に切替える場合のターンオン損失 $E_{on}$ は $2 \times E_o$  (図9の点2P)である。1素子ずつ順番にオン状態に切替える場合には、最初にオン状態に切替える素子に $2 \times I_o$ の電流が流れるので、この場合のターンオン損失 $E_{on}$ は図9の $E_o'$  (点1P)となる。

#### 【0040】

コレクタ電流 $I_c$ の増加に伴ってターンオン損失 $E_{on}$ は指数関数的に増加するので、電流 $I_o$ が比較的大きいときには、図9に示すように損失 $E_o'$ は $2 \times E_o$ よりも大きくなる。したがって、2素子同時にオン状態に切替えたほうが低損失になる。逆に電流 $I_o$ が比較的小さいときには、損失 $E_o'$ は $2 \times E_o$ よりも小さくなるので、1素子ずつ順番にオン状態に切替えたほうが低損失になる。

#### 【0041】

なお、ターンオン損失 $E_{on}$ に関係するのはコレクタ電流 $I_c$ だけではない。図6に示すように、ターンオン損失 $E_{on}$ は、ゲート抵抗 $R_G$ に対して指数関数の関係を示す。すなわち、ゲート抵抗 $R_G$ が増加するにつれてターンオン損失 $E_{on}$ は指数関数的に増加する。その他、ターンオン損失には、IGBTの容量(入力容量、ミラー容量)や、フリー・ホールダイオードの特性も関係する。

#### 【0042】

##### 【シミュレーション結果】

図10～図16に並列接続されたIGBTについてのシミュレーション結果を示す。図10～図15に示す波形図では、IGBT Q1, Q2の各々について、上から順に損失 [kW]、コレクタ・エミッタ間電圧 $V_{CE}$  [V]、コレクタ・エミッタ間電流 $I_{CE}$  [A]、ゲート・エミッタ間電圧 $V_{GE}$  [V]の波形図が示される。損失は、コレクタ・エミッタ間電圧 $V_{CE}$ とコレクタ・エミッタ間電流 $I_{CE}$ との積である。

#### 【0043】

図10は、並列接続されたIGBTを順次スイッチングさせた場合のシミュレーション結果を示す図である。図11は、図10のターンオン時の拡大図であり、図12は図10のターンオフ時の拡大図である。図10～図12に示すシミュレーションでは、ターンオン時にはIGBT Q1を先にオン状態に切替え、その0.5μ秒後にIGBT Q2をオン状態に切替えた。ターンオフ時には、IGBT Q1を先にオフ状態に切替え、その0.5μ秒後にIGBT Q2をオフ状態に切替えた。ターンオン損失 $E_{on}$ は先にオン状態に切替わるIGBT Q1によって負担され、ターンオフ損失 $E_{off}$ は後からオフ状態に切替わるIGBT Q2によって負担されていることがわかる。

#### 【0044】

図13は、並列接続されたIGBTについてオン状態への切替えは同時に行ない、オフ状態への切替えは順次行なった場合のシミュレーション結果を示す図である。図14は、図13のターンオン時の拡大図である。図15は図13のターンオフ時の拡大図である。図13～図15に示すシミュレーションでは、ターンオン時にはIGBT Q1, Q2を同時にオン状態に切替えた。ターンオフ時には、IGBT Q1を先にオフ状態に切替え、その後0.5μ秒後にIGBT Q2をオフ状態に切替えた。ターンオン損失 $E_{on}$ はIGBT Q1, Q2の両方によって負担され、ターンオフ損失 $E_{off}$ は後からオフ状態に切替わるIGBT Q2によって負担されていることがわかる。

#### 【0045】

図16は、並列接続されたIGBT Q1, Q2に流れる全電流 $I_t$ とターンオン損失 $E_{on}$ との関係を示す図である。図16(B)には、図16(A)の破線の枠内の拡大図が示される。図16(B)に示すように、閾値 $I_{th1}$ よりも低電流の領域では、1素子ずつ順番にオン状態に切替えた場合(1P)のほうが、2素子同時にオン状態に切替える場合(2P)よりもターンオン損失 $E_{on}$ が小さくなる。閾値 $I_{th1}$ よりも高電流の領域

10

20

30

40

50

では、2素子同時にオン状態に切替える場合(2P)のほうが、1素子ずつ順番にオン状態に切替えた場合(1P)よりもターンオン損失E<sub>on</sub>が小さくなる。

【0046】

<実施の形態2>

図17は、この発明の実施の形態2による電力用半導体装置201の構成を示す回路図である。実施の形態2では、図1の駆動制御部100の具体的構成の一例が示される。図17の駆動制御部101は、制御用の集積回路(IC: Integrated Circuit)5と、駆動用電源V1と、抵抗素子R14, R15, R23, R24と、IGBTQ1, Q2を駆動するためのN型MOS(Metal Oxide Semiconductor)トランジスタQ11, Q22, Q33, Q44とを含む。

10

【0047】

集積回路5は、駆動信号DSを受ける入力端子INと、駆動信号DSに応じた制御信号をトランジスタQ11, Q22, Q33, Q44のゲートにそれぞれ出力するための出力端子OUT1, OUT2, OUT3, OUT4とを含む。トランジスタQ11, Q33のドレインは、駆動用電源V1から駆動電圧が供給される電源ノード9と接続される。トランジスタQ22, Q44のソースは接地ノードGNDに接続される。

【0048】

抵抗素子R14, R23の一端はIGBTQ1のゲートに接続され、抵抗素子R15, R24の一端はIGBTQ2のゲートに接続される。抵抗素子R14の他端はトランジスタQ11のソースに接続され、抵抗素子R15の他端はトランジスタQ33のソースに接続される。抵抗素子R23の他端はトランジスタQ22のドレインに接続され、抵抗素子R24の他端はトランジスタQ44のドレインに接続される。

20

【0049】

図18は、図17の集積回路5から出力される制御信号のタイミング図の一例を示す図である。

【0050】

図17、図18を参照して、時刻t1で、集積回路5は、駆動信号DSがHレベルに切替わるのに応答して、出力端子OUT1, OUT3から出力する制御信号をHレベルに切替えるとともに、出力端子OUT2, OUT4から出力する制御信号をLレベルに切替える。これによって、トランジスタQ11, Q33がオン状態に切替わり、トランジスタQ22, Q44がオフ状態に切替わる。この結果、IGBTQ1, Q2が同時にオン状態に切替わる。

30

【0051】

時刻t2で、集積回路5は、駆動信号DSがLレベルに切替わるのに応答して、出力端子OUT1から出力する制御信号をLレベルに切替えるとともに、出力端子OUT2から出力する制御信号をHレベルに切替える。これによって、トランジスタQ11がオフ状態に切替わり、トランジスタQ22がオン状態に切替わる。この結果、IGBTQ1がオフ状態に切替わる。

【0052】

時刻t2から所定の時間だけ遅れた時刻t3に、集積回路5は、出力端子OUT3から出力する制御信号をLレベルに切替えるとともに、出力端子OUT4から出力する制御信号をHレベルに切替える。これによって、トランジスタQ33がオフ状態に切替わり、トランジスタQ44がオン状態に切替わる。この結果、IGBTQ1に遅れてIGBTQ2がオフ状態に切替わる。

40

【0053】

以下、同様の動作が繰り返される。すなわち、時刻t4, t7での集積回路5の動作は時刻t1での動作と同じであり、時刻t5, t6での集積回路5の動作は、時刻t2, t3での動作とそれと同じである。

【0054】

以上の集積回路5の動作によって、実施の形態1で説明した図2(B)と同じ制御動作

50

が実現できる。

【0055】

集積回路5は図18と異なるタイミングでトランジスタQ11, Q22, Q33, Q44をオンおよびオフに制御することもできる。たとえば、実施の形態1で説明した図2(A)と同じ制御動作を実現するためには、次のようなスイッチング制御を行なうとよい。すなわち、集積回路5は、駆動信号DSがHレベルに切替わるのに応答して、出力端子OUT1から出力する制御信号をHレベルに切替えるとともに、出力端子OUT2, OUT4からそれぞれ出力する制御信号をLレベルに切替える。集積回路5は、この駆動信号DSのHレベルへの切替わりに所定の時間だけ遅れて出力端子OUT3から出力する制御信号をHレベルに切替える。さらに、集積回路5は、駆動信号DSがLレベルに切替わるのに応答して、出力端子OUT1から出力する制御信号をLレベルに切替えるとともに、出力端子OUT2から出力する制御信号をHレベルに切替える。集積回路5は、この駆動信号DSのLレベルへの切替わりに所定の時間だけ遅れて出力端子OUT3から出力する制御信号をLレベルに切替えるとともに、出力端子OUT4から出力する制御信号をHレベルに切替える。以上の制御によって、IGBTQ1, Q2は、この順でオン状態に切替わり、この順でオフ状態に切替わる。

【0056】

実施の形態1で説明した図2(C)と同じ制御動作を実現するためには、次のようなスイッチング制御を行なうとよい。すなわち、集積回路5は、駆動信号DSがHレベルに切替わったとき、出力端子OUT1, OUT3からそれぞれ出力する制御信号をHレベルに切替えるとともに、出力端子OUT2, OUT4からそれぞれ出力する制御信号をLレベルに切替える。さらに、集積回路5は、駆動信号DSがLレベルに切替わったとき、出力端子OUT1, OUT3からそれぞれ出力する制御信号をLレベルに切替えるとともに、出力端子OUT2, OUT4からそれぞれ出力する制御信号をHレベルに切替える。以上の制御によって、IGBTQ1, Q2は、同時にオン状態に切替わり、同時にオフ状態に切替わる。

【0057】

<実施の形態3>

図19は、この発明の実施の形態3による電力用半導体装置202の構成を示す回路図である。実施の形態3では、図1の駆動制御部100の具体的構成の一例が示される。図19の駆動制御部102は、制御用の集積回路(IGC)5aと、駆動用電源V1と、抵抗素子R14, R15, R23, R24と、IGBTQ1, Q2を駆動するためのN型MOSトランジスタQ11, Q22, Q33, Q44と、遅延回路DLY1, DLY2とを含む。

【0058】

集積回路5aは、駆動信号DSを受ける入力端子INと、駆動信号DSに応じた制御信号をトランジスタQ11のゲートおよび遅延回路DLY1に出力するための出力端子OUT1と、駆動信号DSに応じた制御信号をトランジスタQ22のゲートおよび遅延回路DLY2に出力するための出力端子OUT2とを含む。トランジスタQ11, Q33のドレインは、駆動用電源V1から駆動電圧が供給される電源ノード9と接続される。トランジスタQ22, Q44のソースは接地ノードGNDに接続される。

【0059】

抵抗素子R14, R23の一端はIGBTQ1のゲートに接続され、抵抗素子R15, R24の一端はIGBTQ2のゲートに接続される。抵抗素子R14の他端はトランジスタQ11のソースに接続され、抵抗素子R15の他端はトランジスタQ33のソースに接続される。抵抗素子R23の他端はトランジスタQ22のドレインに接続され、抵抗素子R24の他端はトランジスタQ44のドレインに接続される。

【0060】

遅延回路DLY1は、抵抗素子R37と、コンデンサC36と、ダイオードD38とを含む。抵抗素子R37は、集積回路5aの出力端子OUT1とトランジスタQ33のゲー

10

20

30

40

50

トとの間に接続される。コンデンサ C 3 6 は、トランジスタ Q 3 3 のゲートと接地ノード G N D との間に接続される。ダイオード D 3 8 のアノードは集積回路 5 a の出力端子 O U T 1 と接続され、カソードはトランジスタ Q 3 3 のゲートと接続される。遅延回路 D L Y 1 は、集積回路 5 a の出力端子 O U T 1 から出力される制御信号の立下がりエッジ、すなわち、トランジスタ Q 3 3 のオフ状態への切替わりに対応するほうのエッジを遅延させる。

#### 【 0 0 6 1 】

遅延回路 D L Y 2 は、抵抗素子 R 4 7 と、コンデンサ C 4 6 と、ダイオード D 4 8 を含む。抵抗素子 R 4 7 は、集積回路 5 a の出力端子 O U T 2 とトランジスタ Q 4 4 のゲートとの間に接続される。コンデンサ C 4 6 は、トランジスタ Q 4 4 のゲートと接地ノード G N D との間に接続される。ダイオード D 4 8 のカソードは集積回路 5 a の出力端子 O U T 2 と接続され、アノードはトランジスタ Q 4 4 のゲートと接続される。遅延回路 D L Y 2 は、集積回路 5 a の出力端子 O U T 2 から出力される制御信号の立上がりエッジ、すなわち、トランジスタ Q 4 4 のオン状態への切替わりに対応するほうのエッジを遅延させる。

#### 【 0 0 6 2 】

図 2 0 は、図 1 9 の集積回路 5 a から出力される制御信号のタイミング図の一例を示す図である。

#### 【 0 0 6 3 】

図 1 9、図 2 0 を参照して、時刻 t 1 で、集積回路 5 a は、駆動信号 D S が H レベルに切替わるのに応答して、出力端子 O U T 1 から出力する制御信号を H レベルに切替えるとともに、出力端子 O U T 2 から出力する制御信号を L レベルに切替える。これによって、トランジスタ Q 1 1 , Q 3 3 がオン状態に切替わり、トランジスタ Q 2 2 , Q 4 4 がオフ状態に切替わる。この結果、I G B T Q 1 , Q 2 が同時にオン状態に切替わる。

#### 【 0 0 6 4 】

時刻 t 2 で、集積回路 5 a は、駆動信号 D S が L レベルに切替わるのに応答して、出力端子 O U T 2 から出力する制御信号を H レベルに切替える。これによって、トランジスタ Q 2 2 がオン状態に切替わり、トランジスタ Q 4 4 は遅延回路 D L Y 2 によって決まる遅延時間だけ遅れてオン状態に切替わる。

#### 【 0 0 6 5 】

ここで、駆動用電源 V 1 の出力電圧を v 1 とし、抵抗素子 R 1 4 , R 2 3 の抵抗値をそれぞれ r 1 4 , r 2 3 とし、I G B T Q 1 の閾値電圧を V q 1 とすれば、v 1 , r 1 4 , r 2 3 , V q 1 は、通常、

$$V q 1 > v 1 \times r 2 3 / ( r 1 4 + r 2 3 ) \quad \dots (12)$$

の関係を満たすように設定される。すなわち、I G B T Q 1 の閾値電圧は、駆動用電源 V 1 の出力電圧を抵抗素子 R 1 4 , R 2 3 によって分圧した電圧よりも大きい。この結果、時刻 t 2 で、I G B T Q 1 がオフ状態に切替わる。

#### 【 0 0 6 6 】

時刻 t 2 から所定の時間だけ遅れた時刻 t 3 に、集積回路 5 a は、出力端子 O U T 1 から出力する制御信号を L レベルに切替える。これによって、トランジスタ Q 1 1 がオフ状態に切替わり、トランジスタ Q 3 3 が遅延回路 D L Y 1 によって決まる遅延時間だけ遅れてオフ状態に切替わる。この結果、I G B T Q 2 がオフ状態に切替わる。

#### 【 0 0 6 7 】

以下、同様の動作が繰り返される。すなわち、時刻 t 4 , t 7 での集積回路 5 a の動作は時刻 t 1 での動作と同じであり、時刻 t 5 , t 6 での集積回路 5 a の動作は、時刻 t 2 , t 3 での動作とそれと同じである。

#### 【 0 0 6 8 】

以上の集積回路 5 a の動作によって、実施の形態 1 で説明した図 2 ( B ) と同じ制御動作が実現できる。

#### 【 0 0 6 9 】

10

20

30

40

50

## &lt;実施の形態4&gt;

図21は、この発明の実施の形態4による電力用半導体装置203の構成を示す回路図である。図21の駆動制御部103に設けられた遅延回路DLY3は、ダイオードD38を含まない点で図19の遅延回路DLY1と異なる。したがって、図21の遅延回路DLY3は、集積回路5aの出力端子OUT1から出力された制御信号の立上がりエッジおよび立下りエッジの両方を遅延させた信号をトランジスタQ33のゲートに供給する。図21のその他の点は図19と同じであるので、同一または相当する部分には同一の参照符号を付して説明を繰り返さない。集積回路5aの出力端子OUT1, OUT2から出力される制御信号のタイミングも図20の場合と同じである。

## 【0070】

10

図21に示す駆動制御部103によれば、集積回路5aの出力端子OUT1から出力された制御信号がHレベルに切替わったとき(図20の時刻t1, t4, t7)、遅延回路DLY3によって決まる遅延時間だけ遅れてトランジスタQ33がオン状態に切替わる。この結果、駆動信号DSがHレベルに切替わったとき、IGBTQ1のオン状態への切替わりに遅れてIGBTQ2がオン状態に切替わる。時刻t2, t5でのIGBTQ1のオフ状態への切替わりに遅れてIGBTQ2がオフ状態に切替わる点は実施の形態3と同じである。したがって、図21の電力用半導体装置203によれば、実施の形態1で説明した図2(A)と同じ制御動作が実現できる。

## 【0071】

20

## &lt;実施の形態5&gt;

図22は、この発明の実施の形態5による電力用半導体装置204の構成を示す回路図である。実施の形態5では、図1の駆動制御部100の具体的構成の一例が示される。図22の駆動制御部104は、制御用の集積回路(IGC)5bと、駆動用電源V1と、抵抗素子R14, R15, R23, R24と、IGBTQ1, Q2を駆動するためのN型MOSトランジスタQ11, Q22, Q44と、ダイオードD12, D13とを含む。

## 【0072】

30

集積回路5bは、駆動信号DSを受ける入力端子INと、駆動信号DSに応じた制御信号をトランジスタQ11, Q22, Q44のゲートにそれぞれ出力するための出力端子OUT1, OUT2, OUT4とを含む。トランジスタQ11のドレインは、駆動用電源V1から駆動電圧が供給される電源ノード9と接続される。トランジスタQ22, Q44のソースは接地ノードGNDに接続される。

## 【0073】

抵抗素子R14, R23の一端はIGBTQ1のゲートに接続され、抵抗素子R15, R24の一端はIGBTQ2のゲートに接続される。抵抗素子R14の他端はダイオードD12のカソードに接続され、抵抗素子R15の他端はダイオードD13のカソードに接続される。抵抗素子R23の他端はトランジスタQ22のドレインに接続され、抵抗素子R24の他端はトランジスタQ44のドレインに接続される。ダイオードD12, D13のアノードはトランジスタQ11のソースに接続される。ダイオードD12, D13は、トランジスタQ11がオン状態のときに導通状態になる。

## 【0074】

40

図23は、図22の集積回路5bから出力される制御信号のタイミング図の一例を示す図である。

## 【0075】

図22、図23を参照して、時刻t1で、集積回路5bは、駆動信号DSがHレベルに切替わるのに応答して、出力端子OUT1から出力する制御信号をHレベルに切替えるとともに、出力端子OUT2, OUT4からそれぞれ出力する制御信号をLレベルに切替える。これによって、トランジスタQ11がオン状態に切替わり、トランジスタQ22, Q44がオフ状態に切替わる。この結果、IGBTQ1, Q2が同時にオン状態に切替わる。

## 【0076】

50

時刻  $t_2$  で、集積回路 5 b は、駆動信号  $D_S$  が L レベルに切替わるのに応答して、出力端子  $OUT_2$  から出力する制御信号を H レベルに切替える。これによって、トランジスタ  $Q_{22}$  がオン状態に切替わる。ここで、駆動用電源  $V_1$  の出力電圧を  $v_1$  とし、抵抗素子  $R_{14}, R_{23}$  の抵抗値をそれぞれ  $r_{14}, r_{23}$  とし、IGBTQ1 の閾値電圧を  $V_{q1}$  とすれば、 $v_1, r_{14}, r_{23}, V_{q1}$  は、前述の式 (12) の関係を満たすように設定される。すなわち、IGBTQ1 の閾値電圧は、駆動用電源  $V_1$  の出力電圧を抵抗素子  $R_{14}, R_{23}$  によって分圧した電圧よりも大きい。この結果、時刻  $t_2$  で、IGBTQ1 がオフ状態に切替わる。

#### 【0077】

時刻  $t_2$  から所定の時間だけ遅れた時刻  $t_3$  に、集積回路 5 b は、出力端子  $OUT_1$  から出力する制御信号を L レベルに切替えるとともに、出力端子  $OUT_4$  から出力する制御信号を H レベルに切替える。これによって、トランジスタ  $Q_{11}$  がオフ状態に切替わり、トランジスタ  $Q_{44}$  がオン状態に切替わる。この結果、IGBTQ2 がオフ状態に切替わる。

#### 【0078】

以下、同様の動作が繰り返される。すなわち、時刻  $t_4, t_7$  での集積回路 5 b の動作は時刻  $t_1$  での動作と同じであり、時刻  $t_5, t_6$  での集積回路 5 b の動作は、時刻  $t_2, t_3$  での動作とそれぞれ同じである。

#### 【0079】

以上の集積回路 5 b の動作によって、実施の形態 1 で説明した図 2 (B) と同じ制御動作が実現できる。上記と異なり、時刻  $t_2, t_5$  で、集積回路 5 b の出力端子  $OUT_1$  から出力される制御信号を L レベルに切替え、出力端子  $OUT_2, OUT_4$  から出力される制御信号を H レベルに切替えるようにすれば、IGBTQ1, Q2 を同時にオフ状態に切替えることができる。すなわち、実施の形態 1 の図 2 (C) で示した制御動作が実現できる。

#### 【0080】

##### <実施の形態 6>

図 24 は、この発明の実施の形態 6 による電力用半導体装置 205 の構成を示す回路図である。実施の形態 6 では、図 1 の駆動制御部 100 の具体的構成の一例が示される。図 24 の駆動制御部 105 は、制御用の集積回路 (IC) 5a と、駆動用電源  $V_1$  と、抵抗素子  $R_{14}, R_{15}, R_{23}, R_{24}$  と、IGBTQ1, Q2 を駆動するための N 型 MOS トランジスタ  $Q_{11}, Q_{22}, Q_{44}$  と、ダイオード  $D_{12}, D_{13}$  と、遅延回路  $DLY_2$  を含む。

#### 【0081】

集積回路 5a は、駆動信号  $D_S$  を受ける入力端子  $IN$  と、駆動信号  $D_S$  に応じた制御信号をトランジスタ  $Q_{11}$  のゲートに出力するための出力端子  $OUT_1$  と、駆動信号  $D_S$  に応じた制御信号をトランジスタ  $Q_{22}$  のゲートおよび遅延回路  $DLY_2$  に出力するための出力端子  $OUT_2$  とを含む。トランジスタ  $Q_{11}$  のドレインは、駆動用電源  $V_1$  から駆動電圧が供給される電源ノード 9 と接続される。トランジスタ  $Q_{22}, Q_{44}$  のソースは接地ノード  $GND$  に接続される。

#### 【0082】

抵抗素子  $R_{14}, R_{23}$  の一端は IGBTQ1 のゲートに接続され、抵抗素子  $R_{15}, R_{24}$  の一端は IGBTQ2 のゲートに接続される。抵抗素子  $R_{14}$  の他端はダイオード  $D_{12}$  のカソードに接続され、抵抗素子  $R_{15}$  の他端はダイオード  $D_{13}$  のカソードに接続される。抵抗素子  $R_{23}$  の他端はトランジスタ  $Q_{22}$  のドレインに接続され、抵抗素子  $R_{24}$  の他端はトランジスタ  $Q_{44}$  のドレインに接続される。ダイオード  $D_{12}, D_{13}$  のアノードはトランジスタ  $Q_{11}$  のソースに接続される。ダイオード  $D_{12}, D_{13}$  は、トランジスタ  $Q_{11}$  がオン状態のときに導通状態になる。

#### 【0083】

遅延回路  $DLY_2$  は、抵抗素子  $R_{47}$  と、コンデンサ  $C_{46}$  と、ダイオード  $D_{48}$  とを

10

20

30

40

50

含む。抵抗素子 R 4 7 は、集積回路 5 a の出力端子 OUT 2 とトランジスタ Q 4 4 のゲートとの間に接続される。コンデンサ C 4 6 は、トランジスタ Q 4 4 のゲートと接地ノード GNDとの間に接続される。ダイオード D 4 8 のカソードは集積回路 5 a の出力端子 OUT 2 と接続され、アノードはトランジスタ Q 4 4 のゲートと接続される。遅延回路 DL Y 2 は、集積回路 5 a の出力端子 OUT 2 から出力される制御信号の立上がりエッジ、すなわち、トランジスタ Q 4 4 のオン状態への切替わりに対応するほうのエッジを遅延させる。

#### 【 0 0 8 4 】

集積回路 5 a の動作は、実施の形態 3 の図 2 0 で説明したものと同じである。以下、図 2 0 、図 2 4 を参照して電力用半導体装置 2 0 5 の動作について説明する。

10

#### 【 0 0 8 5 】

図 2 0 の時刻  $t_1$  で、集積回路 5 a は、駆動信号 DS が H レベルに切替わるのに応答して、出力端子 OUT 1 から出力する制御信号を H レベルに切替えるとともに、出力端子 OUT 2 から出力する制御信号を L レベルに切替える。これによって、トランジスタ Q 1 1 がオン状態に切替わり、トランジスタ Q 2 2 , Q 4 4 がオフ状態に切替わる。この結果、IGBT Q 1 , Q 2 が同時にオン状態に切替わる。

#### 【 0 0 8 6 】

時刻  $t_2$  で、集積回路 5 a は、駆動信号 DS が L レベルに切替わるのに応答して、出力端子 OUT 2 から出力する制御信号を H レベルに切替える。これによって、トランジスタ Q 2 2 がオン状態に切替わり、トランジスタ Q 4 4 は遅延回路 DL Y 2 によって決まる遅延時間だけ遅れてオン状態に切替わる。ここで、駆動用電源 V 1 の出力電圧を  $v_1$  とし、抵抗素子 R 1 4 , R 2 3 の抵抗値をそれぞれ  $r_{1 4}$  ,  $r_{2 3}$  とし、IGBT Q 1 の閾値電圧を  $V_{q 1}$  とすれば、 $v_1$  ,  $r_{1 4}$  ,  $r_{2 3}$  ,  $V_{q 1}$  は、通常、前述の式 (12) の関係を満たすように設定される。すなわち、IGBT Q 1 の閾値電圧は、駆動用電源 V 1 の出力電圧を抵抗素子 R 1 4 , R 2 3 によって分圧した電圧よりも大きい。この結果、時刻  $t_2$  で、IGBT Q 1 がオフ状態に切替わる。

20

#### 【 0 0 8 7 】

時刻  $t_2$  から所定の時間だけ遅れた時刻  $t_3$  に、集積回路 5 a は、出力端子 OUT 1 から出力する制御信号を L レベルに切替える。これによって、トランジスタ Q 1 1 がオフ状態に切替わり、トランジスタ Q 4 4 が遅延回路 DL Y 2 によって決まる遅延時間だけ遅れてオフ状態に切替わる。この結果、IGBT Q 2 がオフ状態に切替わる。

30

#### 【 0 0 8 8 】

以下、同様の動作が繰り返される。すなわち、時刻  $t_4$  ,  $t_7$  での集積回路 5 a の動作は時刻  $t_1$  での動作と同じであり、時刻  $t_5$  ,  $t_6$  での集積回路 5 a の動作は、時刻  $t_2$  ,  $t_3$  での動作とそれぞれ同じである。

#### 【 0 0 8 9 】

以上の集積回路 5 a の動作によって、実施の形態 1 で説明した図 2 ( B ) と同じ制御動作が実現できる。

#### 【 0 0 9 0 】

##### < 実施の形態 7 >

40

図 2 5 は、この発明の実施の形態 7 による電力用半導体装置 2 0 6 の構成を示す回路図である。実施の形態 7 では、図 1 の駆動制御部 1 0 0 の具体的構成の一例が示される。図 2 5 の駆動制御部 1 0 6 は、駆動信号 DS が入力される入力ノード 8 と、インバータ 5 0 と、駆動用電源 V 1 と、抵抗素子 R 1 4 , R 1 5 , R 2 3 , R 2 4 と、IGBT Q 1 , Q 2 を駆動するための N 型 MOS トランジスタ Q 1 1 , Q 2 2 , Q 3 3 , Q 4 4 と、遅延回路 DL Y 1 , DL Y 2 とを含む。

#### 【 0 0 9 1 】

トランジスタ Q 1 1 , Q 3 3 のドレインは、駆動用電源 V 1 から駆動電圧が供給される電源ノード 9 に接続される。トランジスタ Q 1 1 のゲートは入力ノード 8 に接続され、トランジスタ Q 2 2 のゲートはインバータ 5 0 の出力ノードに接続される。トランジスタ Q

50

22, Q44のソースは接地ノードGNDに接続される。

【0092】

抵抗素子R14, R23の一端はIGBTQ1のゲートに接続され、抵抗素子R15, R24の一端はIGBTQ2のゲートに接続される。抵抗素子R14の他端はトランジスタQ11のソースに接続され、抵抗素子R15の他端はトランジスタQ33のソースに接続される。抵抗素子R23の他端はトランジスタQ22のドレインに接続され、抵抗素子R24の他端はトランジスタQ44のドレインに接続される。

【0093】

遅延回路DLY1は、抵抗素子R37と、コンデンサC36と、ダイオードD38とを含む。抵抗素子R37は、入力ノード8とトランジスタQ33のゲートとの間に接続される。コンデンサC36は、トランジスタQ33のゲートと接地ノードGNDとの間に接続される。ダイオードD38のアノードは入力ノード8と接続され、カソードはトランジスタQ33のゲートと接続される。遅延回路DLY1は、駆動信号DSの立下がりエッジ、すなわち、トランジスタQ33のオフ状態への切替わりに対応するほうのエッジを遅延させる。

10

【0094】

遅延回路DLY2は、抵抗素子R47と、コンデンサC46と、ダイオードD48とを含む。抵抗素子R47は、インバータ50の出力ノードとトランジスタQ44のゲートとの間に接続される。コンデンサC46は、トランジスタQ44のゲートと接地ノードGNDとの間に接続される。ダイオードD48のカソードはインバータ50の出力ノードと接続され、アノードはトランジスタQ44のゲートと接続される。遅延回路DLY2は、インバータ50から出力される信号の立上がりエッジ、すなわち、トランジスタQ44のオン状態への切替わりに対応するほうのエッジを遅延させる。

20

【0095】

次に、図25の電力用半導体装置206の動作について説明する。駆動信号DSがHレベルに切替わると、トランジスタQ11, Q33がオン状態に切替わる。このとき、インバータ50の出力はLレベルに切替わるので、トランジスタQ22, Q44がオフ状態に切替わる。この結果、IGBTQ1, Q2が同時にオン状態に切替わる。

【0096】

駆動信号DSがLレベルに切替わると、トランジスタQ11がオフ状態に切替わり、トランジスタQ33が遅延回路DLY1によって決まる遅延時間だけ遅れてオフ状態に切替わる。このとき、インバータ50の出力はHレベルに切替わるので、トランジスタQ22がオン状態に切替わり、トランジスタQ44は遅延回路DLY2によって決まる遅延時間だけ遅れてオン状態に切替わる。この結果、IGBTQ1が先にオフ状態に切替わり、IGBTQ2が遅れてオフ状態に切替わる。

30

【0097】

以上によって、実施の形態1で説明した図2(B)と同じ制御動作が実現できる。

<実施の形態8>

図26は、この発明の実施の形態8による電力用半導体装置207の構成を示す回路図である。図26の駆動制御部107に設けられた遅延回路DLY3は、ダイオードD38を含まない点で図25の遅延回路DLY1と異なる。したがって、図26の遅延回路DLY3は、駆動信号DSの立上がりエッジおよび立下りエッジの両方を遅延させた信号をトランジスタQ33のゲートに供給する。図26のその他の点は図25と同じであるので、同一または相当する部分には同一の参照符号を付して説明を繰り返さない。

40

【0098】

図26に示す駆動制御部107によれば、駆動信号DSがHレベルに切替わったとき、遅延回路DLY3によって決まる遅延時間だけ遅れてトランジスタQ33がオン状態に切替わる。この結果、駆動信号DSがHレベルに切替わったとき、IGBTQ1のオン状態への切替わりに遅れてIGBTQ2がオン状態に切替わる。IGBTQ1のオフ状態への切替わりに遅れてIGBTQ2がオフ状態に切替わる点は実施の形態7と同じである。

50

したがって、図26の電力用半導体装置207によれば、実施の形態1で説明した図2(A)と同じ制御動作が実現できる。

【0099】

＜実施の形態9＞

図27は、この発明の実施の形態9による電力用半導体装置208の構成を示す回路図である。図27の電力用半導体装置208は、IGBTQ1, Q2を流れる全電流 $I_t$ を検出するための電流検出センサ99をさらに含む点で図17の電力用半導体装置201と異なる。電流検出センサ99として、たとえば、カレントトランスが用いられる。

【0100】

図27の電力用半導体装置208に設けられた集積回路5dは、電流検出センサ99の検出信号を受ける端子CSをさらに含む点で、図17の電力用半導体装置201に設けられた集積回路5と異なる。図27のその他の構成は、図17の電力用半導体装置201と同じであるので、同一または相当する部分には同一の参照符号を付して説明を繰り返さない。

【0101】

集積回路5dは、電流検出センサ99の検出値に基づいて全電流 $I_t$ が図3、図4で説明した閾値 $I_{th1}$ ,  $I_{th2}$ によって区分される領域のどの領域に入っているかを判定する。集積回路5dは、次に電流検出センサ99の検出値に基づく判定を行なうまでの間、判定結果に基づいて最適なスイッチングのタイミングを選択する。たとえば、全電流 $I_t$ が図3の閾値 $I_{th1}$ より小さい場合には、集積回路5dは、次の図28のようなタイミングでトランジスタQ11, Q22, Q33, Q44をオンおよびオフに制御する。

【0102】

図28は、図27の集積回路5dから出力される制御信号のタイミング図の一例を示す図である。

【0103】

図27、図28を参照して、時刻 $t_1$ で、集積回路5dは、駆動信号DSがHレベルに切替わるのに応答して、出力端子OUT1から出力する制御信号をHレベルに切替えるとともに、出力端子OUT2, OUT4からそれぞれ出力する制御信号をLレベルに切替える。これによって、トランジスタQ11がオン状態に切替わり、トランジスタQ22, Q44がオフ状態に切替わる。この結果、IGBTQ1がオン状態に切替わる。

【0104】

時刻 $t_1$ から所定の時間だけ遅れた時刻 $t_2$ に、集積回路5dは、出力端子OUT3から出力する制御信号をHレベルに切替える。これによって、トランジスタQ33がオン状態に切替わり、この結果、IGBTQ1より遅れてIGBTQ2がオン状態に切替わる。

【0105】

時刻 $t_3$ で、集積回路5dは、駆動信号DSがLレベルに切替わるのに応答して、出力端子OUT1から出力する制御信号をLレベルに切替えるとともに、出力端子OUT2から出力する制御信号をHレベルに切替える。これによって、トランジスタQ11がオフ状態に切替わり、トランジスタQ22がオン状態に切替わる。この結果、IGBTQ1がオフ状態に切替わる。

【0106】

時刻 $t_3$ から所定の時間だけ遅れた時刻 $t_4$ に、集積回路5dは、出力端子OUT3から出力する制御信号をLレベルに切替えるとともに、出力端子OUT4から出力する制御信号をHレベルに切替える。これによって、トランジスタQ33がオフ状態に切替わり、トランジスタQ44がオン状態に切替わる。この結果、IGBTQ1に遅れてIGBTQ2がオフ状態に切替わる。

【0107】

以下、同様の動作が繰り返される。すなわち、時刻 $t_5$ ～ $t_8$ での集積回路5dの動作は時刻 $t_1$ ～ $t_4$ での動作とそれぞれ同じであり、時刻 $t_9$ ,  $t_{10}$ での集積回路5dの動作は、時刻 $t_1$ ,  $t_2$ での動作とそれぞれ同じである。

10

20

30

40

50

## 【0108】

以上の集積回路 5 d の動作によって、実施の形態 1 で説明した図 2 ( A ) と同じ制御動作が実現できる。

## 【0109】

全電流  $I_t$  が図 3 の閾値  $I_{th1}$  以上であり、図 4 の閾値  $I_{th2}$  より小さい場合には、実施の形態 2 で説明した図 18 のタイミング図と同じタイミングでトランジスタ Q 11, Q 22, Q 33, Q 44 をオンおよびオフに制御する。これによって、図 18 の場合と同様に、図 2 ( B ) と同じ制御動作が実現できる。

## 【0110】

全電流  $I_t$  が図 4 の閾値  $I_{th2}$  以上の場合には、集積回路 5 d は、駆動信号  $D_S$  が H レベルに切替わったとき、出力端子 OUT 1, OUT 3 からそれぞれ出力する制御信号を H レベルに切替えるとともに、出力端子 OUT 2, OUT 4 からそれぞれ出力する制御信号を L レベルに切替える。これによって、IGBT Q 1, Q 2 が同時にオン状態に切替わる。さらに、集積回路 5 d は、駆動信号  $D_S$  が L レベルに切替わったとき、出力端子 OUT 1, OUT 3 からそれぞれ出力する制御信号を L レベルに切替えるとともに、出力端子 OUT 2, OUT 4 からそれぞれ出力する制御信号を H レベルに切替える。これによって、IGBT Q 1, Q 2 が同時にオフ状態に切替わる。以上によって、実施の形態 1 で説明した図 2 ( C ) と同じ制御動作が実現できる。

## 【0111】

<実施の形態 10 >

図 29 は、この発明の実施の形態 10 による電力用半導体装置 209 の構成を示す回路図である。

## 【0112】

図 29 の電力用半導体装置 209 は、図 27 の電力用半導体装置 208 を変形したものである。すなわち、電力用半導体装置 209 は、図 27 の IGBT Q 1, Q 2 に代えてセンス端子付きの IGBT Q 1a, Q 2a を含む点で電力用半導体装置 208 と異なる。センス端子には、IGBT のエミッタ端子に流れる主電流の一部が分流して流れる。さらに、電力用半導体装置 209 は、図 27 の電流検出センサ 99 に代えてシャント抵抗 R 25, R 26 を含む点で電力用半導体装置 208 と異なる。シャント抵抗 R 25 は IGBT Q 1a のセンス端子と接地ノード GND との間に接続され、シャント抵抗 R 26 は IGBT Q 2a のセンス端子と接地ノード GND との間に接続される。シャント抵抗 R 25, R 26 は、図 27 の電流検出センサ 99 と同様に、IGBT Q 1a, Q 2a にそれぞれ流れる主電流  $I_1, I_2$  をモニタする電流検出センサ 99a として機能する。

## 【0113】

図 29 の駆動制御部 109 に設けられた集積回路 5e は、図 27 の検出端子 CS に代えて、シャント抵抗 R 25, R 26 にかかる電圧をそれぞれ検出するための検出端子 CS 1, CS 2 を含む点で図 27 の集積回路 5d と異なる。集積回路 5e は、シャント抵抗 R 25, R 26 でモニタされた電流  $I_1, I_2$  の大きさに基づいて、最適なタイミングでトランジスタ Q 11, Q 22, Q 33, Q 44 をオンおよびオフに制御する。

## 【0114】

図 29 のその他の点は図 27 の電力用半導体装置 208 と同じであるので、同一または相当する部分には同一の参照符号を付して説明を繰り返さない。なお、並列接続された 2 個の IGBT のいずれか一方のみをセンス端子付きの IGBT に代え、センス IGBT を流れる電流をシャント抵抗でモニタするような構成でも構わない。この場合、集積回路は、いずれか一方の IGBT を流れる電流の大きさに基づいて、トランジスタ Q 11, Q 22, Q 33, Q 44 をオンおよびオフに制御する。

## 【0115】

<実施の形態 11 >

図 30 は、この発明の実施の形態 11 による電力用半導体装置 210 の構成を示す回路図である。

10

20

30

40

50

## 【0116】

図30の電力用半導体装置210は、図22の電力用半導体装置204を変形したものである。すなわち、電力用半導体装置210は、図22のIGBTQ1, Q2に代えてセンス端子付きのIGBTQ1a, Q2aを含む点で電力用半導体装置204と異なる。センス端子には、IGBTのエミッタ端子に流れる主電流の一部が分流して流れる。さらに、電力用半導体装置210は、シャント抵抗R25, R26を含む点で電力用半導体装置204と異なる。シャント抵抗R25はIGBTQ1aのセンス端子と接地ノードGNDとの間に接続され、シャント抵抗R26はIGBTQ2aのセンス端子と接地ノードGNDとの間に接続される。シャント抵抗R25, R26は、IGBTQ1a, Q2aにそれぞれ流れる主電流I1, I2をモニタする電流検出センサ99aとして機能する。

10

## 【0117】

図30の駆動制御部110に設けられた集積回路5gは、シャント抵抗R25, R26にかかる電圧をそれぞれ検出するための検出端子CS1, CS2を含む点で図22の集積回路5bと異なる。集積回路5gは、シャント抵抗R25, R26でモニタされた電流I1, I2の大きさに基づいて、最適なタイミングでトランジスタQ11, Q22, Q44をオンおよびオフに制御する。

## 【0118】

たとえば、シャント抵抗R25, R26でモニタされた電流I1, I2を加算することによって得られた全電流Itが図4の閾値Ith2以下の場合には、集積回路5gは、駆動信号DSがHレベルに切替わったときに、出力端子OUT1から出力する制御信号をHレベルに切替えるとともに、出力端子OUT2, OUT4からそれぞれ出力する制御信号をLレベルに切替える。さらに、集積回路5gは、駆動信号DSがLレベルに切替わったときに、出力端子OUT2から出力する制御信号をHレベルに切替える。そして、集積回路5gは、駆動信号DSのLレベルへの切替わりから所定の時間だけ遅れて、出力端子OUT1から出力する制御信号をLレベルに切替えるとともに、出力端子OUT4から出力する制御信号をHレベルに切替える。

20

## 【0119】

以上の制御によって、IGBTQ1a, Q2aを同時にオン状態に切替えることができ、IGBTQ1aをオフ状態にした後にIGBTQ2aをオフ状態にすることができる。すなわち、実施の形態1で説明した図2(B)と同じ制御動作が実現できる。駆動信号DSがLレベルに切替わったときに、出力端子OUT2, OUT4からそれぞれ出力する制御信号をHレベルに切替えるとともに、出力端子OUT1から出力する制御信号をLレベルに切替えるようすれば、IGBTQ1a, Q2aを同時にオフ状態に切替えることができる。すなわち、実施の形態1で説明した図2(C)と同じ制御動作が実現できる。

30

## 【0120】

図30のその他の点は図22の電力用半導体装置204と同じであるので、同一または相当する部分には同一の参照符号を付して説明を繰り返さない。なお、並列接続された2個のIGBTのいずれか一方のみをセンス端子付きのIGBTに代え、センスIGBTを流れる電流をシャント抵抗でモニタするような構成でも構わない。この場合、集積回路は、いずれか一方のIGBTを流れる主電流の大きさに基づいて、トランジスタQ11, Q22, Q44をオンおよびオフに制御する。

40

## 【0121】

## &lt;実施の形態12&gt;

図31は、この発明の実施の形態12による電力用半導体装置で用いられるIGBTQ1, Q2の仕様について説明するための図である。図31には、既に図8で説明したターンオフ損失Eoffと飽和電圧VCE(sat)との関係(トレードオフ)が示される。

## 【0122】

図31を参照して、実施の形態1~11の電力用半導体装置200~210において、IGBTQ2の仕様(Q2\_Spec.)を、IGBTQ1の仕様(Q1\_Spec.)に比べて飽和電圧VCE(sat)が高くかつターンオフ損失Eoffが低いものにする

50

。 そうすれば、IGBTQ1の後からオフ状態に切替わるIGBTQ2のターンオフ損失  $E_{off}$  を低く抑えることができるので、電力用半導体装置のスイッチング損失をさらに低減することができる。なお、飽和電圧（定常損失）が大きいほどスイッチング速度は速く（スイッチング時間が短く）なる。

【0123】

このような仕様の変更は、コレクタ層のドーピングプロファイル（不純物濃度や不純物の注入の深さ）を制御したり、ドリフト層のキャリアのライフタイムを制御したりすることによって実現することができる。コレクタ層の不純物濃度を増加させた場合は、飽和電圧  $V_{CE(sat)}$  特性（すなわち、定常損失）が小さく、かつ、ターンオフ損失  $E_{off}$  が増大するような仕様の素子を作製することができる。電子線注入などによってドリフト層のキャリアのライフタイムを短くすれば、飽和電圧  $V_{CE(sat)}$  特性（すなわち、定常損失）が大きく、かつ、ターンオフ損失  $E_{off}$  が減少するような仕様の素子を作製することができる。

10

【0124】

<実施の形態13>

上記の実施の形態1～12による電力用半導体装置において、IGBTQ2の閾値電圧をIGBTQ1の閾値電圧よりも小さくなるようにIGBTQ1, Q2を選定してもよい。このような仕様のIGBTQ1, Q2を選定することによって、ターンオフ時には、より確実にIGBTQ1をIGBTQ2より先にオフ状態に切替えることができる。さらに、IGBTの閾値電圧を調整することによって次のような変形も可能である。

20

【0125】

図32は、この発明の実施の形態13の変形例による電力用半導体装置211の構成図である。図32の電力用半導体装置211は、高電圧ノードHVと接地ノードGNDとの間に並列に接続されたIGBTQ1, Q2と、駆動回路111a, 111bからなる駆動制御部111とを含む。駆動回路111a, 111bは、駆動信号DSを増幅して、すなわち駆動信号DSと同じ論理レベルの信号をIGBTQ1, Q2のゲートにそれぞれ供給する。

【0126】

図32に示す変形例においても、IGBTQ2の閾値電圧がIGBTQ1の閾値電圧よりも小さくなるようにIGBTQ1, Q2が選定される。これによって、ターンオン時にはIGBTQ2が先にオン状態に切替わり、ターンオフ時にはIGBTQ2が後からオフ状態に切替わる。IGBTQ2の仕様を、IGBTQ1の仕様に比べて飽和電圧  $V_{CE(sat)}$  が高くかつターンオフ損失  $E_{off}$  が低いものにすれば、電力用半導体装置211のスイッチング損失を低く抑えることができる。

30

【0127】

<実施の形態14>

図33は、実施の形態2, 9, 10による電力用半導体装置201, 208, 209において、駆動制御部101, 108, 109によるIGBTQ1, Q2のスイッチング制御方法の変形例について説明するための図である。図33には、駆動制御部101, 108, 109にそれぞれ設けられた集積回路5, 5d, 5eから出力される制御信号のタイミング図が示される。以下では図17に示された集積回路5を代表として説明するが、集積回路5d, 5eについても同様である。

40

【0128】

図17、図33を参照して、時刻  $t_1$  で、集積回路5は、駆動信号DSがHレベルに切替わるのに応答して、出力端子OUT1, OUT3からそれぞれ出力する制御信号をHレベルに切替えるとともに、出力端子OUT2, OUT4からそれぞれ出力する制御信号をLレベルに切替える。これによって、トランジスタQ11, Q33がオン状態に切替わり、トランジスタQ22, Q44がオフ状態に切替わる。この結果、IGBTQ1, Q2が同時にオン状態に切替わる。

【0129】

50

時刻  $t_2$  で、集積回路 5 は、駆動信号  $D_S$  が L レベルに切替わるのに応答して、出力端子  $OUT_1$  から出力する制御信号を L レベルに切替えるとともに、出力端子  $OUT_2$  から出力する制御信号を H レベルに切替える。これによって、トランジスタ  $Q_{11}$  がオフ状態に切替わり、トランジスタ  $Q_{22}$  がオン状態に切替わる。この結果、 $IGBTQ_1$  がオフ状態に切替わる。

【0130】

時刻  $t_2$  から所定の時間だけ遅れた時刻  $t_3$  に、集積回路 5 は、出力端子  $OUT_3$  から出力する制御信号を L レベルに切替えるとともに、出力端子  $OUT_4$  から出力する制御信号を H レベルに切替える。これによって、トランジスタ  $Q_{33}$  がオフ状態に切替わり、トランジスタ  $Q_{44}$  がオン状態に切替わる。この結果、 $IGBTQ_1$  に遅れて  $IGBTQ_2$  がオフ状態に切替わる。  
10

【0131】

時刻  $t_4$  で、集積回路 5 は、駆動信号  $D_S$  が再び H レベルに切替わるのに応答して、出力端子  $OUT_1, OUT_3$  からそれぞれ出力する制御信号を H レベルに切替えるとともに、出力端子  $OUT_2, OUT_4$  からそれぞれ出力する制御信号を L レベルに切替える。これによって、トランジスタ  $Q_{11}, Q_{33}$  がオン状態に切替わり、トランジスタ  $Q_{22}, Q_{44}$  がオフ状態に切替わる。この結果、 $IGBTQ_1, Q_2$  が同時にオン状態に切替わる。

【0132】

時刻  $t_5$  で、集積回路 5 は、駆動信号  $D_S$  が L レベルに切替わるのに応答して、出力端子  $OUT_3$  から出力する制御信号を L レベルに切替えるとともに、出力端子  $OUT_4$  から出力する制御信号を H レベルに切替える。これによって、トランジスタ  $Q_{33}$  がオフ状態に切替わり、トランジスタ  $Q_{44}$  がオン状態に切替わる。この結果、 $IGBTQ_2$  がオフ状態に切替わる。  
20

【0133】

時刻  $t_5$  から所定の時間だけ遅れた時刻  $t_6$  に、集積回路 5 は、出力端子  $OUT_1$  から出力する制御信号を L レベルに切替えるとともに、出力端子  $OUT_2$  から出力する制御信号を H レベルに切替える。これによって、トランジスタ  $Q_{11}$  がオフ状態に切替わり、トランジスタ  $Q_{22}$  がオン状態に切替わる。この結果、 $IGBTQ_2$  に遅れて  $IGBTQ_1$  がオフ状態に切替わる。以下、時刻  $t_7$  以降、上記のタイミング制御が繰り返される。  
30

【0134】

上記の駆動制御部 101, 108, 109 による  $IGBTQ_1, Q_2$  のスイッチングの制御方法によれば、 $IGBTQ_1, Q_2$  は交互に遅れてオフ状態に切替わる。 $IGBTQ_2$  よりも遅れて  $IGBTQ_1$  がオフ状態に切替わった場合には、ターンオフ損失  $E_{off}$  の大部分は  $IGBTQ_1$  によって負担される。逆に、 $IGBTQ_1$  よりも遅れて  $IGBTQ_2$  がオフ状態に切替わった場合には、ターンオフ損失  $E_{off}$  の大部分は  $IGBTQ_2$  によって負担される。このようにターンオフ損失  $E_{off}$  を両方の  $IGBTQ_1, Q_2$  で負担できるので、 $IGBTQ_1, Q_2$  の長寿命化が期待できる。同一の仕様（飽和電圧  $V_{CE(sat)}$  など）をもつ  $IGBTQ_1, Q_2$  の場合に特に効果的である。

【0135】

< 実施の形態 15 >

図 34 は、実施の形態 5, 11 による電力用半導体装置 204, 210 において、駆動制御部 104, 110 による  $IGBTQ_1, Q_2$  のスイッチング制御方法の変形例について説明するための図である。図 34 には、駆動制御部 104, 110 にそれぞれ設けられた集積回路  $5b, 5g$  から出力される制御信号のタイミング図が示される。以下では図 22 に示された集積回路  $5b$  を代表として説明するが、集積回路  $5g$  についても同様である。

【0136】

図 22、図 34 を参照して、時刻  $t_1$  で、集積回路  $5b$  は、駆動信号  $D_S$  が H レベルに切替わるのに応答して、出力端子  $OUT_1$  から出力する制御信号を H レベルに切替えると  
40

10

20

30

40

50

ともに、出力端子 OUT 2, OUT 4 からそれぞれ出力する制御信号を L レベルに切替える。これによって、トランジスタ Q 1 1 がオン状態に切替わり、トランジスタ Q 2 2, Q 4 4 がオフ状態に切替わる。この結果、IGBT Q 1, Q 2 が同時にオン状態に切替わる。

【 0 1 3 7 】

時刻  $t_2$  で、集積回路 5 b は、駆動信号 DS が L レベルに切替わるのに応答して、出力端子 OUT 1 から出力する制御信号を L レベルに切替えるとともに、出力端子 OUT 2 から出力する制御信号を H レベルに切替える。これによって、トランジスタ Q 1 1 がオフ状態に切替わり、トランジスタ Q 2 2 がオン状態に切替わる。この結果、IGBT Q 1 がオフ状態に切替わる。

10

【 0 1 3 8 】

時刻  $t_2$  から所定の時間だけ遅れた時刻  $t_3$  に、集積回路 5 b は、出力端子 OUT 4 から出力する制御信号を H レベルに切替える。これによって、トランジスタ Q 4 4 がオン状態に切替わる。この結果、IGBT Q 1 に遅れて IGBT Q 2 がオフ状態に切替わる。

【 0 1 3 9 】

時刻  $t_4$  で、集積回路 5 b は、駆動信号 DS が再び H レベルに切替わるのに応答して、出力端子 OUT 1 から出力する制御信号を H レベルに切替えるとともに、出力端子 OUT 2, OUT 4 からそれぞれ出力する制御信号を L レベルに切替える。これによって、トランジスタ Q 1 1 がオン状態に切替わり、トランジスタ Q 2 2, Q 4 4 がオフ状態に切替わる。この結果、IGBT Q 1, Q 2 が同時にオン状態に切替わる。

20

【 0 1 4 0 】

時刻  $t_5$  で、集積回路 5 b は、駆動信号 DS が L レベルに切替わるのに応答して、出力端子 OUT 4 から出力する制御信号を H レベルに切替える。これによって、トランジスタ Q 4 4 がオン状態に切替わるので、IGBT Q 2 がオフ状態に切替わる。

【 0 1 4 1 】

時刻  $t_5$  から所定の時間だけ遅れた時刻  $t_6$  に、集積回路 5 b は、出力端子 OUT 1 から出力する制御信号を L レベルに切替えるとともに、出力端子 OUT 2 から出力する制御信号を H レベルに切替える。これによって、トランジスタ Q 1 1 がオフ状態に切替わり、トランジスタ Q 2 2 がオン状態に切替わる。この結果、IGBT Q 2 に遅れて IGBT Q 1 がオフ状態に切替わる。以下、時刻  $t_7$  以降、上記のタイミング制御が繰り返される。

30

【 0 1 4 2 】

上記の駆動制御部 104, 110 による IGBT Q 1, Q 2 のスイッチングの制御方法によれば、IGBT Q 1, Q 2 は交互に遅れてオフ状態に切替わる。IGBT Q 2 よりも遅れて IGBT Q 1 がオフ状態に切替わった場合には、ターンオフ損失  $E_{off}$  の大部分は IGBT Q 1 によって負担される。逆に、IGBT Q 1 よりも遅れて IGBT Q 2 がオフ状態に切替わった場合には、ターンオフ損失  $E_{off}$  の大部分は IGBT Q 2 によって負担される。このようにターンオフ損失  $E_{off}$  を両方の IGBT Q 1, Q 2 で負担できるので、IGBT Q 1, Q 2 の長寿命化が期待できる。同一の仕様（飽和電圧  $VCE(sat)$  など）をもつ IGBT Q 1, Q 2 の場合に特に効果的である。

【 0 1 4 3 】

40

< 実施の形態 16 >

図 35 は、実施の形態 2, 9, 10 による電力用半導体装置 201, 208, 209 において、駆動制御部 101, 108, 109 による IGBT Q 1, Q 2 のスイッチング制御方法の他の変形例について説明するための図である。図 35 には、駆動制御部 101, 108, 109 にそれぞれ設けられた集積回路 5, 5d, 5e から出力される制御信号のタイミング図が示される。以下では図 17 に示された集積回路 5 を代表として説明するが、集積回路 5d, 5e についても同様である。

【 0 1 4 4 】

図 17、図 35 を参照して、時刻  $t_1$  で、集積回路 5 は、駆動信号 DS が H レベルに切替わるのに応答して、出力端子 OUT 1 から出力する制御信号を H レベルに切替えるとと

50

もに、出力端子 OUT 2 から出力する制御信号を L レベルに切替える。これによって、トランジスタ Q 1 1 がオン状態に切替わり、トランジスタ Q 2 2 がオフ状態に切替わる。この結果、IGBT Q 1 がオン状態に切替わる。

【 0 1 4 5 】

時刻  $t_1$  から所定の時間だけ遅れた時刻  $t_2$  で、集積回路 5 は、出力端子 OUT 3 から出力する制御信号を H レベルに切替えるとともに、出力端子 OUT 4 から出力する制御信号を L レベルに切替える。これによって、トランジスタ Q 3 3 がオン状態に切替わり、トランジスタ Q 4 4 がオフ状態に切替わる。この結果、IGBT Q 1 に遅れて IGBT Q 2 がオン状態に切替わる。

【 0 1 4 6 】

時刻  $t_3$  で、集積回路 5 は、駆動信号 DS が L レベルに切替わるのに応答して、出力端子 OUT 1 から出力する制御信号を L レベルに切替えるとともに、出力端子 OUT 2 から出力する制御信号を H レベルに切替える。これによって、トランジスタ Q 1 1 がオフ状態に切替わり、トランジスタ Q 2 2 がオン状態に切替わる。この結果、IGBT Q 1 がオフ状態に切替わる。

【 0 1 4 7 】

時刻  $t_3$  から所定の時間だけ遅れた時刻  $t_4$  に、集積回路 5 は、出力端子 OUT 3 から出力する制御信号を L レベルに切替えるとともに、出力端子 OUT 4 から出力する制御信号を H レベルに切替える。これによって、トランジスタ Q 3 3 がオフ状態に切替わり、トランジスタ Q 4 4 がオン状態に切替わる。この結果、IGBT Q 1 に遅れて IGBT Q 2 がオフ状態に切替わる。

【 0 1 4 8 】

時刻  $t_5$  で、集積回路 5 は、駆動信号 DS が再び H レベルに切替わるのに応答して、出力端子 OUT 3 から出力する制御信号を H レベルに切替えるとともに、出力端子 OUT 4 から出力する制御信号を L レベルに切替える。これによって、トランジスタ Q 3 3 がオン状態に切替わり、トランジスタ Q 4 4 がオフ状態に切替わる。この結果、IGBT Q 2 がオン状態に切替わる。

【 0 1 4 9 】

時刻  $t_5$  から所定の時間だけ遅れた時刻  $t_6$  に、集積回路 5 は、出力端子 OUT 1 から出力する制御信号を H レベルに切替えるとともに、出力端子 OUT 2 から出力する制御信号を L レベルに切替える。これによって、トランジスタ Q 1 1 がオン状態に切替わり、トランジスタ Q 2 2 がオフ状態に切替わる。この結果、IGBT Q 2 に遅れて IGBT Q 1 がオン状態に切替わる。

【 0 1 5 0 】

時刻  $t_7$  で、集積回路 5 は、駆動信号 DS が L レベルに切替わるのに応答して、出力端子 OUT 3 から出力する制御信号を L レベルに切替えるとともに、出力端子 OUT 4 から出力する制御信号を H レベルに切替える。これによって、トランジスタ Q 3 3 がオフ状態に切替わり、トランジスタ Q 4 4 がオン状態に切替わる。この結果、IGBT Q 2 がオフ状態に切替わる。

【 0 1 5 1 】

時刻  $t_7$  から所定の時間だけ遅れた時刻  $t_8$  に、集積回路 5 は、出力端子 OUT 1 から出力する制御信号を L レベルに切替えるとともに、出力端子 OUT 2 から出力する制御信号を H レベルに切替える。これによって、トランジスタ Q 1 1 がオフ状態に切替わり、トランジスタ Q 2 2 がオン状態に切替わる。この結果、IGBT Q 2 に遅れて IGBT Q 1 がオフ状態に切替わる。以下、時刻  $t_9$  以降、上記のタイミング制御が繰り返される。

【 0 1 5 2 】

上記の駆動制御部 101, 108, 109 による IGBT Q 1, Q 2 のスイッチングの制御方法によれば、IGBT Q 1, Q 2 は交互に遅れてオン状態に切替わり、交互に遅れてオフ状態に切替わる。したがって、最初に IGBT Q 1 がターンオン損失を負担し、次に IGBT Q 2 がターンオフ損失  $E_{off}$  を負担し、次に IGBT Q 2 がターンオン損失

10

20

30

40

50

$E_{on}$ を負担し、次にIGBT Q1がターンオフ損失  $E_{off}$ を負担する。このようにターンオン損失  $E_{on}$ およびターンオフ損失  $E_{off}$ を両方のIGBT Q1, Q2で交互に負担するので、IGBT Q1, Q2の長寿命化が期待できる。同一の仕様（飽和電圧  $V_C$   $E_{sat}$ など）をもつIGBT Q1, Q2の場合に特に効果的である。

【0153】

<実施の形態17>

上記の実施の形態1～16の電力用半導体装置では、並列接続された2個の電力用半導体素子Q1, Q2が高電圧ノードHVと接地ノードGNDとの間に設けられる例を示した。高電圧ノードHVと接地ノードGNDの間に並列接続された電力用半導体素子を2個以上設けて、少なくとも1個以上の電力用半導体素子が遅延して動作するように構成しても、上記と同様の効果を得ることができる。

10

【0154】

<実施の形態18>

上記の実施の形態1～17による電力用半導体装置において、IGBT Q1にはIGBTや通常のバイポーラトランジスタのようなバイポーラ素子を設け、IGBT Q2に代えてたとえばSiCで形成されたパワーMOSトランジスタのようなユニポーラ素子を設けてもよい。IGBT Q1の後からオフ状態に切替わるIGBT Q2にユニポーラ素子のようなスイッチング速度の速い半導体素子を設けることによってターンオフ損失  $E_{off}$ を低く抑えることができるので、電力用半導体装置のスイッチング損失をさらに低減することができる。

20

【0155】

<実施の形態19>

図36は、この発明の実施の形態19による電力用半導体装置212の構成を示す回路図である。図36の電力用半導体装置212は、IGBT Q1, Q2と、図27で説明したIGBT Q1, Q2を流れる全電流  $I_t$ を検出するための電流検出センサ99と、駆動制御部112とを含む。駆動制御部112は、電流検出センサ99の出力に応じてIGBT Q1, Q2のスイッチングのタイミングが変化するように、図25で説明した駆動制御部106を変形したものである。以下、具体的に説明する。

【0156】

図36を参照して、駆動制御部112は、駆動信号DSが入力される入力ノード8と、インバータ50と、駆動用電源V1と、抵抗素子R14, R15, R23, R24と、IGBT Q1, Q2を駆動するためのN型MOSトランジスタQ11, Q22, Q33, Q44と、遅延回路DLY5～DLY8と、比較器60とを含む。

30

【0157】

インバータ50は、入力ノード8に入力される駆動信号DSの論理レベルを反転する。トランジスタQ11, Q33のドレインは、駆動用電源V1から駆動電圧が供給される電源ノード9に接続される。トランジスタQ22, Q44のソースは接地ノードGNDに接続される。

【0158】

抵抗素子R14, R23の一端はIGBT Q1のゲートに接続され、抵抗素子R15, R24の一端はIGBT Q2のゲートに接続される。抵抗素子R14の他端はトランジスタQ11のソースに接続され、抵抗素子R15の他端はトランジスタQ33のソースに接続される。抵抗素子R23の他端はトランジスタQ22のドレインに接続され、抵抗素子R24の他端はトランジスタQ44のドレインに接続される。

40

【0159】

比較器60は、電流検出センサ99の出力が、図4で説明した閾値  $I_{th2}$ に対応する参照電圧  $V_2$ を超えるか否かを判定する。比較器60は、電流検出センサ99の出力が参照電圧  $V_2$ を超えた場合にHレベルの信号を出力し、参照電圧  $V_2$ 以下の場合にLレベルの信号を出力する。

【0160】

50

遅延回路 D L Y 5 は、抵抗素子 R 5 1 と、コンデンサ C 5 2 とを含む。抵抗素子 R 5 1 は、入力ノード 8 とトランジスタ Q 1 1 のゲートとの間に接続される。コンデンサ C 5 2 は、トランジスタ Q 1 1 のゲートと接地ノード G N D との間に接続される。

【 0 1 6 1 】

遅延回路 D L Y 6 は、抵抗素子 R 3 7 と、コンデンサ C 3 6 と、N M O S トランジスタ Q 5 5 とを含む。ここで、N M O S トランジスタ Q 5 5 は、いわゆる縦型構造であり、ソースからドレインの方向が順方向となる寄生ダイオード D 3 8 A が存在する。抵抗素子 R 3 7 は、入力ノード 8 とトランジスタ Q 3 3 のゲートとの間に接続される。コンデンサ C 3 6 は、トランジスタ Q 3 3 のゲートと接地ノード G N D との間に接続される。トランジスタ Q 5 5 は、抵抗素子 R 3 7 と並列接続となるように、そのソースが入力ノード 8 と接続され、そのドレインがトランジスタ Q 3 3 のゲートと接続される。トランジスタ Q 5 5 は、そのゲート電極に比較器 6 0 の出力を受けることによって、電流検出センサ 9 9 の出力が参照電圧 V 2 以下のときにオフ状態になり、参照電圧 V 2 を超えたときにオン状態になる。

【 0 1 6 2 】

遅延回路 D L Y 7 は、抵抗素子 R 6 1 と、コンデンサ C 6 2 とを含む。抵抗素子 R 6 1 は、インバータ 5 0 の出力ノードとトランジスタ Q 2 2 のゲートとの間に接続される。コンデンサ C 6 2 は、トランジスタ Q 2 2 のゲートと接地ノード G N D との間に接続される。

【 0 1 6 3 】

遅延回路 D L Y 8 は、抵抗素子 R 4 7 と、コンデンサ C 4 6 と、N M O S トランジスタ Q 6 6 とを含む。ここで、N M O S トランジスタ Q 6 6 は、いわゆる縦型構造であり、ソースからドレインの方向が順方向となる寄生ダイオード D 4 8 A が存在する。抵抗素子 R 4 7 は、インバータ 5 0 の出力ノードとトランジスタ Q 4 4 のゲートとの間に接続される。コンデンサ C 4 6 は、トランジスタ Q 4 4 のゲートと接地ノード G N D との間に接続される。トランジスタ Q 6 6 は、抵抗素子 R 4 7 と並列接続となるように、そのドレインがインバータ 5 0 の出力ノードと接続され、そのソースがトランジスタ Q 4 4 のゲートと接続される。トランジスタ Q 6 6 は、そのゲート電極に比較器 6 0 の出力を受けることによって、電流検出センサ 9 9 の出力が参照電圧 V 2 以下のときにオフ状態になり、参照電圧 V 2 を超えたときにオン状態になる。

【 0 1 6 4 】

I G B T Q 1 , Q 2 のターンオンの開始時間を同じにするために、コンデンサ C 3 6 の容量値とコンデンサ C 5 2 の容量値とは同じ値になるようにする。さらに、抵抗素子 R 5 1 の抵抗値は、トランジスタ Q 5 5 のオン抵抗に等しく設定する。抵抗素子 R 3 7 の抵抗値は、抵抗素子 R 5 1 の抵抗値よりも大きな値にする。I G B T のターンオフの開始時間を同じにするために、コンデンサ C 4 6 の容量値とコンデンサ C 6 2 の容量値とは同じ値になるようにする。さらに、抵抗素子 R 6 1 の抵抗値は、トランジスタ Q 6 6 のオン抵抗に等しく設定する。抵抗素子 R 4 7 の抵抗値は、抵抗素子 R 6 1 の抵抗値よりも大きな値にする。

【 0 1 6 5 】

図 3 7 は、図 3 6 の電流検出センサ 9 9 の出力波形の一例を示す図である。図 3 7 ( A ) , ( B ) には、駆動信号 D S が L レベルから H レベルへ切替わるのに応じて、I G B T Q 1 , Q 2 がオフ状態からオン状態に切替わり、その後、駆動信号 D S が L レベルに戻るのに応じて、I G B T Q 1 , Q 2 がオフ状態に戻るまでの波形が示される。図 3 7 ( A ) は、電流検出センサ 9 9 の出力が、閾値 I t h 2 に対応する参照電圧 V 2 を超えない場合を示し、図 3 7 ( B ) は、電流検出センサ 9 9 の出力が、閾値 I t h 2 に対応する参照電圧 V 2 を超える場合を示す。

【 0 1 6 6 】

まず、図 3 7 ( A ) の場合について説明する。この場合、トランジスタ Q 5 5 , Q 6 6 は常時オフ状態である。駆動信号 D S が L レベルから H レベルに切替わると、トランジス

10

20

30

40

50

タQ 1 1は、抵抗素子R 5 1の抵抗値およびコンデンサC 5 2の容量値に応じて決まる遅延時間（以下、遅延時間D T 1とする）でオフ状態からオン状態に切替わる。寄生ダイオードD 3 8 Aのオン抵抗は、トランジスタQ 5 5のオン抵抗と同等とすると、トランジスタQ 3 3も遅延時間D T 1でオフ状態からオン状態に切替わる。さらに、トランジスタQ 2 2は、抵抗素子R 6 2の抵抗値およびコンデンサC 6 2の容量値に応じて決まる遅延時間（以下、遅延時間D T 2とする）でオン状態からオフ状態に切替わる。寄生ダイオードD 4 8 Aのオン抵抗は、トランジスタQ 6 6のオン抵抗と同等とすると、トランジスタQ 4 4も遅延時間D T 2でオン状態からオフ状態に切替わる。以上のトランジスタQ 1 1, Q 2 2, Q 3 3, Q 4 4の切替わりによって、IGBT Q 1, Q 2が同時にオン状態になる。

10

#### 【0167】

図37(A)において、駆動信号DSがHレベルからLレベルに切替わると、トランジスタQ 1 1は、遅延時間D T 1でオン状態からオフ状態に切替わる。トランジスタQ 3 3は、抵抗素子R 3 7の抵抗値およびコンデンサC 3 6の容量値に応じた遅延時間（以下、遅延時間D T 3とする、D T 3 > D T 1である）でオン状態からオフ状態に切替わる。さらに、トランジスタQ 2 2は、遅延時間D T 2でオフ状態からオン状態に切替わる。トランジスタQ 4 4は、抵抗素子R 4 7の抵抗値およびコンデンサC 4 6の容量値に応じた遅延時間（以下、遅延時間D T 4とする、D T 4 > D T 2である）でオフ状態からオン状態に切替わる。以上のトランジスタQ 1 1, Q 2 2, Q 3 3, Q 4 4の切替わりによって、IGBT Q 1が先にオフ状態になった後に、IGBT Q 2がオフ状態になる。

20

#### 【0168】

次に、図37(B)の場合について説明する。この場合、駆動信号DSがLレベルからHレベルに切替わるときには、トランジスタQ 5 5, Q 6 6はオフ状態である。したがって、トランジスタQ 1 1およびQ 3 3は、遅延時間D T 1でオフ状態からオン状態に切替わる。さらに、トランジスタQ 2 2およびQ 4 4は、遅延時間D T 2でオン状態からオフ状態に切替わる。以上のトランジスタQ 1 1, Q 2 2, Q 3 3, Q 4 4の切替わりによって、IGBT Q 1, Q 2が同時にオン状態になる。

20

#### 【0169】

図37(B)において、駆動信号DSがHレベルの間に、電流検出センサ99の出力電圧が参照電圧V2を超え、トランジスタQ 5 5, Q 6 6がオン状態になる。この状態で、駆動信号DSがHレベルからLレベルに切替わると、トランジスタQ 1 1は、遅延時間D T 1でオン状態からオフ状態に切替わる。トランジスタQ 3 3は、トランジスタQ 5 5のオン抵抗およびコンデンサC 3 6の容量値に応じて決まる遅延時間、すなわち、遅延時間D T 1でオン状態からオフ状態に切替わる。さらに、トランジスタQ 2 2は、遅延時間D T 2でオフ状態からオン状態に切替わる。トランジスタQ 4 4は、トランジスタQ 6 6のオン抵抗およびコンデンサC 4 6の容量値に応じた遅延時間、すなわち、遅延時間D T 2でオフ状態からオン状態に切替わる。以上のトランジスタQ 1 1, Q 2 2, Q 3 3, Q 4 4の切替わりによって、IGBT Q 1, Q 2が同時にオフ状態になる。

30

#### 【0170】

以上のとおり、実施の形態19による駆動制御部112によれば、IGBT Q 1, Q 2を流れる全電流Itが閾値It h 2以下の場合には、実施の形態1で説明した図2(B)と同じ制御動作が実現でき、全電流Itが閾値It h 2を超える場合には、図2(C)と同じ制御動作が実現できる。

40

#### 【0171】

<実施の形態20>

図38は、この発明の実施の形態20による電力用半導体装置213の構成を示す回路図である。図38の駆動制御部113に設けられた遅延回路DLY9は、ダイオードD 3 9をさらに含む点で図36の遅延回路DLY6と異なる。ダイオードD 3 9のカソードはトランジスタQ 5 5のドレインに接続され、ダイオードD 3 9のアノードはトランジスタQ 3 3のゲートに接続される。駆動制御部113に設けられた遅延回路DLY10は、ダ

50

イオードD49をさらに含む点で図36の遅延回路DLY8と異なる。ダイオードD49のカソードはトランジスタQ66のドレインに接続され、ダイオードD49のアノードはインバータ50の出力ノードに接続される。図38のその他の点は図36と同じであるので、同一または相当する部分には同一の参照符号を付して説明を繰返さない。

【0172】

図38の駆動制御部113によれば、駆動信号DSがLレベルからHレベルに切替わる場合(この時点では、電流検出センサ99の出力電圧は参照電圧V2以下である)、トランジスタQ11は遅延時間DT1でオフ状態からオン状態に切替わるのに対して、トランジスタQ33は遅延時間DT3(DT3>DT1)でオフ状態からオン状態に切替わる。さらに、この場合、トランジスタQ22は遅延時間DT2でオン状態からオフ状態に切替わるのに対して、トランジスタQ44は遅延時間DT4(DT4>DT2)でオン状態からオフ状態に切替わる。以上のトランジスタQ11, Q22, Q33, Q44の切替わりによって、IGBTQ1が先にオン状態になった後に、IGBTQ2がオン状態になる。

【0173】

駆動信号DSがHレベルからLレベルに切替わる場合、トランジスタQ11, Q22, Q33, Q44の切替わりのタイミングは図36の場合と同じである。すなわち、電流検出センサ99の出力電圧が参照電圧V2以下の場合には、IGBTQ1が先にオフ状態になった後に、IGBTQ2がオフ状態になる。電流検出センサ99の出力電圧が参照電圧V2を超える場合には、IGBTQ1, Q2は同時にオフ状態になる。

【0174】

<実施の形態21>

図39は、この発明の実施の形態21による電力用半導体装置214の構成を示す回路図である。

【0175】

図39の電力用半導体装置214は、図36の電力用半導体装置212を変形したものである。すなわち、電力用半導体装置214は、図36のIGBTQ1, Q2に代えてセンス端子付きのIGBTQ1a, Q2aを含む点で電力用半導体装置212と異なる。センス端子には、IGBTのエミッタ端子に流れる主電流の一部が分流して流れる。さらに、電力用半導体装置214は、図36の電流検出センサ99に代えてシャント抵抗R25, R26を含む点で電力用半導体装置212と異なる。シャント抵抗R25はIGBTQ1aのセンス端子と接地ノードGNDとの間に接続され、シャント抵抗R26はIGBTQ2aのセンス端子と接地ノードGNDとの間に接続される。シャント抵抗R25, R26は、図36の電流検出センサ99と同様に、IGBTQ1a, Q2aにそれぞれ流れる主電流I1, I2をモニタする電流検出センサ99aとして機能する。

【0176】

さらに、図39の駆動制御部114は、比較器60に代えて論理回路60aを含む点で図36の駆動制御部112と異なる。論理回路60aは、比較器61, 62とOR回路63とを含む。

【0177】

比較器61は、シャント抵抗R25の両端の電圧が、図4で説明した閾値Ith2に対応する参照電圧V3を超えるか否かを判定する。比較器61は、シャント抵抗R25の両端の電圧が参照電圧V3を超えた場合にHレベルの信号を出力し、参照電圧V3以下の場合にLレベルの信号を出力する。同様に、比較器62は、シャント抵抗R26の両端の電圧が、図4で説明した閾値Ith2に対応する参照電圧V4を超えるか否かを判定する。比較器62は、シャント抵抗R26の両端の電圧が参照電圧V4を超えた場合にHレベルの信号を出力し、参照電圧V4以下の場合にLレベルの信号を出力する。

【0178】

OR回路63は、比較器61, 62の出力の論理和演算結果を、トランジスタQ55, Q66のゲート電極に出力する。したがって、シャント抵抗R25の両端の電圧およびシャント抵抗R26の両端の電圧のうち少なくとも一方が対応の参照電圧を超えたときに、

10

20

30

40

50

トランジスタ Q 5 5 , Q 6 6 はオン状態になる。図 3 9 のその他の構成は図 3 6 と同じであるので、同一または相当する部分には同一の参照符号を付して説明を繰返さない。

#### 【 0 1 7 9 】

図 3 9 の駆動制御部 1 1 4 の動作は、図 3 6 の駆動制御部 1 1 2 の動作と同様である。まず、駆動信号 D S が L レベルから H レベルに切替わるときについて説明する。この時点では、シャント抵抗 R 2 5 の両端の電圧は参照電圧 V 3 より小さく、シャント抵抗 R 2 6 の電圧は参照電圧 V 4 より小さい。したがって、トランジスタ Q 1 1 および Q 3 3 は遅延時間 D T 1 でオフ状態からオン状態に切替わる。さらに、トランジスタ Q 2 2 および Q 4 4 は遅延時間 D T 2 でオン状態からオフ状態に切替わる。以上のトランジスタ Q 1 1 , Q 2 2 , Q 3 3 , Q 4 4 の切替わりによって、I G B T Q 1 a , Q 2 a は同時にオン状態になる。

10

#### 【 0 1 8 0 】

次に、駆動信号 D S が H レベルから L レベルに切替わるときについて説明する。このときには、I G B T Q 1 a , Q 2 a に流れる電流 I 1 , I 2 の大きさに応じて、I G B T Q 1 a , Q 2 a のターンオフのタイミングが異なる。すなわち、シャント抵抗 R 2 5 の両端の電圧が参照電圧 V 3 より小さく、かつ、シャント抵抗 R 2 6 の電圧が参照電圧 V 4 より小さい第 1 の場合には、トランジスタ Q 1 1 は、遅延時間 D T 1 でオン状態からオフ状態に切替わり、トランジスタ Q 3 3 は、遅延時間 D T 3 ( D T 3 > D T 1 ) であるでオン状態からオフ状態に切替わる。さらに、トランジスタ Q 2 2 は、遅延時間 D T 2 でオフ状態からオン状態に切替わり、トランジスタ Q 4 4 は、遅延時間 D T 4 ( D T 4 > D T 2 ) でオフ状態からオン状態に切替わる。以上のトランジスタ Q 1 1 , Q 2 2 , Q 3 3 , Q 4 4 の切替わりによって、I G B T Q 1 a が先にオフ状態になった後に、I G B T Q 2 a がオフ状態になる。

20

#### 【 0 1 8 1 】

一方、シャント抵抗 R 2 5 の両端の電圧およびシャント抵抗 R 2 6 の両端の電圧の少なくとも一方が対応の参照電圧を超える第 2 の場合には、トランジスタ Q 1 1 および Q 3 3 は遅延時間 D T 1 でオン状態からオフ状態に切替わる。さらに、トランジスタ Q 2 2 および Q 4 4 は遅延時間 D T 2 でオフ状態からオン状態に切替わる。以上のトランジスタ Q 1 1 , Q 2 2 , Q 3 3 , Q 4 4 の切替わりによって、I G B T Q 1 a , Q 2 a は同時にオフ状態になる。

30

#### 【 0 1 8 2 】

なお、並列接続された 2 個の I G B T のいずれか一方のみをセンス端子付きの I G B T に変更し、センス I G B T を流れる電流をシャント抵抗でモニタするような構成でも構わない。シャント抵抗 R 2 5 のみが設けられる場合には、論理回路 6 0 a は比較器 6 1 のみによって構成される。比較器 6 1 は、シャント抵抗 R 2 5 の両端の電圧が、閾値 I t h 2 に対応する参照電圧 V 3 を超えたとき、H レベルの電圧をトランジスタ Q 5 5 , Q 6 6 のゲートに出力することによって、これらのトランジスタ Q 5 5 , Q 6 6 をオン状態にする。逆に、シャント抵抗 R 2 6 のみが設けられる場合には、論理回路 6 0 a は比較器 6 2 のみによって構成される。比較器 6 2 は、シャント抵抗 R 2 6 の両端の電圧が、閾値 I t h 2 に対応する参照電圧 V 4 を超えたとき、H レベルの電圧をトランジスタ Q 5 5 , Q 6 6 のゲートに出力することによって、これらのトランジスタ Q 5 5 , Q 6 6 をオン状態にする。

40

#### 【 0 1 8 3 】

< 実施の形態 2 2 >

図 4 0 は、この発明の実施の形態 2 2 による電力用半導体装置 2 1 5 の構成を示す回路図である。図 4 0 の駆動制御部 1 1 5 に設けられた遅延回路 D L Y 9 は、ダイオード D 3 9 をさらに含む点で図 3 9 の遅延回路 D L Y 6 と異なる。ダイオード D 3 9 のカソードはトランジスタ Q 5 5 のドレインに接続され、ダイオード D 3 9 のアノードはトランジスタ Q 3 3 のゲートに接続される。駆動制御部 1 1 5 に設けられた遅延回路 D L Y 1 0 は、ダイオード D 4 9 をさらに含む点で図 3 9 の遅延回路 D L Y 8 と異なる。ダイオード D 4 9

50

のカソードはトランジスタ Q 6 6 のドレインに接続され、ダイオード D 4 9 のアノードはインバータ 5 0 の出力ノードに接続される。図 4 0 のその他の構成は図 3 9 と同じであるので、同一または相当する部分には同一の参照符号を付して説明を繰返さない。

#### 【 0 1 8 4 】

図 4 0 の駆動制御部 1 1 5 の動作は、図 3 8 の駆動制御部 1 1 3 の動作と同様である。まず、駆動信号 D S が L レベルから H レベルに切替わるときについて説明する。この時点では、シャント抵抗 R 2 5 の両端の電圧は参照電圧 V 3 より小さく、シャント抵抗 R 2 6 の両端の電圧は参照電圧 V 4 より小さい。したがって、トランジスタ Q 1 1 は遅延時間 D T 1 でオフ状態からオン状態に切替わるのに対して、トランジスタ Q 3 3 は遅延時間 D T 3 ( D T 3 > D T 1 ) でオフ状態からオン状態に切替わる。さらに、トランジスタ Q 2 2 は遅延時間 D T 2 でオン状態からオフ状態に切替わるのに対して、トランジスタ Q 4 4 は遅延時間 D T 4 ( D T 4 > D T 2 ) でオン状態からオフ状態に切替わる。以上のトランジスタ Q 1 1 , Q 2 2 , Q 3 3 , Q 4 4 の切替わりによって、 I G B T Q 1 a が先にオン状態になった後に、 I G B T Q 2 a がオン状態になる。10

#### 【 0 1 8 5 】

次に、駆動信号 D S が H レベルから L レベルに切替わるとき、トランジスタ Q 1 1 , Q 2 2 , Q 3 3 , Q 4 4 の切替わりのタイミング、および、その結果としての I G B T Q 1 a , Q 2 a の切替わりのタイミングは図 3 9 の場合と同じである。すなわち、シャント抵抗 R 2 5 の両端の電圧が参照電圧 V 3 より小さく、かつ、シャント抵抗 R 2 6 の電圧が参照電圧 V 4 より小さい第 1 の場合には、 I G B T Q 1 a が先にオフ状態になった後に、 I G B T Q 2 a がオフ状態になる。シャント抵抗 R 2 5 の両端の電圧およびシャント抵抗 R 2 6 の両端の電圧のうち少なくとも一方が対応の参照電圧を超える第 2 の場合には、 I G B T Q 1 a , Q 2 a は同時にオフ状態になる。20

#### 【 0 1 8 6 】

なお、図 4 0 においても、図 3 9 の場合と同様に、並列接続された 2 個の I G B T のいずれか一方のみをセンス端子付きの I G B T に変更し、センス I G B T を流れる電流をシャント抵抗でモニタするような構成でも構わない。シャント抵抗 R 2 5 のみが設けられる場合には、論理回路 6 0 a は比較器 6 1 のみによって構成される。逆に、シャント抵抗 R 2 6 のみが設けられる場合には、論理回路 6 0 a は比較器 6 2 のみによって構成される。30

#### 【 0 1 8 7 】

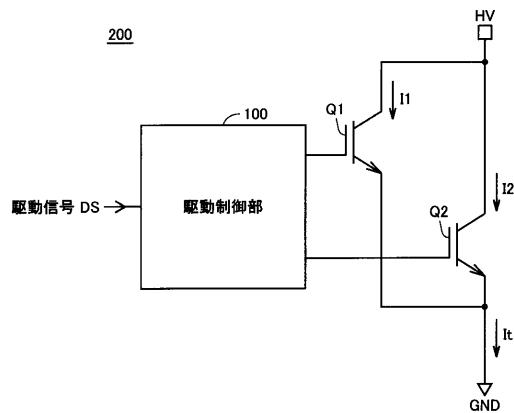
今回開示された実施の形態はすべての点で例示であって制限的なものでないと考えられるべきである。この発明の範囲は上記した説明ではなくて請求の範囲によって示され、請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

#### 【 符号の説明 】

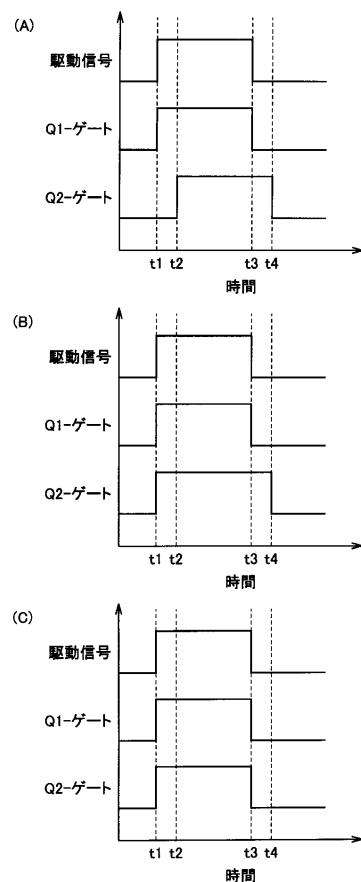
#### 【 0 1 8 8 】

5 , 5 a ~ 5 g 集積回路、 8 入力ノード、 9 電源ノード、 5 0 インバータ、 6 0 , 6 1 , 6 2 比較器、 6 0 a 論理回路、 6 3 O R 回路、 9 9 , 9 9 a 電流検出センサ、 1 0 0 ~ 1 1 5 駆動制御部、 2 0 0 ~ 2 1 5 電力用半導体装置、 D 1 2 , D 1 3 ダイオード、 D L Y 1 , D L Y 2 , D L Y 3 , D L Y 4 ~ D L Y 1 0 遅延回路、 D S 駆動信号、 G N D 接地ノード、 H V 高電圧ノード、 Q 1 , Q 2 , Q 1 a , Q 2 a 電力用半導体素子、 Q 1 1 , Q 2 2 , Q 3 3 , Q 4 4 N 型 M O S トランジスタ、 R 1 4 , R 1 5 , R 2 3 , R 2 4 抵抗素子、 R 2 5 , R 2 6 シャント抵抗、 V 1 駆動用電源。40

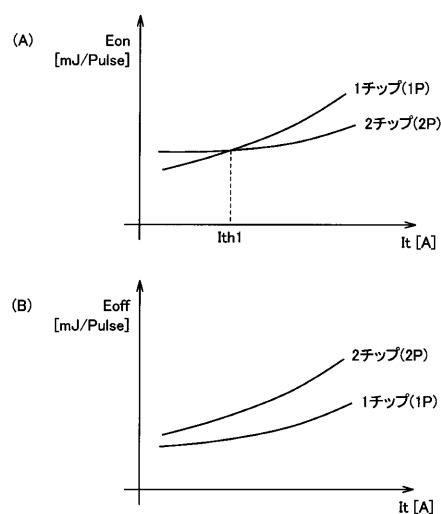
【図1】



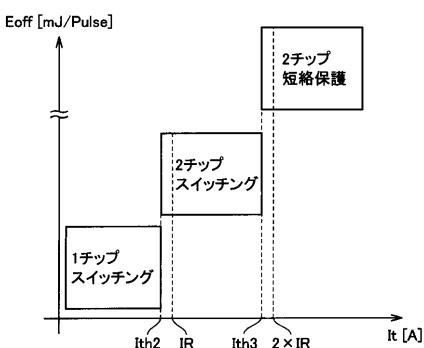
【図2】



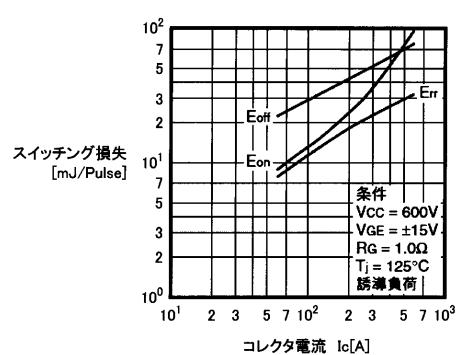
【図3】



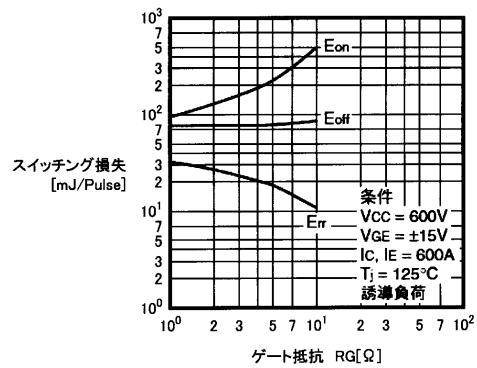
【図4】



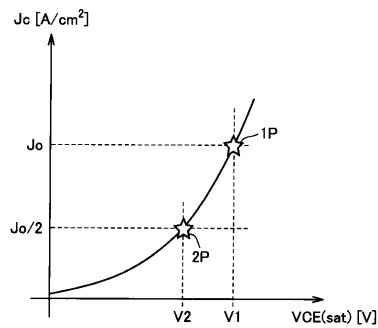
【図5】



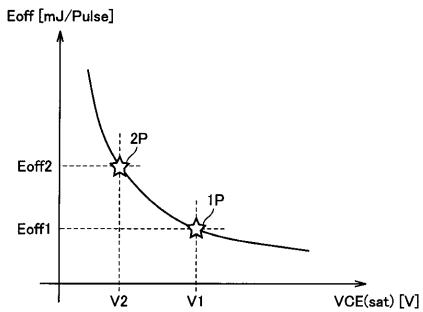
【図 6】



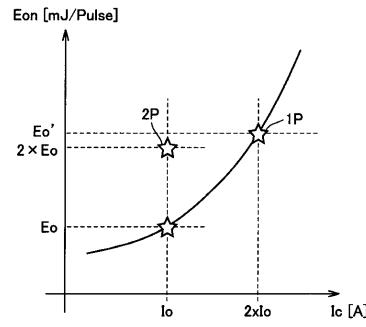
【図 7】



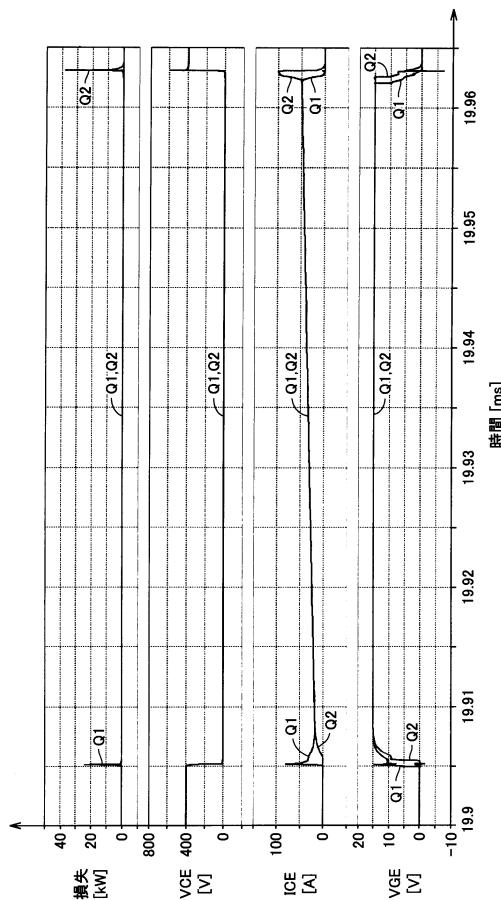
【図 8】



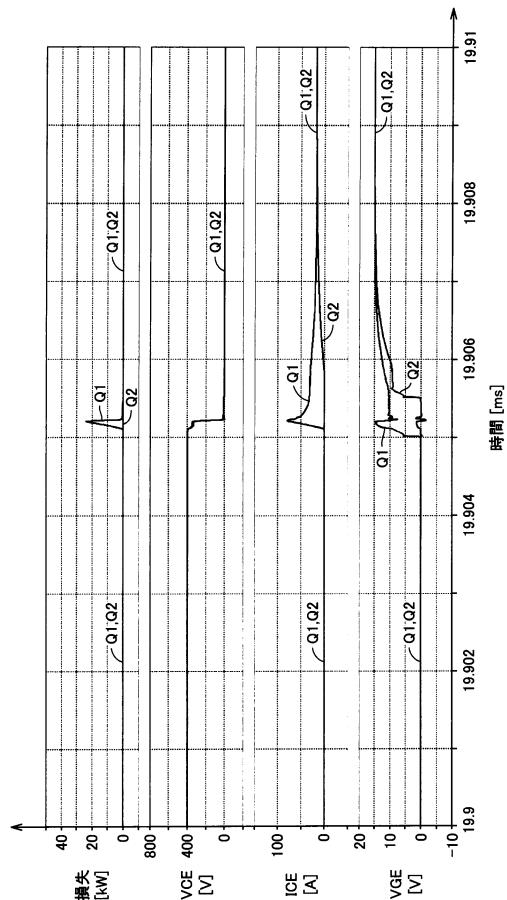
【図 9】



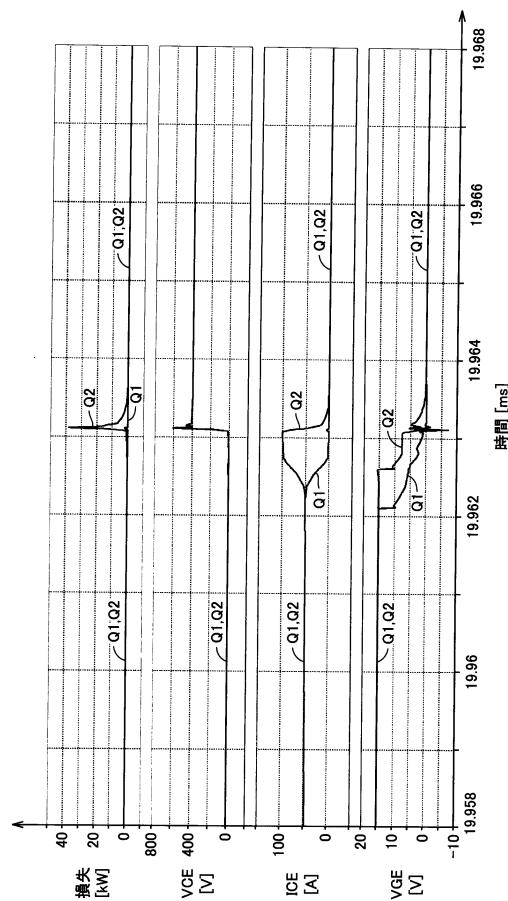
【図 10】



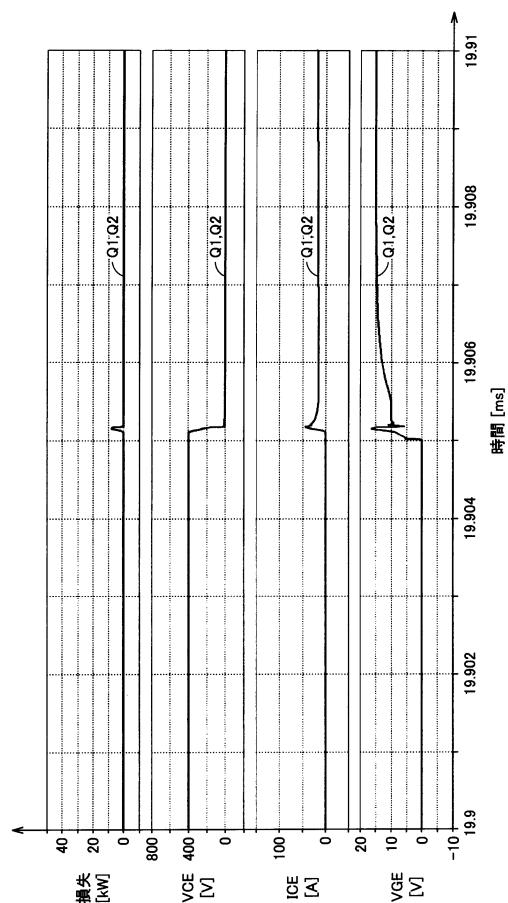
【図 11】



【図 1 2】

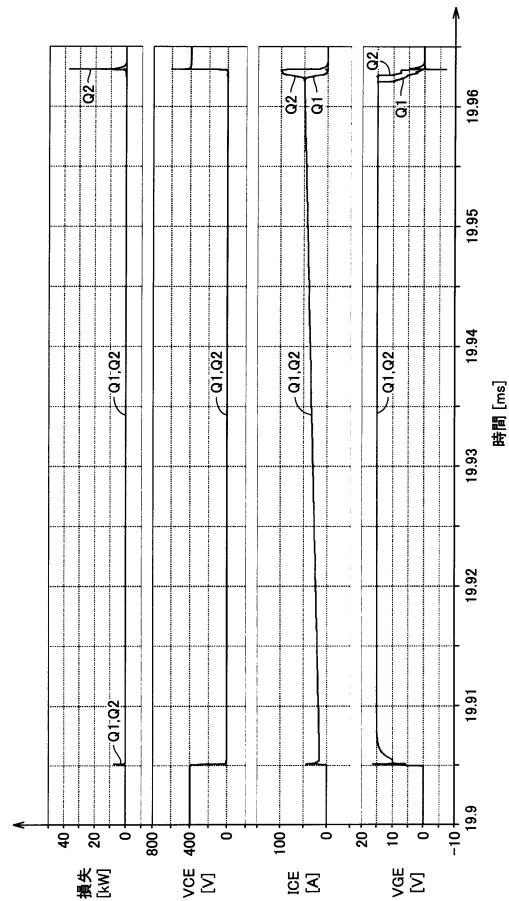


【図 1 4】

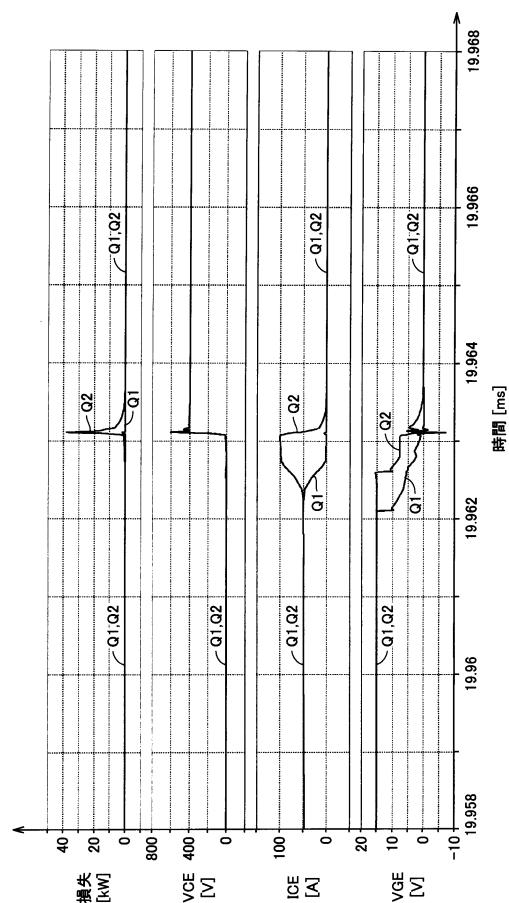


【図 1 5】

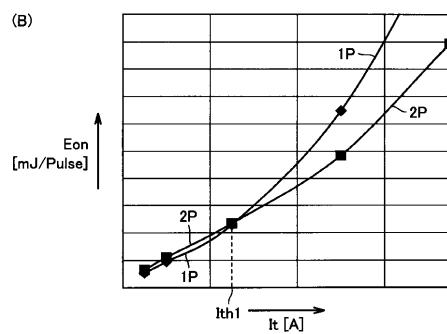
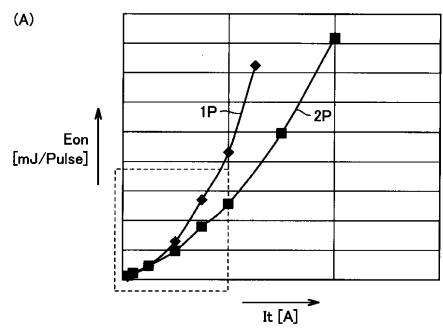
【図 1 3】



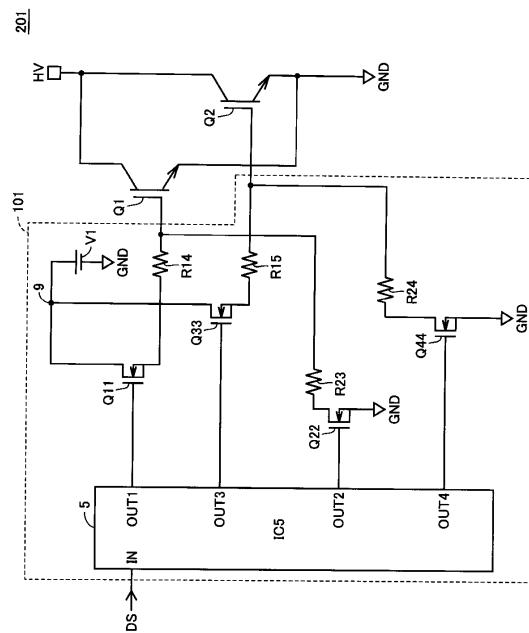
【図 1 5】



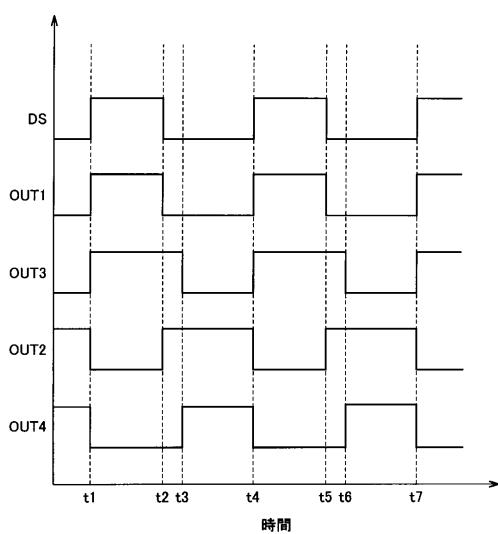
【図16】



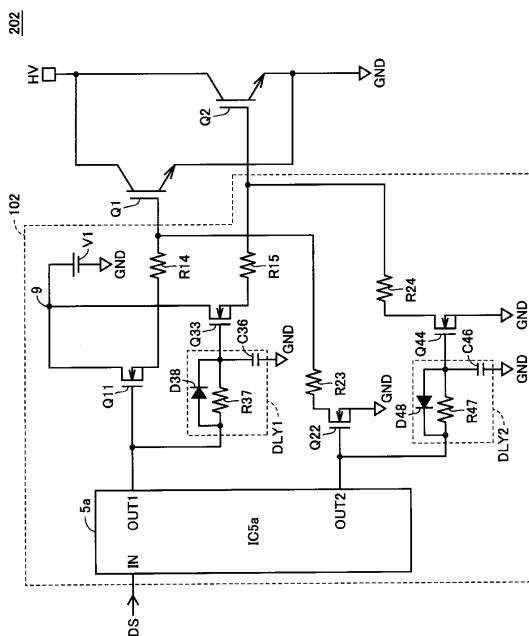
【図17】



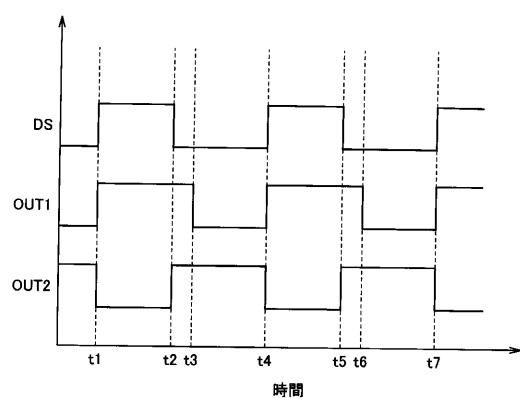
【図18】



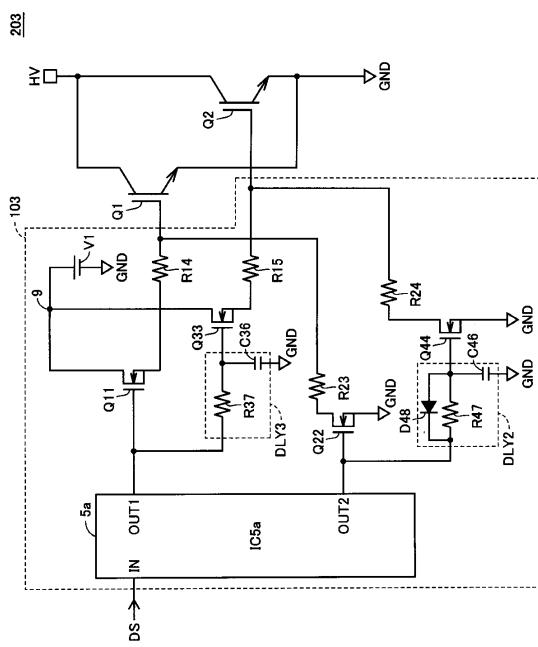
【図19】



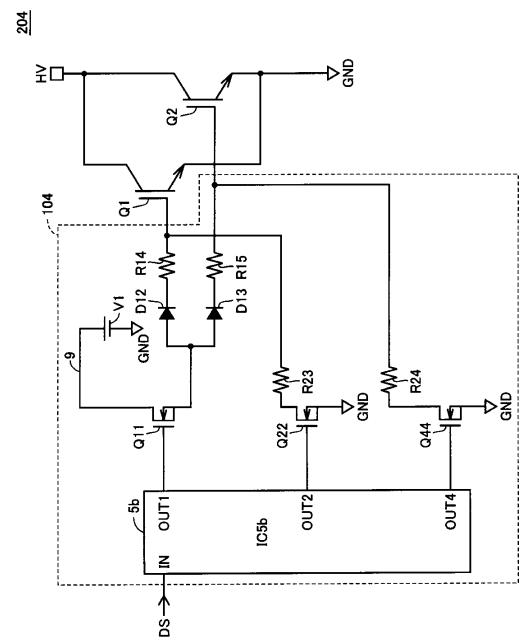
【図20】



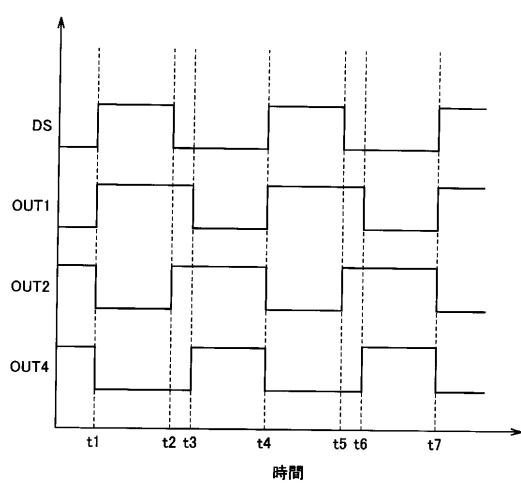
【図21】



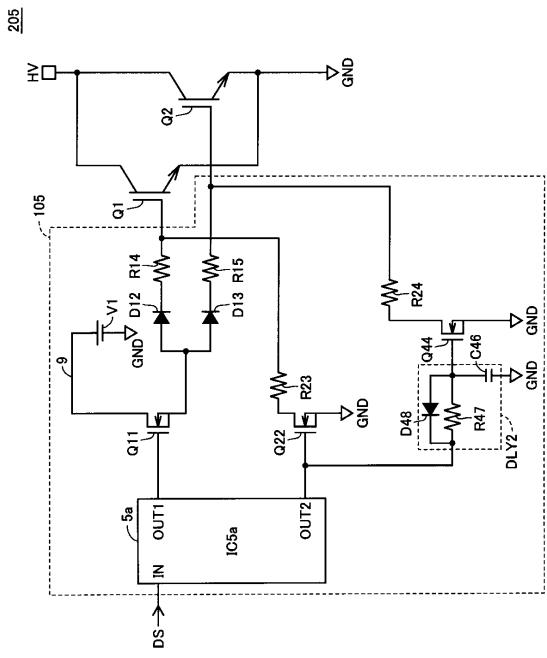
【図22】



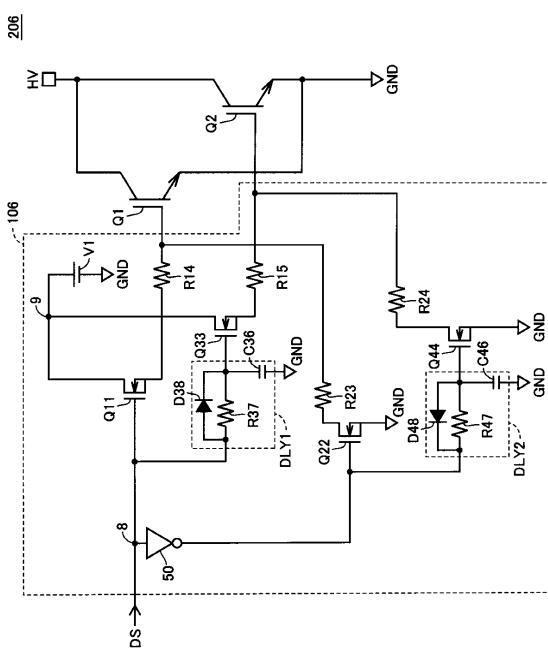
【図23】



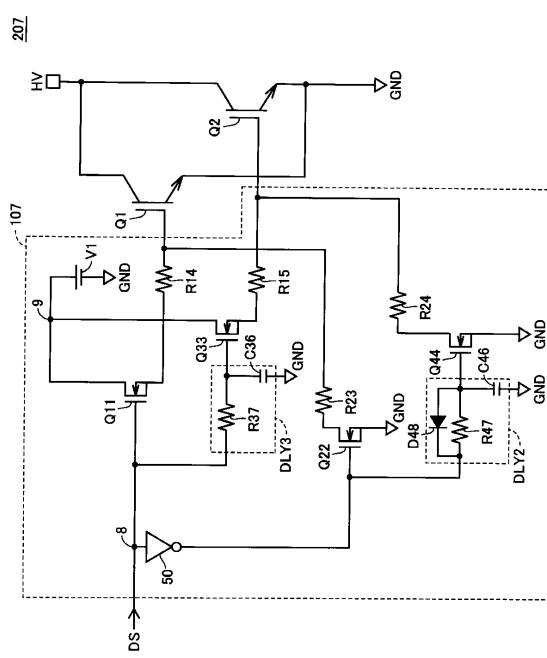
【図24】



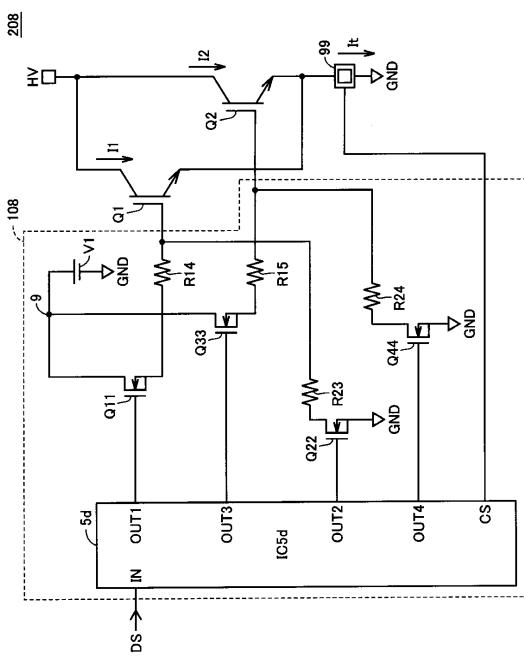
## 【図25】



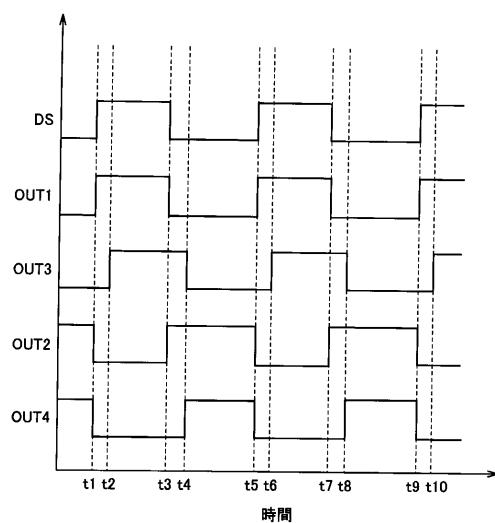
【 図 2 6 】



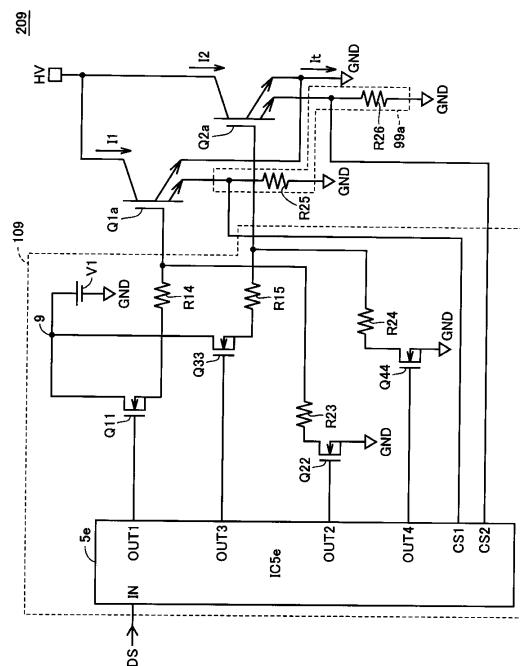
### 【図27】



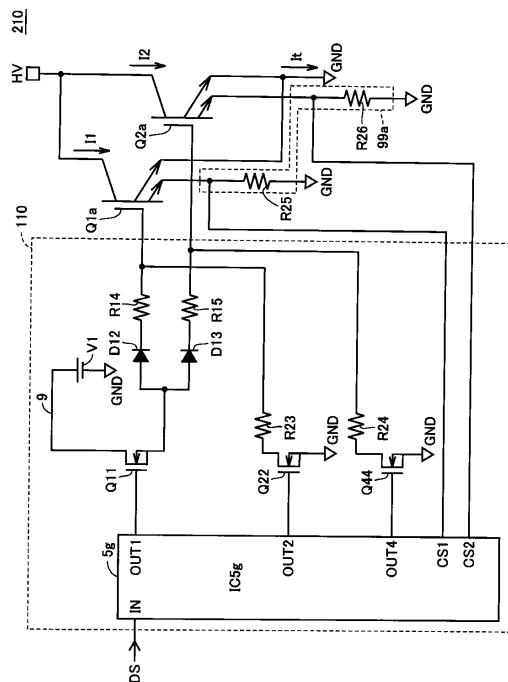
【図 2 8】



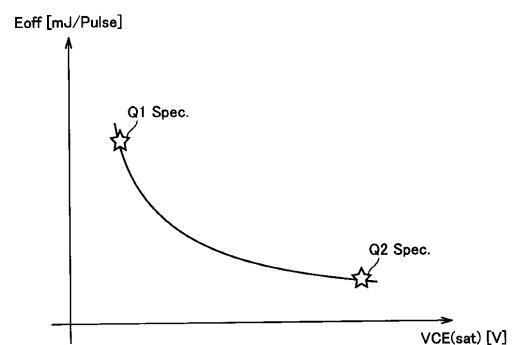
【図 2 9】



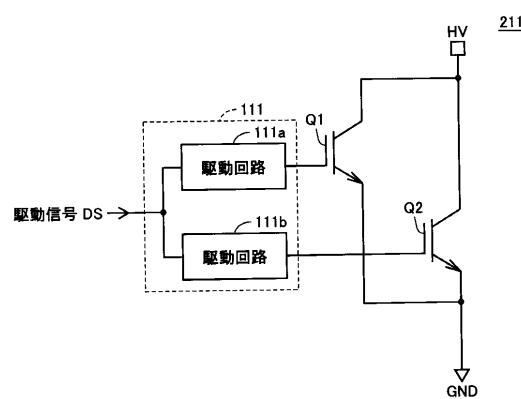
【図 3 0】



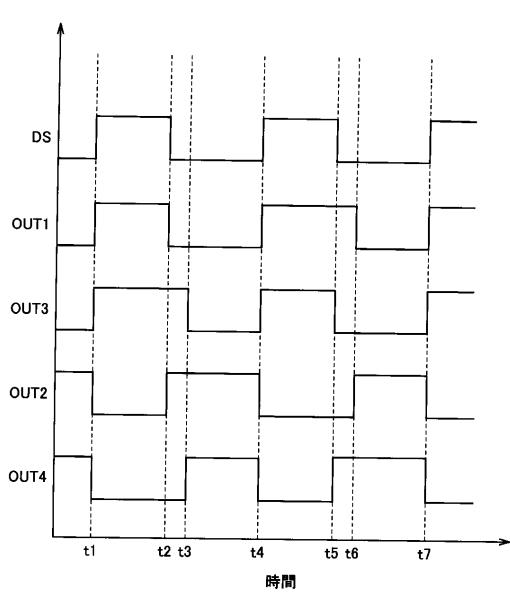
【図 3 1】



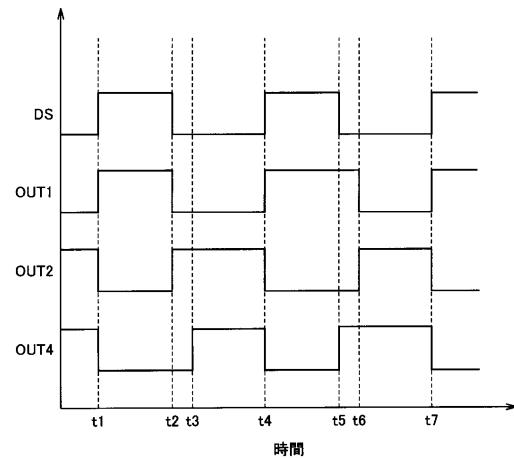
【図 3 2】



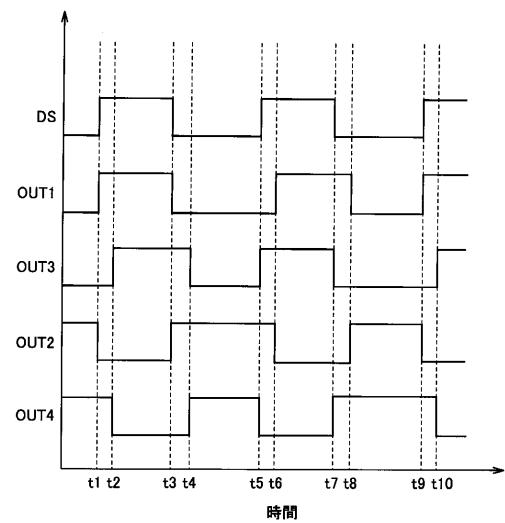
【図33】



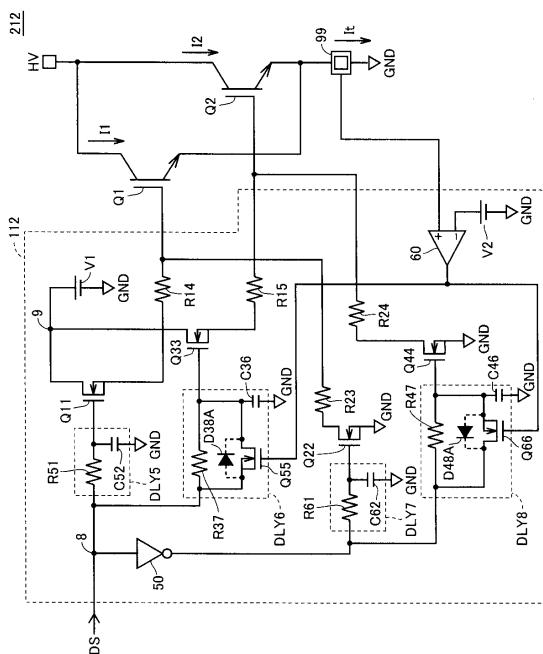
【図34】



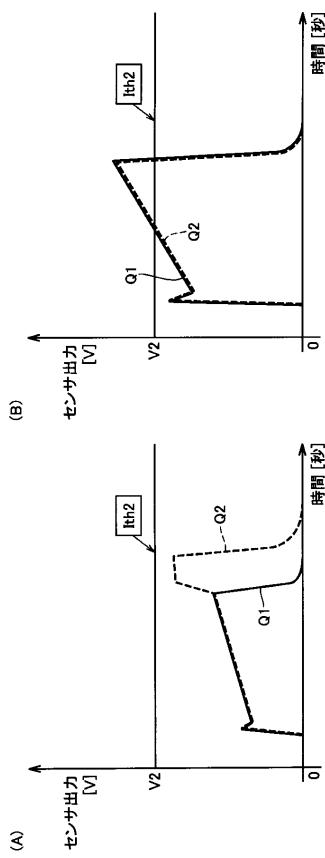
### 【図35】



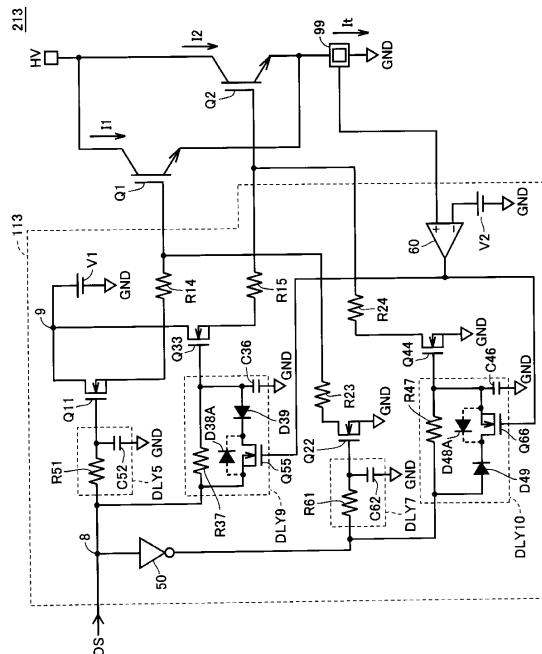
【図36】



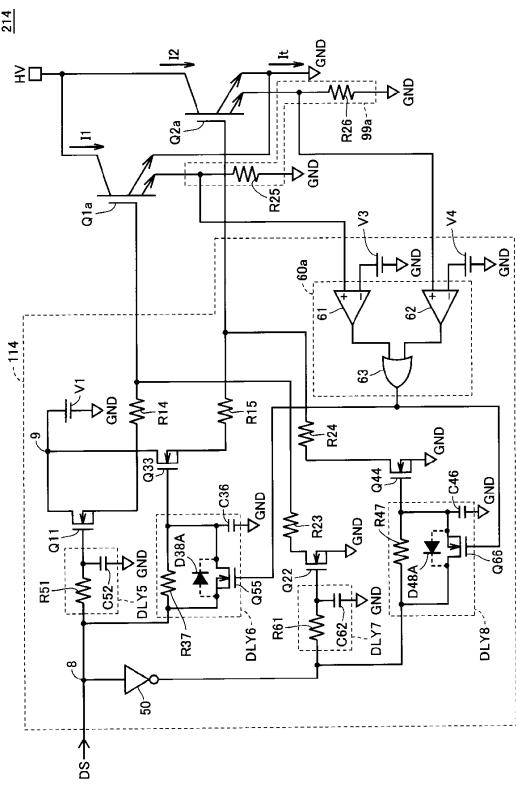
【図37】



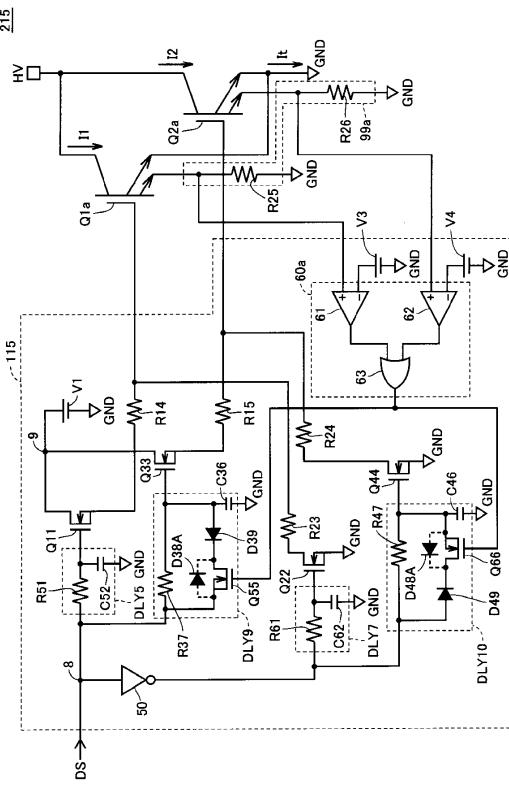
【図38】



【図39】



【図40】



---

フロントページの続き

審査官 鈴木 重幸

(56)参考文献 特開昭54-065351(JP,A)  
特開2002-017080(JP,A)  
特開昭61-072411(JP,A)  
特開平05-268033(JP,A)  
特開平05-327445(JP,A)  
特開平06-090151(JP,A)

(58)調査した分野(Int.Cl., DB名)

H02M 1/00 - 3/44  
H02M 7/42 - 7/98  
H03K 17/00 - 17/98