

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号
特許第5854895号
(P5854895)

(45) 発行日 平成28年2月9日 (2016.2.9)

(24) 登録日 平成27年12月18日 (2015.12.18)

(51) Int. Cl.

F I

HO 2 M 1/08 (2006.01)

HO 2 M 1/08 A

HO 3 K 17/12 (2006.01)

HO 3 K 17/12

請求項の数 19 (全 47 頁)

(21) 出願番号	特願2012-54269 (P2012-54269)	(73) 特許権者	000006013
(22) 出願日	平成24年3月12日 (2012.3.12)		三菱電機株式会社
(65) 公開番号	特開2012-249509 (P2012-249509A)		東京都千代田区丸の内二丁目7番3号
(43) 公開日	平成24年12月13日 (2012.12.13)	(74) 代理人	110001195
審査請求日	平成26年5月27日 (2014.5.27)		特許業務法人深見特許事務所
(31) 優先権主張番号	特願2011-102779 (P2011-102779)	(72) 発明者	ハリッド ハッサン フッセイン
(32) 優先日	平成23年5月2日 (2011.5.2)		東京都千代田区丸の内二丁目7番3号 三
(33) 優先権主張国	日本国 (JP)		菱電機株式会社内
		(72) 発明者	熊谷 敏之
			福岡県福岡市西区今宿東一丁目1番1号
			メルコセミコンダクタエンジニアリング株
			式会社内
		(72) 発明者	斉藤 省二
			東京都千代田区丸の内二丁目7番3号 三
			菱電機株式会社内
			最終頁に続く

(54) 【発明の名称】 電力用半導体装置

(57) 【特許請求の範囲】

【請求項 1】

電力用半導体装置であって、
互いに並列に接続された第1および第2の電力用半導体素子と、
外部から繰返し受けるオン指令およびオフ指令に応じて前記第1および第2の電力用半導体素子の各々をオン状態またはオフ状態にする駆動制御部とを備え、
前記駆動制御部は、前記オン指令に対して、前記第1および第2の電力用半導体素子を同時にオン状態にする場合と、前記第1および第2の電力用半導体素子の一方をオン状態にした後に他方をオン状態にする場合とに切替え可能であり、
前記駆動制御部は、前記オフ指令に対して、前記第1および第2の電力用半導体素子の一方をオフ状態にした後に他方をオフ状態にし、
前記電力用半導体装置は、前記第1および第2の電力用半導体素子の少なくとも一方を流れる電流または両方を流れる電流の和を検出する電流検出部をさらに備え、
前記駆動制御部は、前記オン指令を受けて前記第1および第2の電力用半導体素子をオン状態にしたときに前記電流検出部によって得られた電流検出値が第1の閾値以下であるか否かを判定する判定動作を行ない、
前記駆動制御部は、前記電流検出値が前記第1の閾値以下の場合には、次の前記判定動作までの間に受けた前記オン指令に対して前記第1および第2の電力用半導体素子の一方をオン状態にした後に他方をオン状態にし、
前記駆動制御部は、前記電流検出値が前記第1の閾値を超えている場合には、次の前記

10

20

判定動作までの間に受けた前記オン指令に対して前記第 1 および第 2 の電力用半導体素子を同時にオン状態にする、電力用半導体装置。

【請求項 2】

電力用半導体装置であって、

互いに並列に接続された第 1 および第 2 の電力用半導体素子と、

外部から繰返し受けるオン指令およびオフ指令に応じて前記第 1 および第 2 の電力用半導体素子の各々をオン状態またはオフ状態にする駆動制御部とを備え、

前記駆動制御部は、前記オン指令に対して、前記第 1 および第 2 の電力用半導体素子を同時にオン状態にする場合と、前記第 1 および第 2 の電力用半導体素子の一方をオン状態にした後に他方をオン状態にする場合とに切替え可能であり、

前記駆動制御部は、前記オフ指令に対して、前記第 1 および第 2 の電力用半導体素子を同時にオフ状態にする場合と、前記第 1 および第 2 の電力用半導体素子の一方をオフ状態にした後に他方をオフ状態にする場合とに切替え可能であり、

前記電力用半導体装置は、前記第 1 および第 2 の電力用半導体素子の少なくとも一方を流れる電流または両方を流れる電流の和を検出する電流検出部をさらに備え、

前記駆動制御部は、前記オン指令を受けて前記第 1 および第 2 の電力用半導体素子をオン状態にしたときに前記電流検出部によって得られた電流検出値を第 1 の閾値および前記第 1 の閾値より大きい第 2 の閾値とそれぞれ比較する判定動作を行ない、

前記駆動制御部は、前記電流検出値が前記第 1 の閾値以下の場合には、次の前記判定動作までの間に受けた前記オン指令に対して前記第 1 および第 2 の電力用半導体素子の一方をオン状態にした後に他方をオン状態にするとともに、次の前記判定動作までの間に受けた前記オフ指令に対して前記第 1 および第 2 の電力用半導体素子の一方をオフ状態にした後に他方をオフ状態にし、

前記駆動制御部は、前記電流検出値が前記第 1 の閾値を超えかつ前記第 2 の閾値以下の場合には、次の前記判定動作までの間に受けた前記オン指令に対して前記第 1 および第 2 の電力用半導体素子を同時にオン状態にするとともに、次の前記判定動作までの間に受けた前記オフ指令に対して前記第 1 および第 2 の電力用半導体素子の一方をオフ状態にした後に他方をオフ状態にし、

前記駆動制御部は、前記電流検出値が前記第 2 の閾値を超える場合には、次の前記判定動作までの間に受けた前記オン指令に対して前記第 1 および第 2 の電力用半導体素子を同時にオン状態にするとともに、次の前記判定動作までの間に受けた前記オフ指令に対して前記第 1 および第 2 の電力用半導体素子を同時にオフ状態にする、電力用半導体装置。

【請求項 3】

電力用半導体装置であって、

互いに並列に接続された第 1 および第 2 の電力用半導体素子と、

外部から繰返し受けるオン指令およびオフ指令に応じて前記第 1 および第 2 の電力用半導体素子の各々をオン状態またはオフ状態にする駆動制御部とを備え、

前記駆動制御部は、前記オン指令に対して、前記第 1 および第 2 の電力用半導体素子を同時にオン状態にし、

前記駆動制御部は、前記オフ指令に対して、前記第 1 および第 2 の電力用半導体素子を同時にオフ状態にする場合と、前記第 1 および第 2 の電力用半導体素子の一方をオフ状態にした後に他方をオフ状態にする場合とに切替え可能であり、

前記電力用半導体装置は、前記第 1 および第 2 の電力用半導体素子の少なくとも一方を流れる電流または両方を流れる電流の和を検出する電流検出部をさらに備え、

前記駆動制御部は、前記オン指令を受けて前記第 1 および第 2 の電力用半導体素子をオン状態にしたときに前記電流検出部によって得られた電流検出値が第 2 の閾値以下であるか否かを判定する判定動作を行ない、

前記駆動制御部は、前記電流検出値が前記第 2 の閾値以下の場合には、次の前記判定動作までの間に受けた前記オフ指令に対して前記第 1 および第 2 の電力用半導体素子の一方をオフ状態にした後に他方をオフ状態にし、

前記駆動制御部は、前記電流検出値が前記第 2 の閾値を超えている場合には、次の前記判定動作までの間に受けた前記オフ指令に対して前記第 1 および第 2 の電力用半導体素子を同時にオフ状態にする、電力用半導体装置。

【請求項 4】

前記第 1 および第 2 の電力用半導体素子の各々は、主電流の一部が分流して流れるセンス電極を有し、

前記電流検出部は、

前記第 1 の電力用半導体素子の前記センス電極に接続された第 1 の検出用抵抗素子と、

前記第 2 の電力用半導体素子の前記センス電極に接続された第 2 の検出用抵抗素子とを含む、請求項 1 ~ 3 のいずれか 1 項に記載の電力用半導体装置。

10

【請求項 5】

オン状態における前記第 1 の電力用半導体素子の飽和電圧は、前記第 2 の電力用半導体素子の飽和電圧よりも小さく、

前記駆動制御部は、前記オフ指令に対して前記第 1 および第 2 の電力用半導体素子の一方をオフ状態にした後に他方をオフ状態にする場合には、前記第 1 の電力用半導体素子を前記第 2 の電力用半導体素子よりも先にオフ状態にする、請求項 1 ~ 3 のいずれか 1 項に記載の電力用半導体装置。

【請求項 6】

前記第 1 および第 2 の電力用半導体素子の各々は、制御電極を有し、制御電極に印加される電圧が閾値電圧以下となったときにオン状態からオフ状態に切替わり、

20

前記第 1 の電力用半導体素子の閾値電圧は、前記第 2 の電力用半導体素子の閾値電圧より大きく、

前記駆動制御部は、前記オフ指令に対して前記第 1 および第 2 の電力用半導体素子の一方をオフ状態にした後に他方をオフ状態にする場合には、前記第 1 の電力用半導体素子を前記第 2 の電力用半導体素子よりも先にオフ状態にする、請求項 1 ~ 3 のいずれか 1 項に記載の電力用半導体装置。

【請求項 7】

前記第 1 の電力用半導体素子は、バイポーラトランジスタであり、

前記第 2 の電力用半導体素子は、ユニポーラトランジスタであり、

前記駆動制御部は、前記オフ指令に対して前記第 1 および第 2 の電力用半導体素子の一方をオフ状態にした後に他方をオフ状態にする場合には、前記第 1 の電力用半導体素子を前記第 2 の電力用半導体素子よりも先にオフ状態にする、請求項 1 ~ 3 のいずれか 1 項に記載の電力用半導体装置。

30

【請求項 8】

前記駆動制御部は、前記オン指令に対して前記第 1 および第 2 の電力用半導体素子の一方をオン状態にした後に他方をオン状態にする場合には、前記オン指令を受ける毎に、先にオン状態にする電力用半導体素子と後にオン状態にする電力用半導体素子とを切替える、請求項 1 または 2 に記載の電力用半導体装置。

【請求項 9】

前記駆動制御部は、前記オフ指令に対して前記第 1 および第 2 の電力用半導体素子の一方をオフ状態にした後に他方をオフ状態にする場合には、前記オフ指令を受ける毎に、先にオフ状態にする電力用半導体素子と後にオフ状態にする電力用半導体素子とを切替える、請求項 1 ~ 3 および 8 のいずれか 1 項に記載の電力用半導体装置。

40

【請求項 10】

電力用半導体装置であって、

互いに並列に接続された第 1 および第 2 の電力用半導体素子と、

外部から繰返し受けるオン指令およびオフ指令に応じて前記第 1 および第 2 の電力用半導体素子の各々をオン状態またはオフ状態にする駆動制御部とを備え、

前記駆動制御部は、前記オン指令に対して、前記第 1 および第 2 の電力用半導体素子を同時にオン状態にする場合と、前記第 1 および第 2 の電力用半導体素子の一方をオン状態

50

にした後に他方をオン状態にする場合とに切替え可能であり、

前記駆動制御部は、前記オフ指令に対して、前記第 1 および第 2 の電力用半導体素子を同時にオフ状態にする場合と、前記第 1 および第 2 の電力用半導体素子の一方をオフ状態にした後に他方をオフ状態にする場合とに切替え可能であり、

前記第 1 および第 2 の電力用半導体素子の各々は、制御電極を有し、制御電極に印加される電圧に応じてオン状態またはオフ状態に切替わり、

前記駆動制御部は、

第 1 および第 2 のノード間に接続された駆動用電源と、

前記オン指令および前記オフ指令にそれぞれ対応して論理レベルが変化する駆動信号を受け、前記駆動信号に応じて変化する第 1 ~ 第 4 の制御信号を出力する制御回路と、

前記第 1 の電力用半導体素子の制御電極に一端が接続された第 1 の抵抗素子と、

前記第 1 の抵抗素子の他端と前記第 1 のノードとの間に接続され、制御電極に前記第 1 の制御信号を受ける第 1 の駆動用トランジスタと、

前記第 1 の電力用半導体素子の制御電極に一端が接続された第 2 の抵抗素子と、

前記第 2 の抵抗素子の他端と前記第 2 のノードとの間に接続され、制御電極に前記第 2 の制御信号を受ける第 2 の駆動用トランジスタと、

前記第 2 の電力用半導体素子の制御電極に一端が接続された第 3 の抵抗素子と、

前記第 3 の抵抗素子の他端と前記第 1 のノードとの間に接続され、制御電極に前記第 3 の制御信号を受ける第 3 の駆動用トランジスタと、

前記第 2 の電力用半導体素子の制御電極に一端が接続された第 4 の抵抗素子と、

前記第 4 の抵抗素子の他端と前記第 2 のノードとの間に接続され、制御電極に前記第 4 の制御信号を受ける第 4 の駆動用トランジスタを含む、電力用半導体装置。

【請求項 11】

電力用半導体装置であって、

互いに並列に接続された第 1 および第 2 の電力用半導体素子と、

外部から繰返し受けるオン指令およびオフ指令に応じて前記第 1 および第 2 の電力用半導体素子の各々をオン状態またはオフ状態にする駆動制御部とを備え、

前記駆動制御部は、前記オン指令に対して、前記第 1 および第 2 の電力用半導体素子を同時にオン状態にし、

前記駆動制御部は、前記オフ指令に対して、前記第 1 および第 2 の電力用半導体素子の一方をオフ状態にした後に他方をオフ状態にし、

前記第 1 および第 2 の電力用半導体素子の各々は、制御電極を有し、制御電極に印加される電圧に応じてオン状態またはオフ状態に切替わり、

前記駆動制御部は、

第 1 および第 2 のノード間に接続された駆動用電源と、

前記オン指令および前記オフ指令にそれぞれ対応して論理レベルが変化する駆動信号を受け、前記駆動信号に応じて変化する第 1 および第 2 の制御信号を出力する制御回路と、

前記第 1 の電力用半導体素子の制御電極に一端が接続された第 1 の抵抗素子と、

前記第 1 の抵抗素子の他端と前記第 1 のノードとの間に接続され、制御電極に前記第 1 の制御信号を受ける第 1 の駆動用トランジスタと、

前記第 1 の電力用半導体素子の制御電極に一端が接続された第 2 の抵抗素子と、

前記第 2 の抵抗素子の他端と前記第 2 のノードとの間に接続され、制御電極に前記第 2 の制御信号を受ける第 2 の駆動用トランジスタと、

前記第 1 の制御信号を受け、前記第 1 の制御信号の立上がりエッジおよび立下がりエッジのうちの一方を遅延させる第 1 の遅延回路と、

前記第 2 の制御信号を受け、前記第 2 の制御信号の立上がりエッジおよび立下がりエッジのうちの一方を遅延させる第 2 の遅延回路と、

前記第 2 の電力用半導体素子の制御電極に一端が接続された第 3 の抵抗素子と、

前記第 3 の抵抗素子の他端と前記第 1 のノードとの間に接続され、制御電極に前記第 1 の遅延回路の出力を受ける第 3 の駆動用トランジスタと、

前記第 2 の電力用半導体素子の制御電極に一端が接続された第 4 の抵抗素子と、
前記第 4 の抵抗素子の他端と前記第 2 のノードとの間に接続され、制御電極に前記第 2 の遅延回路の出力を受ける第 4 の駆動用トランジスタとを含み、
前記第 1 の遅延回路は、前記第 3 の駆動用トランジスタのオフ状態への切替わりに対応するエッジを遅延させ、
前記第 2 の遅延回路、前記第 4 の駆動用トランジスタのオン状態への切替わりに対応するエッジを遅延させる、電力用半導体装置。

【請求項 1 2】

電力用半導体装置であって、
互いに並列に接続された第 1 および第 2 の電力用半導体素子と、
外部から繰返し受けるオン指令およびオフ指令に応じて前記第 1 および第 2 の電力用半導体素子の各々をオン状態またはオフ状態にする駆動制御部とを備え、
前記駆動制御部は、前記オン指令に対して、前記第 1 および第 2 の電力用半導体素子を同時にオン状態にし、
前記駆動制御部は、前記オフ指令に対して、前記第 1 および第 2 の電力用半導体素子を同時にオフ状態にする場合と、前記第 1 および第 2 の電力用半導体素子の一方をオフ状態にした後に他方をオフ状態にする場合とに切替え可能であり、

前記第 1 および第 2 の電力用半導体素子の各々は、制御電極を有し、制御電極に印加される電圧に応じてオン状態またはオフ状態に切替わり、

前記駆動制御部は、
第 1 および第 2 のノード間に接続された駆動用電源と、
前記オン指令および前記オフ指令にそれぞれ対応して論理レベルが変化する駆動信号を受け、前記駆動信号に応じて変化する第 1 ～ 第 3 の制御信号を出力する制御回路と、
第 1 の主電極が前記第 1 のノードと接続され、制御電極に前記第 1 の制御信号を受ける第 1 の駆動用トランジスタと、

前記第 1 の電力用半導体素子の制御電極に一端が接続された第 1 の抵抗素子と、
前記第 1 の抵抗素子の他端と前記第 1 の駆動用トランジスタの第 2 の主電極との間に、
前記第 1 の駆動用トランジスタがオン状態のときに導通状態になる極性で接続された第 1 のダイオードと、

前記第 1 の電力用半導体素子の制御電極に一端が接続された第 2 の抵抗素子と、
前記第 2 の抵抗素子の他端と前記第 2 のノードとの間に接続され、前記第 2 の制御信号を制御電極に受ける第 2 の駆動用トランジスタと、
前記第 2 の電力用半導体素子の制御電極に一端が接続された第 3 の抵抗素子と、
前記第 3 の抵抗素子の他端と前記第 1 の駆動用トランジスタの前記第 2 の主電極との間に、前記第 1 の駆動用トランジスタがオン状態のときに導通状態になる極性で接続された第 2 のダイオードと、

前記第 2 の電力用半導体素子の制御電極に一端が接続された第 4 の抵抗素子と、
前記第 4 の抵抗素子の他端と前記第 2 のノードとの間に接続され、前記第 3 の制御信号を制御電極に受ける第 3 の駆動用トランジスタとを含む、電力用半導体装置。

【請求項 1 3】

電力用半導体装置であって、
互いに並列に接続された第 1 および第 2 の電力用半導体素子と、
外部から繰返し受けるオン指令およびオフ指令に応じて前記第 1 および第 2 の電力用半導体素子の各々をオン状態またはオフ状態にする駆動制御部とを備え、
前記駆動制御部は、前記オン指令に対して、前記第 1 および第 2 の電力用半導体素子を同時にオン状態にし、

前記駆動制御部は、前記オフ指令に対して、前記第 1 および第 2 の電力用半導体素子の一方をオフ状態にした後に他方をオフ状態にし、

前記第 1 および第 2 の電力用半導体素子の各々は、制御電極を有し、制御電極に印加される電圧に応じてオン状態またはオフ状態に切替わり、

前記駆動制御部は、
第 1 および第 2 のノード間に接続された駆動用電源と、
前記オン指令および前記オフ指令にそれぞれ対応して論理レベルが変化する駆動信号を受け、前記駆動信号に応じて変化する第 1 および第 2 の制御信号を出力する制御回路と、
第 1 の主電極が前記第 1 のノードと接続され、制御電極に前記第 1 の制御信号を受ける第 1 の駆動用トランジスタと、
前記第 1 の電力用半導体素子の制御電極に一端が接続された第 1 の抵抗素子と、
前記第 1 の抵抗素子の他端と前記第 1 の駆動用トランジスタの第 2 の主電極との間に、前記第 1 の駆動用トランジスタがオン状態になるときに導通状態になる極性で接続された第 1 のダイオードと、
前記第 1 の電力用半導体素子の制御電極に一端が接続された第 2 の抵抗素子と、
前記第 2 の抵抗素子の他端と前記第 2 のノードとの間に接続され、前記第 2 の制御信号を制御電極に受ける第 2 の駆動用トランジスタと、
前記第 2 の制御信号を受け、前記第 2 の制御信号の立上がりエッジおよび立下がりエッジのうちの一方を遅延させる遅延回路と、
前記第 2 の電力用半導体素子の制御電極に一端が接続された第 3 の抵抗素子と、
前記第 3 の抵抗素子の他端と前記第 1 の駆動用トランジスタの前記第 2 の主電極との間に、前記第 1 の駆動用トランジスタがオン状態のときに導通状態になる極性で接続された第 2 のダイオードと、
前記第 2 の電力用半導体素子の制御電極に一端が接続された第 4 の抵抗素子と、
前記第 4 の抵抗素子の他端と前記第 2 のノードとの間に接続され、制御電極に前記遅延回路の出力を受ける第 3 の駆動用トランジスタとを含み、
前記遅延回路は、前記第 3 の駆動用トランジスタのオン状態への切替わりに対応するエッジを遅延させる、電力用半導体装置。

【請求項 14】

電力用半導体装置であって、
互いに並列に接続された第 1 および第 2 の電力用半導体素子と、
外部から繰返し受けるオン指令およびオフ指令に応じて前記第 1 および第 2 の電力用半導体素子の各々をオン状態またはオフ状態にする駆動制御部とを備え、
前記駆動制御部は、前記オン指令に対して、前記第 1 および第 2 の電力用半導体素子を同時にオン状態にし、
前記駆動制御部は、前記オフ指令に対して、前記第 1 および第 2 の電力用半導体素子の一方をオフ状態にした後に他方をオフ状態にし、
前記第 1 および第 2 の電力用半導体素子の各々は、制御電極を有し、制御電極に印加される電圧に応じてオン状態またはオフ状態に切替わり、
前記駆動制御部は、
第 1 および第 2 のノード間に接続された駆動用電源と、
前記オン指令および前記オフ指令にそれぞれ対応して論理レベルが変化する駆動信号を受ける入力ノードと、
前記入力ノードで受けた前記駆動信号の論理レベルを反転するインバータと、
前記第 1 の電力用半導体素子の制御電極に一端が接続された第 1 の抵抗素子と、
前記第 1 の抵抗素子の他端と前記第 1 のノードとの間に接続され、制御電極に前記駆動信号を受ける第 1 の駆動用トランジスタと、
前記第 1 の電力用半導体素子の制御電極に一端が接続された第 2 の抵抗素子と、
前記第 2 の抵抗素子の他端と前記第 2 のノードとの間に接続され、制御電極に前記インバータの出力を受ける第 2 の駆動用トランジスタと、
前記駆動信号を受け、前記駆動信号の立上がりエッジおよび立下がりエッジのうちの一方を遅延させる第 1 の遅延回路と、
前記インバータの出力を受け、前記インバータの出力の立上がりエッジおよび立下がりエッジのうちの一方を遅延させる第 2 の遅延回路と、

10

20

30

40

50

前記第 2 の電力用半導体素子の制御電極に一端が接続された第 3 の抵抗素子と、
前記第 3 の抵抗素子の他端と前記第 1 のノードとの間に接続され、制御電極に前記第 1
の遅延回路の出力を受ける第 3 の駆動用トランジスタと、
前記第 2 の電力用半導体素子の制御電極に一端が接続された第 4 の抵抗素子と、
前記第 4 の抵抗素子の他端と前記第 2 のノードとの間に接続され、制御電極に前記第 2
の遅延回路の出力を受ける第 4 の駆動用トランジスタとを含み、
前記第 1 の遅延回路は、前記第 3 の駆動用トランジスタのオフ状態への切替わりに対応
するエッジを遅延させ、
前記第 2 の遅延回路は、前記第 4 の駆動用トランジスタのオン状態への切替わりに対応
するエッジを遅延させる、電力用半導体装置。

10

【請求項 1 5】

前記駆動用電源の出力電圧が前記第 1 および第 2 の抵抗素子によって分圧された電圧は
、前記第 1 の電力用半導体素子がオン状態に切替わる閾値電圧よりも小さい、請求項 1 1
~ 1 4 のいずれか 1 項に記載の電力用半導体装置。

【請求項 1 6】

前記第 1 および第 2 の電力用半導体素子の各々は、制御電極を有し、前記制御電極に駆
動電圧を受けた場合にオフ状態からオン状態に切替わり、

前記駆動制御部は、

第 1 および第 2 のノード間に接続され、前記駆動電圧を出力する駆動用電源と、

前記オン指令および前記オフ指令にそれぞれ対応して論理レベルが変化する駆動信号を
受ける入力ノードと、

20

前記入力ノードで受けた前記駆動信号の論理レベルを反転するインバータと、

前記電流検出部によって得られた電流検出値が前記第 2 の閾値以下であるか否かを判定
する論理回路と、

前記駆動信号を受け、前記駆動信号の立上がりエッジおよび立下がりエッジの両方を第
1 の遅延時間だけ遅延させる第 1 の遅延回路と、

前記インバータの出力を受け、前記インバータの出力の立上がりエッジおよび立下がり
エッジの両方を第 2 の遅延時間だけ遅延させる第 2 の遅延回路と、

前記第 1 の電力用半導体素子の制御電極に一端が接続された第 1 の抵抗素子と、

前記第 1 の抵抗素子の他端と前記第 1 のノードとの間に接続され、制御電極に前記第 1
の遅延回路の出力を受ける第 1 の駆動用トランジスタと、

30

前記第 1 の電力用半導体素子の制御電極に一端が接続された第 2 の抵抗素子と、

前記第 2 の抵抗素子の他端と前記第 2 のノードとの間に接続され、制御電極に前記第 2
の遅延回路の出力を受ける第 2 の駆動用トランジスタと、

前記駆動信号を受け、前記駆動信号の立上がりエッジおよび立下がりエッジのうちの両
方を遅延させる第 3 の遅延回路と、

前記インバータの出力を受け、前記インバータの出力の立上がりエッジおよび立下がり
エッジのうちの両方を遅延させる第 4 の遅延回路と、

前記第 2 の電力用半導体素子の制御電極に一端が接続された第 3 の抵抗素子と、

前記第 3 の抵抗素子の他端と前記第 1 のノードとの間に接続され、制御電極に前記第 3
の遅延回路の出力を受ける第 3 の駆動用トランジスタと、

40

前記第 2 の電力用半導体素子の制御電極に一端が接続された第 4 の抵抗素子と、

前記第 4 の抵抗素子の他端と前記第 2 のノードとの間に接続され、制御電極に前記第 4
の遅延回路の出力を受ける第 4 の駆動用トランジスタとを含み、

前記第 3 の遅延回路は、前記論理回路の判定結果をさらに受け、前記第 3 の駆動用トラ
ンジスタのオン状態への切替わりに対応するエッジを前記第 1 の遅延時間だけ遅延させ、
前記第 3 の駆動用トランジスタのオフ状態への切替わりに対応するエッジを、前記電流検
出値が前記第 2 の閾値以下の場合に前記第 1 の遅延時間よりも大きい第 3 の遅延時間だけ
遅延させ、前記電流検出値が前記第 2 の閾値を超える場合に前記第 1 の遅延時間だけ遅延
させ、

50

前記第 4 の遅延回路は、前記論理回路の判定結果をさらに受け、前記第 4 の駆動用トランジスタのオン状態への切替わりに対応するエッジを前記第 2 の遅延時間だけ遅延させ、前記第 4 の駆動用トランジスタのオフ状態への切替わりに対応するエッジを、前記電流検出値が前記第 2 の閾値以下の場合に前記第 2 の遅延時間よりも大きい第 4 の遅延時間だけ遅延させ、前記電流検出値が前記第 2 の閾値を超える場合に前記第 2 の遅延時間だけ遅延させる、請求項 3 に記載の電力用半導体装置。

【請求項 17】

電力用半導体装置であって、

互いに並列に接続された第 1 および第 2 の電力用半導体素子と、

外部から繰返し受けるオン指令およびオフ指令に応じて前記第 1 および第 2 の電力用半導体素子の各々をオン状態またはオフ状態にする駆動制御部とを備え、

前記駆動制御部は、前記オン指令に対して、前記第 1 および第 2 の電力用半導体素子の一方をオン状態にした後に他方をオン状態にし、

前記駆動制御部は、前記オフ指令に対して、前記第 1 および第 2 の電力用半導体素子を同時にオフ状態にする場合と、前記第 1 および第 2 の電力用半導体素子の一方をオフ状態にした後に他方をオフ状態にする場合とに切替え可能であり、

前記電力用半導体装置は、前記第 1 および第 2 の電力用半導体素子の少なくとも一方を流れる電流または両方を流れる電流の和を検出する電流検出部をさらに備え、

前記駆動制御部は、前記オン指令を受けて前記第 1 および第 2 の電力用半導体素子をオン状態にしたときに前記電流検出部によって得られた電流検出値が第 2 の閾値以下であるか否かを判定する判定動作を行ない、

前記駆動制御部は、前記電流検出値が前記第 2 の閾値以下の場合には、次の前記判定動作までの間に受けた前記オフ指令に対して前記第 1 および第 2 の電力用半導体素子の一方をオフ状態にした後に他方をオフ状態にし、

前記駆動制御部は、前記電流検出値が前記第 2 の閾値を超えている場合には、次の前記判定動作までの間に受けた前記オフ指令に対して前記第 1 および第 2 の電力用半導体素子を同時にオフ状態にする、電力用半導体装置。

【請求項 18】

前記第 1 および第 2 の電力用半導体素子の各々は、制御電極を有し、前記制御電極に駆動電圧を受けた場合にオフ状態からオン状態に切替わり、

前記駆動制御部は、

第 1 および第 2 のノード間に接続され、前記駆動電圧を出力する駆動用電源と、

前記オン指令および前記オフ指令にそれぞれ対応して論理レベルが変化する駆動信号を受ける入力ノードと、

前記入力ノードで受けた前記駆動信号の論理レベルを反転するインバータと、

前記電流検出部によって得られた電流検出値が前記第 2 の閾値以下であるか否かを判定する論理回路と、

前記駆動信号を受け、前記駆動信号の立上がりエッジおよび立下がりエッジの両方を第 1 の遅延時間だけ遅延させる第 1 の遅延回路と、

前記インバータの出力を受け、前記インバータの出力の立上がりエッジおよび立下がりエッジの両方を第 2 の遅延時間だけ遅延させる第 2 の遅延回路と、

前記第 1 の電力用半導体素子の制御電極に一端が接続された第 1 の抵抗素子と、

前記第 1 の抵抗素子の他端と前記第 1 のノードとの間に接続され、制御電極に前記第 1 の遅延回路の出力を受ける第 1 の駆動用トランジスタと、

前記第 1 の電力用半導体素子の制御電極に一端が接続された第 2 の抵抗素子と、

前記第 2 の抵抗素子の他端と前記第 2 のノードとの間に接続され、制御電極に前記第 2 の遅延回路の出力を受ける第 2 の駆動用トランジスタと、

前記駆動信号を受け、前記駆動信号の立上がりエッジおよび立下がりエッジのうちの両方を遅延させる第 3 の遅延回路と、

前記インバータの出力を受け、前記インバータの出力の立上がりエッジおよび立下がり

エッジのうちの両方を遅延させる第 4 の遅延回路と、

前記第 2 の電力用半導体素子の制御電極に一端が接続された第 3 の抵抗素子と、

前記第 3 の抵抗素子の他端と前記第 1 のノードとの間に接続され、制御電極に前記第 3 の遅延回路の出力を受ける第 3 の駆動用トランジスタと、

前記第 2 の電力用半導体素子の制御電極に一端が接続された第 4 の抵抗素子と、

前記第 4 の抵抗素子の他端と前記第 2 のノードとの間に接続され、制御電極に前記第 4 の遅延回路の出力を受ける第 4 の駆動用トランジスタとを含み、

前記第 3 の遅延回路は、前記論理回路の判定結果をさらに受け、前記第 3 の駆動用トランジスタのオン状態への切替わりに対応するエッジを前記第 1 の遅延時間よりも大きい第 3 の遅延時間だけ遅延させ、前記第 3 の駆動用トランジスタのオフ状態への切替わりに対応するエッジを、前記電流検出値が前記第 2 の閾値以下の場合に前記第 3 の遅延時間だけ遅延させ、前記電流検出値が前記第 2 の閾値を超える場合に前記第 1 の遅延時間だけ遅延させ、

10

前記第 4 の遅延回路は、前記論理回路の判定結果をさらに受け、前記第 4 の駆動用トランジスタのオン状態への切替わりに対応するエッジを前記第 2 の遅延時間より大きい第 4 の遅延時間だけ遅延させ、前記第 4 の駆動用トランジスタのオフ状態への切替わりに対応するエッジを、前記電流検出値が前記第 2 の閾値以下の場合に前記第 4 の遅延時間だけ遅延させ、前記電流検出値が前記第 2 の閾値を超える場合に前記第 2 の遅延時間だけ遅延させる、請求項 1 7 に記載の電力用半導体装置。

【請求項 1 9】

20

前記第 1 および第 2 の電力用半導体素子の各々は、主電流の一部が分流して流れるセンス電極を有し、

前記電流検出部は、

前記第 1 の電力用半導体素子の前記センス電極に接続された第 1 の検出用抵抗素子と、

前記第 2 の電力用半導体素子の前記センス電極に接続された第 2 の検出用抵抗素子とを含み、

前記論理回路は、

前記第 1 の検出用抵抗素子にかかる電圧が、前記第 2 の閾値に対応する電圧を超えたか否かを判定する第 1 の比較器と、

前記第 2 の検出用抵抗素子にかかる電圧が、前記第 2 の閾値に対応する電圧を超えたか否かを判定する第 2 の比較器と、

30

前記第 1 および第 2 の比較器の出力の論理和を、前記論理回路の判定結果として出力する OR 回路とを含む、請求項 1 6 または 1 8 に記載の電力用半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

この発明は電力変換機器などに用いられる電力用半導体装置に関する。

【背景技術】

【0002】

パワー MOSFET (Metal-Oxide-Semiconductor Field-Effect Transistor) や IGBT (Insulated Gate Bipolar Transistor) などの電力用半導体素子は、モータ駆動用インバータ、無停電電源装置、および周波数変換装置などの電力機器の制御に用いられる。これらの電力機器の定格電圧および定格電流は増加傾向にあるため、電力用半導体素子も高耐圧化および大電流化が要求される。

40

【0003】

電力用半導体素子によって制御可能な電流量を増大させる方法として、複数の電力用半導体素子を並列接続する方法が知られている（たとえば、特開 2000 - 92820 号公報（特許文献 1）参照）。

【0004】

上記の文献のように複数の電力用半導体素子が並列接続される場合、これらの複数の素

50

子は、通常、同一の駆動信号を用いることによって同時にスイッチングされる。このため、電力用半導体素子の並列数が多くなるほど、または、スイッチング周波数が高くなるほど、スイッチング損失（ターンオン損失およびターンオフ損失）が増大することとなる。

【 0 0 0 5 】

並列接続された電力用半導体素子のターンオフ損失を低減させるための方法として、たとえば、特開平 5 - 2 9 1 9 1 3 号公報（特許文献 2）に記載された方法が知られている。この文献の方法では、低飽和電圧および長下降時間を有する第 1 の I G B T と高飽和電圧および短下降時間を有する第 2 の I G B T とが並列接続され、第 2 の I G B T のゲートには入力抵抗が挿入される。第 1 および第 2 の I G B T を共通の駆動信号で動作させると、第 2 の I G B T の遮断時点が第 1 の I G B T の遮断時点よりも遅延するので、第 2 の I G B T の短下降時間に基づいてターンオフ動作を行なうことができる。

10

【 0 0 0 6 】

スイッチング損失の低減を目的としたものではないが、類似の技術が特開平 6 - 2 0 9 5 6 5 号公報（特許文献 3）および特開平 6 - 2 0 9 6 6 6 号公報（特許文献 4）に記載されている。いずれの文献も、主半導体素子とこれに並列接続される検出用半導体素子とからなるスイッチング回路を直列接続したものについて開示する。具体的に、前者の特開平 6 - 2 0 9 5 6 5 号公報（特許文献 3）に記載の技術では、主半導体素子のゲートとゲート駆動回路とがオフ遅延回路を介して接続され、検出用半導体素子のゲートとゲート駆動回路とがオン遅延回路を介して接続される。後者の特開平 6 - 2 0 9 6 6 6 号公報（特許文献 4）に記載の技術では、検出用半導体素子のゲートとゲート駆動回路とがオフ遅延回路を介して接続され、主半導体素子のゲートとゲート駆動回路とがオン遅延回路を介して接続される。

20

【先行技術文献】

【特許文献】

【 0 0 0 7 】

【特許文献 1】特開 2 0 0 0 - 9 2 8 2 0 号公報

【特許文献 2】特開平 5 - 2 9 1 9 1 3 号公報

【特許文献 3】特開平 6 - 2 0 9 5 6 5 号公報

【特許文献 4】特開平 6 - 2 0 9 6 6 6 号公報

【発明の概要】

30

【発明が解決しようとする課題】

【 0 0 0 8 】

上記の特開平 5 - 2 9 1 9 1 3 号公報（特許文献 2）では、スイッチング損失の低減について考慮されているものの、ターンオフ損失の低減のみに着目され、ターンオン損失については考慮されていない。さらには、この文献に記載の方法は、低飽和電圧および長下降時間を有する第 1 の I G B T と高飽和電圧および短下降時間を有する第 2 の I G B T とを並列接続するというものであるので、同一の特性を有する電力用半導体素子が並列接続された場合には適用できない。

【 0 0 0 9 】

この発明の目的は、複数の電力用半導体素子を並列接続する場合において、スイッチング損失を従来よりも低減することである。

40

【課題を解決するための手段】

【 0 0 1 0 】

この発明の一局面に従う電力用半導体装置は、互いに並列に接続された第 1 および第 2 の電力用半導体素子と、駆動制御部とを備える。駆動制御部は、外部から繰返し受けるオン指令およびオフ指令に応じて第 1 および第 2 の電力用半導体素子の各々をオン状態またはオフ状態にする。具体的には、駆動制御部は、オン指令に対して、第 1 および第 2 の電力用半導体素子を同時にオン状態にする場合と、第 1 および第 2 の電力用半導体素子の一方をオン状態にした後に他方をオン状態にする場合とに切替え可能である。駆動制御部は、オフ指令に対して、第 1 および第 2 の電力用半導体素子の一方をオフ状態にした後に他

50

方をオフ状態にする。

【発明の効果】

【0011】

この発明によれば、オン指令に対しては、第1および第2の電力用半導体素子を同時にオン状態にする場合と互いにタイミングをずらしてオン状態にする場合とに切替え可能にし、オフ指令に対しては、第1および第2の電力用半導体素子を互いにタイミングをずらしてオフ状態にすることによって、スイッチング損失を従来よりも低減することができる。

【図面の簡単な説明】

【0012】

10

【図1】この発明の実施の形態1による電力用半導体装置200の構成図である。

【図2】駆動信号DSと電力用半導体素子Q1、Q2のゲート電圧との関係を示すタイミング図である。

【図3】オン状態のときIGBTQ1、Q2を流れる全電流Itの大きさと(A)ターンオン損失Eonおよび(B)ターンオフ損失Eoffの大きさとの関係を示す図である。

【図4】IGBTQ1、Q2のターンオフ時のタイミング制御について説明するための概念図である。

【図5】IGBTのスイッチング損失とコレクタ電流との関係を示す図である。

【図6】IGBTのスイッチング損失とゲート抵抗との関係を示す図である。

20

【図7】コレクタ電流密度Jcと飽和電圧VCE(sat)との関係を示す図である。

【図8】ターンオフ損失Eoffと飽和電圧VCE(sat)との関係を示す図である。

【図9】IGBTのコレクタ電流Icとターンオン損失Eonとの関係を示す図である。

【図10】並列接続されたIGBTを順次スイッチングさせた場合のシミュレーション結果を示す図である。

【図11】図10のターンオン時の拡大図である。

【図12】図10のターンオフ時の拡大図である。

【図13】並列接続されたIGBTについてオン状態への切替えは同時に行ない、オフ状態への切替えは順次行なった場合のシミュレーション結果を示す図である。

【図14】図13のターンオン時の拡大図である。

【図15】図13のターンオフ時の拡大図である。

30

【図16】並列接続されたIGBTQ1、Q2に流れる全電流Itとターンオン損失Eonとの関係を示す図である。

【図17】この発明の実施の形態2による電力用半導体装置201の構成を示す回路図である。

【図18】図17の集積回路5から出力される制御信号のタイミング図の一例を示す図である。

【図19】この発明の実施の形態3による電力用半導体装置202の構成を示す回路図である。

【図20】図19の集積回路5aから出力される制御信号のタイミング図の一例を示す図である。

40

【図21】この発明の実施の形態4による電力用半導体装置203の構成を示す回路図である。

【図22】この発明の実施の形態5による電力用半導体装置204の構成を示す回路図である。

【図23】図22の集積回路5bから出力される制御信号のタイミング図の一例を示す図である。

【図24】この発明の実施の形態6による電力用半導体装置205の構成を示す回路図である。

【図25】この発明の実施の形態7による電力用半導体装置206の構成を示す回路図である。

50

【図 2 6】この発明の実施の形態 8 による電力用半導体装置 2 0 7 の構成を示す回路図である。

【図 2 7】この発明の実施の形態 9 による電力用半導体装置 2 0 8 の構成を示す回路図である。

【図 2 8】図 2 7 の集積回路 5 d から出力される制御信号のタイミング図の一例を示す図である。

【図 2 9】この発明の実施の形態 1 0 による電力用半導体装置 2 0 9 の構成を示す回路図である。

【図 3 0】この発明の実施の形態 1 1 による電力用半導体装置 2 1 0 の構成を示す回路図である。

10

【図 3 1】この発明の実施の形態 1 2 による電力用半導体装置で用いられる I G B T Q 1 , Q 2 の仕様について説明するための図である。

【図 3 2】この発明の実施の形態 1 3 の変形例による電力用半導体装置 2 1 1 の構成図である。

【図 3 3】実施の形態 2 , 9 , 1 0 による電力用半導体装置 2 0 1 , 2 0 8 , 2 0 9 において、駆動制御部 1 0 1 , 1 0 8 , 1 0 9 による I G B T Q 1 , Q 2 のスイッチング制御方法の変形例について説明するための図である。

【図 3 4】実施の形態 5 , 1 1 による電力用半導体装置 2 0 4 , 2 1 0 において、駆動制御部 1 0 4 , 1 1 0 による I G B T Q 1 , Q 2 のスイッチング制御方法の変形例について説明するための図である。

20

【図 3 5】実施の形態 2 , 9 , 1 0 による電力用半導体装置 2 0 1 , 2 0 8 , 2 0 9 において、駆動制御部 1 0 1 , 1 0 8 , 1 0 9 による I G B T Q 1 , Q 2 のスイッチング制御方法の他の変形例について説明するための図である。

【図 3 6】この発明の実施の形態 1 9 による電力用半導体装置 2 1 2 の構成を示す回路図である。

【図 3 7】図 3 6 の電流検出センサ 9 9 の出力波形の一例を示す図である。

【図 3 8】この発明の実施の形態 2 0 による電力用半導体装置 2 1 3 の構成を示す回路図である。

【図 3 9】この発明の実施の形態 2 1 による電力用半導体装置 2 1 4 の構成を示す回路図である。

30

【図 4 0】この発明の実施の形態 2 2 による電力用半導体装置 2 1 5 の構成を示す回路図である。

【発明を実施するための形態】

【 0 0 1 3 】

以下、この発明の実施の形態について図面を参照して詳しく説明する。なお、同一または相当する部分には同一の参照符号を付して、その説明を繰り返さない。

【 0 0 1 4 】

< 実施の形態 1 >

[電力用半導体装置 2 0 0 の構成]

図 1 は、この発明の実施の形態 1 による電力用半導体装置 2 0 0 の構成図である。図 1 を参照して、電力用半導体装置 2 0 0 は、高電圧ノード H V と接地ノード G N D との間に互いに並列に接続された電力用半導体素子 Q 1 , Q 2 と、駆動制御部 1 0 0 とを含む。図 1 では電力用半導体素子 Q 1 , Q 2 として I G B T が例示されるが、パワー M O S F E T やバイポーラトランジスタなどその他の半導体素子であってもよい。以下では、電力用半導体素子 Q 1 , Q 2 をそれぞれ I G B T Q 1 , Q 2 と記載する。I G B T Q 1 , Q 2 のコレクタが接続される高電圧ノード H V は制御対象の電力機器に接続され、高電圧が印加される。

40

【 0 0 1 5 】

駆動制御部 1 0 0 は、外部から受けた駆動信号 D S の論理レベルに応じて I G B T Q 1 , Q 2 をオン状態またはオフ状態に切替える。この実施の形態による駆動制御部 1 0 0 は

50

、ハイレベル（Ｈレベル）の駆動信号ＤＳを受けたときに電力用半導体素子Ｑ１，Ｑ２をオン状態にし、ローレベル（Ｌレベル）の駆動信号ＤＳを受けたときに電力用半導体素子Ｑ１，Ｑ２をオフ状態にするものとする。Ｈレベルの駆動信号ＤＳをオン指令とも称し、Ｌレベルの駆動信号ＤＳをオフ指令とも称する。オン指令およびオフ指令は、駆動制御部１００に交互に繰返し与えられる。駆動制御部１００の具体的な構成例は、実施の形態２以降で説明する。

【００１６】

〔電力用半導体装置２００の動作〕

図２は、駆動信号ＤＳと電力用半導体素子Ｑ１，Ｑ２のゲート電圧との関係を示すタイミング図である。図１、図２を参照して、駆動制御部１００は、オン指令を受けてＩＧＢＴＱ１，Ｑ２をオン状態に切替えるとき、ＩＧＢＴＱ１，Ｑ２を同時にオン状態にする場合と、ＩＧＢＴＱ１，Ｑ２のうち一方（たとえば、ＩＧＢＴＱ１）を先にオン状態にし、他方を後からオン状態にする場合とに切替え可能である。さらに、駆動制御部１００は、オフ指令を受けてＩＧＢＴＱ１，Ｑ２をオフ状態に切替えるとき、ＩＧＢＴＱ１，Ｑ２を同時にオフ状態にする場合と、ＩＧＢＴＱ１，Ｑ２のうち一方（たとえば、ＩＧＢＴＱ１）を先にオフ状態にし、他方を後からオフ状態にする場合とに切替え可能である。ＩＧＢＴＱ１，Ｑ２を同時にスイッチングするか、それとも、タイミングをずらしてそれぞれ独立にスイッチングするかは、オン指令を受けてＩＧＢＴＱ１，Ｑ２がオン状態（導通状態）のときにＩＧＢＴＱ１，Ｑ２をそれぞれ流れる主電流Ｉ１，Ｉ２（または主電流Ｉ１およびＩ２が合成された全電流Ｉ_t）の大きさに応じて決める。具体的に実施の形態１の場合、電力用半導体素子Ｑ１，Ｑ２を流れる全電流Ｉ_tは、大きさによって３つの領域に分けられる。

【００１７】

図２（Ａ）には、全電流Ｉ_tの大きさが比較的小さい場合が示される。この場合、時刻ｔ１において、駆動信号ＤＳがＬレベルからＨレベルに切替わると、駆動制御部１００は、ＩＧＢＴＱ１のゲートにＨレベルの電圧を印加することによってＩＧＢＴＱ１をオン状態に切替える。その後の時刻ｔ２に、駆動制御部１００は、ＩＧＢＴＱ２のゲートにＨレベルの電圧を印加することによってＩＧＢＴＱ２をオン状態に切替える。時刻ｔ３において、駆動信号ＤＳがＨレベルからＬレベルに切替わると、駆動制御部１００は、ＩＧＢＴＱ１のゲートにＬレベルの電圧を印加することによってＩＧＢＴＱ１をオフ状態に切替える。その後の時刻ｔ４に、駆動制御部１００は、ＩＧＢＴＱ２のゲートにＬレベルの電圧を印加することによってＩＧＢＴＱ２をオフ状態に切替える。したがって、ターンオン時においては、先にターンオンするＩＧＢＴＱ１にスイッチング損失（ターンオン損失 E_{on} ）が主として生じ、ターンオフ時においては後にターンオフするＩＧＢＴＱ２にスイッチング損失（ターンオフ損失 E_{off} ）が主として生じる。

【００１８】

図２（Ｂ）には、全電流Ｉ_tの大きさが中程度の場合が示される。この場合、時刻ｔ１において、駆動信号ＤＳがＬレベルからＨレベルに切替わると、駆動制御部１００は、ＩＧＢＴＱ１，Ｑ２の両方のゲートにＨレベルの電圧を印加することによってＩＧＢＴＱ１，Ｑ２を同時にオン状態に切替える。時刻ｔ３において、駆動信号ＤＳがＨレベルからＬレベルに切替わると、駆動制御部１００は、ＩＧＢＴＱ１のゲートにＬレベルの電圧を印加することによってＩＧＢＴＱ１をオフ状態に切替える。その後の時刻ｔ４に、駆動制御部１００は、ＩＧＢＴＱ２のゲートにＬレベルの電圧を印加することによってＩＧＢＴＱ２をオフ状態に切替える。したがって、ターンオン時においては、ＩＧＢＴＱ１，Ｑ２の両方にスイッチング損失（ターンオン損失 E_{on} ）が生じる。ターンオフ時においては、主として、後からターンオフするＩＧＢＴＱ２にスイッチング損失（ターンオフ損失 E_{off} ）が生じる。

【００１９】

図２（Ｃ）には、全電流Ｉ_tの大きさが比較的高い場合が示される。この場合、時刻ｔ１において、駆動信号ＤＳがＬレベルからＨレベルに切替わると、駆動制御部１００は、

I G B T Q 1 , Q 2 の両方のゲートに H レベルの電圧を印加することによって I G B T Q 1 , Q 2 を同時にオン状態に切替える。時刻 t_3 において、駆動信号 D S が H レベルから L レベルに切替わると、駆動制御部 100 は、I G B T Q 1 , Q 2 の両方のゲートに L レベルの電圧を印加することによって I G B T Q 1 , Q 2 を同時にオフ状態に切替える。したがって、ターンオン時およびターンオフ時の両方とも、I G B T Q 1 , Q 2 の両方にスイッチング損失が生じる。

【0020】

上記では、タイミングをずらして I G B T Q 1 , Q 2 を順次スイッチングする場合、I G B T Q 1 を I G B T Q 2 よりも先にオン状態またはオフ状態に切替えるようにしたが、I G B T Q 1 , Q 2 の特性が同じ場合にはいずれを先にスイッチングしても構わない。

10

【0021】

[図 2 (A) ~ (C) の方法でスイッチング制御を行なう理由]

次に、上記の方法で I G B T Q 1 , Q 2 のスイッチング制御を行なう理由について説明する。

【0022】

図 3 は、オン状態のとき I G B T Q 1 , Q 2 を流れる全電流 I_t の大きさと (A) ターンオン損失 E_{on} および (B) ターンオフ損失 E_{off} の大きさとの関係を示す図である。図 3 において、ターンオン損失 E_{on} およびターンオフ損失 E_{off} は、駆動信号 D S の 1 パルス (Pulse) 当たりに消費される電力 (m J) で表わされる。相互にタイミングをずらして I G B T Q 1 , Q 2 をそれぞれ単独でスイッチングさせる場合を 1 チップ (1 P) と記載し、I G B T Q 1 , Q 2 を同時にスイッチングさせる場合を 2 チップ (2 P) と記載する。

20

【0023】

図 3 (A) を参照して、I G B T Q 1 , Q 2 を流れる全電流 I_t がある閾値 I_{th1} より小さい場合は、相互にタイミングをずらして I G B T Q 1 , Q 2 をそれぞれ単独でオン状態にしたほうが、同時にオン状態にするよりもターンオン損失 E_{on} は小さくなる。全電流 I_t が閾値 I_{th1} より大きい場合は、I G B T Q 1 , Q 2 を同時にオン状態にしたほうが、I G B T Q 1 , Q 2 をそれぞれ単独でオン状態にするよりもターンオン損失 E_{on} が小さくなる。したがって、図 1 の駆動制御部 100 は、全電流 I_t が閾値 I_{th1} 以下の場合には、図 2 (A) で示したように、I G B T Q 1 を先にオン状態にし、I G B T Q 2 を後からオン状態にする。駆動制御部 100 は、全電流 I_t が閾値 I_{th1} より大きい場合には、図 2 (B) で示したように、I G B T Q 1 , Q 2 を同時にオン状態にする。これによって、従来よりもターンオン損失 E_{on} を低減することができる。

30

【0024】

図 3 (B) を参照して、ターンオフ損失 E_{off} の場合には、導通状態の I G B T Q 1 , Q 2 を流れる全電流 I_t の大きさによらずに、相互にタイミングをずらして I G B T Q 1 , Q 2 をそれぞれ単独でオフ状態にしたほうが、同時にオフ状態にするよりもターンオフ損失 E_{off} は小さくなる。したがって、図 1 の駆動制御部 100 は、図 2 (A) 、 (B) で示したように、I G B T Q 1 を先にオフ状態にし、I G B T Q 2 を後からオフ状態にする。これによって、I G B T Q 1 , Q 2 を同時にオフ状態にする場合に比べて、ターンオフ損失 E_{off} を低減することができる。

40

【0025】

ただし、I G B T Q 1 , Q 2 をそれぞれ単独でオフ状態にする場合には、I G B T Q 1 , Q 2 を流れる全電流 I_t が 1 素子あたりの最大定格を超えると、後からオフ状態にする素子が破壊される可能性がある。そこで、素子の破壊を防止するために、全電流 I_t が 1 素子あたりの最大定格に近づいた場合には、図 2 (C) で示したように、I G B T Q 1 , Q 2 を同時にオフ状態にする。

【0026】

図 4 は、I G B T Q 1 , Q 2 のターンオフ時のタイミング制御について説明するための概念図である。

50

【 0 0 2 7 】

図 4 を参照して、I G B T Q 1 , Q 2 の 1 素子あたりの主電流の最大定格を I R とする。最大定格 I R よりも若干小さな値に閾値 I t h 2 が設定され、最大定格 I R の 2 倍 (2 × I R) よりも若干小さな値に閾値 I t h 3 が設定される。導通状態で I G B T Q 1 , Q 2 を流れる全電流 I t が閾値 I t h 2 未満の場合には、図 1 の駆動制御部 1 0 0 は、オフ指令に対して I G B T Q 1 , Q 2 がそれぞれ単独で順次オフ状態になるように制御する。全電流 I t が閾値 I t h 2 以上であり、閾値 I t h 3 未満の場合には、駆動制御部 1 0 0 は、オフ指令に対して I G B T Q 1 , Q 2 が同時にオフ状態になるように制御する。1 素子ずつ順次オフ状態にするよりもターンオフ損失 E o f f が増加することになるが、I G B T の短絡保護を目的としてこのようなスイッチング制御を行なう。全電流 I t が閾値 I t h 3 以上の場合には、I G B T Q 1 , Q 2 の両方とも駆動信号 D S の論理レベルとは関係なくオフ状態になるように制御する短絡保護を行なう。

10

【 0 0 2 8 】

[図 3 (A) 、 (B) のスイッチング特性が得られる理由]

次に、図 3 (A) 、 (B) に示したスイッチング特性が得られる理由について説明する。

【 0 0 2 9 】

図 5 は、I G B T のスイッチング損失とコレクタ電流との関係を示す図である。図 5 には、ターンオン損失 E o n 、ターンオフ損失 E o f f 、および逆回復動作時のスイッチング損失 E r r のコレクタ電流 I c 依存性が示される。

20

【 0 0 3 0 】

図 6 は、I G B T のスイッチング損失とゲート抵抗との関係を示す図である。図 6 には、ターンオン損失 E o n 、ターンオフ損失 E o f f 、および逆回復動作時のスイッチング損失 E r r のゲート抵抗 R G 依存性が示される。図 5 、図 6 に示す特性図は、三菱電機製の I G B T モジュール (型番 : C M 6 0 0 H X - 2 4 A) のデータシートから抜粋したものである。

【 0 0 3 1 】

(1 . ターンオフ損失 E o f f)

図 5 を参照して、ターンオフ損失 E o f f は、コレクタ電流 I c の累乗関数で表わされる (すなわち、図 5 に示す両対数グラフにおいて、ターンオフ損失 E o f f がコレクタ電流 I c に比例する) 。記号「 ^ 」で指数を表わすものとする、ターンオフ損失 E o f f は、定数 a , b を用いて、

$$E o f f = a \times I c ^ b \quad \dots (1)$$

と書き表わすことができる。

30

【 0 0 3 2 】

図 1 の I G B T Q 1 , Q 2 の各々に流れる電流を I o [A] とすると、1 素子ずつオフ状態にしたときのターンオフ損失 E o f f _ 1 P は、

$$E o f f _ 1 P = a \times (2 \times I o) ^ b \quad \dots (2)$$

と表わされる。2 素子同時にオフ状態にしたときのターンオフ損失 E o f f _ 2 P は、

$$E o f f _ 2 P = 2 \times a \times I o ^ b \quad \dots (3)$$

40

と表わされる。上式 (2) と (3) との比は、

$$E o f f _ 1 P / E o f f _ 2 P = 2 ^ { (b - 1) } \quad \dots (4)$$

となるので、b < 1 であれば、

$$E o f f _ 1 P < E o f f _ 2 P \quad \dots (5)$$

の関係が成立する。b < 1 の関係は図 5 のグラフの傾きが 1 より小さいことを意味し、通常は、この b < 1 の関係が成り立つ。

【 0 0 3 3 】

具体的な数値を用いて検証すると、図 1 に示した I G B T Q 1 , Q 2 において、1 素子あたり 2 0 0 [A] の主電流が流れているとすると (すなわち、I 1 = I 2 = 2 0 0 [A]) 、全電流 I t は 4 0 0 [A] になる。図 5 を参照すると、コレクタ電流が 2 0 0 [A]

50

】のときのターンオフ損失 E_{off} は約 $41 \text{ mJ} / \text{Pulse}$ であり、コレクタ電流が $400 [\text{A}]$ のときターンオフ損失 E_{off} は約 $62 \text{ mJ} / \text{Pulse}$ である。したがって、2素子同時にオフ状態に切替えた場合のターンオフ損失 E_{off} は全体で $82 \text{ mJ} / \text{Pulse}$ になるのに対して、1素子ずつオフ状態に切替えた場合のターンオフ損失 E_{off} は後からオフ状態にする素子に損失が生じるので $62 \text{ mJ} / \text{Pulse}$ になる。このように、1素子ずつオフ状態に切替えたほうがターンオフ損失 E_{off} は小さくなる。

【0034】

なお、図6に示すようにターンオフ損失 E_{off} においては、ゲート抵抗 R_G に対するターンオフ損失 E_{off} の依存性はほとんどなく、ターンオフ損失 E_{off} の特性は $IGBT$ の素子特性によってほとんど決定されていることがわかる。上記の結果は、定性的には次のように考えることができる。

【0035】

図7は、コレクタ電流密度 J_c と飽和電圧 $V_{CE(sat)}$ との関係を示す図である。図7を参照して、同じ特性およびサイズの $IGBT Q1$, $Q2$ が並列に接続されているとすると、1チップずつオフ状態に切替える場合 (1P) は、2チップ同時にオフ状態にする場合 (2P) に比べて主電流が流れる部分の断面積が半分になるので、1チップあたりのコレクタ電流密度 J_c は2倍になる。そして、コレクタ電流密度 J_c が増加すると、飽和電圧 $V_{CE(sat)}$ が増加する。

【0036】

図8は、ターンオフ損失 E_{off} と飽和電圧 $V_{CE(sat)}$ との関係を示す図である。図8を参照して、バイポーラ素子では、ターンオフ損失 E_{off} と飽和電圧 $V_{CE(sat)}$ とはトレードオフの関係にある。このため、1チップずつオフ状態に切替える場合 (1P) は、2チップ同時にオフ状態にする場合 (2P) に比べてターンオフ損失 E_{off} が小さくなる。なお、言うまでもないことであるが、オン指令を受けて $IGBT Q1$, $Q2$ が導通状態にある場合の定常損失は、ターンオフを順次行なう場合 (1P) と同時に行なう場合 (2P) とで同じである。

【0037】

(2. ターンオン損失 E_{on})

再び図5を参照して、ターンオン損失 E_{on} は、コレクタ電流 I_c の指数関数で概ね表わすことができる (図5に示す両対数グラフにおいて、ターンオン損失 E_{on} とコレクタ電流 I_c とは正比例関係にない)。したがって、ターンオン損失 E_{on} は、定数 a , b を用いて、

$$E_{on} = a \times \exp(I_c \times b) \quad \dots (6)$$

と書き表わすことができる。ただし、上式 (6) において「 $\exp(\dots)$ 」は指数関数を表わす。

【0038】

図1の $IGBT Q1$, $Q2$ の各々に流れる電流を $I_o [\text{A}]$ とすると、1素子ずつオン状態にしたときのターンオン損失 E_{on_1P} は、

$$E_{on_1P} = a \times \exp(2 \times I_o \times b) \quad \dots (7)$$

と表わされる。2素子同時にオン状態にしたときのターンオン損失 E_{on_2P} は、

$$E_{on_2P} = 2 \times a \times \exp(I_o \times b) \quad \dots (8)$$

と表わされる。上式 (7) と (8) との比は、

$$E_{on_1P} / E_{on_2P} = \exp(I_o \times b) / 2 \quad \dots (9)$$

となるので、 $I_o < b \times \ln(2)$ となる比較的小電流の領域で (ただし、 \ln は自然対数を表わす)、

$$E_{on_1P} < E_{on_2P} \quad \dots (10)$$

の関係が成立する。 $I_o > b \times \ln(2)$ となる比較的大電流の領域で、

$$E_{on_1P} > E_{on_2P} \quad \dots (11)$$

の関係が成立する。

【0039】

10

20

30

40

50

図 9 は、I G B T のコレクタ電流 I_c とターンオン損失 E_{on} との関係を示す図である。図 9 を参照して、並列接続されたオン状態の I G B T Q 1 , Q 2 の各々にコレクタ電流 I_o が流れているとし、コレクタ電流 I_o に対応するターンオン損失 E_{on} を $E_o [mJ / Pulse]$ とする。したがって、2 素子同時にオン状態に切替える場合のターンオン損失 E_{on} は $2 \times E_o$ (図 9 の点 2 P) である。1 素子ずつ順番にオン状態に切替える場合には、最初にオン状態に切替える素子に $2 \times I_o$ の電流が流れるので、この場合のターンオン損失 E_{on} は図 9 の E_o' (点 1 P) となる。

【 0 0 4 0 】

コレクタ電流 I_c の増加に伴ってターンオン損失 E_{on} は指数関数的に増加するので、電流 I_o が比較的大きいときには、図 9 に示すように損失 E_o' は $2 \times E_o$ よりも大きくなる。したがって、2 素子同時にオン状態に切替えたほうが低損失になる。逆に電流 I_o が比較的小さいときには、損失 E_o' は $2 \times E_o$ よりも小さくなるので、1 素子ずつ順番にオン状態に切替えたほうが低損失になる。

【 0 0 4 1 】

なお、ターンオン損失 E_{on} に関係するのはコレクタ電流 I_c だけではない。図 6 に示すように、ターンオン損失 E_{on} は、ゲート抵抗 R_G に対して指数関数の関係を示す。すなわち、ゲート抵抗 R_G が増加するにつれてターンオン損失 E_{on} は指数関数的に増加する。その他、ターンオン損失には、I G B T の容量 (入力容量、ミラー容量) や、フリーホイールダイオードの特性も関係する。

【 0 0 4 2 】

[シミュレーション結果]

図 1 0 ~ 図 1 6 に並列接続された I G B T についてのシミュレーション結果を示す。図 1 0 ~ 図 1 5 に示す波形図では、I G B T Q 1 , Q 2 の各々について、上から順に損失 [kW]、コレクタ・エミッタ間電圧 $V_{CE} [V]$ 、コレクタ・エミッタ間電流 $I_{CE} [A]$ 、ゲート・エミッタ間電圧 $V_{GE} [V]$ の波形図が示される。損失は、コレクタ・エミッタ間電圧 V_{CE} とコレクタ・エミッタ間電流 I_{CE} との積である。

【 0 0 4 3 】

図 1 0 は、並列接続された I G B T を順次スイッチングさせた場合のシミュレーション結果を示す図である。図 1 1 は、図 1 0 のターンオン時の拡大図であり、図 1 2 は図 1 0 のターンオフ時の拡大図である。図 1 0 ~ 図 1 2 に示すシミュレーションでは、ターンオン時には I G B T Q 1 を先にオン状態に切替え、その 0 . 5 μ 秒後に I G B T Q 2 をオン状態に切替えた。ターンオフ時には、I G B T Q 1 を先にオフ状態に切替え、その 0 . 5 μ 秒後に I G B T Q 2 をオフ状態に切替えた。ターンオン損失 E_{on} は先にオン状態に切替わる I G B T Q 1 によって負担され、ターンオフ損失 E_{off} は後からオフ状態に切替わる I G B T Q 2 によって負担されていることがわかる。

【 0 0 4 4 】

図 1 3 は、並列接続された I G B T についてオン状態への切替えは同時に行ない、オフ状態への切替えは順次行なった場合のシミュレーション結果を示す図である。図 1 4 は、図 1 3 のターンオン時の拡大図である。図 1 5 は図 1 3 のターンオフ時の拡大図である。図 1 3 ~ 図 1 5 に示すシミュレーションでは、ターンオン時には I G B T Q 1 , Q 2 を同時にオン状態に切替えた。ターンオフ時には、I G B T Q 1 を先にオフ状態に切替え、その 0 . 5 μ 秒後に I G B T Q 2 をオフ状態に切替えた。ターンオン損失 E_{on} は I G B T Q 1 , Q 2 の両方によって負担され、ターンオフ損失 E_{off} は後からオフ状態に切替わる I G B T Q 2 によって負担されていることがわかる。

【 0 0 4 5 】

図 1 6 は、並列接続された I G B T Q 1 , Q 2 に流れる全電流 I_t とターンオン損失 E_{on} との関係を示す図である。図 1 6 (B) には、図 1 6 (A) の破線の枠内の拡大図が示される。図 1 6 (B) に示すように、閾値 I_{th1} よりも低電流の領域では、1 素子ずつ順番にオン状態に切替えた場合 (1 P) のほうが、2 素子同時にオン状態に切替える場合 (2 P) よりもターンオン損失 E_{on} が小さくなる。閾値 I_{th1} よりも高電流の領域

10

20

30

40

50

では、2素子同時にオン状態に切替える場合(2P)のほうが、1素子ずつ順番にオン状態に切替えた場合(1P)よりもターンオン損失 E_{on} が小さくなる。

【0046】

<実施の形態2>

図17は、この発明の実施の形態2による電力用半導体装置201の構成を示す回路図である。実施の形態2では、図1の駆動制御部100の具体的構成の一例が示される。図17の駆動制御部101は、制御用の集積回路(IC: Integrated Circuit)5と、駆動用電源V1と、抵抗素子R14, R15, R23, R24と、IGBTQ1, Q2を駆動するためのN型MOS(Metal Oxide Semiconductor)トランジスタQ11, Q22, Q33, Q44を含む。

10

【0047】

集積回路5は、駆動信号DSを受ける入力端子INと、駆動信号DSに応じた制御信号をトランジスタQ11, Q22, Q33, Q44のゲートにそれぞれ出力するための出力端子OUT1, OUT2, OUT3, OUT4を含む。トランジスタQ11, Q33のドレインは、駆動用電源V1から駆動電圧が供給される電源ノード9と接続される。トランジスタQ22, Q44のソースは接地ノードGNDに接続される。

【0048】

抵抗素子R14, R23の一端はIGBTQ1のゲートに接続され、抵抗素子R15, R24の一端はIGBTQ2のゲートに接続される。抵抗素子R14の他端はトランジスタQ11のソースに接続され、抵抗素子R15の他端はトランジスタQ33のソースに接続される。抵抗素子R23の他端はトランジスタQ22のドレインに接続され、抵抗素子R24の他端はトランジスタQ44のドレインに接続される。

20

【0049】

図18は、図17の集積回路5から出力される制御信号のタイミング図の一例を示す図である。

【0050】

図17、図18を参照して、時刻t1で、集積回路5は、駆動信号DSがHレベルに切替わるのに応答して、出力端子OUT1, OUT3から出力する制御信号をHレベルに切替えると同時に、出力端子OUT2, OUT4から出力する制御信号をLレベルに切替える。これによって、トランジスタQ11, Q33がオン状態に切替わり、トランジスタQ22, Q44がオフ状態に切替わる。この結果、IGBTQ1, Q2が同時にオン状態に切替わる。

30

【0051】

時刻t2で、集積回路5は、駆動信号DSがLレベルに切替わるのに応答して、出力端子OUT1から出力する制御信号をLレベルに切替えると同時に、出力端子OUT2から出力する制御信号をHレベルに切替える。これによって、トランジスタQ11がオフ状態に切替わり、トランジスタQ22がオン状態に切替わる。この結果、IGBTQ1がオフ状態に切替わる。

【0052】

時刻t2から所定の時間だけ遅れた時刻t3に、集積回路5は、出力端子OUT3から出力する制御信号をLレベルに切替えると同時に、出力端子OUT4から出力する制御信号をHレベルに切替える。これによって、トランジスタQ33がオフ状態に切替わり、トランジスタQ44がオン状態に切替わる。この結果、IGBTQ1に遅れてIGBTQ2がオフ状態に切替わる。

40

【0053】

以下、同様の動作が繰り返される。すなわち、時刻t4, t7での集積回路5の動作は時刻t1での動作と同じであり、時刻t5, t6での集積回路5の動作は、時刻t2, t3での動作とそれぞれ同じである。

【0054】

以上の集積回路5の動作によって、実施の形態1で説明した図2(B)と同じ制御動作

50

が実現できる。

【 0 0 5 5 】

集積回路 5 は図 1 8 と異なるタイミングでトランジスタ Q 1 1 , Q 2 2 , Q 3 3 , Q 4 4 をオンおよびオフに制御することもできる。たとえば、実施の形態 1 で説明した図 2 (A) と同じ制御動作を実現するためには、次のようなスイッチング制御を行なうとよい。すなわち、集積回路 5 は、駆動信号 D S が H レベルに切替わるのに応答して、出力端子 O U T 1 から出力する制御信号を H レベルに切替えるとともに、出力端子 O U T 2 , O U T 4 からそれぞれ出力する制御信号を L レベルに切替える。集積回路 5 は、この駆動信号 D S の H レベルへの切替わりに所定の時間だけ遅れて出力端子 O U T 3 から出力する制御信号を H レベルに切替える。さらに、集積回路 5 は、駆動信号 D S が L レベルに切替わるのに応答して、出力端子 O U T 1 から出力する制御信号を L レベルに切替えるとともに、出力端子 O U T 2 から出力する制御信号を H レベルに切替える。集積回路 5 は、この駆動信号 D S の L レベルへの切替わりに所定の時間だけ遅れて出力端子 O U T 3 から出力する制御信号を L レベルに切替えるとともに、出力端子 O U T 4 から出力する制御信号を H レベルに切替える。以上の制御によって、 I G B T Q 1 , Q 2 は、この順でオン状態に切替わり、この順でオフ状態に切替わる。

10

【 0 0 5 6 】

実施の形態 1 で説明した図 2 (C) と同じ制御動作を実現するためには、次のようなスイッチング制御を行なうとよい。すなわち、集積回路 5 は、駆動信号 D S が H レベルに切替わったとき、出力端子 O U T 1 , O U T 3 からそれぞれ出力する制御信号を H レベルに切替えるとともに、出力端子 O U T 2 , O U T 4 からそれぞれ出力する制御信号を L レベルに切替える。さらに、集積回路 5 は、駆動信号 D S が L レベルに切替わったとき、出力端子 O U T 1 , O U T 3 からそれぞれ出力する制御信号を L レベルに切替えるとともに、出力端子 O U T 2 , O U T 4 からそれぞれ出力する制御信号を H レベルに切替える。以上の制御によって、 I G B T Q 1 , Q 2 は、同時にオン状態に切替わり、同時にオフ状態に切替わる。

20

【 0 0 5 7 】

< 実施の形態 3 >

図 1 9 は、この発明の実施の形態 3 による電力用半導体装置 2 0 2 の構成を示す回路図である。実施の形態 3 では、図 1 の駆動制御部 1 0 0 の具体的構成の一例が示される。図 1 9 の駆動制御部 1 0 2 は、制御用の集積回路 (I C) 5 a と、駆動用電源 V 1 と、抵抗素子 R 1 4 , R 1 5 , R 2 3 , R 2 4 と、 I G B T Q 1 , Q 2 を駆動するための N 型 M O S トランジスタ Q 1 1 , Q 2 2 , Q 3 3 , Q 4 4 と、遅延回路 D L Y 1 , D L Y 2 とを含む。

30

【 0 0 5 8 】

集積回路 5 a は、駆動信号 D S を受ける入力端子 I N と、駆動信号 D S に応じた制御信号をトランジスタ Q 1 1 のゲートおよび遅延回路 D L Y 1 に出力するための出力端子 O U T 1 と、駆動信号 D S に応じた制御信号をトランジスタ Q 2 2 のゲートおよび遅延回路 D L Y 2 に出力するための出力端子 O U T 2 とを含む。トランジスタ Q 1 1 , Q 3 3 のドレインは、駆動用電源 V 1 から駆動電圧が供給される電源ノード 9 と接続される。トランジスタ Q 2 2 , Q 4 4 のソースは接地ノード G N D に接続される。

40

【 0 0 5 9 】

抵抗素子 R 1 4 , R 2 3 の一端は I G B T Q 1 のゲートに接続され、抵抗素子 R 1 5 , R 2 4 の一端は I G B T Q 2 のゲートに接続される。抵抗素子 R 1 4 の他端はトランジスタ Q 1 1 のソースに接続され、抵抗素子 R 1 5 の他端はトランジスタ Q 3 3 のソースに接続される。抵抗素子 R 2 3 の他端はトランジスタ Q 2 2 のドレインに接続され、抵抗素子 R 2 4 の他端はトランジスタ Q 4 4 のドレインに接続される。

【 0 0 6 0 】

遅延回路 D L Y 1 は、抵抗素子 R 3 7 と、コンデンサ C 3 6 と、ダイオード D 3 8 とを含む。抵抗素子 R 3 7 は、集積回路 5 a の出力端子 O U T 1 とトランジスタ Q 3 3 のゲー

50

トとの間に接続される。コンデンサC 3 6は、トランジスタQ 3 3のゲートと接地ノードGNDとの間に接続される。ダイオードD 3 8のアノードは集積回路5 aの出力端子OUT 1と接続され、カソードはトランジスタQ 3 3のゲートと接続される。遅延回路DLY 1は、集積回路5 aの出力端子OUT 1から出力される制御信号の立下がりエッジ、すなわち、トランジスタQ 3 3のオフ状態への切替わりに対応するほうのエッジを遅延させる。

【0061】

遅延回路DLY 2は、抵抗素子R 4 7と、コンデンサC 4 6と、ダイオードD 4 8とを含む。抵抗素子R 4 7は、集積回路5 aの出力端子OUT 2とトランジスタQ 4 4のゲートとの間に接続される。コンデンサC 4 6は、トランジスタQ 4 4のゲートと接地ノードGNDとの間に接続される。ダイオードD 4 8のカソードは集積回路5 aの出力端子OUT 2と接続され、アノードはトランジスタQ 4 4のゲートと接続される。遅延回路DLY 2は、集積回路5 aの出力端子OUT 2から出力される制御信号の立上がりエッジ、すなわち、トランジスタQ 4 4のオン状態への切替わりに対応するほうのエッジを遅延させる。

【0062】

図20は、図19の集積回路5 aから出力される制御信号のタイミング図の一例を示す図である。

【0063】

図19、図20を参照して、時刻t 1で、集積回路5 aは、駆動信号DSがHレベルに切替わるのに応答して、出力端子OUT 1から出力する制御信号をHレベルに切替えるとともに、出力端子OUT 2から出力する制御信号をLレベルに切替える。これによって、トランジスタQ 1 1, Q 3 3がオン状態に切替わり、トランジスタQ 2 2, Q 4 4がオフ状態に切替わる。この結果、IGBTQ 1, Q 2が同時にオン状態に切替わる。

【0064】

時刻t 2で、集積回路5 aは、駆動信号DSがLレベルに切替わるのに応答して、出力端子OUT 2から出力する制御信号をHレベルに切替える。これによって、トランジスタQ 2 2がオン状態に切替わり、トランジスタQ 4 4は遅延回路DLY 2によって決まる遅延時間だけ遅れてオン状態に切替わる。

【0065】

ここで、駆動用電源V 1の出力電圧をv 1とし、抵抗素子R 1 4, R 2 3の抵抗値をそれぞれr 1 4, r 2 3とし、IGBTQ 1の閾値電圧をVq 1とすれば、v 1, r 1 4, r 2 3, Vq 1は、通常、

$$Vq 1 > v 1 \times r 2 3 / (r 1 4 + r 2 3) \quad \dots (12)$$

の関係を満たすように設定される。すなわち、IGBTQ 1の閾値電圧は、駆動用電源V 1の出力電圧を抵抗素子R 1 4, R 2 3によって分圧した電圧よりも大きい。この結果、時刻t 2で、IGBTQ 1がオフ状態に切替わる。

【0066】

時刻t 2から所定の時間だけ遅れた時刻t 3に、集積回路5 aは、出力端子OUT 1から出力する制御信号をLレベルに切替える。これによって、トランジスタQ 1 1がオフ状態に切替わり、トランジスタQ 3 3が遅延回路DLY 1によって決まる遅延時間だけ遅れてオフ状態に切替わる。この結果、IGBTQ 2がオフ状態に切替わる。

【0067】

以下、同様の動作が繰り返される。すなわち、時刻t 4, t 7での集積回路5 aの動作は時刻t 1での動作と同じであり、時刻t 5, t 6での集積回路5 aの動作は、時刻t 2, t 3での動作とそれぞれ同じである。

【0068】

以上の集積回路5 aの動作によって、実施の形態1で説明した図2(B)と同じ制御動作が実現できる。

【0069】

< 実施の形態 4 >

図 2 1 は、この発明の実施の形態 4 による電力用半導体装置 2 0 3 の構成を示す回路図である。図 2 1 の駆動制御部 1 0 3 に設けられた遅延回路 D L Y 3 は、ダイオード D 3 8 を含まない点で図 1 9 の遅延回路 D L Y 1 と異なる。したがって、図 2 1 の遅延回路 D L Y 3 は、集積回路 5 a の出力端子 O U T 1 から出力された制御信号の立上がりエッジおよび立下りエッジの両方を遅延させた信号をトランジスタ Q 3 3 のゲートに供給する。図 2 1 のその他の点は図 1 9 と同じであるので、同一または相当する部分には同一の参照符号を付して説明を繰り返さない。集積回路 5 a の出力端子 O U T 1 , O U T 2 から出力される制御信号のタイミングも図 2 0 の場合と同じである。

【 0 0 7 0 】

10

図 2 1 に示す駆動制御部 1 0 3 によれば、集積回路 5 a の出力端子 O U T 1 から出力された制御信号が H レベルに切替わったとき (図 2 0 の時刻 t 1 , t 4 , t 7) 、遅延回路 D L Y 3 によって決まる遅延時間だけ遅れてトランジスタ Q 3 3 がオン状態に切替わる。この結果、駆動信号 D S が H レベルに切替わったとき、 I G B T Q 1 のオン状態への切替わりに遅れて I G B T Q 2 がオン状態に切替わる。時刻 t 2 , t 5 での I G B T Q 1 のオフ状態への切替わりに遅れて I G B T Q 2 がオフ状態に切替わる点は実施の形態 3 と同じである。したがって、図 2 1 の電力用半導体装置 2 0 3 によれば、実施の形態 1 で説明した図 2 (A) と同じ制御動作が実現できる。

【 0 0 7 1 】

< 実施の形態 5 >

20

図 2 2 は、この発明の実施の形態 5 による電力用半導体装置 2 0 4 の構成を示す回路図である。実施の形態 5 では、図 1 の駆動制御部 1 0 0 の具体的構成の一例が示される。図 2 2 の駆動制御部 1 0 4 は、制御用の集積回路 (I C) 5 b と、駆動用電源 V 1 と、抵抗素子 R 1 4 , R 1 5 , R 2 3 , R 2 4 と、 I G B T Q 1 , Q 2 を駆動するための N 型 M O S トランジスタ Q 1 1 , Q 2 2 , Q 4 4 と、ダイオード D 1 2 , D 1 3 とを含む。

【 0 0 7 2 】

集積回路 5 b は、駆動信号 D S を受ける入力端子 I N と、駆動信号 D S に応じた制御信号をトランジスタ Q 1 1 , Q 2 2 , Q 4 4 のゲートにそれぞれ出力するための出力端子 O U T 1 , O U T 2 , O U T 4 とを含む。トランジスタ Q 1 1 のドレインは、駆動用電源 V 1 から駆動電圧が供給される電源ノード 9 と接続される。トランジスタ Q 2 2 , Q 4 4 のソースは接地ノード G N D に接続される。

30

【 0 0 7 3 】

抵抗素子 R 1 4 , R 2 3 の一端は I G B T Q 1 のゲートに接続され、抵抗素子 R 1 5 , R 2 4 の一端は I G B T Q 2 のゲートに接続される。抵抗素子 R 1 4 の他端はダイオード D 1 2 のカソードに接続され、抵抗素子 R 1 5 の他端はダイオード D 1 3 のカソードに接続される。抵抗素子 R 2 3 の他端はトランジスタ Q 2 2 のドレインに接続され、抵抗素子 R 2 4 の他端はトランジスタ Q 4 4 のドレインに接続される。ダイオード D 1 2 , D 1 3 のアノードはトランジスタ Q 1 1 のソースに接続される。ダイオード D 1 2 , D 1 3 は、トランジスタ Q 1 1 がオン状態のときに導通状態になる。

【 0 0 7 4 】

40

図 2 3 は、図 2 2 の集積回路 5 b から出力される制御信号のタイミング図の一例を示す図である。

【 0 0 7 5 】

図 2 2 、図 2 3 を参照して、時刻 t 1 で、集積回路 5 b は、駆動信号 D S が H レベルに切替わるのに応答して、出力端子 O U T 1 から出力する制御信号を H レベルに切替えるとともに、出力端子 O U T 2 , O U T 4 からそれぞれ出力する制御信号を L レベルに切替える。これによって、トランジスタ Q 1 1 がオン状態に切替わり、トランジスタ Q 2 2 , Q 4 4 がオフ状態に切替わる。この結果、 I G B T Q 1 , Q 2 が同時にオン状態に切替わる。

【 0 0 7 6 】

50

時刻 t_2 で、集積回路 5 b は、駆動信号 DS が L レベルに切替わるのに応答して、出力端子 OUT_2 から出力する制御信号を H レベルに切替える。これによって、トランジスタ Q_{22} がオン状態に切替わる。ここで、駆動用電源 V_1 の出力電圧を v_1 とし、抵抗素子 R_{14} , R_{23} の抵抗値をそれぞれ r_{14} , r_{23} とし、 $IGBTQ_1$ の閾値電圧を V_{q1} とすれば、 v_1 , r_{14} , r_{23} , V_{q1} は、前述の式 (12) の関係を満たすように設定される。すなわち、 $IGBTQ_1$ の閾値電圧は、駆動用電源 V_1 の出力電圧を抵抗素子 R_{14} , R_{23} によって分圧した電圧よりも大きい。この結果、時刻 t_2 で、 $IGBTQ_1$ がオフ状態に切替わる。

【 0077 】

時刻 t_2 から所定の時間だけ遅れた時刻 t_3 に、集積回路 5 b は、出力端子 OUT_1 から出力する制御信号を L レベルに切替えるとともに、出力端子 OUT_4 から出力する制御信号を H レベルに切替える。これによって、トランジスタ Q_{11} がオフ状態に切替わり、トランジスタ Q_{44} がオン状態に切替わる。この結果、 $IGBTQ_2$ がオフ状態に切替わる。

【 0078 】

以下、同様の動作が繰り返される。すなわち、時刻 t_4 , t_7 での集積回路 5 b の動作は時刻 t_1 での動作と同じであり、時刻 t_5 , t_6 での集積回路 5 b の動作は、時刻 t_2 , t_3 での動作とそれぞれ同じである。

【 0079 】

以上の集積回路 5 b の動作によって、実施の形態 1 で説明した図 2 (B) と同じ制御動作が実現できる。上記と異なり、時刻 t_2 , t_5 で、集積回路 5 b の出力端子 OUT_1 から出力される制御信号を L レベルに切替え、出力端子 OUT_2 , OUT_4 から出力される制御信号を H レベルに切替えるようにすれば、 $IGBTQ_1$, Q_2 を同時にオフ状態に切替えることができる。すなわち、実施の形態 1 の図 2 (C) で示した制御動作が実現できる。

【 0080 】

< 実施の形態 6 >

図 24 は、この発明の実施の形態 6 による電力用半導体装置 205 の構成を示す回路図である。実施の形態 6 では、図 1 の駆動制御部 100 の具体的構成の一例が示される。図 24 の駆動制御部 105 は、制御用の集積回路 (IC) 5 a と、駆動用電源 V_1 と、抵抗素子 R_{14} , R_{15} , R_{23} , R_{24} と、 $IGBTQ_1$, Q_2 を駆動するための N 型 MOS トランジスタ Q_{11} , Q_{22} , Q_{44} と、ダイオード D_{12} , D_{13} と、遅延回路 DLY_2 とを含む。

【 0081 】

集積回路 5 a は、駆動信号 DS を受ける入力端子 IN と、駆動信号 DS に応じた制御信号をトランジスタ Q_{11} のゲートに出力するための出力端子 OUT_1 と、駆動信号 DS に応じた制御信号をトランジスタ Q_{22} のゲートおよび遅延回路 DLY_2 に出力するための出力端子 OUT_2 とを含む。トランジスタ Q_{11} のドレインは、駆動用電源 V_1 から駆動電圧が供給される電源ノード 9 と接続される。トランジスタ Q_{22} , Q_{44} のソースは接地ノード GND に接続される。

【 0082 】

抵抗素子 R_{14} , R_{23} の一端は $IGBTQ_1$ のゲートに接続され、抵抗素子 R_{15} , R_{24} の一端は $IGBTQ_2$ のゲートに接続される。抵抗素子 R_{14} の他端はダイオード D_{12} のカソードに接続され、抵抗素子 R_{15} の他端はダイオード D_{13} のカソードに接続される。抵抗素子 R_{23} の他端はトランジスタ Q_{22} のドレインに接続され、抵抗素子 R_{24} の他端はトランジスタ Q_{44} のドレインに接続される。ダイオード D_{12} , D_{13} のアノードはトランジスタ Q_{11} のソースに接続される。ダイオード D_{12} , D_{13} は、トランジスタ Q_{11} がオン状態のときに導通状態になる。

【 0083 】

遅延回路 DLY_2 は、抵抗素子 R_{47} と、コンデンサ C_{46} と、ダイオード D_{48} とを

10

20

30

40

50

含む。抵抗素子 R_{47} は、集積回路 5 a の出力端子 OUT_2 とトランジスタ Q_{44} のゲートとの間に接続される。コンデンサ C_{46} は、トランジスタ Q_{44} のゲートと接地ノード GND との間に接続される。ダイオード D_{48} のカソードは集積回路 5 a の出力端子 OUT_2 と接続され、アノードはトランジスタ Q_{44} のゲートと接続される。遅延回路 DLY_2 は、集積回路 5 a の出力端子 OUT_2 から出力される制御信号の立上がりエッジ、すなわち、トランジスタ Q_{44} のオン状態への切替わりに対応するほうのエッジを遅延させる。

【0084】

集積回路 5 a の動作は、実施の形態 3 の図 20 で説明したものと同一である。以下、図 20、図 24 を参照して電力用半導体装置 205 の動作について説明する。

10

【0085】

図 20 の時刻 t_1 で、集積回路 5 a は、駆動信号 DS が H レベルに切替わるのに応答して、出力端子 OUT_1 から出力する制御信号を H レベルに切替えるとともに、出力端子 OUT_2 から出力する制御信号を L レベルに切替える。これによって、トランジスタ Q_{11} がオン状態に切替わり、トランジスタ Q_{22} 、 Q_{44} がオフ状態に切替わる。この結果、 $IGBT_{Q1}$ 、 Q_2 が同時にオン状態に切替わる。

【0086】

時刻 t_2 で、集積回路 5 a は、駆動信号 DS が L レベルに切替わるのに応答して、出力端子 OUT_2 から出力する制御信号を H レベルに切替える。これによって、トランジスタ Q_{22} がオン状態に切替わり、トランジスタ Q_{44} は遅延回路 DLY_2 によって決まる遅延時間だけ遅れてオン状態に切替わる。ここで、駆動用電源 V_1 の出力電圧を v_1 とし、抵抗素子 R_{14} 、 R_{23} の抵抗値をそれぞれ r_{14} 、 r_{23} とし、 $IGBT_{Q1}$ の閾値電圧を V_{q1} とすれば、 v_1 、 r_{14} 、 r_{23} 、 V_{q1} は、通常、前述の式 (12) の関係を満たすように設定される。すなわち、 $IGBT_{Q1}$ の閾値電圧は、駆動用電源 V_1 の出力電圧を抵抗素子 R_{14} 、 R_{23} によって分圧した電圧よりも大きい。この結果、時刻 t_2 で、 $IGBT_{Q1}$ がオフ状態に切替わる。

20

【0087】

時刻 t_2 から所定の時間だけ遅れた時刻 t_3 に、集積回路 5 a は、出力端子 OUT_1 から出力する制御信号を L レベルに切替える。これによって、トランジスタ Q_{11} がオフ状態に切替わり、トランジスタ Q_{44} が遅延回路 DLY_2 によって決まる遅延時間だけ遅れてオフ状態に切替わる。この結果、 $IGBT_{Q2}$ がオフ状態に切替わる。

30

【0088】

以下、同様の動作が繰り返される。すなわち、時刻 t_4 、 t_7 での集積回路 5 a の動作は時刻 t_1 での動作と同じであり、時刻 t_5 、 t_6 での集積回路 5 a の動作は、時刻 t_2 、 t_3 での動作とそれぞれ同一である。

【0089】

以上の集積回路 5 a の動作によって、実施の形態 1 で説明した図 2 (B) と同じ制御動作が実現できる。

【0090】

< 実施の形態 7 >

40

図 25 は、この発明の実施の形態 7 による電力用半導体装置 206 の構成を示す回路図である。実施の形態 7 では、図 1 の駆動制御部 100 の具体的構成の一例が示される。図 25 の駆動制御部 106 は、駆動信号 DS が入力される入力ノード 8 と、インバータ 50 と、駆動用電源 V_1 と、抵抗素子 R_{14} 、 R_{15} 、 R_{23} 、 R_{24} と、 $IGBT_{Q1}$ 、 Q_2 を駆動するための N 型 MOS トランジスタ Q_{11} 、 Q_{22} 、 Q_{33} 、 Q_{44} と、遅延回路 DLY_1 、 DLY_2 とを含む。

【0091】

トランジスタ Q_{11} 、 Q_{33} のドレインは、駆動用電源 V_1 から駆動電圧が供給される電源ノード 9 に接続される。トランジスタ Q_{11} のゲートは入力ノード 8 に接続され、トランジスタ Q_{22} のゲートはインバータ 50 の出力ノードに接続される。トランジスタ Q

50

22, Q44のソースは接地ノードGNDに接続される。

【0092】

抵抗素子R14, R23の一端はIGBTQ1のゲートに接続され、抵抗素子R15, R24の一端はIGBTQ2のゲートに接続される。抵抗素子R14の他端はトランジスタQ11のソースに接続され、抵抗素子R15の他端はトランジスタQ33のソースに接続される。抵抗素子R23の他端はトランジスタQ22のドレインに接続され、抵抗素子R24の他端はトランジスタQ44のドレインに接続される。

【0093】

遅延回路DLY1は、抵抗素子R37と、コンデンサC36と、ダイオードD38とを含む。抵抗素子R37は、入力ノード8とトランジスタQ33のゲートとの間に接続される。コンデンサC36は、トランジスタQ33のゲートと接地ノードGNDとの間に接続される。ダイオードD38のアノードは入力ノード8と接続され、カソードはトランジスタQ33のゲートと接続される。遅延回路DLY1は、駆動信号DSの立下がりエッジ、すなわち、トランジスタQ33のオフ状態への切替わりに対応するほうのエッジを遅延させる。

10

【0094】

遅延回路DLY2は、抵抗素子R47と、コンデンサC46と、ダイオードD48とを含む。抵抗素子R47は、インバータ50の出力ノードとトランジスタQ44のゲートとの間に接続される。コンデンサC46は、トランジスタQ44のゲートと接地ノードGNDとの間に接続される。ダイオードD48のカソードはインバータ50の出力ノードと接続され、アノードはトランジスタQ44のゲートと接続される。遅延回路DLY2は、インバータ50から出力される信号の立上がりエッジ、すなわち、トランジスタQ44のオン状態への切替わりに対応するほうのエッジを遅延させる。

20

【0095】

次に、図25の電力用半導体装置206の動作について説明する。駆動信号DSがHレベルに切替わると、トランジスタQ11, Q33がオン状態に切替わる。このとき、インバータ50の出力はLレベルに切替わるので、トランジスタQ22, Q44がオフ状態に切替わる。この結果、IGBTQ1, Q2が同時にオン状態に切替わる。

【0096】

駆動信号DSがLレベルに切替わると、トランジスタQ11がオフ状態に切替わり、トランジスタQ33が遅延回路DLY1によって決まる遅延時間だけ遅れてオフ状態に切替わる。このとき、インバータ50の出力はHレベルに切替わるので、トランジスタQ22がオン状態に切替わり、トランジスタQ44は遅延回路DLY2によって決まる遅延時間だけ遅れてオン状態に切替わる。この結果、IGBTQ1が先にオフ状態に切替わり、IGBTQ2が遅れてオフ状態に切替わる。

30

【0097】

以上によって、実施の形態1で説明した図2(B)と同じ制御動作が実現できる。

<実施の形態8>

図26は、この発明の実施の形態8による電力用半導体装置207の構成を示す回路図である。図26の駆動制御部107に設けられた遅延回路DLY3は、ダイオードD38を含まない点で図25の遅延回路DLY1と異なる。したがって、図26の遅延回路DLY3は、駆動信号DSの立上がりエッジおよび立下りエッジの両方を遅延させた信号をトランジスタQ33のゲートに供給する。図26のその他の点は図25と同じであるので、同一または相当する部分には同一の参照符号を付して説明を繰り返さない。

40

【0098】

図26に示す駆動制御部107によれば、駆動信号DSがHレベルに切替わったとき、遅延回路DLY3によって決まる遅延時間だけ遅れてトランジスタQ33がオン状態に切替わる。この結果、駆動信号DSがHレベルに切替わったとき、IGBTQ1のオン状態への切替わりに遅れてIGBTQ2がオン状態に切替わる。IGBTQ1のオフ状態への切替わりに遅れてIGBTQ2がオフ状態に切替わる点は実施の形態7と同じである。

50

したがって、図 26 の電力用半導体装置 207 によれば、実施の形態 1 で説明した図 2 (A) と同じ制御動作が実現できる。

【0099】

< 実施の形態 9 >

図 27 は、この発明の実施の形態 9 による電力用半導体装置 208 の構成を示す回路図である。図 27 の電力用半導体装置 208 は、IGBTQ1, Q2 を流れる全電流 I_t を検出するための電流検出センサ 99 をさらに含む点で図 17 の電力用半導体装置 201 と異なる。電流検出センサ 99 として、たとえば、カレントトランスが用いられる。

【0100】

図 27 の電力用半導体装置 208 に設けられた集積回路 5d は、電流検出センサ 99 の検出信号を受ける端子 CS をさらに含む点で、図 17 の電力用半導体装置 201 に設けられた集積回路 5 と異なる。図 27 のその他の構成は、図 17 の電力用半導体装置 201 と同じであるので、同一または相当する部分には同一の参照符号を付して説明を繰り返さない。

10

【0101】

集積回路 5d は、電流検出センサ 99 の検出値に基づいて全電流 I_t が図 3、図 4 で説明した閾値 I_{th1} , I_{th2} によって区分される領域のどの領域に入っているかを判定する。集積回路 5d は、次に電流検出センサ 99 の検出値に基づく判定を行なうまでの間、判定結果に基づいて最適なスイッチングのタイミングを選択する。たとえば、全電流 I_t が図 3 の閾値 I_{th1} より小さい場合には、集積回路 5d は、次の図 28 のようなタイ

20

【0102】

図 28 は、図 27 の集積回路 5d から出力される制御信号のタイミング図の一例を示す図である。

【0103】

図 27、図 28 を参照して、時刻 t_1 で、集積回路 5d は、駆動信号 DS が H レベルに切替わるのに応答して、出力端子 OUT1 から出力する制御信号を H レベルに切替えるとともに、出力端子 OUT2, OUT4 からそれぞれ出力する制御信号を L レベルに切替える。これによって、トランジスタ Q11 がオン状態に切替わり、トランジスタ Q22, Q44 がオフ状態に切替わる。この結果、IGBTQ1 がオン状態に切替わる。

30

【0104】

時刻 t_1 から所定の時間だけ遅れた時刻 t_2 に、集積回路 5d は、出力端子 OUT3 から出力する制御信号を H レベルに切替える。これによって、トランジスタ Q33 がオン状態に切替わり、この結果、IGBTQ1 より遅れて IGBTQ2 がオン状態に切替わる。

【0105】

時刻 t_3 で、集積回路 5d は、駆動信号 DS が L レベルに切替わるのに応答して、出力端子 OUT1 から出力する制御信号を L レベルに切替えるとともに、出力端子 OUT2 から出力する制御信号を H レベルに切替える。これによって、トランジスタ Q11 がオフ状態に切替わり、トランジスタ Q22 がオン状態に切替わる。この結果、IGBTQ1 がオフ状態に切替わる。

40

【0106】

時刻 t_3 から所定の時間だけ遅れた時刻 t_4 に、集積回路 5d は、出力端子 OUT3 から出力する制御信号を L レベルに切替えるとともに、出力端子 OUT4 から出力する制御信号を H レベルに切替える。これによって、トランジスタ Q33 がオフ状態に切替わり、トランジスタ Q44 がオン状態に切替わる。この結果、IGBTQ1 に遅れて IGBTQ2 がオフ状態に切替わる。

【0107】

以下、同様の動作が繰り返される。すなわち、時刻 $t_5 \sim t_8$ での集積回路 5d の動作は時刻 $t_1 \sim t_4$ での動作とそれぞれ同じであり、時刻 t_9 , t_{10} での集積回路 5d の動作は、時刻 t_1 , t_2 での動作とそれぞれ同じである。

50

【 0 1 0 8 】

以上の集積回路 5 d の動作によって、実施の形態 1 で説明した図 2 (A) と同じ制御動作が実現できる。

【 0 1 0 9 】

全電流 I_t が図 3 の閾値 I_{th1} 以上であり、図 4 の閾値 I_{th2} より小さい場合には、実施の形態 2 で説明した図 1 8 のタイミング図と同じタイミングでトランジスタ Q_{11} , Q_{22} , Q_{33} , Q_{44} をオンおよびオフに制御する。これによって、図 1 8 の場合と同様に、図 2 (B) と同じ制御動作が実現できる。

【 0 1 1 0 】

全電流 I_t が図 4 の閾値 I_{th2} 以上の場合には、集積回路 5 d は、駆動信号 DS が H レベルに切替わったとき、出力端子 OUT_1 , OUT_3 からそれぞれ出力する制御信号を H レベルに切替えるとともに、出力端子 OUT_2 , OUT_4 からそれぞれ出力する制御信号を L レベルに切替える。これによって、 $IGBT_{Q1}$, Q_2 が同時にオン状態に切替わる。さらに、集積回路 5 d は、駆動信号 DS が L レベルに切替わったとき、出力端子 OUT_1 , OUT_3 からそれぞれ出力する制御信号を L レベルに切替えるとともに、出力端子 OUT_2 , OUT_4 からそれぞれ出力する制御信号を H レベルに切替える。これによって、 $IGBT_{Q1}$, Q_2 が同時にオフ状態に切替わる。以上によって、実施の形態 1 で説明した図 2 (C) と同じ制御動作が実現できる。

【 0 1 1 1 】

< 実施の形態 1 0 >

図 2 9 は、この発明の実施の形態 1 0 による電力用半導体装置 2 0 9 の構成を示す回路図である。

【 0 1 1 2 】

図 2 9 の電力用半導体装置 2 0 9 は、図 2 7 の電力用半導体装置 2 0 8 を変形したものである。すなわち、電力用半導体装置 2 0 9 は、図 2 7 の $IGBT_{Q1}$, Q_2 に代えてセンス端子付きの $IGBT_{Q1a}$, Q_{2a} を含む点で電力用半導体装置 2 0 8 と異なる。センス端子には、 $IGBT$ のエミッタ端子に流れる主電流の一部が分流して流れる。さらに、電力用半導体装置 2 0 9 は、図 2 7 の電流検出センサ 9 9 に代えてシャント抵抗 R_{25} , R_{26} を含む点で電力用半導体装置 2 0 8 と異なる。シャント抵抗 R_{25} は $IGBT_{Q1a}$ のセンス端子と接地ノード GND との間に接続され、シャント抵抗 R_{26} は $IGBT_{Q2a}$ のセンス端子と接地ノード GND との間に接続される。シャント抵抗 R_{25} , R_{26} は、図 2 7 の電流検出センサ 9 9 と同様に、 $IGBT_{Q1a}$, Q_{2a} にそれぞれ流れる主電流 I_1 , I_2 をモニタする電流検出センサ 9 9 a として機能する。

【 0 1 1 3 】

図 2 9 の駆動制御部 1 0 9 に設けられた集積回路 5 e は、図 2 7 の検出端子 CS に代えて、シャント抵抗 R_{25} , R_{26} にかかる電圧をそれぞれ検出するための検出端子 CS_1 , CS_2 を含む点で図 2 7 の集積回路 5 d と異なる。集積回路 5 e は、シャント抵抗 R_{25} , R_{26} でモニタされた電流 I_1 , I_2 の大きさに基づいて、最適なタイミングでトランジスタ Q_{11} , Q_{22} , Q_{33} , Q_{44} をオンおよびオフに制御する。

【 0 1 1 4 】

図 2 9 のその他の点は図 2 7 の電力用半導体装置 2 0 8 と同じであるので、同一または相当する部分には同一の参照符号を付して説明を繰り返さない。なお、並列接続された 2 個の $IGBT$ のいずれか一方のみをセンス端子付きの $IGBT$ に代え、センス $IGBT$ を流れる電流をシャント抵抗でモニタするような構成でも構わない。この場合、集積回路は、いずれか一方の $IGBT$ を流れる電流の大きさに基づいて、トランジスタ Q_{11} , Q_{22} , Q_{33} , Q_{44} をオンおよびオフに制御する。

【 0 1 1 5 】

< 実施の形態 1 1 >

図 3 0 は、この発明の実施の形態 1 1 による電力用半導体装置 2 1 0 の構成を示す回路図である。

【 0 1 1 6 】

図 3 0 の電力用半導体装置 2 1 0 は、図 2 2 の電力用半導体装置 2 0 4 を変形したものである。すなわち、電力用半導体装置 2 1 0 は、図 2 2 の I G B T Q 1 , Q 2 に代えてセンス端子付きの I G B T Q 1 a , Q 2 a を含む点で電力用半導体装置 2 0 4 と異なる。センス端子には、I G B T のエミッタ端子に流れる主電流の一部が分流して流れる。さらに、電力用半導体装置 2 1 0 は、シャント抵抗 R 2 5 , R 2 6 を含む点で電力用半導体装置 2 0 4 と異なる。シャント抵抗 R 2 5 は I G B T Q 1 a のセンス端子と接地ノード G N D との間に接続され、シャント抵抗 R 2 6 は I G B T Q 2 a のセンス端子と接地ノード G N D との間に接続される。シャント抵抗 R 2 5 , R 2 6 は、I G B T Q 1 a , Q 2 a にそれぞれ流れる主電流 I 1 , I 2 をモニタする電流検出センサ 9 9 a として機能する。

10

【 0 1 1 7 】

図 3 0 の駆動制御部 1 1 0 に設けられた集積回路 5 g は、シャント抵抗 R 2 5 , R 2 6 にかかる電圧をそれぞれ検出するための検出端子 C S 1 , C S 2 を含む点で図 2 2 の集積回路 5 b と異なる。集積回路 5 g は、シャント抵抗 R 2 5 , R 2 6 でモニタされた電流 I 1 , I 2 の大きさに基づいて、最適なタイミングでトランジスタ Q 1 1 , Q 2 2 , Q 4 4 をオンおよびオフに制御する。

【 0 1 1 8 】

たとえば、シャント抵抗 R 2 5 , R 2 6 でモニタされた電流 I 1 , I 2 を加算することによって得られた全電流 I t が図 4 の閾値 I t h 2 以下の場合には、集積回路 5 g は、駆動信号 D S が H レベルに切替わったときに、出力端子 O U T 1 から出力する制御信号を H レベルに切替えるとともに、出力端子 O U T 2 , O U T 4 からそれぞれ出力する制御信号を L レベルに切替える。さらに、集積回路 5 g は、駆動信号 D S が L レベルに切替わったときに、出力端子 O U T 2 から出力する制御信号を H レベルに切替える。そして、集積回路 5 g は、駆動信号 D S の L レベルへの切替わりから所定の時間だけ遅れて、出力端子 O U T 1 から出力する制御信号を L レベルに切替えるとともに、出力端子 O U T 4 から出力する制御信号を H レベルに切替える。

20

【 0 1 1 9 】

以上の制御によって、I G B T Q 1 a , Q 2 a を同時にオン状態に切替えることができ、I G B T Q 1 a をオフ状態にした後に I G B T Q 2 a をオフ状態にすることができる。すなわち、実施の形態 1 で説明した図 2 (B) と同じ制御動作が実現できる。駆動信号 D S が L レベルに切替わったときに、出力端子 O U T 2 , O U T 4 からそれぞれ出力する制御信号を H レベルに切替えるとともに、出力端子 O U T 1 から出力する制御信号を L レベルに切替えるようにすれば、I G B T Q 1 a , Q 2 a を同時にオフ状態に切替えることができる。すなわち、実施の形態 1 で説明した図 2 (C) と同じ制御動作が実現できる。

30

【 0 1 2 0 】

図 3 0 のその他の点は図 2 2 の電力用半導体装置 2 0 4 と同じであるので、同一または相当する部分には同一の参照符号を付して説明を繰り返さない。なお、並列接続された 2 個の I G B T のいずれか一方のみをセンス端子付きの I G B T に代え、センス I G B T を流れる電流をシャント抵抗でモニタするような構成でも構わない。この場合、集積回路は、いずれか一方の I G B T を流れる主電流の大きさに基づいて、トランジスタ Q 1 1 , Q 2 2 , Q 4 4 をオンおよびオフに制御する。

40

【 0 1 2 1 】

< 実施の形態 1 2 >

図 3 1 は、この発明の実施の形態 1 2 による電力用半導体装置で用いられる I G B T Q 1 , Q 2 の仕様について説明するための図である。図 3 1 には、既に図 8 で説明したターンオフ損失 E o f f と飽和電圧 V C E (s a t) との関係 (トレードオフ) が示される。

【 0 1 2 2 】

図 3 1 を参照して、実施の形態 1 ~ 1 1 の電力用半導体装置 2 0 0 ~ 2 1 0 において、I G B T Q 2 の仕様 (Q 2 S p e c .) を、I G B T Q 1 の仕様 (Q 1 S p e c .) に比べて飽和電圧 V C E (s a t) が高かつターンオフ損失 E o f f が低いものにする

50

。そうすれば、I G B T Q 1 の後からオフ状態に切替わる I G B T Q 2 のターンオフ損失 E o f f を低く抑えることができるので、電力用半導体装置のスイッチング損失をさらに低減することができる。なお、飽和電圧（定常損失）が大きいほどスイッチング速度は速く（スイッチング時間が短く）なる。

【 0 1 2 3 】

このような仕様の変更は、コレクタ層のドーピングプロファイル（不純物濃度や不純物の注入の深さ）を制御したり、ドリフト層のキャリアのライフタイムを制御したりすることによって実現することができる。コレクタ層の不純物濃度を増加させた場合は、飽和電圧 V C E (s a t) 特性（すなわち、定常損失）が小さく、かつ、ターンオフ損失 E o f f が増大するような仕様の素子を作製することができる。電子線注入などによってドリフト層のキャリアのライフタイムを短くすれば、飽和電圧 V C E (s a t) 特性（すなわち、定常損失）が大きく、かつ、ターンオフ損失 E o f f が減少するような仕様の素子を作製することができる。

10

【 0 1 2 4 】

< 実施の形態 1 3 >

上記の実施の形態 1 ~ 1 2 による電力用半導体装置において、I G B T Q 2 の閾値電圧を I G B T Q 1 の閾値電圧よりも小さくなるように I G B T Q 1 , Q 2 を選定してもよい。このような仕様の I G B T Q 1 , Q 2 を選定することによって、ターンオフ時には、より確実に I G B T Q 1 を I G B T Q 2 より先にオフ状態に切替えることができる。さらに、I G B T の閾値電圧を調整することによって次のような変形も可能である。

20

【 0 1 2 5 】

図 3 2 は、この発明の実施の形態 1 3 の変形例による電力用半導体装置 2 1 1 の構成図である。図 3 2 の電力用半導体装置 2 1 1 は、高電圧ノード H V と接地ノード G N D との間に並列に接続された I G B T Q 1 , Q 2 と、駆動回路 1 1 1 a , 1 1 1 b からなる駆動制御部 1 1 1 とを含む。駆動回路 1 1 1 a , 1 1 1 b は、駆動信号 D S を増幅して、すなわち駆動信号 D S と同じ論理レベルの信号を I G B T Q 1 , Q 2 のゲートにそれぞれ供給する。

【 0 1 2 6 】

図 3 2 に示す変形例においても、I G B T Q 2 の閾値電圧が I G B T Q 1 の閾値電圧よりも小さくなるように I G B T Q 1 , Q 2 が選定される。これによって、ターンオン時には I G B T Q 2 が先にオン状態に切替わり、ターンオフ時には I G B T Q 2 が後からオフ状態に切替わる。I G B T Q 2 の仕様を、I G B T Q 1 の仕様に比べて飽和電圧 V C E (s a t) が高かつターンオフ損失 E o f f が低いものにすれば、電力用半導体装置 2 1 1 のスイッチング損失を低く抑えることができる。

30

【 0 1 2 7 】

< 実施の形態 1 4 >

図 3 3 は、実施の形態 2 , 9 , 1 0 による電力用半導体装置 2 0 1 , 2 0 8 , 2 0 9 において、駆動制御部 1 0 1 , 1 0 8 , 1 0 9 による I G B T Q 1 , Q 2 のスイッチング制御方法の変形例について説明するための図である。図 3 3 には、駆動制御部 1 0 1 , 1 0 8 , 1 0 9 にそれぞれ設けられた集積回路 5 , 5 d , 5 e から出力される制御信号のタイミング図が示される。以下では図 1 7 に示された集積回路 5 を代表として説明するが、集積回路 5 d , 5 e についても同様である。

40

【 0 1 2 8 】

図 1 7、図 3 3 を参照して、時刻 t 1 で、集積回路 5 は、駆動信号 D S が H レベルに切替わるのに応答して、出力端子 O U T 1 , O U T 3 からそれぞれ出力する制御信号を H レベルに切替えるとともに、出力端子 O U T 2 , O U T 4 からそれぞれ出力する制御信号を L レベルに切替える。これによって、トランジスタ Q 1 1 , Q 3 3 がオン状態に切替わり、トランジスタ Q 2 2 , Q 4 4 がオフ状態に切替わる。この結果、I G B T Q 1 , Q 2 が同時にオン状態に切替わる。

【 0 1 2 9 】

50

時刻 t_2 で、集積回路 5 は、駆動信号 DS が L レベルに切替わるのに応答して、出力端子 OUT_1 から出力する制御信号を L レベルに切替えるとともに、出力端子 OUT_2 から出力する制御信号を H レベルに切替える。これによって、トランジスタ Q_{11} がオフ状態に切替わり、トランジスタ Q_{22} がオン状態に切替わる。この結果、 $IGBTQ_1$ がオフ状態に切替わる。

【0130】

時刻 t_2 から所定の時間だけ遅れた時刻 t_3 に、集積回路 5 は、出力端子 OUT_3 から出力する制御信号を L レベルに切替えるとともに、出力端子 OUT_4 から出力する制御信号を H レベルに切替える。これによって、トランジスタ Q_{33} がオフ状態に切替わり、トランジスタ Q_{44} がオン状態に切替わる。この結果、 $IGBTQ_1$ に遅れて $IGBTQ_2$ がオフ状態に切替わる。

10

【0131】

時刻 t_4 で、集積回路 5 は、駆動信号 DS が再び H レベルに切替わるのに応答して、出力端子 OUT_1 、 OUT_3 からそれぞれ出力する制御信号を H レベルに切替えるとともに、出力端子 OUT_2 、 OUT_4 からそれぞれ出力する制御信号を L レベルに切替える。これによって、トランジスタ Q_{11} 、 Q_{33} がオン状態に切替わり、トランジスタ Q_{22} 、 Q_{44} がオフ状態に切替わる。この結果、 $IGBTQ_1$ 、 Q_2 が同時にオン状態に切替わる。

【0132】

時刻 t_5 で、集積回路 5 は、駆動信号 DS が L レベルに切替わるのに応答して、出力端子 OUT_3 から出力する制御信号を L レベルに切替えるとともに、出力端子 OUT_4 から出力する制御信号を H レベルに切替える。これによって、トランジスタ Q_{33} がオフ状態に切替わり、トランジスタ Q_{44} がオン状態に切替わる。この結果、 $IGBTQ_2$ がオフ状態に切替わる。

20

【0133】

時刻 t_5 から所定の時間だけ遅れた時刻 t_6 に、集積回路 5 は、出力端子 OUT_1 から出力する制御信号を L レベルに切替えるとともに、出力端子 OUT_2 から出力する制御信号を H レベルに切替える。これによって、トランジスタ Q_{11} がオフ状態に切替わり、トランジスタ Q_{22} がオン状態に切替わる。この結果、 $IGBTQ_2$ に遅れて $IGBTQ_1$ がオフ状態に切替わる。以下、時刻 t_7 以降、上記のタイミング制御が繰り返される。

30

【0134】

上記の駆動制御部 101、108、109 による $IGBTQ_1$ 、 Q_2 のスイッチングの制御方法によれば、 $IGBTQ_1$ 、 Q_2 は交互に遅れてオフ状態に切替わる。 $IGBTQ_2$ よりも遅れて $IGBTQ_1$ がオフ状態に切替わった場合には、ターンオフ損失 E_{off} の大部分は $IGBTQ_1$ によって負担される。逆に、 $IGBTQ_1$ よりも遅れて $IGBTQ_2$ がオフ状態に切替わった場合には、ターンオフ損失 E_{off} の大部分は $IGBTQ_2$ によって負担される。このようにターンオフ損失 E_{off} を両方の $IGBTQ_1$ 、 Q_2 で負担できるので、 $IGBTQ_1$ 、 Q_2 の長寿命化が期待できる。同一の仕様（飽和電圧 $V_{CE(sat)}$ など）をもつ $IGBTQ_1$ 、 Q_2 の場合に特に効果的である。

【0135】

40

<実施の形態 15>

図 34 は、実施の形態 5、11 による電力用半導体装置 204、210 において、駆動制御部 104、110 による $IGBTQ_1$ 、 Q_2 のスイッチング制御方法の変形例について説明するための図である。図 34 には、駆動制御部 104、110 にそれぞれ設けられた集積回路 5b、5g から出力される制御信号のタイミング図が示される。以下では図 2 に示された集積回路 5b を代表として説明するが、集積回路 5g についても同様である。

【0136】

図 22、図 34 を参照して、時刻 t_1 で、集積回路 5b は、駆動信号 DS が H レベルに切替わるのに応答して、出力端子 OUT_1 から出力する制御信号を H レベルに切替える

50

ともに、出力端子OUT 2, OUT 4からそれぞれ出力する制御信号をLレベルに切替える。これによって、トランジスタQ 1 1がオン状態に切替わり、トランジスタQ 2 2, Q 4 4がオフ状態に切替わる。この結果、IGBT Q 1, Q 2が同時にオン状態に切替わる。

【0137】

時刻t 2で、集積回路5 bは、駆動信号DSがLレベルに切替わるのに応答して、出力端子OUT 1から出力する制御信号をLレベルに切替えるとともに、出力端子OUT 2から出力する制御信号をHレベルに切替える。これによって、トランジスタQ 1 1がオフ状態に切替わり、トランジスタQ 2 2がオン状態に切替わる。この結果、IGBT Q 1がオフ状態に切替わる。

10

【0138】

時刻t 2から所定の時間だけ遅れた時刻t 3に、集積回路5 bは、出力端子OUT 4から出力する制御信号をHレベルに切替える。これによって、トランジスタQ 4 4がオン状態に切替わる。この結果、IGBT Q 1に遅れてIGBT Q 2がオフ状態に切替わる。

【0139】

時刻t 4で、集積回路5 bは、駆動信号DSが再びHレベルに切替わるのに応答して、出力端子OUT 1から出力する制御信号をHレベルに切替えるとともに、出力端子OUT 2, OUT 4からそれぞれ出力する制御信号をLレベルに切替える。これによって、トランジスタQ 1 1がオン状態に切替わり、トランジスタQ 2 2, Q 4 4がオフ状態に切替わる。この結果、IGBT Q 1, Q 2が同時にオン状態に切替わる。

20

【0140】

時刻t 5で、集積回路5 bは、駆動信号DSがLレベルに切替わるのに応答して、出力端子OUT 4から出力する制御信号をHレベルに切替える。これによって、トランジスタQ 4 4がオン状態に切替わるので、IGBT Q 2がオフ状態に切替わる。

【0141】

時刻t 5から所定の時間だけ遅れた時刻t 6に、集積回路5 bは、出力端子OUT 1から出力する制御信号をLレベルに切替えるとともに、出力端子OUT 2から出力する制御信号をHレベルに切替える。これによって、トランジスタQ 1 1がオフ状態に切替わり、トランジスタQ 2 2がオン状態に切替わる。この結果、IGBT Q 2に遅れてIGBT Q 1がオフ状態に切替わる。以下、時刻t 7以降、上記のタイミング制御が繰り返される。

30

【0142】

上記の駆動制御部104, 110によるIGBT Q 1, Q 2のスイッチングの制御方法によれば、IGBT Q 1, Q 2は交互に遅れてオフ状態に切替わる。IGBT Q 2よりも遅れてIGBT Q 1がオフ状態に切替わった場合には、ターンオフ損失Eoffの大部分はIGBT Q 1によって負担される。逆に、IGBT Q 1よりも遅れてIGBT Q 2がオフ状態に切替わった場合には、ターンオフ損失Eoffの大部分はIGBT Q 2によって負担される。このようにターンオフ損失Eoffを両方のIGBT Q 1, Q 2で負担できるので、IGBT Q 1, Q 2の長寿命化が期待できる。同一の仕様(飽和電圧VCE(sat)など)をもつIGBT Q 1, Q 2の場合に特に効果的である。

【0143】

40

<実施の形態16>

図35は、実施の形態2, 9, 10による電力用半導体装置201, 208, 209において、駆動制御部101, 108, 109によるIGBT Q 1, Q 2のスイッチング制御方法の他の変形例について説明するための図である。図35には、駆動制御部101, 108, 109にそれぞれ設けられた集積回路5, 5 d, 5 eから出力される制御信号のタイミング図が示される。以下では図17に示された集積回路5を代表として説明するが、集積回路5 d, 5 eについても同様である。

【0144】

図17、図35を参照して、時刻t 1で、集積回路5は、駆動信号DSがHレベルに切替わるのに応答して、出力端子OUT 1から出力する制御信号をHレベルに切替えるとともに

50

もに、出力端子OUT 2から出力する制御信号をLレベルに切替える。これによって、トランジスタQ 1 1がオン状態に切替わり、トランジスタQ 2 2がオフ状態に切替わる。この結果、IGBTQ 1がオン状態に切替わる。

【0145】

時刻t 1から所定の時間だけ遅れた時刻t 2で、集積回路5は、出力端子OUT 3から出力する制御信号をHレベルに切替えるとともに、出力端子OUT 4から出力する制御信号をLレベルに切替える。これによって、トランジスタQ 3 3がオン状態に切替わり、トランジスタQ 4 4がオフ状態に切替わる。この結果、IGBTQ 1に遅れてIGBTQ 2がオン状態に切替わる。

【0146】

10

時刻t 3で、集積回路5は、駆動信号DSがLレベルに切替わるのに応答して、出力端子OUT 1から出力する制御信号をLレベルに切替えるとともに、出力端子OUT 2から出力する制御信号をHレベルに切替える。これによって、トランジスタQ 1 1がオフ状態に切替わり、トランジスタQ 2 2がオン状態に切替わる。この結果、IGBTQ 1がオフ状態に切替わる。

【0147】

時刻t 3から所定の時間だけ遅れた時刻t 4に、集積回路5は、出力端子OUT 3から出力する制御信号をLレベルに切替えるとともに、出力端子OUT 4から出力する制御信号をHレベルに切替える。これによって、トランジスタQ 3 3がオフ状態に切替わり、トランジスタQ 4 4がオン状態に切替わる。この結果、IGBTQ 1に遅れてIGBTQ 2

20

【0148】

時刻t 5で、集積回路5は、駆動信号DSが再びHレベルに切替わるのに応答して、出力端子OUT 3から出力する制御信号をHレベルに切替えるとともに、出力端子OUT 4から出力する制御信号をLレベルに切替える。これによって、トランジスタQ 3 3がオン状態に切替わり、トランジスタQ 4 4がオフ状態に切替わる。この結果、IGBTQ 2がオン状態に切替わる。

【0149】

時刻t 5から所定の時間だけ遅れた時刻t 6に、集積回路5は、出力端子OUT 1から出力する制御信号をHレベルに切替えるとともに、出力端子OUT 2から出力する制御信号をLレベルに切替える。これによって、トランジスタQ 1 1がオン状態に切替わり、トランジスタQ 2 2がオフ状態に切替わる。この結果、IGBTQ 2に遅れてIGBTQ 1がオン状態に切替わる。

30

【0150】

時刻t 7で、集積回路5は、駆動信号DSがLレベルに切替わるのに応答して、出力端子OUT 3から出力する制御信号をLレベルに切替えるとともに、出力端子OUT 4から出力する制御信号をHレベルに切替える。これによって、トランジスタQ 3 3がオフ状態に切替わり、トランジスタQ 4 4がオン状態に切替わる。この結果、IGBTQ 2がオフ状態に切替わる。

【0151】

40

時刻t 7から所定の時間だけ遅れた時刻t 8に、集積回路5は、出力端子OUT 1から出力する制御信号をLレベルに切替えるとともに、出力端子OUT 2から出力する制御信号をHレベルに切替える。これによって、トランジスタQ 1 1がオフ状態に切替わり、トランジスタQ 2 2がオン状態に切替わる。この結果、IGBTQ 2に遅れてIGBTQ 1がオフ状態に切替わる。以下、時刻t 9以降、上記のタイミング制御が繰り返される。

【0152】

上記の駆動制御部101, 108, 109によるIGBTQ 1, Q 2のスイッチングの制御方法によれば、IGBTQ 1, Q 2は交互に遅れてオン状態に切替わり、交互に遅れてオフ状態に切替わる。したがって、最初にIGBTQ 1がターンオン損失を負担し、次にIGBTQ 2がターンオフ損失Eoffを負担し、次にIGBTQ 2がターンオン損失

50

E_{on} を負担し、次にIGBTQ1がターンオフ損失 E_{off} を負担する。このようにターンオン損失 E_{on} およびターンオフ損失 E_{off} を両方のIGBTQ1, Q2で交互に負担するので、IGBTQ1, Q2の長寿命化が期待できる。同一の仕様(飽和電圧 $V_{CE(sat)}$ など)をもつIGBTQ1, Q2の場合に特に効果的である。

【0153】

<実施の形態17>

上記の実施の形態1~16の電力用半導体装置では、並列接続された2個の電力用半導体素子Q1, Q2が高電圧ノードHVと接地ノードGNDとの間に設けられる例を示した。高電圧ノードHVと接地ノードGNDの間に並列接続された電力用半導体素子を2個以上設けて、少なくとも1個以上の電力用半導体素子が遅延して動作するように構成しても、上記と同様の効果を得ることができる。

10

【0154】

<実施の形態18>

上記の実施の形態1~17による電力用半導体装置において、IGBTQ1にはIGBTや通常のバイポーラトランジスタのようなバイポーラ素子を設け、IGBTQ2に代えてたとえばSiCで形成されたパワーMOSトランジスタのようなユニポーラ素子を設けてもよい。IGBTQ1の後からオフ状態に切替わるIGBTQ2にユニポーラ素子のようなスイッチング速度の速い半導体素子を設けることによってターンオフ損失 E_{off} を低く抑えることができるので、電力用半導体装置のスイッチング損失をさらに低減することができる。

20

【0155】

<実施の形態19>

図36は、この発明の実施の形態19による電力用半導体装置212の構成を示す回路図である。図36の電力用半導体装置212は、IGBTQ1, Q2と、図27で説明したIGBTQ1, Q2を流れる全電流 I_t を検出するための電流検出センサ99と、駆動制御部112とを含む。駆動制御部112は、電流検出センサ99の出力に応じてIGBTQ1, Q2のスイッチングのタイミングが変化するように、図25で説明した駆動制御部106を変形したものである。以下、具体的に説明する。

【0156】

図36を参照して、駆動制御部112は、駆動信号DSが入力される入力ノード8と、インバータ50と、駆動用電源V1と、抵抗素子R14, R15, R23, R24と、IGBTQ1, Q2を駆動するためのN型MOSトランジスタQ11, Q22, Q33, Q44と、遅延回路DL5~DL8と、比較器60とを含む。

30

【0157】

インバータ50は、入力ノード8に入力される駆動信号DSの論理レベルを反転する。

トランジスタQ11, Q33のドレインは、駆動用電源V1から駆動電圧が供給される電源ノード9に接続される。トランジスタQ22, Q44のソースは接地ノードGNDに接続される。

【0158】

抵抗素子R14, R23の一端はIGBTQ1のゲートに接続され、抵抗素子R15, R24の一端はIGBTQ2のゲートに接続される。抵抗素子R14の他端はトランジスタQ11のソースに接続され、抵抗素子R15の他端はトランジスタQ33のソースに接続される。抵抗素子R23の他端はトランジスタQ22のドレインに接続され、抵抗素子R24の他端はトランジスタQ44のドレインに接続される。

40

【0159】

比較器60は、電流検出センサ99の出力が、図4で説明した閾値 I_{th2} に対応する参照電圧V2を超えるか否かを判定する。比較器60は、電流検出センサ99の出力が参照電圧V2を超えた場合にHレベルの信号を出力し、参照電圧V2以下の場合にLレベルの信号を出力する。

【0160】

50

遅延回路 D L Y 5 は、抵抗素子 R 5 1 と、コンデンサ C 5 2 とを含む。抵抗素子 R 5 1 は、入力ノード 8 とトランジスタ Q 1 1 のゲートとの間に接続される。コンデンサ C 5 2 は、トランジスタ Q 1 1 のゲートと接地ノード G N D との間に接続される。

【 0 1 6 1 】

遅延回路 D L Y 6 は、抵抗素子 R 3 7 と、コンデンサ C 3 6 と、N M O S トランジスタ Q 5 5 とを含む。ここで、N M O S トランジスタ Q 5 5 は、いわゆる縦型構造であり、ソースからドレインの方向が順方向となる寄生ダイオード D 3 8 A が存在する。抵抗素子 R 3 7 は、入力ノード 8 とトランジスタ Q 3 3 のゲートとの間に接続される。コンデンサ C 3 6 は、トランジスタ Q 3 3 のゲートと接地ノード G N D との間に接続される。トランジスタ Q 5 5 は、抵抗素子 R 3 7 と並列接続となるように、そのソースが入力ノード 8 と接続され、そのドレインがトランジスタ Q 3 3 のゲートと接続される。トランジスタ Q 5 5 は、そのゲート電極に比較器 6 0 の出力を受けることによって、電流検出センサ 9 9 の出力が参照電圧 V 2 以下のときにオフ状態になり、参照電圧 V 2 を超えたときにオン状態になる。

10

【 0 1 6 2 】

遅延回路 D L Y 7 は、抵抗素子 R 6 1 と、コンデンサ C 6 2 とを含む。抵抗素子 R 6 1 は、インバータ 5 0 の出力ノードとトランジスタ Q 2 2 のゲートとの間に接続される。コンデンサ C 6 2 は、トランジスタ Q 2 2 のゲートと接地ノード G N D との間に接続される。

【 0 1 6 3 】

遅延回路 D L Y 8 は、抵抗素子 R 4 7 と、コンデンサ C 4 6 と、N M O S トランジスタ Q 6 6 とを含む。ここで、N M O S トランジスタ Q 6 6 は、いわゆる縦型構造であり、ソースからドレインの方向が順方向となる寄生ダイオード D 4 8 A が存在する。抵抗素子 R 4 7 は、インバータ 5 0 の出力ノードとトランジスタ Q 4 4 のゲートとの間に接続される。コンデンサ C 4 6 は、トランジスタ Q 4 4 のゲートと接地ノード G N D との間に接続される。トランジスタ Q 6 6 は、抵抗素子 R 4 7 と並列接続となるように、そのドレインがインバータ 5 0 の出力ノードと接続され、そのソースがトランジスタ Q 4 4 のゲートと接続される。トランジスタ Q 6 6 は、そのゲート電極に比較器 6 0 の出力を受けることによって、電流検出センサ 9 9 の出力が参照電圧 V 2 以下のときにオフ状態になり、参照電圧 V 2 を超えたときにオン状態になる。

20

30

【 0 1 6 4 】

I G B T Q 1 , Q 2 のターンオンの開始時間を同じにするために、コンデンサ C 3 6 の容量値とコンデンサ C 5 2 の容量値とは同じ値になるようにする。さらに、抵抗素子 R 5 1 の抵抗値は、トランジスタ Q 5 5 のオン抵抗に等しく設定する。抵抗素子 R 3 7 の抵抗値は、抵抗素子 R 5 1 の抵抗値よりも大きな値にする。I G B T のターンオフの開始時間を同じにするために、コンデンサ C 4 6 の容量値とコンデンサ C 6 2 の容量値とは同じ値になるようにする。さらに、抵抗素子 R 6 1 の抵抗値は、トランジスタ Q 6 6 のオン抵抗に等しく設定する。抵抗素子 R 4 7 の抵抗値は、抵抗素子 R 6 1 の抵抗値よりも大きな値にする。

【 0 1 6 5 】

図 3 7 は、図 3 6 の電流検出センサ 9 9 の出力波形の一例を示す図である。図 3 7 (A) , (B) には、駆動信号 D S が L レベルから H レベルへ切替わるのに応じて、I G B T Q 1 , Q 2 がオフ状態からオン状態に切替わり、その後、駆動信号 D S が L レベルに戻るのに応じて、I G B T Q 1 , Q 2 がオフ状態に戻るまでの波形が示される。図 3 7 (A) は、電流検出センサ 9 9 の出力が、閾値 I t h 2 に対応する参照電圧 V 2 を超えない場合を示し、図 3 7 (B) は、電流検出センサ 9 9 の出力が、閾値 I t h 2 に対応する参照電圧 V 2 を超える場合を示す。

40

【 0 1 6 6 】

まず、図 3 7 (A) の場合について説明する。この場合、トランジスタ Q 5 5 , Q 6 6 は常時オフ状態である。駆動信号 D S が L レベルから H レベルに切替わると、トランジス

50

タQ 1 1は、抵抗素子R 5 1の抵抗値およびコンデンサC 5 2の容量値に応じて決まる遅延時間（以下、遅延時間D T 1とする）でオフ状態からオン状態に切替わる。寄生ダイオードD 3 8 Aのオン抵抗は、トランジスタQ 5 5のオン抵抗と同等とすると、トランジスタQ 3 3も遅延時間D T 1でオフ状態からオン状態に切替わる。さらに、トランジスタQ 2 2は、抵抗素子R 6 2の抵抗値およびコンデンサC 6 2の容量値に応じて決まる遅延時間（以下、遅延時間D T 2とする）でオン状態からオフ状態に切替わる。寄生ダイオードD 4 8 Aのオン抵抗は、トランジスタQ 6 6のオン抵抗と同等とすると、トランジスタQ 4 4も遅延時間D T 2でオン状態からオフ状態に切替わる。以上のトランジスタQ 1 1, Q 2 2, Q 3 3, Q 4 4の切替わりによって、I G B T Q 1, Q 2が同時にオン状態になる。

10

【0167】

図37(A)において、駆動信号D SがHレベルからLレベルに切替わると、トランジスタQ 1 1は、遅延時間D T 1でオン状態からオフ状態に切替わる。トランジスタQ 3 3は、抵抗素子R 3 7の抵抗値およびコンデンサC 3 6の容量値に応じた遅延時間（以下、遅延時間D T 3とする、 $D T 3 > D T 1$ である）でオン状態からオフ状態に切替わる。さらに、トランジスタQ 2 2は、遅延時間D T 2でオフ状態からオン状態に切替わる。トランジスタQ 4 4は、抵抗素子R 4 7の抵抗値およびコンデンサC 4 6の容量値に応じた遅延時間（以下、遅延時間D T 4とする、 $D T 4 > D T 2$ である）でオフ状態からオン状態に切替わる。以上のトランジスタQ 1 1, Q 2 2, Q 3 3, Q 4 4の切替わりによって、I G B T Q 1が先にオフ状態になった後に、I G B T Q 2がオフ状態になる。

20

【0168】

次に、図37(B)の場合について説明する。この場合、駆動信号D SがLレベルからHレベルに切替わる際には、トランジスタQ 5 5, Q 6 6はオフ状態である。したがって、トランジスタQ 1 1およびQ 3 3は、遅延時間D T 1でオフ状態からオン状態に切替わる。さらに、トランジスタQ 2 2およびQ 4 4は、遅延時間D T 2でオン状態からオフ状態に切替わる。以上のトランジスタQ 1 1, Q 2 2, Q 3 3, Q 4 4の切替わりによって、I G B T Q 1, Q 2が同時にオン状態になる。

【0169】

図37(B)において、駆動信号D SがHレベルの間に、電流検出センサ9 9の出力電圧が参照電圧V 2を超え、トランジスタQ 5 5, Q 6 6がオン状態になる。この状態で、駆動信号D SがHレベルからLレベルに切替わると、トランジスタQ 1 1は、遅延時間D T 1でオン状態からオフ状態に切替わる。トランジスタQ 3 3は、トランジスタQ 5 5のオン抵抗およびコンデンサC 3 6の容量値に応じて決まる遅延時間、すなわち、遅延時間D T 1でオン状態からオフ状態に切替わる。さらに、トランジスタQ 2 2は、遅延時間D T 2でオフ状態からオン状態に切替わる。トランジスタQ 4 4は、トランジスタQ 6 6のオン抵抗およびコンデンサC 4 6の容量値に応じた遅延時間、すなわち、遅延時間D T 2でオフ状態からオン状態に切替わる。以上のトランジスタQ 1 1, Q 2 2, Q 3 3, Q 4 4の切替わりによって、I G B T Q 1, Q 2は同時にオフ状態になる。

30

【0170】

以上のとおり、実施の形態19による駆動制御部1 1 2によれば、I G B T Q 1, Q 2を流れる全電流I tが閾値I t h 2以下の場合には、実施の形態1で説明した図2(B)と同じ制御動作が実現でき、全電流I tが閾値I t h 2を超える場合には、図2(C)と同じ制御動作が実現できる。

40

【0171】

<実施の形態20>

図38は、この発明の実施の形態20による電力用半導体装置2 1 3の構成を示す回路図である。図38の駆動制御部1 1 3に設けられた遅延回路D L Y 9は、ダイオードD 3 9をさらに含む点で図36の遅延回路D L Y 6と異なる。ダイオードD 3 9のカソードはトランジスタQ 5 5のドレインに接続され、ダイオードD 3 9のアノードはトランジスタQ 3 3のゲートに接続される。駆動制御部1 1 3に設けられた遅延回路D L Y 10は、ダ

50

イオードD 4 9をさらに含む点で図3 6の遅延回路D L Y 8と異なる。ダイオードD 4 9のカソードはトランジスタQ 6 6のドレインに接続され、ダイオードD 4 9のアノードはインバータ5 0の出力ノードに接続される。図3 8のその他の点は図3 6と同じであるので、同一または相当する部分には同一の参照符号を付して説明を繰返さない。

【0 1 7 2】

図3 8の駆動制御部1 1 3によれば、駆動信号D SがLレベルからHレベルに切替わる場合（この時点では、電流検出センサ9 9の出力電圧は参照電圧V 2以下である）、トランジスタQ 1 1は遅延時間D T 1でオフ状態からオン状態に切替わるのに対して、トランジスタQ 3 3は遅延時間D T 3（ $D T 3 > D T 1$ ）でオフ状態からオン状態に切替わる。さらに、この場合、トランジスタQ 2 2は遅延時間D T 2でオン状態からオフ状態に切替わるのに対して、トランジスタQ 4 4は遅延時間D T 4（ $D T 4 > D T 2$ ）でオン状態からオフ状態に切替わる。以上のトランジスタQ 1 1，Q 2 2，Q 3 3，Q 4 4の切替わりによって、I G B T Q 1が先にオン状態になった後に、I G B T Q 2がオン状態になる。

10

【0 1 7 3】

駆動信号D SがHレベルからLレベルに切替わる場合、トランジスタQ 1 1，Q 2 2，Q 3 3，Q 4 4の切替わりのタイミングは図3 6の場合と同じである。すなわち、電流検出センサ9 9の出力電圧が参照電圧V 2以下の場合には、I G B T Q 1が先にオフ状態になった後に、I G B T Q 2がオフ状態になる。電流検出センサ9 9の出力電圧が参照電圧V 2を超える場合には、I G B T Q 1，Q 2は同時にオフ状態になる。

20

【0 1 7 4】

<実施の形態2 1>

図3 9は、この発明の実施の形態2 1による電力用半導体装置2 1 4の構成を示す回路図である。

【0 1 7 5】

図3 9の電力用半導体装置2 1 4は、図3 6の電力用半導体装置2 1 2を変形したものである。すなわち、電力用半導体装置2 1 4は、図3 6のI G B T Q 1，Q 2に代えてセンス端子付きのI G B T Q 1 a，Q 2 aを含む点で電力用半導体装置2 1 2と異なる。センス端子には、I G B Tのエミッタ端子に流れる主電流の一部が分流して流れる。さらに、電力用半導体装置2 1 4は、図3 6の電流検出センサ9 9に代えてシャント抵抗R 2 5，R 2 6を含む点で電力用半導体装置2 1 2と異なる。シャント抵抗R 2 5はI G B T Q 1 aのセンス端子と接地ノードG N Dとの間に接続され、シャント抵抗R 2 6はI G B T Q 2 aのセンス端子と接地ノードG N Dとの間に接続される。シャント抵抗R 2 5，R 2 6は、図3 6の電流検出センサ9 9と同様に、I G B T Q 1 a，Q 2 aにそれぞれ流れる主電流I 1，I 2をモニタする電流検出センサ9 9 aとして機能する。

30

【0 1 7 6】

さらに、図3 9の駆動制御部1 1 4は、比較器6 0に代えて論理回路6 0 aを含む点で図3 6の駆動制御部1 1 2と異なる。論理回路6 0 aは、比較器6 1，6 2とO R回路6 3とを含む。

【0 1 7 7】

比較器6 1は、シャント抵抗R 2 5の両端の電圧が、図4で説明した閾値I t h 2に対応する参照電圧V 3を超えるか否かを判定する。比較器6 1は、シャント抵抗R 2 5の両端の電圧が参照電圧V 3を超えた場合にHレベルの信号を出力し、参照電圧V 3以下の場合にLレベルの信号を出力する。同様に、比較器6 2は、シャント抵抗R 2 6の両端の電圧が、図4で説明した閾値I t h 2に対応する参照電圧V 4を超えるか否かを判定する。比較器6 2は、シャント抵抗R 2 6の両端の電圧が参照電圧V 4を超えた場合にHレベルの信号を出力し、参照電圧V 4以下の場合にLレベルの信号を出力する。

40

【0 1 7 8】

O R回路6 3は、比較器6 1，6 2の出力の論理和演算結果を、トランジスタQ 5 5，Q 6 6のゲート電極に出力する。したがって、シャント抵抗R 2 5の両端の電圧およびシャント抵抗R 2 6の両端の電圧のうち少なくとも一方が対応の参照電圧を超えたときに、

50

トランジスタQ55, Q66はオン状態になる。図39のその他の構成は図36と同じであるので、同一または相当する部分には同一の参照符号を付して説明を繰返さない。

【0179】

図39の駆動制御部114の動作は、図36の駆動制御部112の動作と同様である。まず、駆動信号DSがLレベルからHレベルに切替わるときについて説明する。この時点では、シャント抵抗R25の両端の電圧は参照電圧V3より小さく、シャント抵抗R26の電圧は参照電圧V4より小さい。したがって、トランジスタQ11およびQ33は遅延時間DT1でオフ状態からオン状態に切替わる。さらに、トランジスタQ22およびQ44は遅延時間DT2でオン状態からオフ状態に切替わる。以上のトランジスタQ11, Q22, Q33, Q44の切替わりによって、IGBTQ1a, Q2aは同時にオン状態になる。

10

【0180】

次に、駆動信号DSがHレベルからLレベルに切替わるときについて説明する。このときには、IGBTQ1a, Q2aに流れる電流I1, I2の大きさに応じて、IGBTQ1a, Q2aのターンオフのタイミングが異なる。すなわち、シャント抵抗R25の両端の電圧が参照電圧V3より小さく、かつ、シャント抵抗R26の電圧が参照電圧V4より小さい第1の場合には、トランジスタQ11は、遅延時間DT1でオン状態からオフ状態に切替わり、トランジスタQ33は、遅延時間DT3(DT3>DT1)である)でオン状態からオフ状態に切替わる。さらに、トランジスタQ22は、遅延時間DT2でオフ状態からオン状態に切替わり、トランジスタQ44は、遅延時間DT4(DT4>DT2)でオフ状態からオン状態に切替わる。以上のトランジスタQ11, Q22, Q33, Q44の切替わりによって、IGBTQ1aが先にオフ状態になった後に、IGBTQ2aがオフ状態になる。

20

【0181】

一方、シャント抵抗R25の両端の電圧およびシャント抵抗R26の両端の電圧の少なくとも一方が対応の参照電圧を超える第2の場合には、トランジスタQ11およびQ33は遅延時間DT1でオン状態からオフ状態に切替わる。さらに、トランジスタQ22およびQ44は遅延時間DT2でオフ状態からオン状態に切替わる。以上のトランジスタQ11, Q22, Q33, Q44の切替わりによって、IGBTQ1a, Q2aは同時にオフ状態になる。

30

【0182】

なお、並列接続された2個のIGBTのいずれか一方のみをセンス端子付きのIGBTに変更し、センスIGBTを流れる電流をシャント抵抗でモニタするような構成でも構わない。シャント抵抗R25のみが設けられる場合には、論理回路60aは比較器61のみによって構成される。比較器61は、シャント抵抗R25の両端の電圧が、閾値Ith2に対応する参照電圧V3を超えたとき、Hレベルの電圧をトランジスタQ55, Q66のゲートに出力することによって、これらのトランジスタQ55, Q66をオン状態にする。逆に、シャント抵抗R26のみが設けられる場合には、論理回路60aは比較器62のみによって構成される。比較器62は、シャント抵抗R26の両端の電圧が、閾値Ith2に対応する参照電圧V4を超えたとき、Hレベルの電圧をトランジスタQ55, Q66のゲートに出力することによって、これらのトランジスタQ55, Q66をオン状態にする。

40

【0183】

<実施の形態22>

図40は、この発明の実施の形態22による電力用半導体装置215の構成を示す回路図である。図40の駆動制御部115に設けられた遅延回路DLY9は、ダイオードD39をさらに含む点で図39の遅延回路DLY6と異なる。ダイオードD39のカソードはトランジスタQ55のドレインに接続され、ダイオードD39のアノードはトランジスタQ33のゲートに接続される。駆動制御部115に設けられた遅延回路DLY10は、ダイオードD49をさらに含む点で図39の遅延回路DLY8と異なる。ダイオードD49

50

のカソードはトランジスタQ 6 6のドレインに接続され、ダイオードD 4 9のアノードはインバータ5 0の出力ノードに接続される。図4 0のその他の構成は図3 9と同じであるので、同一または相当する部分には同一の参照符号を付して説明を繰返さない。

【0 1 8 4】

図4 0の駆動制御部1 1 5の動作は、図3 8の駆動制御部1 1 3の動作と同様である。まず、駆動信号D SがLレベルからHレベルに切替わるときについて説明する。この時点では、シャント抵抗R 2 5の両端の電圧は参照電圧V 3より小さく、シャント抵抗R 2 6の両端の電圧は参照電圧V 4より小さい。したがって、トランジスタQ 1 1は遅延時間D T 1でオフ状態からオン状態に切替わるのに対して、トランジスタQ 3 3は遅延時間D T 3 (D T 3 > D T 1)でオフ状態からオン状態に切替わる。さらに、トランジスタQ 2 2は遅延時間D T 2でオン状態からオフ状態に切替わるのに対して、トランジスタQ 4 4は遅延時間D T 4 (D T 4 > D T 2)でオン状態からオフ状態に切替わる。以上のトランジスタQ 1 1, Q 2 2, Q 3 3, Q 4 4の切替わりによって、I G B T Q 1 aが先にオン状態になった後に、I G B T Q 2 aがオン状態になる。

【0 1 8 5】

次に、駆動信号D SがHレベルからLレベルに切替わる時、トランジスタQ 1 1, Q 2 2, Q 3 3, Q 4 4の切替わりのタイミング、および、その結果としてのI G B T Q 1 a, Q 2 aの切替わりのタイミングは図3 9の場合と同じである。すなわち、シャント抵抗R 2 5の両端の電圧が参照電圧V 3より小さく、かつ、シャント抵抗R 2 6の電圧が参照電圧V 4より小さい第1の場合には、I G B T Q 1 aが先にオフ状態になった後に、I G B T Q 2 aがオフ状態になる。シャント抵抗R 2 5の両端の電圧およびシャント抵抗R 2 6の両端の電圧のうち少なくとも一方が対応の参照電圧を超える第2の場合には、I G B T Q 1 a, Q 2 aは同時にオフ状態になる。

【0 1 8 6】

なお、図4 0においても、図3 9の場合と同様に、並列接続された2個のI G B Tのいずれか一方のみをセンス端子付きのI G B Tに変更し、センスI G B Tを流れる電流をシャント抵抗でモニタするような構成でも構わない。シャント抵抗R 2 5のみが設けられる場合には、論理回路6 0 aは比較器6 1のみによって構成される。逆に、シャント抵抗R 2 6のみが設けられる場合には、論理回路6 0 aは比較器6 2のみによって構成される。

【0 1 8 7】

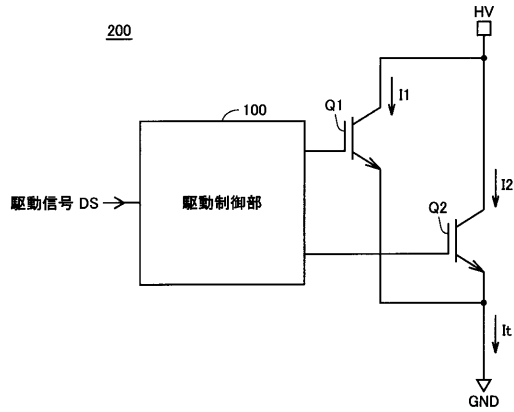
今回開示された実施の形態はすべての点で例示であって制限的なものでないと考えられるべきである。この発明の範囲は上記した説明ではなくて請求の範囲によって示され、請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【符号の説明】

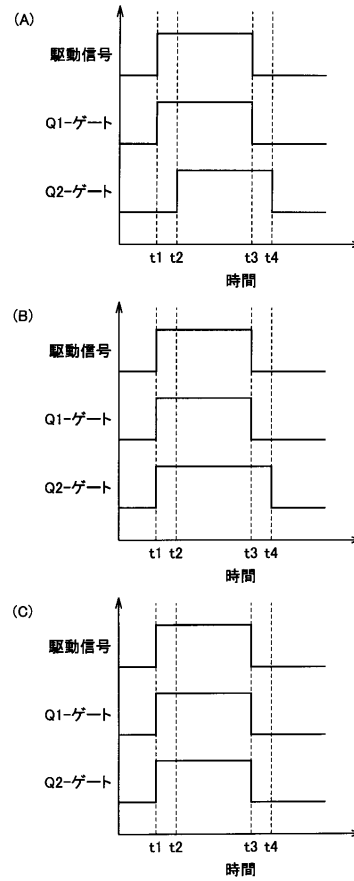
【0 1 8 8】

5, 5 a ~ 5 g 集積回路、8 入力ノード、9 電源ノード、5 0 インバータ、6 0, 6 1, 6 2 比較器、6 0 a 論理回路、6 3 O R回路、9 9, 9 9 a 電流検出センサ、1 0 0 ~ 1 1 5 駆動制御部、2 0 0 ~ 2 1 5 電力用半導体装置、D 1 2, D 1 3 ダイオード、D L Y 1, D L Y 2, D L Y 3, D L Y 4 ~ D L Y 1 0 遅延回路、D S 駆動信号、G N D 接地ノード、H V 高電圧ノード、Q 1, Q 2, Q 1 a, Q 2 a 電力用半導体素子、Q 1 1, Q 2 2, Q 3 3, Q 4 4 N型M O Sトランジスタ、R 1 4, R 1 5, R 2 3, R 2 4 抵抗素子、R 2 5, R 2 6 シャント抵抗、V 1 駆動用電源。

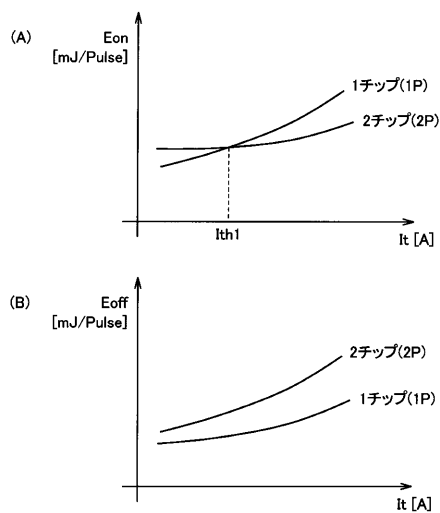
【図 1】



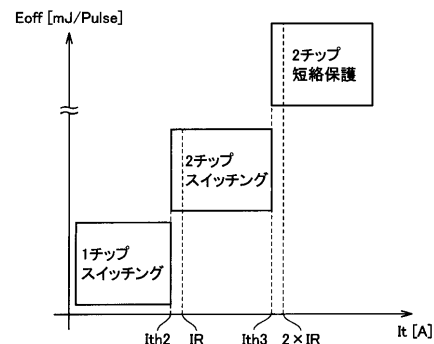
【図 2】



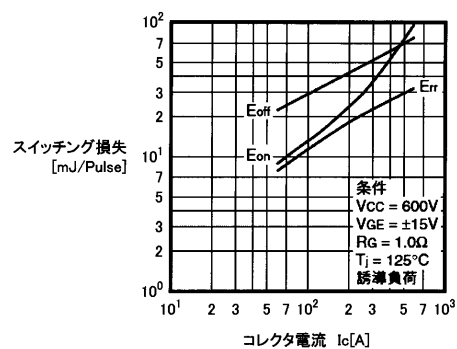
【図 3】



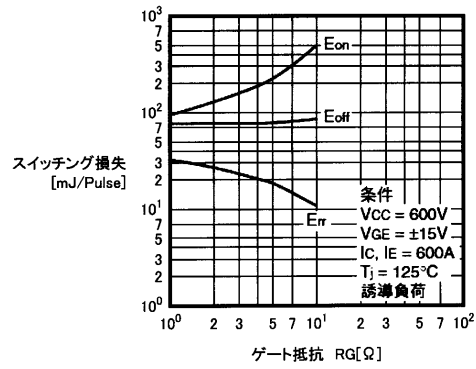
【図 4】



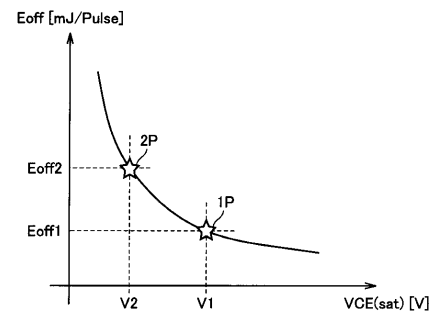
【図 5】



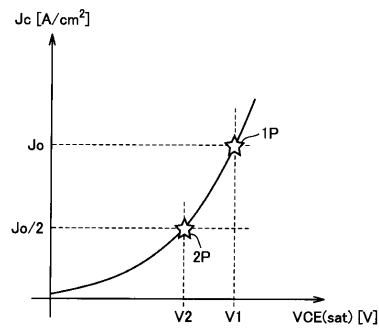
【図 6】



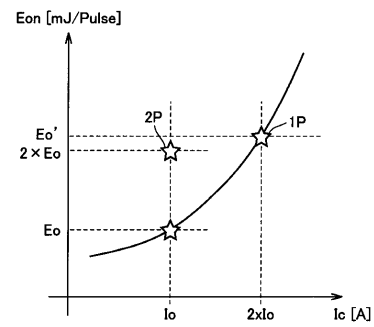
【図 8】



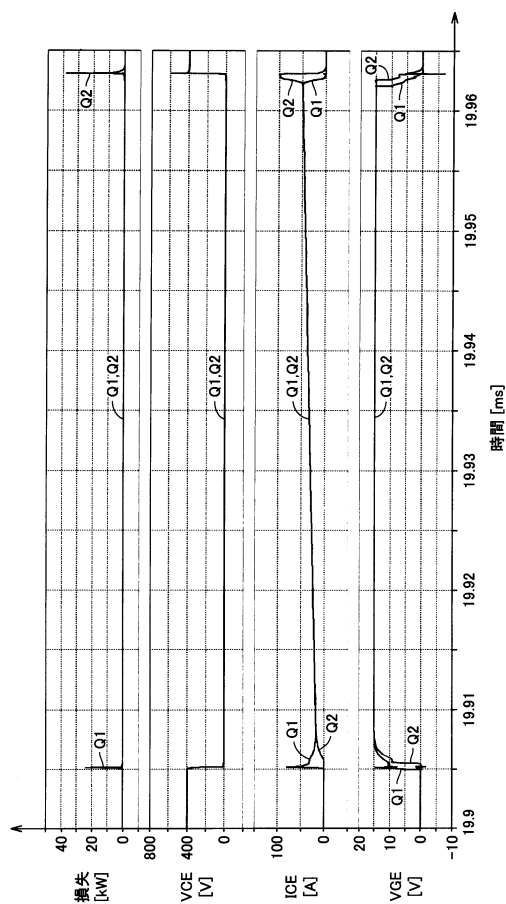
【図 7】



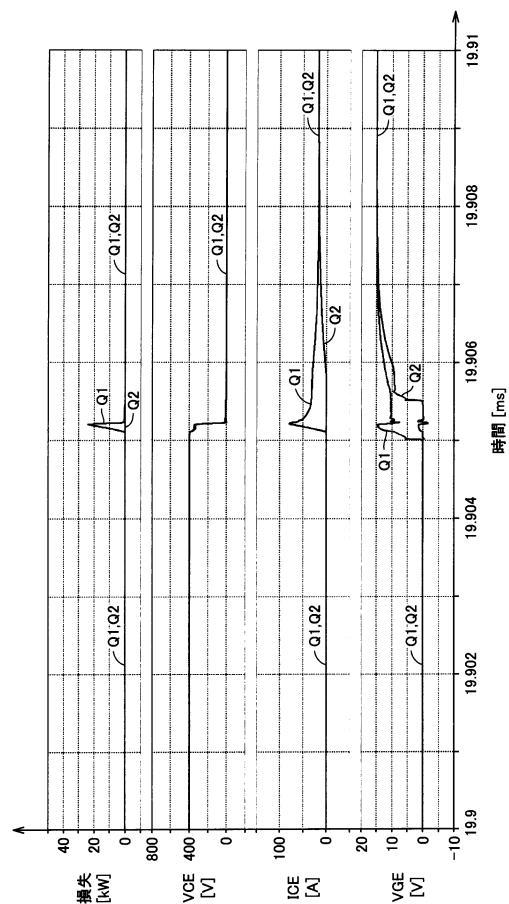
【図 9】



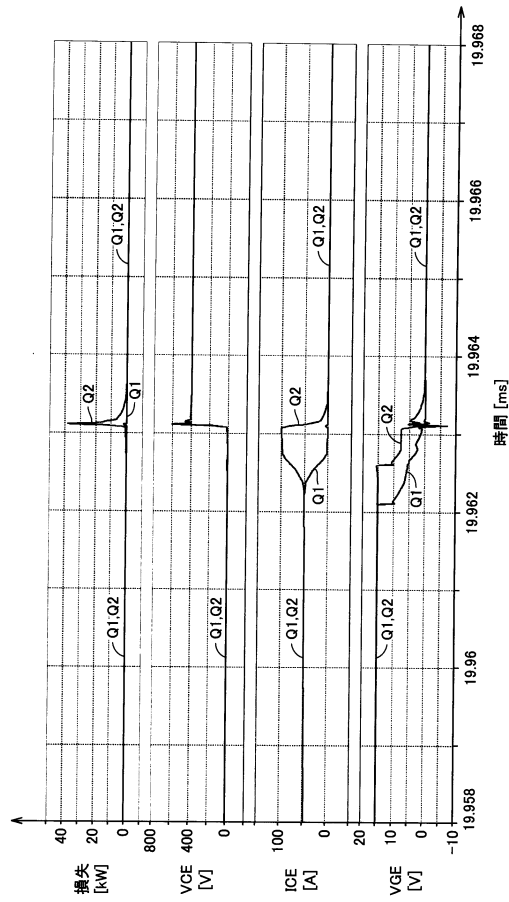
【図 10】



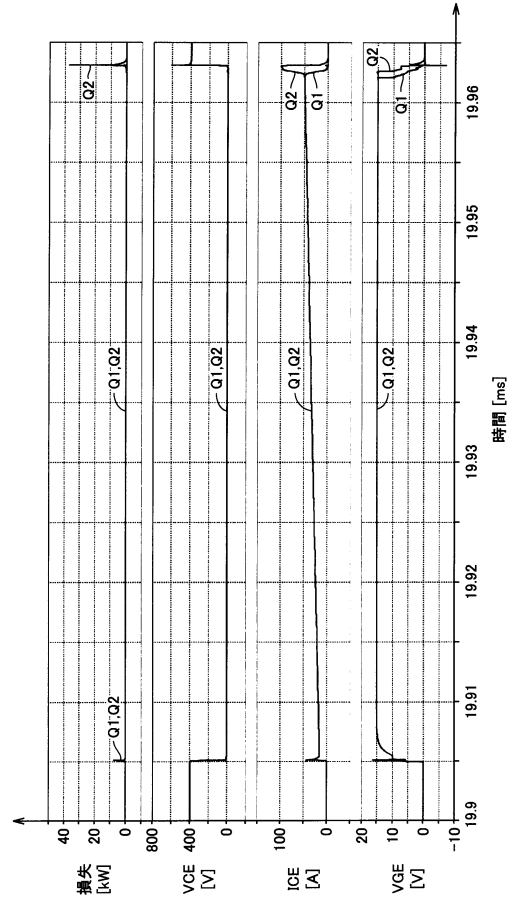
【図 11】



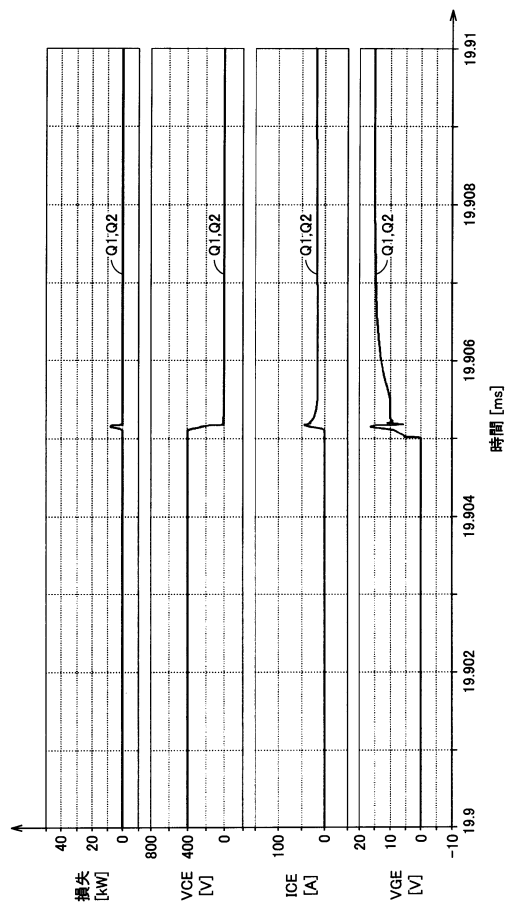
【図 1 2】



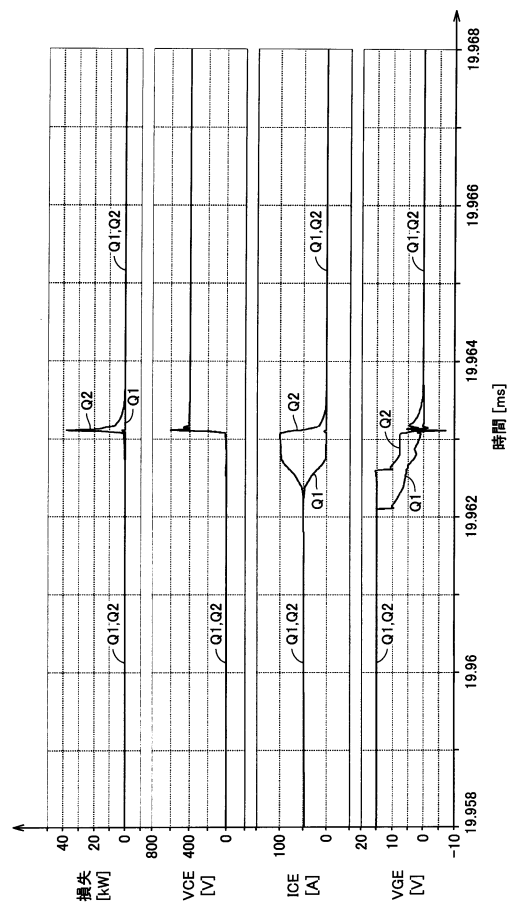
【図 1 3】



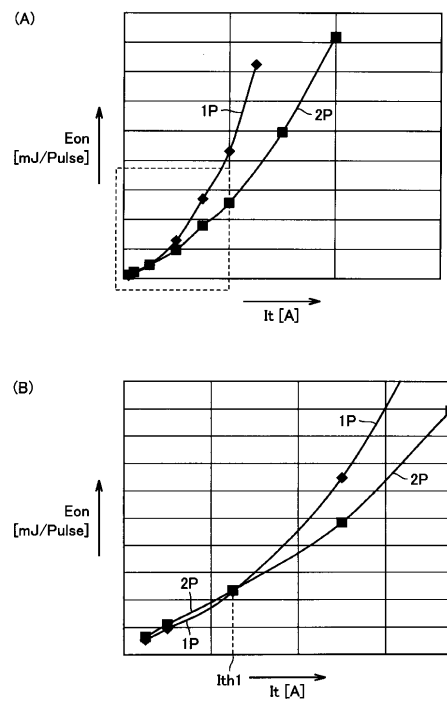
【図 1 4】



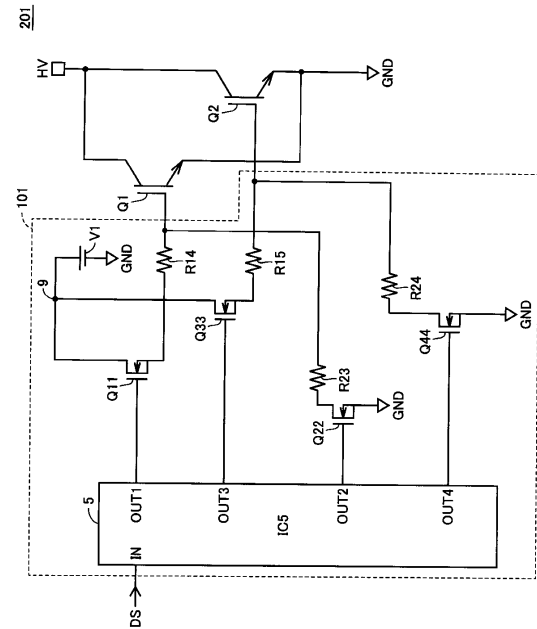
【図 1 5】



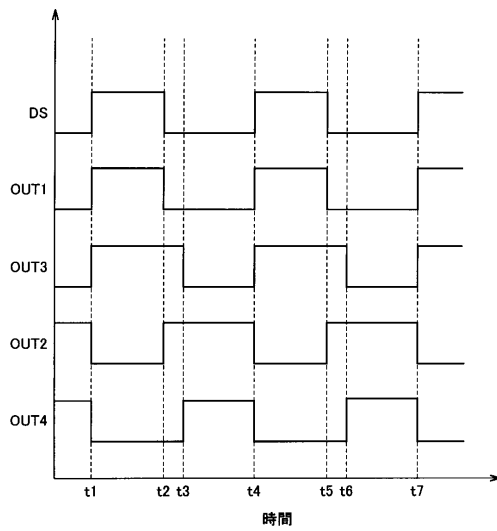
【図 16】



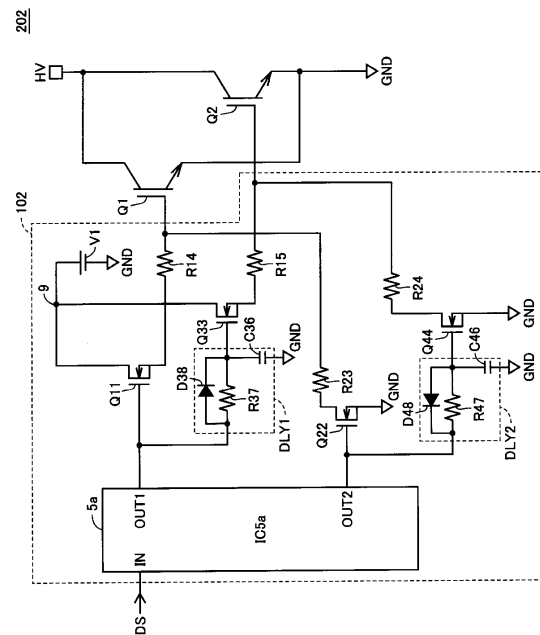
【図 17】



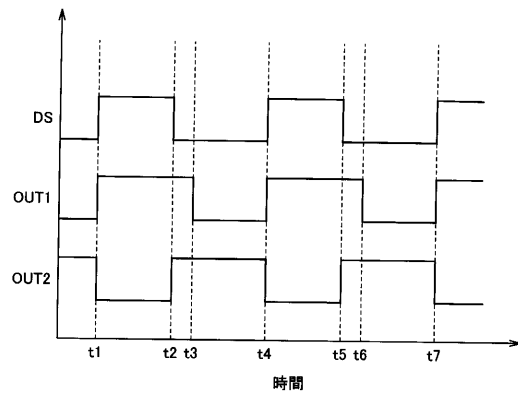
【図 18】



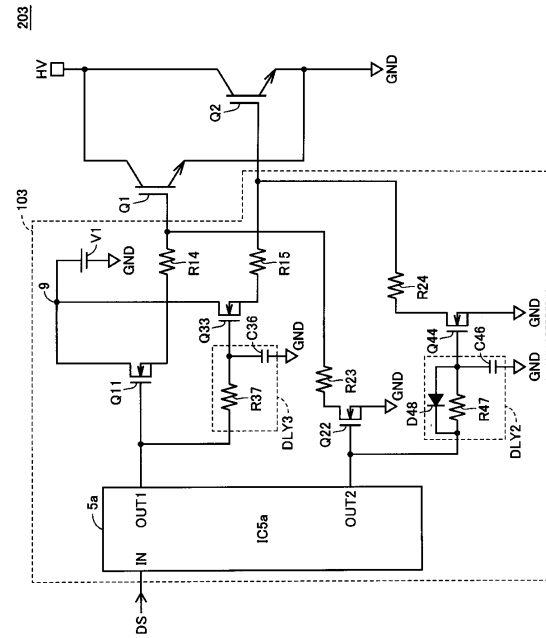
【図 19】



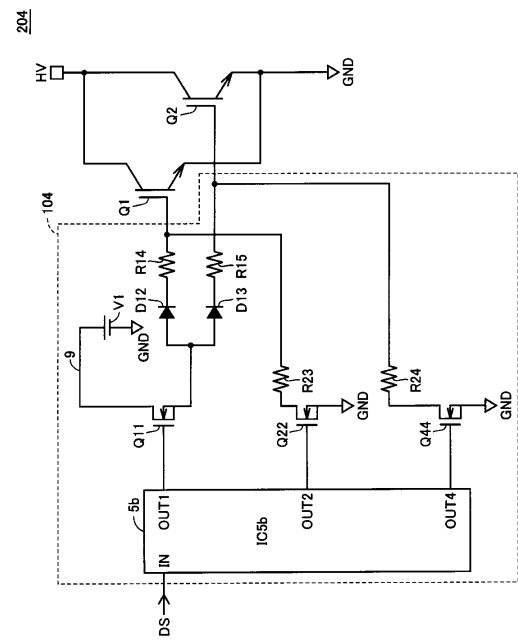
【図 20】



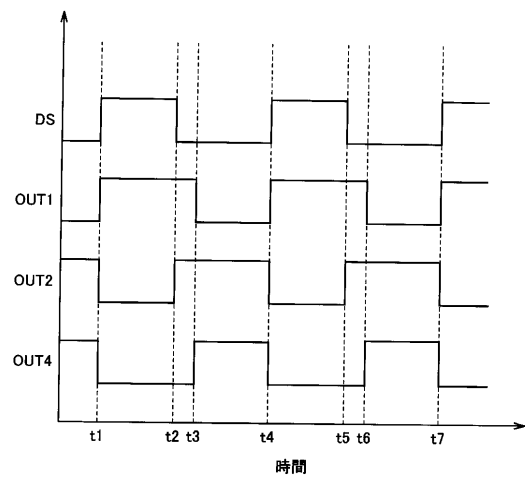
【図 21】



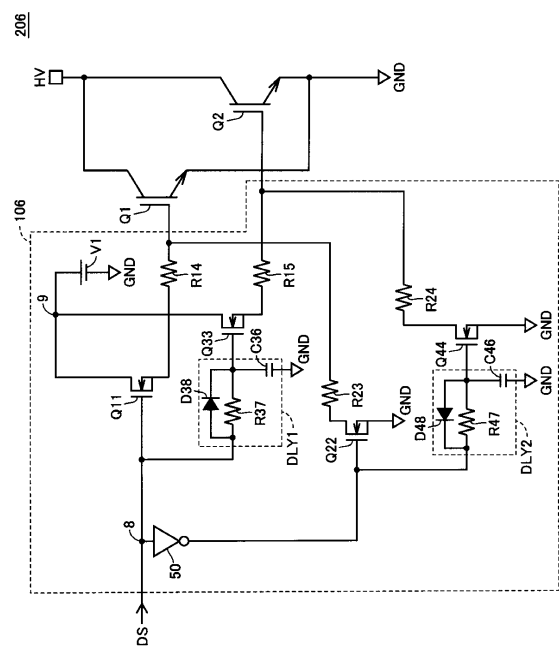
【図 22】



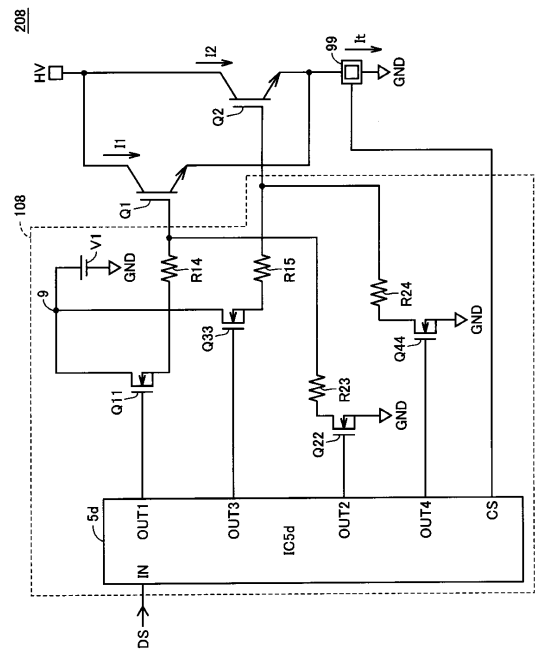
【図 23】



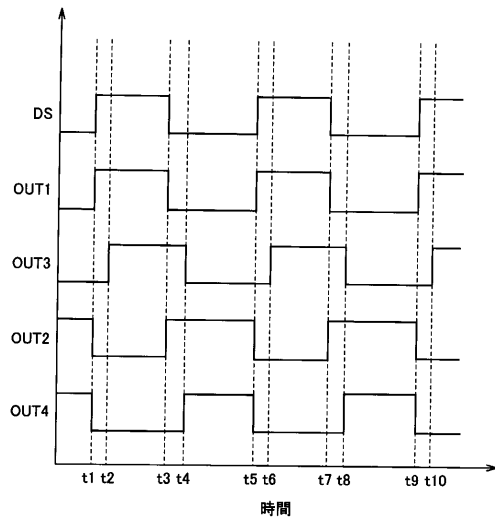
【圖 25】



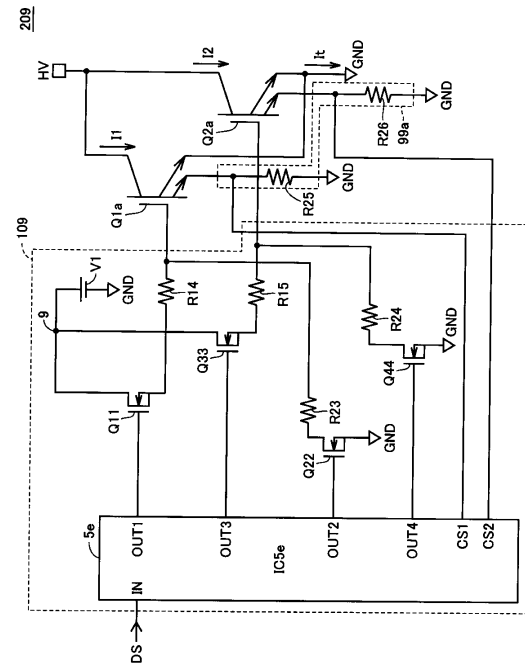
【圖 27】



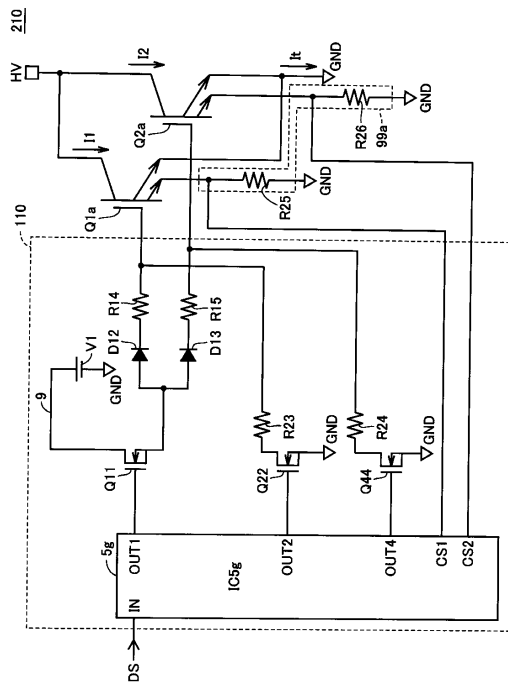
【図 28】



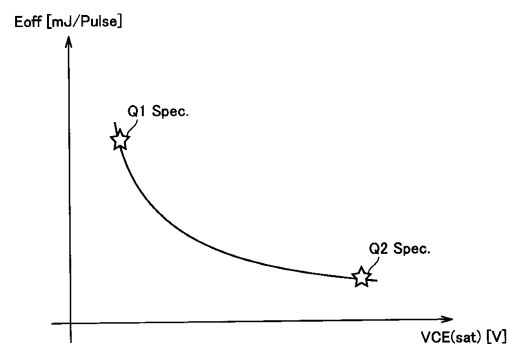
【図 29】



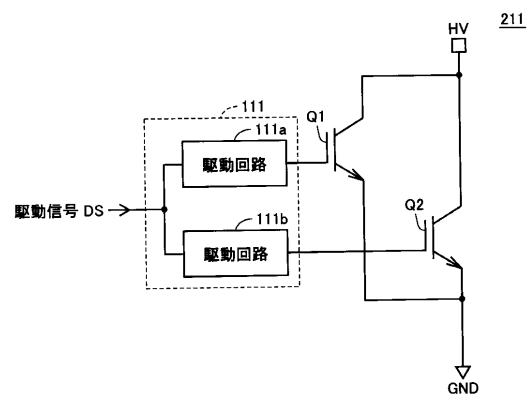
【図 30】



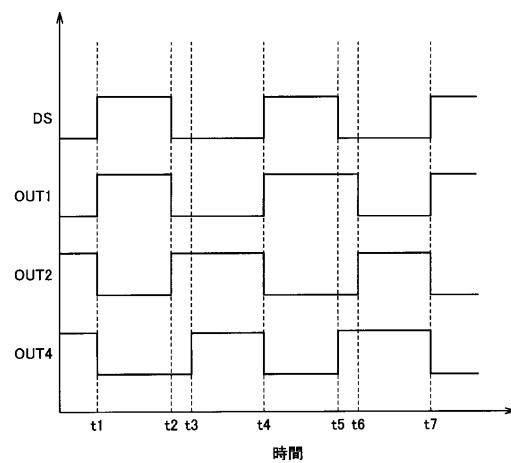
【図 31】



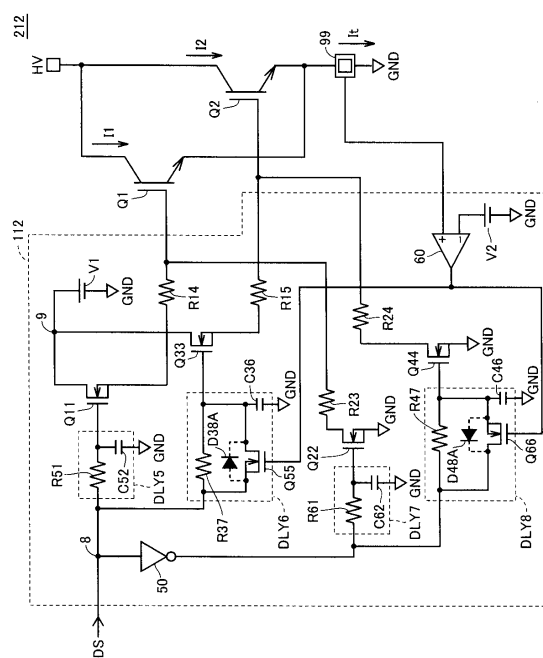
【図 32】



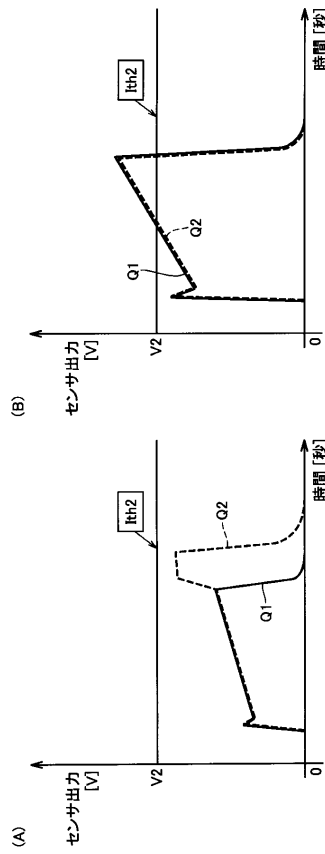
【 図 3 4 】



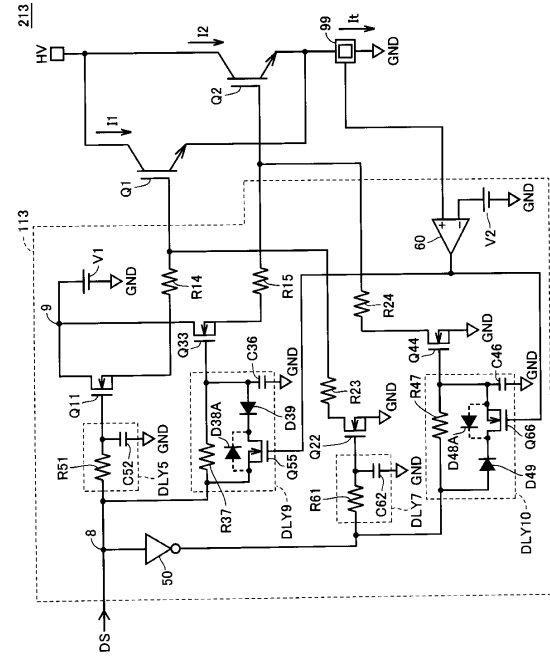
【 図 3 6 】



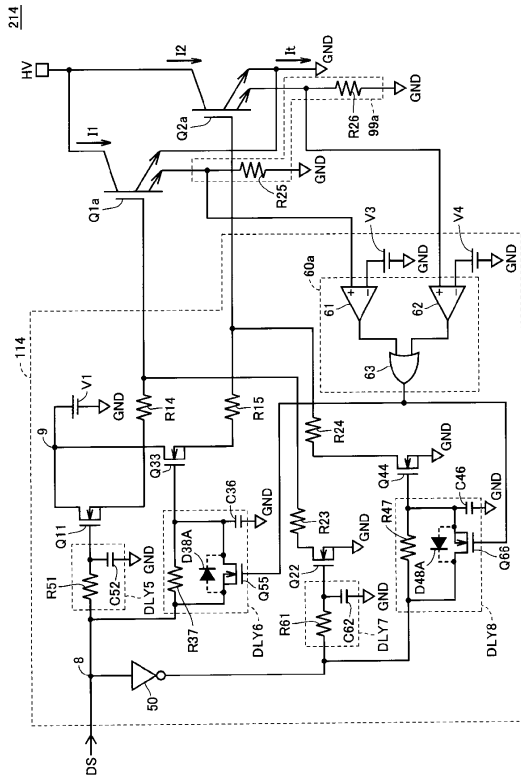
【図 37】



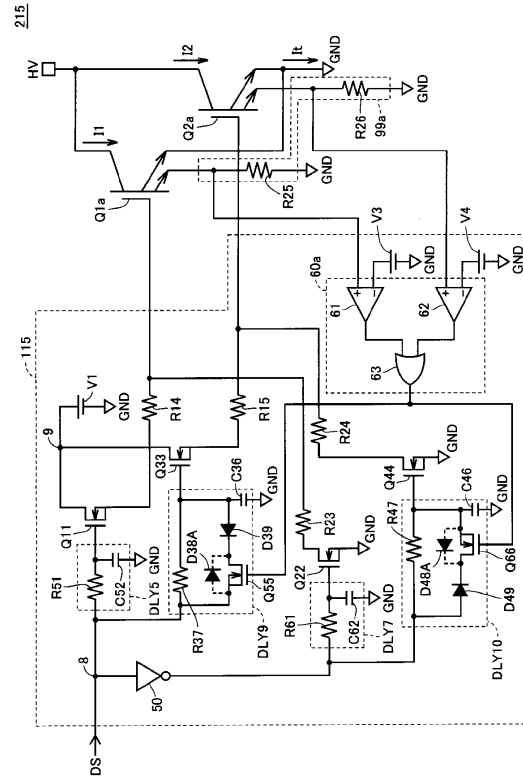
【図 38】



【図 39】



【図 40】



フロントページの続き

審査官 鈴木 重幸

- (56)参考文献 特開昭54-065351(JP,A)
特開2002-017080(JP,A)
特開昭61-072411(JP,A)
特開平05-268033(JP,A)
特開平05-327445(JP,A)
特開平06-090151(JP,A)

- (58)調査した分野(Int.Cl., DB名)
H02M 1/00 - 3/44
H02M 7/42 - 7/98
H03K17/00 - 17/98