

ČESKOSLOVENSKÁ
SOCIALISTICKÁ
REPUBLIKA
(19)



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU 200 582

K AUTORSKÉMU OSVĚDČENÍ

(61)

(23) Výstavní priorita
(22) Přihlášeno 25 02 75
(21) PV 1208 - 75

(11)

(B1)

(51) Int. Cl. G 11 C 11/00

(40) Zveřejněno 31 01 80
(45) Vydáno 30 04 83

(75)

Autor vynálezu BOGEK KAREL ing.CSc., BYSTRŽICE NAD OLŠÍ

(54) Paměť pro kombinovaný záznam

1

Předmětem vynálezu je zapojení logické sítě, která řeší kombinovaný záznam řetězcovitým uspořádáním paměťových obvodů, popřípadě dalších pomocných logických obvodů. V oblasti logických sítí jsou známa paměťová zapojení, která umožňují zápis logických signálů jednotlivě, popřípadě posloupnosti logických signálů a-nebo zápis posloupnosti kombinací logických signálů.

Zapojení podle vynálezu spojuje vlastnosti dříve uvedených zapojení pro zápis a řeší kombinovaný záznam podle předem nebo průběžně stanovené posloupnosti časových okamžiků určujících zápis a dále podle předem nebo průběžně stanovené posloupnosti časových okamžiků určujících způsob tohoto kombinovaného záznamu. Skládá se z obvodů, označovaných v dalším smluvně jako paměťový obvod, který představuje elementární paměťový obvod, například dvojkovou paměť se záznamovým vstupem a mazacím vstupem, s výstupem popřípadě s inverzním výstupem, paměťovou buňkou nebo jiný vhodný paměťový prvek pro záznam jednoho, popřípadě několika logických signálů, a dále se skládá z logických kombinačních obvodů s jedním nebo několika vstupy popřípadě pomocnými nebo vedlejšími vstupy, označovaných souhrnně jako pomocný logický obvod.

Podstata paměti pro kombinovaný záznam podle vynálezu, složené z paměťových obvodů, paměťových buněk nebo jiných paměťových prvků spojených v kaskádě za sebou přes pomocné logické obvody do řetězců spočívá v tom, že výstup jednoho paměťového obvodu jednoho řetězce

je spojen se vstupem jednoho pomocného logického obvodu přiřazeného tomuto paměťovému obvodu, jehož výstup je spojen s jedním vstupem druhého paměťového obvodu jednoho řetězce, popřípadě se vstupem druhého pomocného logického obvodu, přiřazeného tomuto paměťovému obvodu, jehož výstup je spojen s jedním vstupem druhého paměťového obvodu druhého řetězce se vstupem dalšího pomocného logického obvodu, přiřazeného tomuto paměťovému obvodu, jehož výstup je spojen s jedním vstupem dalšího paměťového obvodu dalšího řetězce, popřípadě výstup jednoho paměťového obvodu druhého řetězce je spojen se vstupem druhého pomocného logického obvodu, přiřazeného tomuto paměťovému obvodu, jehož výstup je spojen s výhodou v pořadí s druhým vstupem druhého paměťového obvodu jednoho řetězce, popřípadě se vstupem druhého pomocného logického obvodu, přiřazeného tomuto paměťovému obvodu, jehož výstup je spojen s výhodou v pořadí s dalším vstupem druhého paměťového obvodu druhého řetězce, případně se vstupem dalšího pomocného logického obvodu, přiřazeného tomuto paměťovému obvodu, jehož výstup je spojen s výhodou v pořadí s dalším vstupem druhého paměťového obvodu dalšího řetězce, případně výstup jednoho paměťového obvodu dalšího řetězce je spojen se vstupem dalšího pomocného logického obvodu, přiřazeného tomuto paměťovému obvodu, jehož výstup je spojen s výhodou v pořadí s dalším vstupem druhého paměťového obvodu jednoho řetězce, popřípadě se vstupem druhého pomocného logického obvodu, přiřazeného tomuto paměťovému obvodu, jehož výstup je spojen s jedním vstupem dalšího paměťového obvodu jednoho řetězce, popřípadě se vstupem druhého pomocného logického obvodu, přiřazeného tomuto paměťovému obvodu, jehož výstup je spojen s výhodou v pořadí s dalším vstupem druhého paměťového obvodu druhého řetězce, případně se vstupem dalšího pomocného logického obvodu, přiřazeného tomuto paměťovému obvodu, jehož výstup je spojen s výhodou v pořadí s dalším vstupem druhého paměťového obvodu dalšího řetězce, popřípadě výstup druhého paměťového obvodu jednoho řetězce je spojen se vstupem druhého pomocného logického obvodu, přiřazeného tomuto paměťovému obvodu, jehož výstup je spojen s výhodou v pořadí s dalším vstupem druhého paměťového obvodu druhého řetězce, případně se vstupem dalšího pomocného logického obvodu, přiřazeného tomuto paměťovému obvodu, jehož výstup je spojen s výhodou v pořadí s dalším vstupem dalšího paměťového obvodu jednoho řetězce, popřípadě se vstupem druhého pomocného logického obvodu, přiřazeného tomuto paměťovému obvodu, jehož výstup je spojen s výhodou v pořadí s dalším vstupem dalšího paměťového obvodu druhého řetězce, případně se vstupem dalšího pomocného logického obvodu, přiřazeného tomuto paměťovému obvodu, jehož výstup je spojen s výhodou v pořadí s dalším vstupem dalšího paměťového obvodu

dalšího řetězce.

Předností paměti podle vynálezu je skutečnost, že umožňuje kombinovaný záznam podle předem nebo průběžně stanovené posloupnosti časových okamžiků určujících zápis a dále postupný kombinovaný záznam do dalších paměťových obvodů řetězců, a to posloupnosti logických signálů nebo posloupnosti skupin logických signálů, kterýžto kombinovaný záznam se uskutečňuje pouhými řídicími logickými signály ne vedlejších vstupech pomocných logických obvodů přiřazených řetězců.

Paměť podle vynálezu je v příkladném provedení znázorněna na přiloženém výkrese.

Na výkrese jsou paměťové obvody řetězců spojeny v kaskádě za sebou přes pomocné logické obvody, že výstup $\langle A_1 \rangle$ jednoho paměťového obvodu jednoho řetězce A_1 je spojen se vstupem 1_{x_1} jednoho pomocného logického obvodu 1_{x_1} , přiřazeného tomuto paměťovému obvodu A_1 , jehož výstup $\langle 1_{x_1} \rangle$ je spojen s jedním vstupem 1_{b_1} druhého paměťového obvodu jednoho řetězce B_1 , popřípadě se vstupem 2_{x_1} druhého pomocného logického obvodu 2_{x_1} , přiřazeného tomuto paměťovému obvodu A_1 , jehož výstup $\langle 2_{x_1} \rangle$ je spojen s jedním vstupem 1_{b_2} druhého paměťového obvodu druhého řetězce B_2 , případně se vstupem K_{x_1} dalšího pomocného logického obvodu K_{x_1} , přiřazeného tomuto paměťovému obvodu A_1 , jehož výstup $\langle K_{x_1} \rangle$ je spojen s jedním vstupem 1_{b_K} dalšího paměťového obvodu dalšího řetězce B_K .

Výstup $\langle A_2 \rangle$ jednoho paměťového obvodu druhého řetězce A_2 je spojen se vstupem 1_{x_2} druhého pomocného logického obvodu 1_{x_2} , přiřazeného tomuto paměťovému obvodu A_2 , jehož výstup $\langle 1_{x_2} \rangle$ je spojen s výhodou v pořadí s druhým vstupem 2_{b_1} druhého paměťového obvodu jednoho řetězce B_1 , popřípadě se vstupem $\langle 2_{x_2} \rangle$ druhého pomocného logického obvodu $\langle 2_{x_2} \rangle$, přiřazeného tomuto paměťovému obvodu A_2 , jehož výstup $\langle 2_{x_2} \rangle$ je spojen s výhodou v pořadí s druhým vstupem 2_{b_2} druhého paměťového obvodu druhého řetězce B_2 , případně se vstupem K_{x_2} dalšího pomocného logického obvodu K_{x_2} , přiřazeného tomuto paměťovému obvodu A_2 , jehož výstup K_{x_2} je spojen s výhodou v pořadí s druhým vstupem 2_{b_K} druhého paměťového obvodu dalšího řetězce B_K .

Výstup $\langle A_K \rangle$ jednoho paměťového obvodu dalšího řetězce A_K je spojen se vstupem 1_{x_K} dalšího pomocného logického obvodu 1_{x_K} přiřazeného tomuto paměťovému obvodu A_K , jehož výstup $\langle 1_{x_K} \rangle$ je spojen s výhodou v pořadí s dalším vstupem K_{b_1} druhého paměťového obvodu jednoho řetězce B_1 , popřípadě se vstupem 2_{x_K} druhého pomocného obvodu 2_{x_K} , přiřazeného tomuto paměťovému obvodu A_K , jehož výstup $\langle 2_{x_K} \rangle$ je spojen, s výhodou v pořadí s dalším vstupem K_{b_2} druhého paměťového obvodu druhého řetězce B_2 , případně se vstupem K_{x_K} dalšího pomocného logického obvodu K_{x_K} přiřazeného tomuto paměťovému obvodu $\langle K_{x_K} \rangle$ je spojen s výhodou v pořadí s dalším vstupem K_{b_K} druhého paměťového obvodu dalšího řetězce B_K .

Výstup $\langle B_1 \rangle$ druhého paměťového obvodu jednoho řetězce B_1 je spojen se vstupem 1_{y_1} jednoho pomocného logického obvodu 1_{x_1} přiřazeného tomuto paměťovému obvodu B_1 , jehož výstup $\langle 1_{y_1} \rangle$ je spojen s jedním vstupem 1_{c_1} dalšího paměťového obvodu jednoho řetězce 1 , popřípadě se vstupem 2_{y_1} druhého pomocného logického obvodu 2_{y_1} přiřazeného tomuto paměťovému obvodu B_1 , jehož výstup $\langle 2_{y_1} \rangle$ je spojen s jedním vstupem 1_{c_2} dalšího paměťového obvodu druhého řetězce C_2 , případně se vstupem K_{y_1} dalšího pomocného logického

dalšího řetězce.

Předností paměti podle vynálezu je skutečnost, že umožňuje kombinovaný záznam podle předem nebo průběžně stanovené posloupnosti časových okamžiků určujících zápis a dále postupný kombinovaný záznam do dalších paměťových obvodů řetězců, a to posloupnosti logických signálů nebo posloupnosti skupin logických signálů, kterýžto kombinovaný záznam se uskutečňuje pouhými řídicími logickými signály ne vedlejších vstupech pomocných logických obvodů přiřazených řetězců.

Paměť podle vynálezu je v příkladném provedení znázorněna na přiloženém výkrese.

Na výkrese jsou paměťové obvody řetězců spojeny v kaskádě za sebou přes pomocné logické obvody, že výstup $\langle A_1 \rangle$ jednoho paměťového obvodu jednoho řetězce A_1 je spojen se vstupem $1x_1$ jednoho pomocného logického obvodu $1x_1$, přiřazeného tomuto paměťovému obvodu A_1 , jehož výstup $\langle 1x_1 \rangle$ je spojen s jedním vstupem $1b_1$ druhého paměťového obvodu jednoho řetězce B_1 , popřípadě se vstupem $2x_1$ druhého pomocného logického obvodu $2x_1$, přiřazeného tomuto paměťovému obvodu A_1 , jehož výstup $\langle 2x_1 \rangle$ je spojen s jedním vstupem $1b_2$ druhého paměťového obvodu druhého řetězce B_2 , případně se vstupem Kx_1 dalšího pomocného logického obvodu Kx_1 , přiřazeného tomuto paměťovému obvodu A_1 , jehož výstup $\langle Kx_1 \rangle$ je spojen s jedním vstupem $1b_K$ dalšího paměťového obvodu dalšího řetězce B_K .

Výstup $\langle A_2 \rangle$ jednoho paměťového obvodu druhého řetězce A_2 je spojen se vstupem $1x_2$ druhého pomocného logického obvodu $1x_2$, přiřazeného tomuto paměťovému obvodu A_2 , jehož výstup $\langle 1x_2 \rangle$ je spojen s výhodou v pořadí s druhým vstupem $2b_1$ druhého paměťového obvodu jednoho řetězce B_1 , popřípadě se vstupem $\langle 2x_2 \rangle$ druhého pomocného logického obvodu $\langle 2x_2 \rangle$, přiřazeného tomuto paměťovému obvodu A_2 , jehož výstup $\langle 2x_2 \rangle$ je spojen s výhodou v pořadí s druhým vstupem $2b_2$ druhého paměťového obvodu druhého řetězce B_2 , případně se vstupem Kx_2 dalšího pomocného logického obvodu Kx_2 , přiřazeného tomuto paměťovému obvodu A_2 , jehož výstup Kx_2 je spojen s výhodou v pořadí s druhým vstupem $2b_K$ druhého paměťového obvodu dalšího řetězce B_K .

Výstup $\langle A_K \rangle$ jednoho paměťového obvodu dalšího řetězce A_K je spojen se vstupem $1x_K$ dalšího pomocného logického obvodu $1x_K$ přiřazeného tomuto paměťovému obvodu A_K , jehož výstup $\langle 1x_K \rangle$ je spojen s výhodou v pořadí s dalším vstupem Kb_1 druhého paměťového obvodu jednoho řetězce B_1 , popřípadě se vstupem $2x_K$ druhého pomocného obvodu $2x_K$, přiřazeného tomuto paměťovému obvodu A_K , jehož výstup $\langle 2x_K \rangle$ je spojen, s výhodou v pořadí s dalším vstupem Kb_2 druhého paměťového obvodu druhého řetězce B_2 , případně se vstupem Kx_K dalšího pomocného logického obvodu Kx_K přiřazeného tomuto paměťovému obvodu $\langle Kx_K \rangle$ je spojen s výhodou v pořadí s dalším vstupem Kb_K druhého paměťového obvodu dalšího řetězce B_K .

Výstup $\langle B_1 \rangle$ druhého paměťového obvodu jednoho řetězce B_1 je spojen se vstupem $1y_1$ jednoho pomocného logického obvodu $1x_1$ přiřazeného tomuto paměťovému obvodu B_1 , jehož výstup $\langle 1y_1 \rangle$ je spojen s jedním vstupem $1c_1$ dalšího paměťového obvodu jednoho řetězce C_1 , popřípadě se vstupem $2y_1$ druhého pomocného logického obvodu $2y_1$ přiřazeného tomuto paměťovému obvodu B_1 , jehož výstup $\langle 2y_1 \rangle$ je spojen s jedním vstupem $1c_2$ dalšího paměťového obvodu druhého řetězce C_2 , případně se vstupem Ky_1 dalšího pomocného logického

nál předem zvolené logické hodnoty, který uvolňuje průchod výstupních signálů z výstupů paměťových obvodů B_1, B_2 přes vstupy ${}^2y_1, {}^1y_2$ pomocných logických obvodů ${}^2y_1, {}^1y_2$ na jejich výstupy $\langle {}^2y_1 \rangle, \langle {}^1y_2 \rangle$ a vstupy připojených logických paměťových obvodů, a sice dalšího paměťového obvodu jednoho řetězce C_1 a dalšího paměťového obvodu druhého řetězce C_2 .

Sled tkou signálů je tedy následující :

$$A_1 \longrightarrow B_2 \longrightarrow C_1,$$

$$A_K \longrightarrow B_1 \longrightarrow C_2,$$

přičemž písmeny jsou označeny vstupní signály zapsané v příslušných paměťových obvodech, což představuje kombinovaný záznam těchto vstupních signálů.

Při použití paměťových prvků pro záznam několika logických signálů jako paměťových obvodů, a sice s vícenásobnými vstupy a s vícenásobnými výstupy a při použití pomocných logických obvodů s vícenásobnými vstupy a s vícenásobnými výstupy se obdobně uskutečňuje kombinovaný záznam skupin vstupních logických signálů. Přitom každá skupina vstupních signálů představuje např. vstupní informaci vyjádřenou pomocí kombinace několika logických signálů, obsažených v této skupině vstupních logických signálů.

Uplatnění paměti podle vynálezu je zejména v oblasti syntézy složitých logických obvodů řídicích soustav.

Bezprostřední uplatnění je např. ve výrobních linkách, kde informace o výrobku postupující z jednoho pracovního místa nebo výrobního úseku na další, a zejména při kombinovaném uspořádání výrobní linky složené z výrobních úseků se zapisuje ve tvaru vždy jednoho logického signálu nebo jedné skupiny logických signálů kombinovaně do příslušných paměťových obvodů v předem nebo průběžně stanovených časových okamžicích, např. odpovídajících příchodu příslušného výrobku do dalšího výrobního úseku.

Předností tohoto uplatnění je zejména jednoduchost, přehlednost a snadná realizovatelnost, bez nároků na složité a drahé univerzální řídicí systémy z oblasti číslicové a výpočetní techniky.

PŘEDMĚT VYNÁLEZU

1. Paměť pro kombinovaný záznam, složená z paměťových obvodů, paměťových buněk nebo jiných paměťových prvků spojených v kaskádě za sebou přes pomocné logické obvody do řetězců, vyznačena tím, že výstup ($\langle A_1 \rangle$) jednoho paměťového obvodu jednoho řetězce (A_1) je spojen se vstupem (1x_1) přiřazeného tomuto paměťovému obvodu (A_1), jehož výstup ($\langle {}^1x_1 \rangle$) je spojen s jedním vstupem (1b_1) druhého paměťového obvodu jednoho řetězce (B_1), popřípadě se vstupem (2x_1) druhého pomocného logického obvodu (2x_1), přiřazeného tomuto paměťovému obvodu (A_1), jehož výstup ($\langle {}^2x_1 \rangle$) je spojen s jedním vstupem (1b_2) druhého paměťového obvodu druhého řetězce (B_2), případně se vstupem (Kx_1) dalšího pomocného logického obvodu (Kx_1), přiřazeného tomuto paměťovému obvodu (A_1), jehož výstup ($\langle {}^Kx_1 \rangle$) je spojen s jedním vstupem (1b_K) dalšího paměťového obvodu dalšího řetězce (B_K), popřípadě výstup ($\langle A_2 \rangle$) jednoho paměťového obvodu druhého řetězce (A_2) je spojen se vstupem (1x_2) druhého pomocného logického obvodu

$(^1x_2)$, přiřazeného tomuto paměťovému obvodu (A_2), jehož výstup ($\langle ^1x_2 \rangle$) je spojen s výhodou v pořadí s druhým vstupem (2b_1) druhého paměťového obvodu jednoho řetězce (B_1), popřípadě se vstupem (2x_2) druhého pomocného logického obvodu (2x_2), přiřazeného tomuto paměťovému obvodu (A_2), jehož výstup ($\langle ^2x_2 \rangle$) je spojen s výhodou v pořadí s druhým vstupem (2b_2) druhého paměťového obvodu (1x_2), přiřazeného tomuto paměťovému obvodu (A_2), jehož výstup ($\langle ^1x_2 \rangle$) je spojen s výhodou v pořadí s druhým vstupem (2b_1) druhého paměťového obvodu jednoho řetězce (B_1), popřípadě se vstupem (2x_2) druhého pomocného logického obvodu (2x_2), přiřazeného tomuto paměťovému obvodu (A_2), jehož výstup ($\langle ^2x_2 \rangle$) je spojen s výhodou v pořadí s druhým vstupem (2b_2) druhého paměťového obvodu druhého řetězce (B_2), případně se vstupem (Kx_2) dalšího pomocného logického obvodu (Kx_2), přiřazeného tomuto paměťovému obvodu (A_2), jehož výstup ($\langle ^Kx_2 \rangle$) je spojen s výhodou v pořadí s druhým vstupem (2b_K) druhého paměťového obvodu dalšího řetězce (B_K), případně výstup ($\langle ^Kx_2 \rangle$) jednoho paměťového obvodu dalšího řetězce (A_K) je spojen se vstupem (1x_K) dalšího pomocného logického obvodu (1x_K) přiřazeného tomuto paměťovému obvodu (A_K), jehož výstup ($\langle ^1x_K \rangle$) je spojen s výhodou v pořadí s dalším vstupem (Kb_1) druhého paměťového obvodu jednoho řetězce (B_1), popřípadě se vstupem (2x_K) druhého pomocného logického obvodu (2x_K), přiřazeného tomuto paměťovému obvodu (A_K), jehož výstup ($\langle ^2x_K \rangle$) je spojen s výhodou v pořadí s dalším vstupem (Kb_2) druhého paměťového obvodu druhého řetězce (B_2), případně se vstupem (Kx_K) dalšího pomocného logického obvodu (Kx_K) přiřazeného tomuto paměťovému obvodu (A_K), jehož výstup ($\langle ^Kx_K \rangle$) je spojen s výhodou v pořadí s dalším vstupem (Kb_K) druhého paměťového obvodu dalšího řetězce (B_K), popřípadě výstup ($\langle B_1 \rangle$) druhého paměťového obvodu jednoho řetězce (B_1) je spojen se vstupem (1y_1) jednoho pomocného logického obvodu (1y_1), přiřazeného tomuto paměťovému obvodu (B_1), jehož výstup ($\langle ^1y_1 \rangle$) je spojen s jedním vstupem (1c_1) dalšího paměťového obvodu jednoho řetězce (C_1), popřípadě se vstupem (2y_1) druhého pomocného logického obvodu (2y_1), přiřazeného tomuto paměťovému obvodu (B_1), jehož výstup ($\langle ^2y_1 \rangle$) je spojen s jedním vstupem (1c_2) dalšího paměťového obvodu druhého řetězce (C_2), případně se vstupem (Ky_1) dalšího pomocného logického obvodu (Ky_1), přiřazeného tomuto paměťovému obvodu (B_1), jehož výstup ($\langle ^Ky_1 \rangle$) je spojen s jedním vstupem (1c_K) dalšího paměťového obvodu dalšího řetězce (C_K), popřípadě výstup ($\langle B_2 \rangle$) druhého paměťového obvodu druhého řetězce (B_2) je spojen se vstupem (1y_2) druhého pomocného logického obvodu (1y_2), přiřazeného tomuto paměťovému obvodu (B_2), jehož výstup ($\langle ^1y_2 \rangle$) je spojen s výhodou v pořadí s druhým vstupem (2c_1) dalšího paměťového obvodu jednoho řetězce (C_1), popřípadě se vstupem (2y_2) druhého pomocného logického obvodu (2y_2) přiřazeného tomuto paměťovému obvodu (B_2), jehož výstup ($\langle ^2y_2 \rangle$) je spojen s výhodou v pořadí s druhým vstupem (2c_2) dalšího paměťového obvodu druhého řetězce (C_2), případně se vstupem (Ky_2) dalšího pomocného logického obvodu (Ky_2), přiřazeného tomuto paměťovému obvodu (B_2), jehož výstup ($\langle ^Ky_2 \rangle$) je spojen s výhodou v pořadí s druhým vstupem (2c_K) dalšího paměťového obvodu dalšího řetězce (C_K), případně výstup ($\langle B_K \rangle$) druhého paměťového obvodu dalšího řetězce (B_K) je spojen se vstupem (1y_K) dalšího pomocného logického

obvodu (1Y_K), přiřazeného tomuto paměťovému obvodu (B_K), jehož výstup ($<^1Y_K>$) je spojen s výhodou v pořadí s dalším vstupem (Kc_1) dalšího paměťového obvodu jednoho řetězce (C_1), popřípadě se vstupem (2y_K) druhého pomocného logického obvodu (2Y_K) přiřazeného tomuto paměťovému obvodu (C_K), jehož výstup ($<^2Y_K>$) je spojen s výhodou v pořadí s dalším vstupem (Kc_2) dalšího paměťového obvodu druhého řetězce (C_2), případně se vstupem (Ky_K) dalšího pomocného logického obvodu (KY_K), přiřazeného tomuto paměťovému obvodu (B_K), jehož výstup ($<^{KY_K}>$) je spojen s výhodou v pořadí s dalším vstupem (Kb_K) dalšího paměťového obvodu dalšího řetězce (C_K).

1 výkres

