

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号
特許第5899454号
(P5899454)

(45) 発行日 平成28年4月6日(2016.4.6)

(24) 登録日 平成28年3月18日(2016.3.18)

(51) Int.Cl.

F I

HO2M 7/487 (2007.01)

HO2M 7/48 (2007.01)

HO2M 7/487

HO2M 7/48

F

請求項の数 8 (全 25 頁)

(21) 出願番号	特願2013-546971 (P2013-546971)	(73) 特許権者	314012076
(86) (22) 出願日	平成24年11月15日 (2012.11.15)		パナソニックIPマネジメント株式会社
(86) 国際出願番号	PCT/JP2012/007320		大阪府大阪市中央区城見2丁目1番61号
(87) 国際公開番号	W02013/080465	(74) 代理人	100105957
(87) 国際公開日	平成25年6月6日 (2013.6.6)		弁理士 恩田 誠
審査請求日	平成27年2月23日 (2015.2.23)	(74) 代理人	100068755
(31) 優先権主張番号	特願2011-262404 (P2011-262404)		弁理士 恩田 博宣
(32) 優先日	平成23年11月30日 (2011.11.30)	(72) 発明者	木寺 和憲
(33) 優先権主張国	日本国 (JP)		大阪府門真市大字門真1006番地 パナソニック株式会社 内
		(72) 発明者	西 真理子
			大阪府門真市大字門真1006番地 パナソニック株式会社 内
		審査官	松本 泰典
			最終頁に続く

(54) 【発明の名称】 インバータ装置の制御方法及びインバータ装置

(57) 【特許請求の範囲】

【請求項1】

インバータ装置の制御方法であって、

該インバータ装置は、複数のレベルの第1出力電圧を生成可能な第1のインバータと、前記第1のインバータと並列に接続され、複数のレベルの第2出力電圧を生成可能な第2のインバータと、前記第1出力電圧及び前記第2出力電圧を合成して正弦波形を有する出力電圧を生成するフィルター回路と、前記第1のインバータ及び前記第2のインバータを制御して、前記フィルター回路にて予め定められた正弦波形を有する出力電圧が生成されるように、前記第1のインバータに複数のレベルの第1出力電圧を生成させ、前記第2のインバータに複数のレベルの第2出力電圧を生成させる制御回路とを含み、

前記制御回路により、第1出力電圧のレベルを切り替えるように前記第1のインバータを高周波でデューティー制御すること、

前記制御回路により、第2出力電圧のレベルを切り替えるように前記第2のインバータを制御すること

を備え、

前記第2のインバータを制御することは、前記第2のインバータが前記第2出力電圧のレベルを切り替える時に、前記第2のインバータを高周波でデューティー制御することを含み、

前記制御回路により、前記第2のインバータを高周波でデューティー制御している間、前記高周波でデューティー制御されている前記第1のインバータのデューティー制御を停

止させることを備える、インバータ装置の制御方法。

【請求項 2】

請求項 1 に記載のインバータ装置の制御方法において、

前記第 1 及び第 2 のインバータの各々は、3 レベルインバータであり、直列接続され、かつ直流電圧を等分に分担する第 1 コンデンサと第 2 コンデンサとの間の接続点に接続されており、

前記第 1 及び第 2 のインバータが、前記接続点における電圧を用いて、3 レベルの前記第 1 及び第 2 出力電圧を生成することを備える、インバータ装置の制御方法。

【請求項 3】

インバータ装置であって、

複数のレベルの第 1 出力電圧を生成可能な第 1 のインバータと、

前記第 1 のインバータと並列に接続され、複数のレベルの第 2 出力電圧を生成可能な第 2 のインバータと、

前記第 1 のインバータ及び前記第 2 のインバータに接続され、前記第 1 出力電圧及び前記第 2 出力電圧を合成して正弦波形を有する出力電圧を生成するフィルター回路と、

前記第 1 のインバータ及び前記第 2 のインバータを制御して、前記フィルター回路にて予め定められた正弦波形を有する出力電圧が生成されるように、前記第 1 のインバータに複数のレベルの第 1 出力電圧を生成させ、前記第 2 のインバータに複数のレベルの第 2 出力電圧を生成させる制御回路と

を備え、

前記制御回路は、前記第 1 出力電圧のレベルを切り替えるように前記第 1 のインバータを高周波でデューティ制御するとともに、前記第 2 出力電圧のレベルを切り替えるように前記第 2 のインバータを制御し、

前記制御回路は、前記第 2 のインバータが前記第 2 出力電圧のレベルを切り替える時に、前記第 2 のインバータを高周波でデューティ制御し、

前記制御回路は、前記第 2 のインバータを高周波でデューティ制御している間、前記高周波でデューティ制御させている前記第 1 のインバータのデューティ制御を停止させる、インバータ装置。

【請求項 4】

インバータ装置であって、

複数のレベルの第 1 出力電圧を生成可能な第 1 のインバータと、

前記第 1 のインバータと並列に接続され、複数のレベルの第 2 出力電圧を生成可能な第 2 のインバータと、

前記第 1 のインバータ及び前記第 2 のインバータに接続され、前記第 1 出力電圧及び前記第 2 出力電圧を合成して正弦波形を有する出力電圧を生成するフィルター回路と、

前記第 1 のインバータ及び前記第 2 のインバータを制御して、前記フィルター回路にて予め定められた正弦波形を有する出力電圧が生成されるように、前記第 1 のインバータに複数のレベルの第 1 出力電圧を生成させ、前記第 2 のインバータに複数のレベルの第 2 出力電圧を生成させる制御回路と

を備え、

前記制御回路は、前記第 1 出力電圧のレベルを切り替えるように前記第 1 のインバータを高周波でデューティ制御するとともに、前記第 2 出力電圧のレベルを切り替えるように前記第 2 のインバータを制御し、

前記制御回路は、前記第 2 のインバータが前記第 2 出力電圧のレベルを切り替える時に、前記第 2 のインバータを高周波でデューティ制御し、

前記制御回路は、

前記第 2 のインバータを高周波でデューティ制御している間、前記第 1 のインバータを高周波でデューティ制御する第 1 制御モードと、

前記第 2 のインバータを高周波でデューティ制御している間、前記第 1 のインバータのデューティ制御を停止させる第 2 制御モードと

10

20

30

40

50

を有している、インバータ装置。

【請求項 5】

請求項 3 又は 4 に記載のインバータ装置において、

直列接続され、かつ直流電圧を等分に分担する第 1 コンデンサと第 2 コンデンサとを備え、前記第 1 及び第 2 のインバータの各々は、3 レベルインバータであり、かつ前記第 1 コンデンサと前記第 2 コンデンサとの間の接続点に接続され、前記第 1 及び第 2 のインバータは、前記接続点における電圧を用いて、3 レベルの前記第 1 及び第 2 出力電圧を生成する、インバータ装置。

【請求項 6】

請求項 4 に記載のインバータ装置において、

直列接続され、かつ直流電圧を等分に分担する第 1 コンデンサと第 2 コンデンサとを備え、前記制御回路は、前記第 1 コンデンサと前記第 2 コンデンサとの間の接続点における電圧に基づいて、制御モードを前記第 1 制御モード及び前記第 2 制御モードのいずれかに切り替える、インバータ装置。

【請求項 7】

請求項 5 又は 6 に記載のインバータ装置において、

前記制御回路は、前記第 1 コンデンサと前記第 2 コンデンサとの間の接続点の電圧に基づいて、前記第 2 のインバータの高周波でのデューティ制御を開始し、前記第 2 のインバータを高周波でデューティ制御している間、前記第 1 のインバータのデューティ制御を停止させる、インバータ装置。

【請求項 8】

請求項 5 ~ 7 のいずれか 1 つに記載のインバータ装置において、

前記第 1 及び第 2 のインバータの各々は、

直列に接続された 4 個のスイッチング素子を含む第 1 の直列回路と、

直列に接続された 2 個のクランプダイオードを含む第 2 の直列回路と

を含み、

前記 4 個のスイッチング素子は、上側アーム側の 2 個のスイッチング素子と、下側アーム側の 2 個のスイッチング素子とを含み、前記 2 個のクランプダイオードは、上側アーム側のクランプダイオードと、下側アーム側のクランプダイオードとを含み、

上側アーム側のクランプダイオードは、前記上側アーム側の 2 個のスイッチング間の接続点に接続されたカソード端子を有し、前記下側アーム側のクランプダイオードは、前記下側アーム側の 2 個のスイッチング素子間の接続点に接続されたアノード端子を有し、

前記 2 個のクランプダイオード間の接続点に、前記第 1 コンデンサと前記第 2 コンデンサとの間の接続点が接続され、前記上側アーム側の 2 個のスイッチング素子と前記下側アーム側の 2 個のスイッチング素子との間の接続点に前記フィルター回路が接続される、インバータ装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、インバータ装置の制御方法及びインバータ装置に関するものである。

【背景技術】

【0002】

近年、マルチレベルインバータを含むインバータ装置は、インバータモータや太陽光発電システムにおけるパワーコンディショナーに益々利用されている（例えば、特許文献 1）。殊に、3 レベルインバータは、2 レベルインバータに比べて低い耐圧のスイッチング素子を用いることができることから、注目されている。

【0003】

3 レベルインバータは、直列に接続された 4 個のスイッチング素子と、直列接続された 2 個のクランプダイオードとを含む。4 個のスイッチング素子からなる直列回路は、直流電源の電圧を分担する直列に接続された 2 個のコンデンサに対して並列に接続されている

10

20

30

40

50

。そして、４個のスイッチング素子の内、正極側の２個のスイッチング素子を上側アームのスイッチング素子といい、負極側の２個のスイッチング素子を下側アームのスイッチング素子という。

【０００４】

また、２個のクランプダイオードの接続点は、２個のコンデンサの接続点と接続されている。一方、正極側のクランプダイオードのカソード端子は、上側アームの２個のスイッチング素子の接続点に接続されている。負極側のクランプダイオードのアノード端子は、下側アームの２個のスイッチング素子の接続点に接続されている。

【０００５】

そして、４個のスイッチング素子のオン・オフを切り替えることによって、インバータ装置は、上側アームと下側アームとの接続点において、３レベルの出力電圧を生成する。

【０００６】

ところで、並列に接続された２個の３レベルインバータを含むインバータ装置も提案されている。このインバータ装置は、２個の３レベルインバータの上側アームと下側アームの接続点から出力された２つの３レベルの出力電圧を、フィルター回路に供給し、そのフィルター回路にて２つの３レベルの出力電圧を合成して正弦波を作ることができる。

【先行技術文献】

【特許文献】

【０００７】

【特許文献１】特開２００２－１９９７３８号公報

【発明の概要】

【発明が解決しようとする課題】

【０００８】

ところで、この種の３レベルインバータは、直流電源の電圧を分担する直列に接続された２個のコンデンサにて等分に分割された電圧を受信し、該電圧から３レベルの出力電圧を生成することから、コンデンサの容量が出力電力に対して、十分に大きな値を有する必要があった。その結果、コンデンサが大型化しインバータ装置が大型化する問題があった。

【０００９】

また、出力レベルを段階的に切り替える時に生じる出力波形の歪みを抑えるために、フィルター回路に設けられているＡＣ（交流）リアクトルを大きくする必要があった。その結果、ＡＣリアクトルが大型化しインバータ装置が大型化する問題があった。

【００１０】

複数個の並列に接続された３レベルインバータを含むインバータ装置においては、一方の３レベルインバータを高周波動作させ、他方の３レベルインバータを低周波動作させて、その出力の差分を出力電圧として用いて出力電圧を増加させる。この方法によって、電流を平滑化するＡＣリアクトルを小型化したり、低周波動作する３レベルインバータのスイッチング回数を減らしたりして、スイッチングロスを少なくしインバータ装置の動作を高効率化することができる。

【００１１】

しかし、上記インバータ装置において、出力レベルを段階的に切り替える時には、その出力波形に歪みが発生していた。また、この種のインバータ装置においても、直流電源の電圧を分担する２個のコンデンサの値を大きくする必要があり、コンデンサの大型化、ひいては、インバータ装置の大型化につながっていた。

【００１２】

本発明は、上記問題を解決するためになされたものであり、その目的は、出力波形の歪みを小さくでき、しかも、高効率で、小型化を実現できるインバータ装置の制御方法及びインバータ装置を提供することにある。

【課題を解決するための手段】

【００１３】

10

20

30

40

50

上記課題を解決するために、本発明の第 1 の側面によれば、インバータ装置の制御方法であって、該インバータ装置は、複数のレベルの第 1 出力電圧を生成可能な第 1 のインバータと、前記第 1 のインバータと並列に接続され、複数のレベルの第 2 出力電圧を生成可能な第 2 のインバータと、前記第 1 出力電圧及び前記第 2 出力電圧を合成して正弦波形を有する出力電圧を生成するフィルター回路と、前記第 1 のインバータ及び前記第 2 のインバータを制御して、前記フィルター回路にて予め定められた正弦波形を有する出力電圧が生成されるように、前記第 1 のインバータに複数のレベルの第 1 出力電圧を生成させ、前記第 2 のインバータに複数のレベルの第 2 出力電圧を生成させる制御回路とを含み、前記制御回路により、第 1 出力電圧のレベルを切り替えるように前記第 1 のインバータを高周波でデューティー制御すること、前記制御回路により、第 2 出力電圧のレベルを切り替えるように前記第 2 のインバータを制御することを備え、前記第 2 のインバータを制御することは、前記第 2 のインバータが前記第 2 出力電圧のレベルを切り替える時に、前記第 2 のインバータを高周波でデューティー制御することを含み、前記制御回路により、前記第 2 のインバータを高周波でデューティー制御している間、前記高周波でデューティー制御されている前記第 1 のインバータのデューティー制御を停止させることを備える、インバータ装置の制御方法が提供される。

10

【0015】

また、上記方法において、前記第 1 及び第 2 のインバータの各々は、3 レベルインバータであり、直列接続され、かつ直流電圧を等分に分担する第 1 コンデンサと第 2 コンデンサとの間の接続点に接続されており、前記第 1 及び第 2 のインバータが、前記接続点における電圧を用いて、3 レベルの前記第 1 及び第 2 出力電圧を生成することを備えることが好ましい。

20

【0016】

上記課題を解決するために、本発明の第 2 の側面によれば、インバータ装置であって、複数のレベルの第 1 出力電圧を生成可能な第 1 のインバータと、前記第 1 のインバータと並列に接続され、複数のレベルの第 2 出力電圧を生成可能な第 2 のインバータと、前記第 1 のインバータ及び前記第 2 のインバータに接続され、前記第 1 出力電圧及び前記第 2 出力電圧を合成して正弦波形を有する出力電圧を生成するフィルター回路と、前記第 1 のインバータ及び前記第 2 のインバータを制御して、前記フィルター回路にて予め定められた正弦波形を有する出力電圧が生成されるように、前記第 1 のインバータに複数のレベルの第 1 出力電圧を生成指せ、前記第 2 のインバータに複数のレベルの第 2 出力電圧を生成させる制御回路とを備え、前記制御回路は、前記第 1 出力電圧のレベルを切り替えるように前記第 1 のインバータを高周波でデューティー制御するとともに、前記第 2 出力電圧のレベルを切り替えるように前記第 2 のインバータを制御し、前記制御回路は、前記第 2 のインバータが前記第 2 出力電圧のレベルを切り替える時に、前記第 2 のインバータを高周波でデューティー制御し、前記制御回路は、前記第 2 のインバータを高周波でデューティー制御している間、前記高周波でデューティー制御させている前記第 1 のインバータのデューティー制御を停止させる、インバータ装置が提供される。

30

【0018】

また、上記インバータ装置において、前記制御回路は、前記第 2 のインバータを高周波でデューティー制御している間、前記第 1 のインバータを高周波でデューティー制御する第 1 制御モードと、前記第 2 のインバータを高周波でデューティー制御している間、前記第 1 のインバータのデューティー制御を停止させる第 2 制御モードとを有していることが好ましい。

40

【0019】

また、上記インバータ装置において、直列接続され、かつ直流電圧を等分に分担する第 1 コンデンサと第 2 コンデンサとを備え、前記第 1 及び第 2 のインバータの各々は、3 レベルインバータであり、かつ前記第 1 コンデンサと前記第 2 コンデンサとの間の接続点に接続され、前記第 1 及び第 2 のインバータは、前記接続点における電圧を用いて、3 レベルの前記第 1 及び第 2 出力電圧を生成することが好ましい。

50

【 0 0 2 0 】

また、上記インバータ装置において、直列接続され、かつ直流電圧を等分に分担する第 1 コンデンサと第 2 コンデンサとを備え、前記制御回路は、前記第 1 コンデンサと前記第 2 コンデンサとの間の接続点における電圧に基づいて、制御モードを前記第 1 制御モード及び前記第 2 制御モードのいずれかに切り替えることが好ましい。

【 0 0 2 1 】

また、上記インバータ装置において、前記制御回路は、前記第 1 コンデンサと前記第 2 コンデンサとの間の接続点の電圧に基づいて、前記第 2 のインバータの高周波でのデューティ制御を開始し、前記第 2 のインバータを高周波でデューティ制御している間、前記第 1 のインバータのデューティ制御を停止させることが好ましい。

10

【 0 0 2 2 】

また、上記インバータ装置において、前記第 1 及び第 2 のインバータの各々は、直列に接続された 4 個のスイッチング素子を含む第 1 の直列回路と、直列に接続された 2 個のクランプダイオードを含む第 2 の直列回路とを含み、前記 4 個のスイッチング素子は、上側アーム側の 2 個のスイッチング素子と、下側アーム側の 2 個のスイッチング素子とを含み、前記 2 個のクランプダイオードは、上側アーム側のクランプダイオードと、下側アーム側のクランプダイオードとを含み、上側アーム側のクランプダイオードは、前記上側アーム側の 2 個のスイッチング間の接続点に接続されたカソード端子を有し、前記下側アーム側のクランプダイオードは、前記下側アーム側の 2 個のスイッチング素子間の接続点に接続されたアノード端子を有し、前記 2 個のクランプダイオード間の接続点に、前記第 1 コンデンサと前記第 2 コンデンサとの間の接続点が接続され、前記上側アーム側の 2 個のスイッチング素子と前記下側アーム側の 2 個のスイッチング素子との間の接続点に前記フィルタ回路が接続されることが好ましい。

20

【 発明の効果 】

【 0 0 2 3 】

本発明によれば、インバータ装置において、出力波形の歪みを小さくでき、しかも、高効率で、小型化を実現できる。

【 図面の簡単な説明 】

【 0 0 2 4 】

【 図 1 】 本発明の第 1 実施形態のインバータ装置の電気回路図。

30

【 図 2 】 本発明の第 1 実施形態のインバータ装置の作用を説明するための波形図であって、(a) は第 1 のインバータの第 1 出力電圧の波形図、(b) は第 2 のインバータの第 2 出力電圧の波形図、(c) はインバータ装置の出力電圧の波形図を示す。

【 図 3 】 本発明の第 2 実施形態のインバータ装置の作用を説明するための波形図であって、(a) は時刻 t_1 付近の電圧波形図、(b) は時刻 t_2 付近の電圧波形図、(c) は時刻 t_4 付近の電圧波形図、(d) は時刻 t_5 付近の電圧波形図を示す。

【 図 4 】 本発明の第 3 実施形態のインバータ装置の電気回路図。

【 発明を実施するための形態 】

【 0 0 2 5 】

(第 1 実施形態)

40

以下、本発明の第 1 実施形態によるインバータ装置を図面に従って説明する。

【 0 0 2 6 】

図 1 に示すように、インバータ装置 1 は、第 1 のインバータ 10 と第 2 のインバータ 20 とを含む。第 1 のインバータ 10 と第 2 のインバータ 20 とは、並列に接続されて、並列回路を形成し、その並列回路は、電源電圧 V_{in} を生成する直流電源 2 の正極出力端子 P1 と負極出力端子 P2 との間に接続されている。

【 0 0 2 7 】

また、正極出力端子 P1 と負極出力端子 P2 との間には、同じ容量値を有する第 1 コンデンサ C1 及び第 2 コンデンサ C2 の直列回路が接続されている。第 1 及び第 2 コンデンサ C1, C2 の直列回路は、第 1 コンデンサ C1 の一方の端子が正極出力端子 P1 に接続

50

され、第2コンデンサC2の一方の端子が負極出力端子P2に接続されるように、直流電源2と直列に接続されている。第1コンデンサC1及び第2コンデンサC2は、同じ容量値を有するので、第1コンデンサC1の第1端子間電圧 V_{ch1} 及び第2コンデンサC2の第2端子間電圧 V_{ch2} の各々は、直流電源2の電源電圧 V_{in} の半分($=V_{in}/2$)に等しい。

【0028】

つまり、第1コンデンサC1と第2コンデンサC2との接続点を基準として、第1コンデンサC1及び第2コンデンサC2の各々は、直流電源2の電源電圧 V_{in} を半分($=V_{in}/2$)ずつ分担している。以下、電源電圧 V_{in} の半分を、入力電圧 V_c という。

【0029】

(第1のインバータ10)

第1のインバータ10は、3レベルインバータであって、第1、第2、第3、及び第4スイッチング素子Q11、Q12、Q13、Q14を有している。各スイッチング素子Q11~Q14は、NチャネルのMOSトランジスタにて形成され、各MOSトランジスタのソース・ドレイン間にボディダイオードDが接続されている。なお、第1実施形態では、各スイッチング素子Q11~Q14は、MOSトランジスタに具体化されているが、転流電流を流せるようにダイオードと並列に接続されたIGBT(Insulated Gate Bipolar Transistor)等、他のスイッチング素子で実施してもよい。

【0030】

第1~第4スイッチング素子Q11~Q14は、第1スイッチング素子Q11、第2スイッチング素子Q12、第3スイッチング素子Q13、第4スイッチング素子Q14の順で直列に接続され、第1スイッチング素子Q11は、正極出力端子P1に接続されている。そして、第1~第4スイッチング素子Q11~Q14は、それらのドレイン端子が正極出力端子P1側に、また、ソース端子が負極出力端子P2側に配置されるように直列接続されている。

【0031】

ちなみに、4個の第1~第4スイッチング素子Q11~Q14の内、正極側の第1及び第2スイッチング素子Q11、Q12を上側アームのスイッチング素子という。また、負極側の第3及び第4スイッチング素子Q13、Q14を下側アームのスイッチング素子という。そして、上側アームの第2スイッチング素子Q12と下側アームの第3スイッチング素子Q13の接続点(ノードN1)が出力端子として形成され、出力端子(ノードN1)がフィルター回路30に接続されている。

【0032】

第1スイッチング素子Q11のゲート端子には、第1駆動信号CT11が供給される。第1スイッチング素子Q11は、ハイ・レベルの第1駆動信号CT11でオンし、ロウ・レベルの第1駆動信号CT11でオフする。

【0033】

第2スイッチング素子Q12のゲート端子には、第2駆動信号CT12が供給される。第2スイッチング素子Q12は、ハイ・レベルの第2駆動信号CT12でオンし、ロウ・レベルの第2駆動信号CT12でオフする。

【0034】

第3スイッチング素子Q13のゲート端子には、第3駆動信号CT13が供給される。第3スイッチング素子Q13は、ハイ・レベルの第3駆動信号CT13でオンし、ロウ・レベルの第3駆動信号CT13でオフする。

【0035】

第4スイッチング素子Q14のゲート端子には、第4駆動信号CT14が供給される。第4スイッチング素子Q14は、ハイ・レベルの第4駆動信号CT14でオンし、ロウ・レベルの第4駆動信号CT14でオフする。

【0036】

第1のインバータ10は、第1クランプダイオードD11と第2クランプダイオードD

10

20

30

40

50

12とを含む。第1クランプダイオードD11と第2クランプダイオードD12とは、互いに直列に接続されている。

【0037】

第1クランプダイオードD11は、上側アームの第1スイッチング素子Q11と第2スイッチング素子Q12の接続点(ノードN2)に接続されたカソード端子と、第2クランプダイオードD12のカソード端子に接続されたアノード端子とを有する。第2クランプダイオードD12は、第1クランプダイオードD11のアノード端子と接続されたカソード端子と、下側アームの第3スイッチング素子Q13と第4スイッチング素子Q14の接続点(ノードN3)に接続されたアノード端子とを有する。

【0038】

第1クランプダイオードD11と第2クランプダイオードD12の接続点は、第1コンデンサC1と第2コンデンサC2との接続点に接続されている。従って、第1クランプダイオードD11と第2クランプダイオードD12の接続点には、第1コンデンサC1と第2コンデンサC2との接続点からの入力電圧 $V_c (= V_{in} / 2)$ が印加される。

【0039】

第1のインバータ10は、第1～第4スイッチング素子Q11～Q14のオン・オフが、適宜、切り替えられることにより、0ボルト、入力電圧 V_c 、及び電源電圧 V_{in} の3段階の第1出力電圧 V_1 を、出力端子(ノードN1)において生成することができる。

【0040】

つまり、第1及び第2スイッチング素子Q11、Q12がオフ、第3及び第4スイッチング素子Q13、Q14がオンの時には、出力端子(ノードN1)において生成される第1出力電圧 V_1 は、0ボルトである。

【0041】

また、第1及び第4スイッチング素子Q11、Q14がオフ、第2及び第3スイッチング素子Q12、Q13がオンの時には、出力端子(ノードN1)において生成される第1出力電圧 V_1 は、入力電圧 V_c と同じである。

【0042】

さらに、第1及び第2スイッチング素子Q11、Q12がオン、第3及び第4スイッチング素子Q13、Q14がオフの時には、出力端子(ノードN1)において生成される第1出力電圧 V_1 は電源電圧 V_{in} と同じである。

【0043】

(第2のインバータ20)

第2のインバータ20は、3レベルインバータであって、第5、第6、第7、及び第8スイッチング素子Q21、Q22、Q23、Q24を含む。各スイッチング素子Q21～Q24は、NチャネルのMOSトランジスタにて形成され、各MOSトランジスタのソース・ドレイン間にボディーダイオードDが接続されている。なお、第1実施形態では、各スイッチング素子Q21～Q24は、MOSトランジスタに具体化されているが、転流電流を流せるようにダイオードと並列に接続されたIGBT(Insulated Gate Bipolar Transistor)等、他のスイッチング素子で実施してもよい。

【0044】

第5～第8スイッチング素子Q21～Q24は、第5スイッチング素子Q21、第6スイッチング素子Q22、第7スイッチング素子Q23、第8スイッチング素子Q24の順で直列に接続され、第5スイッチング素子Q21は、正極出力端子P1に接続されている。そして、第5～第8スイッチング素子Q21～Q24は、それらのドレイン端子が正極出力端子P1側に、また、ソース端子が負極出力端子P2側に配置されるように直列接続されている。

【0045】

ちなみに、4個の第5～第8スイッチング素子Q21～Q24の内、正極側の第5及び第6スイッチング素子Q21、Q22を上側アームのスイッチング素子という。また、負極側の第7及び第8スイッチング素子Q23、Q24を下側アームのスイッチング素子と

10

20

30

40

50

いう。そして、上側アームの第6スイッチング素子Q22と下側アームの第7スイッチング素子Q23の接続点(ノードN4)が出力端子として形成され、出力端子(ノードN4)がフィルター回路30に接続されている。

【0046】

第5スイッチング素子Q21のゲート端子には、第5駆動信号CT21が供給される。第5スイッチング素子Q21は、ハイ・レベルの第5駆動信号CT21でオンし、ロウ・レベルの第5駆動信号CT21でオフする。

【0047】

第6スイッチング素子Q22のゲート端子には、第6駆動信号CT22が供給される。第6スイッチング素子Q22は、ハイ・レベルの第6駆動信号CT22でオンし、ロウ・レベルの第6駆動信号CT22でオフする。

10

【0048】

第7スイッチング素子Q23のゲート端子には、第7駆動信号CT23が供給される。第7スイッチング素子Q23は、ハイ・レベルの第7駆動信号CT23でオンし、ロウ・レベルの第7駆動信号CT23でオフする。

【0049】

第8スイッチング素子Q24のゲート端子には、第8駆動信号CT24が供給される。第8スイッチング素子Q24は、ハイ・レベルの第8駆動信号CT24でオンし、ロウ・レベルの第8駆動信号CT24でオフする。

【0050】

20

第2のインバータ20は、第3クランプダイオードD21と第4クランプダイオードD22とを含む。第3クランプダイオードD21と第4クランプダイオードD22とは、互いに直列に接続されている。

【0051】

第3クランプダイオードD21は、上側アームの第5スイッチング素子Q21と第6スイッチング素子Q22の接続点(ノードN5)に接続されたカソード端子と、第4クランプダイオードD22のカソード端子に接続されたアノード端子とを有する。第4クランプダイオードD22は、第3クランプダイオードD21のアノード端子と接続されたカソード端子と、下側アームの第7スイッチング素子Q23と第8スイッチング素子Q24の接続点(ノードN6)に接続されたアノード端子とを有する。

30

【0052】

第3クランプダイオードD21と第4クランプダイオードD22の接続点は、第1コンデンサC1と第2コンデンサC2との接続点に接続されている。従って、第3クランプダイオードD21と第4クランプダイオードD22の接続点には、第1コンデンサC1と第2コンデンサC2との接続点からの入力電圧 $V_c (= V_{in} / 2)$ が印加される。

【0053】

第2のインバータ20は、第5～第8スイッチング素子Q21～Q24のオン・オフが、適宜、切り替えられることにより、0ボルト、入力電圧 V_c 、及び電源電圧 V_{in} の3段階の第2出力電圧 V_2 を、出力端子(ノードN4)において生成することができる。

【0054】

40

つまり、第5及び第6スイッチング素子Q21、Q22がオフ、第7及び第8スイッチング素子Q23、Q24がオンの時には、出力端子(ノードN4)において生成される第2出力電圧 V_2 は0ボルトである。

【0055】

また、第5及び第8スイッチング素子Q21、Q24がオフ、第6及び第7スイッチング素子Q22、Q23がオンの時には、出力端子(ノードN4)において生成される第2出力電圧 V_2 は入力電圧 V_c と同じである。

【0056】

さらに、第5及び第6スイッチング素子Q21、Q22がオン、第7及び第8スイッチング素子Q23、Q24がオフの時には、出力端子(ノードN4)において生成される第

50

2 出力電圧 V_2 は電源電圧 V_{in} と同じである。

【0057】

そして、第1のインバータ10にて生成された第1出力電圧 V_1 と、第2のインバータ20にて生成された第2出力電圧 V_2 とがフィルター回路30に供給される。

【0058】

(フィルター回路30)

フィルター回路30は、図2(a)に示される第1のインバータ10から供給される第1出力電圧 V_1 と、図2(b)に示される第2のインバータ20から供給される第2出力電圧 V_2 を合成し、図2(c)に示される出力電圧 V_t を生成する。フィルター回路30は、図2(c)に1点鎖線で示される、第1出力電圧 V_1 と第2出力電圧 V_2 との差分である合成波形 W_1 をフィルタリングして、図2(c)に実線で示される正弦波形 W_2 の出力電圧 $V_t (= V_1 - V_2)$ を供給する。

10

【0059】

フィルター回路30は、第1交流リアクトル L_1 、第2交流リアクトル L_2 及び平滑用コンデンサ C_x を含む。第1交流リアクトル L_1 は、第1のインバータ10の出力端子(ノード N_1)と、第1出力端子 P_3 との間に接続されている。第2交流リアクトル L_2 は、第2のインバータ20の出力端子(ノード N_4)と、第2出力端子 P_4 との間に接続されている。平滑用コンデンサ C_x は、第1出力端子 P_3 と第2出力端子 P_4 との間に接続されている。

【0060】

20

そして、第1交流リアクトル L_1 に第1のインバータ10からの第1出力電圧 V_1 が印加され、第2交流リアクトル L_2 に第2のインバータ20からの第2出力電圧 V_2 が印加される。そして、フィルター回路30は、第1出力電圧 V_1 と第2出力電圧 V_2 とを合成し、第1及び第2出力端子 P_3 、 P_4 間から、図2(c)に示される正弦波形 W_2 を有する出力電圧 V_t を供給する。

【0061】

インバータ装置1は、制御回路40を含む。

【0062】

制御回路40は、フィルター回路30の第1及び第2出力端子 P_3 、 P_4 間から、図2(c)に示される正弦波形 W_2 の出力電圧 V_t を供給するための第1～第8駆動信号 $CT_{11} \sim CT_{14}$ 、 $CT_{21} \sim CT_{24}$ を生成する。

30

【0063】

制御回路40は、第1のインバータ10の第1～第4スイッチング素子 $Q_{11} \sim Q_{14}$ を、高周波にてオン・オフ動作させて、第1のインバータ10から3段階のレベルの第1出力電圧 V_1 を供給するための第1～第4駆動信号 $CT_{11} \sim CT_{14}$ を生成する。

【0064】

詳述すると、図2(a)に示すように、制御回路40は、正弦波形 W_2 の出力電圧 V_t を生成するために、1周期 T の前半周期において、入力電圧 V_c と電源電圧 V_{in} との間で、第1出力電圧 V_1 がデューティー制御されるように、第1～第4駆動信号 $CT_{11} \sim CT_{14}$ を生成する。また、制御回路40は、正弦波形 W_2 の出力電圧 V_t を生成するために、残り後半周期において、0ボルトと入力電圧 V_c との間で、第1出力電圧 V_1 がデューティー制御されるように、第1～第4駆動信号 $CT_{11} \sim CT_{14}$ を生成する。

40

【0065】

そして、第1実施形態では、正弦波形 W_2 の出力電圧 V_t の1周期 T である時刻 t_0 から時刻 t_6 は予め決められている。この時刻 $t_0 \sim t_6$ は、フィルター回路30に接続された負荷(図示せず)に対して供給される出力電圧 V_t の図2(c)に示される正弦波形 W_2 から予め理論的に、又は実験、試験等により求められる。ここで、正弦波形 W_2 の半周期の時刻は、時刻 $t_3 (= t_6 / 2)$ である。

【0066】

制御回路40は、第1のインバータ10の第1出力電圧 V_1 が、第2のインバータ20

50

の第2出力電圧 V_2 と合成されて、予め定められた正弦波形 W_2 の出力電圧 V_t を生成すべく、第1出力電圧 V_1 が高周波でデューティ制御されるように第1のインバータ10を制御する。そこで、制御回路40は、図2(a)に示すように、時刻 $t_0 \sim t_3$ の間では、第1出力電圧 V_1 が入力電圧 V_c と電源電圧 V_{in} の間でデューティ制御されるように第1のインバータ10を制御する。また、制御回路40は、時刻 $t_3 \sim t_6$ の間では、第1出力電圧 V_1 が0ボルトと入力電圧 V_c の間でデューティ制御されるように第1のインバータ10を制御する。

【0067】

ここで、時刻 $t_0 \sim t_6$ の間での、第1のインバータ10のデューティ制御は、高周波のデューティ制御である。

10

【0068】

第1実施形態では、その時々、第1のインバータ10に対するデューティ制御のパターンが決められている。このパターンは、フィルタ回路30に接続された負荷に供給される出力電圧 V_t が、図2(c)に示す正弦波形 W_2 を有するように、予め理論的に、又は実験、試験等により求められる。そして、そのパターンのデータが制御回路40のメモリに記憶されている。

【0069】

第1実施形態では、予め定められたパターンにてデューティ制御が行なわれている。これを、出力電圧 V_t が、図2(c)に実線で示される予め定められた正弦波形 W_2 となるように、その時々、出力電圧 V_t をモニタし、フィードバックすることにより、デューティ制御を行うようにしてもよい。

20

【0070】

一方、制御回路40は、第1のインバータ10の第1出力電圧 V_1 と第2のインバータ20の第2出力電圧 V_2 との合成により正弦波形 W_2 の出力電圧 V_t を出力するために、1周期 T 中の所定のタイミングで、第2出力電圧 V_2 のレベルを3段階に切り替えるように第2のインバータ20を制御する。

【0071】

制御回路40は、0ボルト、入力電圧 V_c 、電源電圧 V_{in} の3種類の第2出力電圧 V_2 を生成するように第2のインバータ20を制御する。ここで、第2出力電圧 V_2 のレベルの切り替えは、正弦波形 W_2 を有する出力電圧 V_t が、 $+V_c$ 及び $-V_c$ に近づく(通過する)タイミングで行なわれる。

30

【0072】

第2出力電圧 V_2 のレベルの切り替えのタイミングは、以下のように設定する。図2(c)に示されるように、出力電圧 V_t の正弦波形 W_2 について、時刻 t_0 から時刻 t_6 で1周期 T が設定され(すなわち、 $T = t_6 - t_0$)、時刻 t_0 から時刻 t_3 で半周期が設定される(すなわち、 $T/2 = t_3 - t_0$)。

【0073】

そして、時刻 t_1 において、正弦波形 W_2 の出力電圧 V_t が、最大値に向かって入力電圧 V_c のレベルを通過する。

【0074】

40

また、時刻 t_2 において、正弦波形 W_2 の出力電圧 V_t が、0ボルトに向かって入力電圧 V_c のレベルを通過する。

【0075】

さらに、時刻 t_4 において、正弦波形 W_2 の出力電圧 V_t が、最小値に向かって負の入力電圧 $-V_c$ のレベルを通過する。

【0076】

さらにまた、時刻 t_5 において、正弦波形 W_2 の出力電圧 V_t が、0ボルトに向かって負の入力電圧 $-V_c$ のレベルを通過する。

【0077】

この時刻 t_1 、 t_2 、 t_4 、 t_5 の直前又は直後では、第1のインバータ10のデュー

50

ティー制御だけでは、正弦波形W2の出力電圧Vtを生成できない。そのため、第2出力電圧V2のレベルを切り替える時、第2のインバータ20においてもデューティ制御を行うことにより、正弦波形W2の出力電圧Vtが生成される。ここでの、第2のインバータ20のデューティ制御は、高周波のデューティ制御である。

【0078】

つまり、制御回路40は、第2のインバータ20の第2出力電圧V2が、第1のインバータ10の第1出力電圧V1と合成されることにより、フィルター回路30から供給される出力電圧Vtが予め定められた正弦波形W2を有するように、第2のインバータ20を高周波でデューティ制御する。

【0079】

10

第1実施形態では、第2のインバータ20の、高周波でのデューティ制御のパターンが決められている。このパターンは、フィルター回路30に接続された負荷に供給される出力電圧Vtが、図2(c)に示す正弦波形W2を有するように、予め理論的に、又は実験、試験等により求められる。そして、そのパターンのデータが、制御回路40のメモリに記憶されている。

【0080】

詳述すると、図2(b)に示すように、制御回路40は、時刻t0～t6で設定された1周期Tにおける、時刻t1、時刻t2、時刻t4、時刻t5の各時刻において、該時刻を基準に予め定められた時間幅Δtを設定している。そして、制御回路40は、その各時刻t1、t2、t4、t5を基準に予め定められた時間幅Δtで、第5～第8スイッチング素子Q21～Q24を高周波で動作させた後に、第2出力電圧V2のレベルを切り替える。

20

【0081】

この時間幅Δtは、フィルター回路30に接続された負荷に対して、フィルター回路30の出力電圧Vtが、図2(c)に示される正弦波形W2を有するように、予め理論的に、又は実験、試験等により求められる。

【0082】

そして、制御回路40は、時刻t0～t1までの間、第2出力電圧V2が入力電圧Vcに維持されるように、第5～第8駆動信号CT21～CT24を生成する。続いて、制御回路40は、時刻t1～t1a(=t1+Δt)までの間、0ボルトと入力電圧Vcの間で、第2出力電圧V2が高周波でデューティ制御されるように、第5～第8駆動信号CT21～CT24を生成する。

30

【0083】

次に、制御回路40は、時刻t1a～t2a(=t2-Δt)までの間、第2出力電圧V2が0ボルトに維持されるように、第5～第8駆動信号CT21～CT24を生成する。続いて、制御回路40は、時刻t2a～t2までの間、0ボルトと入力電圧Vcの間で、第2出力電圧V2が高周波でデューティ制御されるように、第5～第8駆動信号CT21～CT24を生成する。

【0084】

次に、制御回路40は、時刻t2～t4a(=t4-Δt)までの間、第2出力電圧V2が入力電圧Vcに維持されるように、第5～第8駆動信号CT21～CT24を生成する。続いて、制御回路40は、時刻t4a～t4までの間、入力電圧Vcと電源電圧Vinの間で、第2出力電圧V2が高周波でデューティ制御されるように、第5～第8駆動信号CT21～CT24を生成する。

40

【0085】

次に、制御回路40は、時刻t4～t5a(=t5-Δt)までの間、第2出力電圧V2が電源電圧Vinに維持されるように、第5～第8駆動信号CT21～CT24を生成する。続いて、制御回路40は、時刻t5a～t5までの間、入力電圧Vcと電源電圧Vinの間で、第2出力電圧V2が高周波でデューティ制御されるように、第5～第8駆動信号CT21～CT24を生成する。

50

【 0 0 8 6 】

最後に、制御回路 4 0 は、時刻 $t_5 \sim t_6$ ($= t_0$) の間、第 2 出力電圧 V_2 が入力電圧 V_c に維持されるように、第 5 ~ 第 8 駆動信号 $CT_{21} \sim CT_{24}$ を生成する。

【 0 0 8 7 】

そして、第 1 のインバータ 1 0 の第 1 出力電圧 V_1 と第 2 のインバータ 2 0 の第 2 出力電圧 V_2 とが、フィルタ回路 3 0 に供給される。これによって、フィルタ回路 3 0 の第 1 及び第 2 出力端子 P_3 , P_4 の間に生成される出力電圧 V_t は、第 1 出力電圧 V_1 と第 2 出力電圧 V_2 の差分に等しい。その結果、図 2 (c) に示されるように、出力電圧 V_t ($= V_1 - V_2$) は、正弦波形 W_2 を有する。

【 0 0 8 8 】

10

次に、上記のように構成されたインバータ装置 1 の作用について説明する。

【 0 0 8 9 】

(第 1 のインバータ 1 0)

(時刻 $t_0 \sim t_3$)

今、時刻 $t_0 \sim t_3$ の間、制御回路 4 0 は、第 1 のインバータ 1 0 に対して高周波で第 1 ~ 第 4 スwitching 素子 $Q_{11} \sim Q_{14}$ をデューティ制御して、入力電圧 V_c と電源電圧 V_{in} の間のレベルでデューティ制御された第 1 出力電圧 V_1 を生成する。

【 0 0 9 0 】

つまり、時刻 $t_0 \sim t_3$ 間においては、第 2 スwitching 素子 Q_{12} がオンに保持され、第 4 スwitching 素子 Q_{14} がオフに保持されている。そして、第 1 スwitching 素子 Q_{11} と第 3 スwitching 素子 Q_{13} が、相補的にオン・オフされる。

20

【 0 0 9 1 】

ちなみに、第 1 スwitching 素子 Q_{11} がオフされ、第 3 スwitching 素子 Q_{13} がオンされた時、第 1 出力電圧 V_1 は入力電圧 V_c と同じである。反対に、第 1 スwitching 素子 Q_{11} がオンされ、第 3 スwitching 素子 Q_{13} がオフされた時、第 1 出力電圧 V_1 は電源電圧 V_{in} と同じである。

【 0 0 9 2 】

(時刻 $t_3 \sim t_6$)

そして、時刻 $t_3 \sim t_6$ 間、制御回路 4 0 は、第 1 のインバータ 1 0 に対しては、高周波で第 1 ~ 第 4 スwitching 素子 $Q_{11} \sim Q_{14}$ をデューティ制御して、0 ボルトと入力電圧 V_c の間のレベルでデューティ制御された第 1 出力電圧 V_1 を生成する。

30

【 0 0 9 3 】

つまり、時刻 $t_3 \sim t_6$ 間においては、第 1 スwitching 素子 Q_{11} がオフに保持され、第 3 スwitching 素子 Q_{13} がオンに保持されている。そして、第 2 スwitching 素子 Q_{12} と第 4 スwitching 素子 Q_{14} が、相補的にオン・オフされる。

【 0 0 9 4 】

ちなみに、第 2 スwitching 素子 Q_{12} がオフされ、第 4 スwitching 素子 Q_{14} がオンされた時、第 1 出力電圧 V_1 は 0 ボルトである。反対に、第 2 スwitching 素子 Q_{12} がオンされ、第 4 スwitching 素子 Q_{14} がオフされた時、第 1 出力電圧 V_1 は入力電圧 V_c と同じである。

40

【 0 0 9 5 】

このように、制御回路 4 0 は、時刻 $t_0 \sim t_6$ を 1 周期 T として、第 1 のインバータ 1 0 の第 1 ~ 第 4 スwitching 素子 $Q_{11} \sim Q_{14}$ を繰り返し駆動制御し、図 2 (a) に示される波形の第 1 出力電圧 V_1 を繰り返し、フィルタ回路 3 0 に供給する。

【 0 0 9 6 】

(第 2 のインバータ 2 0)

(時刻 $t_0 \sim t_1$)

一方、時刻 $t_0 \sim t_1$ の間、制御回路 4 0 は、第 2 のインバータ 2 0 に、入力電圧 V_c と同じ第 2 出力電圧 V_2 を生成させる。

【 0 0 9 7 】

50

つまり、時刻 $t_0 \sim t_1$ においては、制御回路 40 は、第 5 及び第 8 スイッチング素子 Q_{21} , Q_{24} をオフに固定し、第 6 及び第 7 スイッチング素子 Q_{22} , Q_{23} をオンに固定する。

【0098】

(時刻 $t_1 \sim t_{1a}$)

時刻 $t_1 \sim t_{1a}$ の間 ($t_{1a} - t_1 = \Delta t$)、制御回路 40 は、第 2 のインバータ 20 の第 5 ~ 第 8 スイッチング素子 $Q_{21} \sim Q_{24}$ を高周波でデューティ制御する。そして、0 ボルトと入力電圧 V_c の間のレベルでデューティ制御された第 2 出力電圧 V_2 が生成される。

【0099】

つまり、時刻 $t_1 \sim t_{1a}$ においては、第 5 スイッチング素子 Q_{21} がオフに保持され、第 7 スイッチング素子 Q_{23} がオンに保持される。一方、第 6 スイッチング素子 Q_{22} と第 8 スイッチング素子 Q_{24} とが、相補的にオン・オフされる。

【0100】

ちなみに、第 6 スイッチング素子 Q_{22} がオフされ、第 8 スイッチング素子 Q_{24} がオンされた時、第 2 出力電圧 V_2 は 0 ボルトである。反対に、第 6 スイッチング素子 Q_{22} がオンされ、第 8 スイッチング素子 Q_{24} がオフされた時、第 2 出力電圧 V_2 は入力電圧 V_c と同じである。

【0101】

これによって、第 1 のインバータ 10 のデューティ制御に加えて、第 2 のインバータ 20 においてもデューティ制御が行なわれることから、第 2 出力電圧 V_2 が切り替わっても、出力電圧 V_t は、出力電圧 V_t の正弦波形 W_2 が歪むことなく、緩やかに入力電圧 V_c を通過する。

【0102】

(時刻 $t_{1a} \sim t_{2a}$)

時刻 $t_{1a} \sim t_{2a}$ の間、制御回路 40 は、第 2 のインバータ 20 に、0 ボルトである第 2 出力電圧 V_2 を生成させる。つまり、時刻 $t_{1a} \sim t_{2a}$ においては、制御回路 40 は、第 5 及び第 6 スイッチング素子 Q_{21} , Q_{22} をオフに固定し、第 7 及び第 8 スイッチング素子 Q_{23} , Q_{24} をオンに固定する。

【0103】

(時刻 $t_{2a} \sim t_2$)

時刻 $t_{2a} \sim t_2$ の間 ($t_2 - t_{2a} = \Delta t$)、制御回路 40 は、第 2 のインバータ 20 の第 5 ~ 第 8 スイッチング素子 $Q_{21} \sim Q_{24}$ を高周波でデューティ制御する。そして、0 ボルトと入力電圧 V_c の間のレベルでデューティ制御された第 2 出力電圧 V_2 が生成される。

【0104】

つまり、時刻 $t_{2a} \sim t_2$ においては、第 5 スイッチング素子 Q_{21} がオフに保持され、第 7 スイッチング素子 Q_{23} がオンに保持されている。一方、第 6 スイッチング素子 Q_{22} と第 8 スイッチング素子 Q_{24} とが、相補的にオン・オフされる。

【0105】

ちなみに、第 6 スイッチング素子 Q_{22} がオフされ、第 8 スイッチング素子 Q_{24} がオンされた時、第 2 出力電圧 V_2 は 0 ボルトである。反対に、第 6 スイッチング素子 Q_{22} がオンされ、第 8 スイッチング素子 Q_{24} がオフされた時、第 2 出力電圧 V_2 は入力電圧 V_c と同じである。

【0106】

これによって、第 1 のインバータ 10 のデューティ制御に加えて、第 2 のインバータ 20 においてもデューティ制御が行なわれることから、第 2 出力電圧 V_2 が切り替わっても、出力電圧 V_t は、出力電圧 V_t の正弦波形 W_2 が歪むことなく、緩やかに入力電圧 V_c を通過する。

【0107】

10

20

30

40

50

(時刻 $t_2 \sim t_4$)

時刻 $t_2 \sim t_4$ の間、制御回路 40 は、第 2 のインバータ 20 に、入力電圧 V_c と同じ第 2 出力電圧 V_2 を生成させる。つまり、時刻 $t_2 \sim t_4$ においては、制御回路 40 は、第 5 及び第 8 スwitchング素子 Q_{21} , Q_{24} をオフに固定し、第 6 及び第 7 スwitchング素子 Q_{22} , Q_{23} をオンに固定する。

【0108】

(時刻 $t_4 \sim t_{4a}$)

時刻 $t_4 \sim t_{4a}$ の間 ($t_{4a} - t_4 = \Delta t$)、制御回路 40 は、第 2 のインバータ 20 の第 5 ~ 第 8 スwitchング素子 $Q_{21} \sim Q_{24}$ を高周波でデューティ制御する。そして、入力電圧 V_c と電源電圧 V_{in} の間のレベルでデューティ制御された第 2 出力電圧 V_2 が生成される。

10

【0109】

つまり、時刻 $t_4 \sim t_{4a}$ においては、第 6 スwitchング素子 Q_{22} がオンに保持され、第 8 スwitchング素子 Q_{24} がオフに保持されている。一方、第 5 スwitchング素子 Q_{21} と第 7 スwitchング素子 Q_{23} とが、相補的にオン・オフされる。

【0110】

ちなみに、第 5 スwitchング素子 Q_{21} がオフされ、第 7 スwitchング素子 Q_{23} がオンされた時、第 2 出力電圧 V_2 は入力電圧 V_c と同じである。反対に、第 5 スwitchング素子 Q_{21} がオンされ、第 7 スwitchング素子 Q_{23} がオフされた時、第 2 出力電圧 V_2 は電源電圧 V_{in} と同じである。

20

【0111】

これによって、第 1 のインバータ 10 のデューティ制御に加えて、第 2 のインバータ 20 においてもデューティ制御が行なわれることから、第 2 出力電圧 V_2 が切り替わっても、出力電圧 V_t は、出力電圧 V_t の正弦波形 W_2 が歪むことなく、緩やかに負の入力電圧 - V_c を通過する。

【0112】

(時刻 $t_{4a} \sim t_{5a}$)

時刻 $t_{4a} \sim t_{5a}$ の間、制御回路 40 は、第 2 のインバータ 20 に、電源電圧 V_{in} と同じ第 2 出力電圧 V_2 を生成させる。つまり、時刻 $t_{4a} \sim t_{5a}$ においては、制御回路 40 は、第 5 及び第 6 スwitchング素子 Q_{21} , Q_{22} をオンに固定し、第 7 及び第 8 スwitchング素子 Q_{23} , Q_{24} をオフに固定する。

30

【0113】

(時刻 $t_{5a} \sim t_5$)

時刻 $t_{5a} \sim t_5$ の間 ($t_5 - t_{5a} = \Delta t$)、制御回路 40 は、第 2 のインバータ 20 の第 5 ~ 第 8 スwitchング素子 $Q_{21} \sim Q_{24}$ を高周波でデューティ制御する。そして、入力電圧 V_c と電源電圧 V_{in} の間のレベルでデューティ制御された第 2 出力電圧 V_2 が生成される。

【0114】

つまり、時刻 $t_{5a} \sim t_5$ においては、第 6 スwitchング素子 Q_{22} がオンに保持され、第 8 スwitchング素子 Q_{24} がオフに保持されている。一方、第 5 スwitchング素子 Q_{21} と第 7 スwitchング素子 Q_{23} とが、相補的にオン・オフされる。

40

【0115】

ちなみに、第 5 スwitchング素子 Q_{21} がオフされ、第 7 スwitchング素子 Q_{23} がオンされた時、第 2 出力電圧 V_2 は入力電圧 V_c と同じである。反対に、第 5 スwitchング素子 Q_{21} がオンされ、第 7 スwitchング素子 Q_{23} がオフされた時、第 2 出力電圧 V_2 は電源電圧 V_{in} と同じである。

【0116】

これによって、第 1 のインバータ 10 のデューティ制御に加えて、第 2 のインバータ 20 においてもデューティ制御が行なわれることから、第 2 出力電圧 V_2 が切り替わっても、出力電圧 V_t は、出力電圧 V_t の正弦波形 W_2 が歪むことなく、緩やかに負の入力

50

電圧 - V_c を通過する。

【0117】

(時刻 $t_5 \sim t_6$)

時刻 $t_5 \sim t_6$ ($= t_0$) の間、制御回路 40 は、第 2 のインバータ 20 に、入力電圧 V_c と同じ第 2 出力電圧 V_2 を生成させる。つまり、時刻 $t_5 \sim t_6$ においては、制御回路 40 は、第 5 及び第 8 スwitchング素子 Q_{21} , Q_{24} をオフに固定し、第 6 及び第 7 スwitchング素子 Q_{22} , Q_{23} をオンに固定する。

【0118】

このように、制御回路 40 は、時刻 $t_0 \sim t_6$ を 1 周期 T として、第 2 のインバータ 20 の第 5 ~ 第 8 スwitchング素子 $Q_{21} \sim Q_{24}$ を繰り返し駆動制御し、図 2 (b) に示される波形を有する第 2 出力電圧 V_2 を繰り返し、フィルター回路 30 に供給する。

10

【0119】

フィルター回路 30 は、第 1 出力電圧 V_1 と第 2 出力電圧 V_2 を受信して合成し、出力電圧 V_t を生成する。そして、フィルター回路 30 は、図 2 (c) に破線で示される第 1 出力電圧 V_1 と第 2 出力電圧 V_2 との差分である合成波形 W_1 をフィルタリングして、図 2 (c) に実線で示される正弦波形 W_2 を有する出力電圧 V_t を生成する。

【0120】

この時、制御回路 40 は、第 2 出力電圧 V_2 のレベルをあるレベルから別のレベルに切り替える時に、第 5 ~ 第 8 スwitchング素子 $Q_{21} \sim Q_{24}$ を高周波で動作させたので、このレベルの切り替えに起因して発生する出力電圧 V_t の正弦波形 W_2 の歪みが抑えられる。

20

【0121】

次に、上記のように構成されたインバータ装置 1 の効果について以下に記載する。

【0122】

(1) 第 1 実施形態によれば、予め定められた正弦波形 W_2 の出力電圧 V_t を生成するために、高周波でデューティ制御される第 1 のインバータ 10 に対して、第 2 のインバータ 20 の第 2 出力電圧 V_2 が、0 ボルト、入力電圧 V_c 、電源電圧 V_{in} の 3 種類の間で切り替えられる。そのため、第 2 のインバータ 20 の第 5 ~ 第 8 スwitchング素子 $Q_{21} \sim Q_{24}$ のスswitchング回数を少なくでき、スswitchングロスを低減させることができ、高効率のインバータ装置 1 を実現できる。

30

【0123】

(2) 第 1 実施形態によれば、第 2 出力電圧 V_2 のレベルの切り替えが行なわれる時刻 $t_1 \sim t_{1a}$ 、時刻 $t_{2a} \sim t_2$ 、時刻 $t_4 \sim t_{4a}$ 、時刻 $t_{5a} \sim t_5$ に、第 2 のインバータ 20 が高周波動作させられる。その結果、第 2 出力電圧 V_2 のレベルが段階的に大きく変化することに起因して生じる出力電圧 V_t の正弦波形 W_2 の歪を小さく抑えることができる。

【0124】

(3) 第 1 実施形態によれば、第 1 のインバータ 10 の第 1 出力電圧 V_1 と第 2 のインバータ 20 の出力電圧 V_2 とを合成することで、5 種類のレベルの出力電圧 V_t ($= V_1 - V_2$) が生成された。つまり、電源電圧 V_{in} 、入力電圧 V_c 、0 ボルト、負の入力電圧 - V_c 、負の電源電圧 - V_{in} を含む 5 つの出力レベルの出力電圧 V_t を生成することにより正弦波形 W_2 を形成するようにしたので、フィルター回路 30 の第 1 及び第 2 交流リアクトル L_1 , L_2 を小さくできる。その結果、インバータ装置 1 を小型化することができる。

40

【0125】

(第 2 実施形態)

次に、本発明の第 2 実施形態のインバータ装置について図 3 に従って説明する。

【0126】

第 2 実施形態のインバータ装置は、第 1 のインバータ 10 の第 1 ~ 第 4 スwitchング素子 $Q_{11} \sim Q_{14}$ と第 2 のインバータ 20 の第 5 ~ 第 8 スwitchング素子 $Q_{21} \sim Q_{24}$

50

の駆動制御において、第 1 実施形態のインバータ装置と相違している。

【 0 1 2 7 】

第 2 実施形態のインバータ装置においては、第 1 及び第 2 出力電圧 V_1 , V_2 のその時々の変動に対して、第 1 コンデンサ C_1 と第 2 コンデンサ C_2 との接続点の入力電圧 V_c が変動しても、出力電圧 V_t の歪みが抑えられるように、第 1 ~ 第 8 スwitchング素子 $Q_{11} \sim Q_{14}$, $Q_{21} \sim Q_{24}$ が駆動制御される。

【 0 1 2 8 】

従って、第 2 実施形態は、制御回路 40 による、第 1 のインバータ 10 の第 1 ~ 第 4 スwitchング素子 $Q_{11} \sim Q_{14}$ 、及び第 2 のインバータ 20 の第 5 ~ 第 8 スwitchング素子 $Q_{21} \sim Q_{24}$ の制御方法においてのみ、第 1 実施形態と相違し、他の構成は基本的に同じである。そのため、説明の便宜上、異なる制御回路 40 の制御方法のみ詳細に説明し、共通する部分の説明は省略する。

10

【 0 1 2 9 】

(時刻 $t_0 \sim t_1 b (= t_1 - \Delta t)$) (図 3 (a) 参照)

制御回路 40 は、第 1 実施形態と同様に、第 1 のインバータ 10 の第 1 ~ 第 4 スwitchング素子 $Q_{11} \sim Q_{14}$ を高周波でデューティ制御する。そして、制御回路 40 は、第 1 のインバータ 10 に、入力電圧 V_c と電源電圧 V_{in} の間のレベルでデューティ制御された第 1 出力電圧 V_1 を生成させる。一方、制御回路 40 は、第 1 実施形態と同様に、第 5 及び第 8 スwitchング素子 Q_{21} , Q_{24} をオフに固定し、第 6 及び第 7 スwitchング素子 Q_{22} , Q_{23} をオンに固定する。そして、制御回路 40 は、第 2 のインバータ 20 に、入力電圧 V_c と同じ第 2 出力電圧 V_2 を生成させる。

20

【 0 1 3 0 】

この時、第 1 コンデンサ C_1 と第 2 コンデンサ C_2 の容量値が小さいと、第 1 コンデンサ C_1 の電荷が放電され、時刻 t_1 に近づくにつれて、第 1 コンデンサ C_1 の第 1 端子間電圧 V_{ch1} が下がり、第 2 コンデンサ C_2 の第 2 端子間電圧 V_{ch2} が上がる。

【 0 1 3 1 】

これによって、図 3 (a) に示すように、デューティ制御された第 1 のインバータ 10 の第 1 出力電圧 V_1 の振幅は次第に小さくなり、反対に、第 2 のインバータ 20 の第 2 出力電圧 V_2 のレベルは次第に大きくなる。その結果、第 1 コンデンサ C_1 と第 2 コンデンサ C_2 との接続点の入力電圧 V_c は、電源電圧 V_{in} の 2 分の 1 にならなくなり、それ以上には高くなる。

30

【 0 1 3 2 】

(時刻 $t_1 b \sim t_1$)

制御回路 40 は、時刻 $t_1 b$ に到達すると、第 1 及び第 4 スwitchング素子 Q_{11} , Q_{14} をオフ、第 2 及び第 3 スwitchング素子 Q_{12} , Q_{13} をオンに固定して、第 1 のインバータ 10 に、入力電圧 V_c と同じ第 1 出力電圧 V_1 を生成させる。この制御は、時刻 t_1 になるまで実行される。一方、制御回路 40 は、第 2 のインバータ 20 の第 5 ~ 第 8 スwitchング素子 $Q_{21} \sim Q_{24}$ を高周波でデューティ制御して、第 2 のインバータ 20 に、0 ボルトと入力電圧 V_c の間のレベルでデューティ制御された第 2 出力電圧 V_2 を生成させる。

40

【 0 1 3 3 】

これによって、第 1 コンデンサ C_1 の電荷の放電が停止され、第 2 コンデンサ C_2 の電荷が放電されて、第 2 コンデンサ C_2 の第 2 端子間電圧 V_{ch2} が下がり、第 1 コンデンサ C_1 の第 1 端子間電圧 V_{ch1} が上がる。その結果、第 1 コンデンサ C_1 と第 2 コンデンサ C_2 との接続点の入力電圧 V_c は、電源電圧 V_{in} の 2 分の 1 ($= V_{in} / 2$) に戻る。

【 0 1 3 4 】

(時刻 $t_1 \sim t_2 a$ (図 3 (b) 参照))

制御回路 40 は、第 1 のインバータ 10 に対して、第 1 実施形態と同様に、高周波で第 1 ~ 第 4 スwitchング素子 $Q_{11} \sim Q_{14}$ をデューティ制御する。そして、制御回路 4

50

0 は、第 1 のインバータ 10 に、入力電圧 V_c と電源電圧 V_{in} の間のレベルでデューティ制御された第 1 出力電圧 V_1 を生成させる。一方、制御回路 40 は、第 1 実施形態と同様に、第 5 及び第 6 スwitchング素子 Q_{21} , Q_{22} をオフに固定し、第 7 及び第 8 スwitchング素子 Q_{23} , Q_{24} をオンに固定する。そして、制御回路 40 は、第 2 のインバータ 20 に、0 ボルトの第 2 出力電圧 V_2 を生成させる。

【0135】

この時、第 1 コンデンサ C_1 と第 2 コンデンサ C_2 の容量値が小さいと、第 1 コンデンサ C_1 の電荷が放電され、時刻 t_{2a} に近づくにつれて、第 1 コンデンサ C_1 の第 1 端子間電圧 V_{ch1} が下がり、第 2 コンデンサ C_2 の第 2 端子間電圧 V_{ch2} が上がる。

【0136】

これによって、図 3 (b) に示すように、デューティ制御された第 1 のインバータ 10 の第 1 出力電圧 V_1 の振幅は次第に小さくなり、反対に、第 2 のインバータ 20 の第 2 出力電圧 V_2 のレベルは次第に大きくなる。その結果、第 1 コンデンサ C_1 と第 2 コンデンサ C_2 との接続点の入力電圧 V_c は、電源電圧 V_{in} の 2 分の 1 にならなくなり、それ以上に高くなる。

【0137】

(時刻 $t_{2a} \sim t_2$)

制御回路 40 は、時刻 t_{2a} に到達すると、第 1 及び第 4 スwitchング素子 Q_{11} , Q_{14} をオフ、第 2 及び第 3 スwitchング素子 Q_{12} , Q_{13} をオンに固定する。そして、制御回路 40 は、第 1 のインバータ 10 に、入力電圧 V_c と同じ第 1 出力電圧 V_1 を生成させる。この制御は、時刻 t_2 になるまで実行される。一方、制御回路 40 は、第 2 のインバータ 20 の第 5 ~ 第 8 スwitchング素子 $Q_{21} \sim Q_{24}$ を高周波でデューティ制御する。そして、制御回路 40 は、第 2 のインバータ 20 に、0 ボルトと入力電圧 V_c の間のレベルでデューティ制御された第 2 出力電圧 V_2 を生成させる。

【0138】

これによって、第 1 コンデンサ C_1 の電荷の放電が停止され、第 2 コンデンサ C_2 の電荷が放電されて、第 2 コンデンサ C_2 の第 2 端子間電圧 V_{ch2} が下がり、第 1 コンデンサ C_1 の第 1 端子間電圧 V_{ch1} が上がる。その結果、第 1 コンデンサ C_1 と第 2 コンデンサ C_2 との接続点の入力電圧 V_c は、電源電圧 V_{in} の 2 分の 1 ($= V_{in} / 2$) に戻る。

【0139】

(時刻 $t_3 \sim t_4$ (図 3 (c) 参照))

制御回路 40 は、時刻 $t_3 \sim t_4$ において、第 1 のインバータ 10 に対して、高周波で第 1 ~ 第 4 スwitchング素子 $Q_{11} \sim Q_{14}$ をデューティ制御する。そして、0 ボルトと入力電圧 V_c の間のレベルでデューティ制御された第 1 出力電圧 V_1 が生成される。一方、制御回路 40 は、第 1 実施形態と同様に、第 5 及び第 8 スwitchング素子 Q_{21} , Q_{24} をオフに固定し、第 6 及び第 7 スwitchング素子 Q_{22} , Q_{23} をオンに固定する。そして、制御回路 40 は、第 2 のインバータ 20 に、入力電圧 V_c と同じ第 2 出力電圧 V_2 を生成させる。

【0140】

この時、第 1 コンデンサ C_1 と第 2 コンデンサ C_2 の容量値が小さいと、第 1 コンデンサ C_1 の電荷が放電され、時刻 t_{2a} に近づくにつれて、第 1 コンデンサ C_1 の第 1 端子間電圧 V_{ch1} が下がり、第 2 コンデンサ C_2 の第 2 端子間電圧 V_{ch2} が上がる。

【0141】

これによって、図 3 (c) に示すように、デューティ制御された第 1 のインバータ 10 の第 1 出力電圧 V_1 の振幅も次第に小さくなり、反対に、第 2 のインバータ 20 の第 2 出力電圧 V_2 のレベルは次第に大きくなる。その結果、第 1 コンデンサ C_1 と第 2 コンデンサ C_2 との接続点の入力電圧 V_c は、電源電圧 V_{in} の 2 分の 1 にならなくなり、それ以上に高くなる。

【0142】

(時刻 $t_4 \sim t_{4a}$)

制御回路 40 は、時刻 t_4 に到達すると、第 1 及び第 2 スイッチング素子 Q_{11} , Q_{12} をオフ、第 3 及び第 4 スイッチング素子 Q_{13} , Q_{14} をオンに固定する。そして、制御回路 40 は、第 1 のインバータ 10 に、0 ボルトの第 1 出力電圧 V_1 を生成させる。この制御は、時刻 t_4 になるまで実行される。一方、制御回路 40 は、第 2 のインバータ 20 の第 5 ~ 第 8 スイッチング素子 $Q_{21} \sim Q_{24}$ を高周波でデューティ制御して、第 2 のインバータ 20 に、入力電圧 V_c と電源電圧 V_{in} の間のレベルでデューティ制御された第 2 出力電圧 V_2 を生成させる。

【0143】

これによって、第 1 コンデンサ C_1 の電荷の放電が停止され、第 2 コンデンサ C_2 の電荷が放電されて、第 2 コンデンサ C_2 の第 2 端子間電圧 V_{ch2} が下がり、第 1 コンデンサ C_1 の第 1 端子間電圧 V_{ch1} が上がる。その結果、第 1 コンデンサ C_1 と第 2 コンデンサ C_2 との接続点の入力電圧 V_c は、電源電圧 V_{in} の 2 分の 1 ($= V_{in} / 2$) に戻る。

【0144】

(時刻 $t_{4a} \sim t_{5a}$ (図 3 (d) 参照))

制御回路 40 は、時刻 $t_{4a} \sim t_{5a}$ において、第 1 のインバータ 10 に対して、第 1 実施形態と同様に、高周波で第 1 ~ 第 4 スイッチング素子 $Q_{11} \sim Q_{14}$ をデューティ制御する。そして、0 ボルトと入力電圧 V_c の間のレベルでデューティ制御された第 1 出力電圧 V_1 が生成される。一方、制御回路 40 は、第 1 実施形態と同様に、第 5 及び第 6 スイッチング素子 Q_{21} , Q_{22} をオフに固定し、第 7 及び第 8 スイッチング素子 Q_{23} , Q_{24} をオンに固定する。そして、制御回路 40 は、第 2 のインバータ 20 に、電源電圧 V_{in} と同じ第 2 出力電圧 V_2 を生成させる。

【0145】

この時、第 1 コンデンサ C_1 と第 2 コンデンサ C_2 の容量値が小さいと、第 1 コンデンサ C_1 の電荷が放電され、時刻 t_{5a} に近づくにつれて、第 1 コンデンサ C_1 の第 1 端子間電圧 V_{ch1} が下がり、第 2 コンデンサ C_2 の第 2 端子間電圧 V_{ch2} が上がる。

【0146】

これによって、図 3 (d) に示すように、デューティ制御された第 1 のインバータ 10 の第 1 出力電圧 V_1 の振幅は次第に小さくなり、反対に、第 2 のインバータ 20 の第 2 出力電圧 V_2 のレベル値は次第に大きくなる。その結果、第 1 コンデンサ C_1 と第 2 コンデンサ C_2 との接続点の入力電圧 V_c は、電源電圧 V_{in} の 2 分の 1 にならなくなり、それ以上に高くなる。

【0147】

(時刻 $t_{5a} \sim t_5$)

制御回路 40 は、時刻 t_{5a} に到達すると、第 1 及び第 2 スイッチング素子 Q_{11} , Q_{12} をオフ、第 3 及び第 4 スイッチング素子 Q_{13} , Q_{14} をオンに固定する。そして、制御回路 40 は、第 1 のインバータ 10 に、0 ボルトの第 1 出力電圧 V_1 を生成させる。この制御は、時刻 t_5 になるまで実行される。一方、制御回路 40 は、第 1 実施形態と同様に、第 2 のインバータ 20 の第 5 ~ 第 8 スイッチング素子 $Q_{21} \sim Q_{24}$ を高周波でデューティ制御して、第 2 のインバータ 20 に、入力電圧 V_c と電源電圧 V_{in} の間のレベルでデューティ制御された第 2 出力電圧 V_2 を生成させる。

【0148】

これによって、第 1 コンデンサ C_1 の電荷の放電が停止され、第 2 コンデンサ C_2 の電荷が放電されて、第 2 コンデンサ C_2 の第 2 端子間電圧 V_{ch2} が下がり、第 1 コンデンサ C_1 の第 1 端子間電圧 V_{ch1} が上がる。その結果、第 1 コンデンサ C_1 と第 2 コンデンサ C_2 との接続点の入力電圧 V_c は、電源電圧 V_{in} の 2 分の 1 ($= V_{in} / 2$) に戻る。

【0149】

このように、第 2 実施形態では、第 2 のインバータ 20 のレベルを切り替えるとき、第

10

20

30

40

50

1のインバータ10の高周波でのデューティ制御を停止させた。そして、第2のインバータ20が高周波でデューティ制御された。第2のインバータ20が高周波でデューティ制御されている短時間の切り替えの間において、第1コンデンサC1の第1端子間電圧 V_{ch1} と第2コンデンサC2の第2端子間電圧 V_{ch2} を等しくすることができる。

【0150】

従って、第2実施形態によれば、第1実施形態の効果に加えて、直流電源2の電源電圧 V_{in} を半分ずつ分担している第1コンデンサC1と第2コンデンサC2の容量値を小さくできる。その結果、より小型化が図れるインバータ装置1を実現することができる。

【0151】

(第3実施形態)

次に、本発明の第3実施形態のインバータ装置について図4に従って説明する。

【0152】

第1及び第2実施形態のインバータ装置では、制御回路40が予め定められたパターンに基づいて第1及び第2のインバータ10, 20に対してデューティ制御を行なう。

【0153】

これに対して、第3実施形態のインバータ装置では、第2のインバータ20の第2出力電圧 V_2 の切り替え時における時間幅 Δt に依存せずに、図2(c)に示される出力電圧 V_t の正弦波形 W_2 が生成される。つまり、第3実施形態のインバータ装置では、インバータ装置1のその時々状態に応じて第1及び第2のインバータ10, 20がデューティ制御される。

【0154】

従って、説明の便宜上、第1及び第2実施形態と相違する点を詳細に説明し、同じ構成部分の詳細な説明は省略する。

【0155】

図4において、第1コンデンサC1には、第1電圧検出器DV1が並列に接続されている。第1電圧検出器DV1は、第1コンデンサC1のその時々第1端子間電圧 V_{ch1} を検出し、検出された第1端子間電圧 V_{ch1} を示す第1電圧検出信号SV1を制御回路40に供給する。

【0156】

また、第2コンデンサC2には、第2電圧検出器DV2が並列に接続されている。第2電圧検出器DV2は、第2コンデンサC2のその時々第2端子間電圧 V_{ch2} を検出し、検出された第2端子間電圧 V_{ch2} を示す第2電圧検出信号SV2を制御回路40に供給する。

【0157】

フィルター回路30の第1及び第2出力端子P3, P4間には、第3電圧検出器DV3が接続されている。第3電圧検出器DV3は、フィルター回路30から供給されるその時々出力電圧 V_t を検出し、検出された出力電圧 V_t を示す第3電圧検出信号SV3を制御回路40に供給する。

【0158】

また、フィルター回路30の第2交流リアクトルL2と第2出力端子P4との間には、電流検出器DI1が接続されている。電流検出器DI1は、フィルター回路30から図示しない負荷に流れる電流を検出し、検出された電流を示す電流検出信号SI1を制御回路40に出力する。

【0159】

制御回路40は、第1～第3電圧検出器DV1～DV3から第1～第3電圧検出信号SV1～SV3を受信するとともに、電流検出器DI1から電流検出信号SI1を受信する。そして、制御回路40は、第1電圧検出器DV1の第1電圧検出信号SV1に基づいて、その時々第1コンデンサC1の第1端子間電圧 V_{ch1} を算出する。また、制御回路40は、第2電圧検出器DV2の第2電圧検出信号SV2に基づいて、その時々第2コンデンサC2の第2端子間電圧 V_{ch2} を算出する。

【0160】

さらに、制御回路40は、第3電圧検出器DV3の第3電圧検出信号SV3及び電流検出器DI1の電流検出信号SI1に基づいて、その時々フィルタ回路30から供給される出力電圧Vt、出力電流It及び出力電力PW(=Vt×It)を算出する。

【0161】

制御回路40は、その時々求められた第1端子間電圧Vch1、第2端子間電圧Vch2、出力電圧Vt、出力電流It及び出力電力PWに基づいて、第1のインバータ10及び第2のインバータ20を、種々の態様で制御することができる。

【0162】

以下、その制御態様の実施例について記載する。

10

【0163】

(実施例1)

第1実施形態では、第2出力電圧V2のレベルを切り替える時に、制御回路40は、第2のインバータ20に対して、予め定められた時間幅Δtにて第5～第8スイッチング素子Q21～Q24を高周波でデューティ制御する。

【0164】

一方、実施例1では、制御回路40は、第2のインバータ20の高周波でのデューティ制御を、出力電力PWが予め定められた値になった時に開始させる。また、制御回路40は、第2のインバータ20の高周波でのデューティ制御を、出力電力PWが予め定められた値になった時に終了させる。

20

【0165】

この時、この第2のインバータ20の高周波でのデューティ制御は、制御回路40内に設けられた比較器を使って行われる。制御回路40は、その時々出力電圧Vtと予め定められた基準値(例えば、予め定められた三角波形)とを比較することによってデューティ比(%)を決定する。そして、制御回路40は、決定されたデューティ比(%)に基づいて第2のインバータ20を高周波でデューティ制御する。

【0166】

また、第1実施形態では、時刻t0～t6の期間での、第1のインバータ10の高周波のデューティ制御は、予め決められたデューティ制御のパターンを用いて行なわれる。

30

【0167】

一方、実施例1では、制御回路40は、時刻t0～t6の期間でのその時々出力電力PWに基づいてデューティ比を決定し、その決定されたデューティ比に基づいて第1のインバータ10を高周波でデューティ制御する。

【0168】

この時刻t0～t6の期間での、第1のインバータ10の高周波でのデューティ制御は、同様に、制御回路40内に設けられた比較器を使って行われる。制御回路40は、その時々出力電圧Vtと予め定められた基準値(例えば、予め定められた三角波形)とを比較することによってデューティ比(%)を決定する。そして、制御回路40は、決定されたデューティ比(%)に基づいて第1のインバータ10を高周波でデューティ制御する。

40

【0169】

従って、この場合、その時々フィルタ回路30から供給される実際の出力電力PWに基づいて第2のインバータ20の高周波のデューティ制御の開始と終了が決定され、出力電圧Vtに基づいて高周波のデューティ制御におけるデューティ比が決定される。

【0170】

その結果、本実施例1では、第1実施形態の効果に加えて、現実に即した制御が行えるため、より歪みの少ない正弦波形W2を有する出力電圧Vtを生成することができる。

【0171】

50

(実施例 2)

上記実施例 1 (第 2 実施形態も同様) では、第 2 出力電圧 V_2 のレベルを切り替える時に、制御回路 40 は、第 2 のインバータ 20 に対して、予め定められた時間幅 Δt にて第 5 ~ 第 8 スwitchング素子 $Q_{21} \sim Q_{24}$ を高周波でデューティ制御する。

【0172】

これに対して、第 1 実施形態では、第 1 のインバータ 10 は、高周波でデューティ制御されていた。これを、第 2 実施形態のように、第 2 のインバータ 20 が高周波でデューティ制御されている間、第 1 のインバータ 10 を第 1 出力電圧 V_1 が一定の電圧値に維持されるよう制御させる。

【0173】

実施例 2 では、制御回路 40 は、その時々求めた第 1 コンデンサ C_1 の第 1 端子間電圧 V_{ch1} と第 2 コンデンサ C_2 の第 2 端子間電圧 V_{ch2} に基づいて、第 1 のインバータ 10 を制御して、第 1 出力電圧 V_1 が一定の電圧値に維持されるようにする。制御回路 40 は、第 1 コンデンサ C_1 と第 2 コンデンサ C_2 とが電源電圧 V_{in} を等分に分担できない場合がある。そして、第 1 コンデンサ C_1 と第 2 コンデンサ C_2 との接続点の電圧が、電源電圧 V_{in} の $1/2$ である基準から予め定められた規定値を超えて変動する時、制御回路 40 は、第 1 のインバータ 10 に対して、第 1 出力電圧 V_1 を一定の電圧値に維持する制御を開始させる。

【0174】

この時、制御回路 40 は、第 2 のインバータ 20 に対して、高周波でのデューティ制御を開始させる。この時、高周波での第 2 のインバータ 20 のデューティ制御は、実施例 1 と同様に、制御回路 40 内の比較器を使って得られたデューティ比に基づいて行なわれる。そして、制御回路 40 は、実施例 1 と同様に、第 2 のインバータ 20 の高周波によるデューティ制御が終了すると、第 1 のインバータ 10 を高周波でデューティ制御させる。

【0175】

従って、この場合、その時々の実際の第 1 コンデンサ C_1 の第 1 端子間電圧 V_{ch1} と第 2 コンデンサ C_2 の第 2 端子間電圧 V_{ch2} とに基づいて、第 1 のインバータ 10 の第 1 出力電圧 V_1 を一定の電圧値に維持する制御の開始タイミングが決定される。

【0176】

その結果、本実施例 2 では、第 2 実施形態の効果に加えて、現実に応じた制御が行えるため、より歪みの少ない正弦波形 W_2 を有する出力電圧 V_t を生成することができる。

【0177】

(実施例 3)

上記実施例 1 では、第 2 のインバータ 20 の第 2 出力電圧のレベルを切り替える時、制御回路 40 は、第 2 のインバータ 20 を高周波でデューティ制御してから第 2 出力電圧のレベルを切り替えた。そして、その第 2 のインバータ 20 が高周波でデューティ制御されている間においても、第 1 のインバータ 10 は、高周波でデューティ制御された。

【0178】

一方、上記実施例 2 では、第 2 のインバータ 20 の第 2 出力電圧のレベルを切り替える時、制御回路 40 は、第 2 のインバータ 20 を高周波でデューティ制御してから第 2 出力電圧のレベルを切り替えた。そして、第 2 のインバータ 20 が高周波でデューティ制御される時、第 1 のインバータ 10 は、第 1 出力電圧 V_1 を一定の電圧値に維持するように制御された。

【0179】

これを、実施例 3 では、実施例 1 の制御態様 (第 1 制御という) と、実施例 2 の制御態様 (第 2 制御という) とが、状況に応じて切り替え可能である。

【0180】

つまり、制御回路 40 は、その時々求めた第 1 コンデンサ C_1 の第 1 端子間電圧 V_{ch1} と第 2 コンデンサ C_2 の第 2 端子間電圧 V_{ch2} に基づいて、第 1 コンデンサ C_1 と第 2

10

20

30

40

50

ンデンサC 2との接続点の電圧が、電源電圧 V_{in} の $1/2$ を基準として予め定められた規定値の範囲内にある時、第1制御を実行する。

【0181】

反対に、制御回路40は、その時々第1コンデンサC 1の第1端子間電圧 V_{ch1} と第2コンデンサC 2の第2端子間電圧 V_{ch2} に基づいて、第1コンデンサC 1と第2コンデンサC 2との接続点の電圧が、電源電圧 V_{in} の $1/2$ を基準として予め定められた規定値を超えた時に、第2制御を実行する。

【0182】

従って、この実施例3の場合、その時々負荷の変動に応じて、第1制御及び第2制御の中から最適な制御が選択される。また、このインバータ装置1においては、用途に応じ

10

【0183】

その結果、本実施例3では、実施例1及び実施例2の効果に加えて、より現実に応じた制御が行えるため、より歪みの少ない正弦波形 W_2 を有する出力電圧 V_t を生成することができる。

【0184】

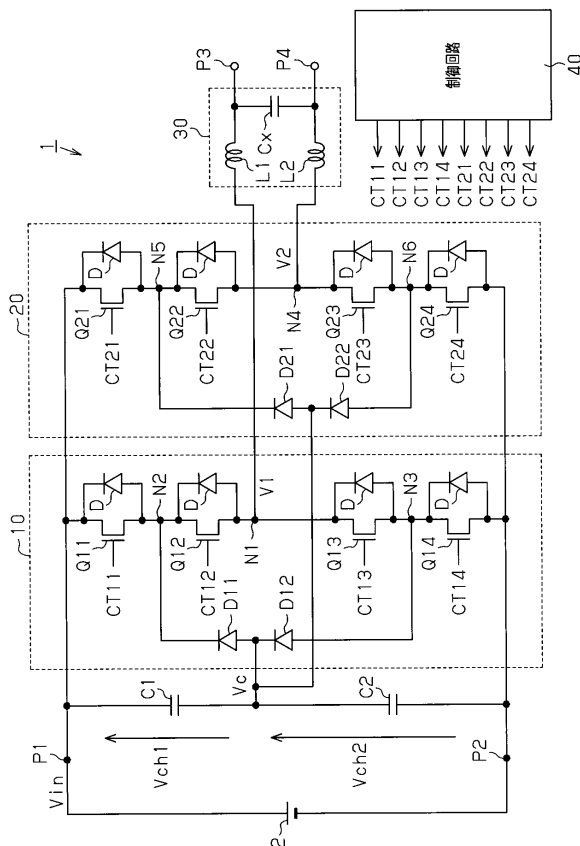
尚、上記実施形態は以下のように変更してもよい。

【0185】

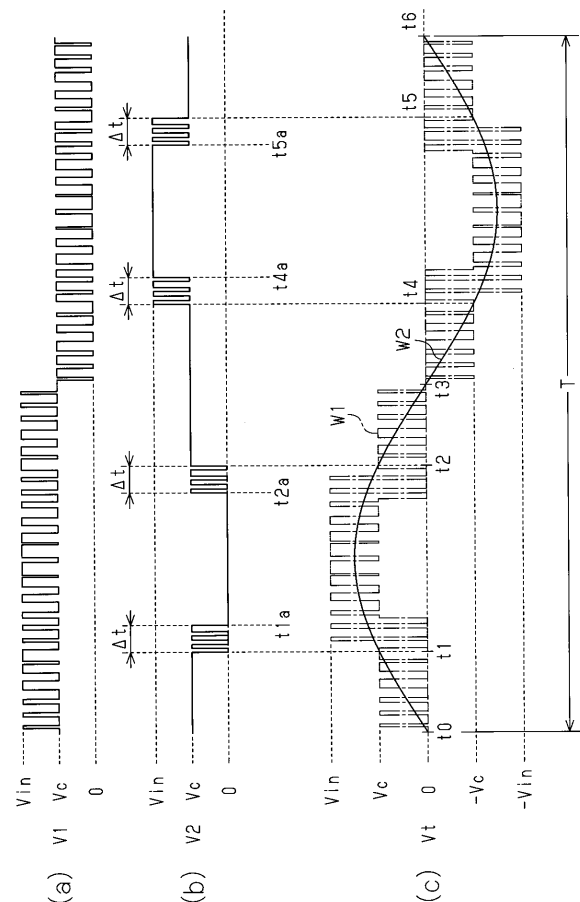
上記各実施形態の第1及び第2インバータ10、20は、3レベルインバータであったが、これを、例えば4レベルインバータ、5レベルインバータを用いて具体化してもよい

20

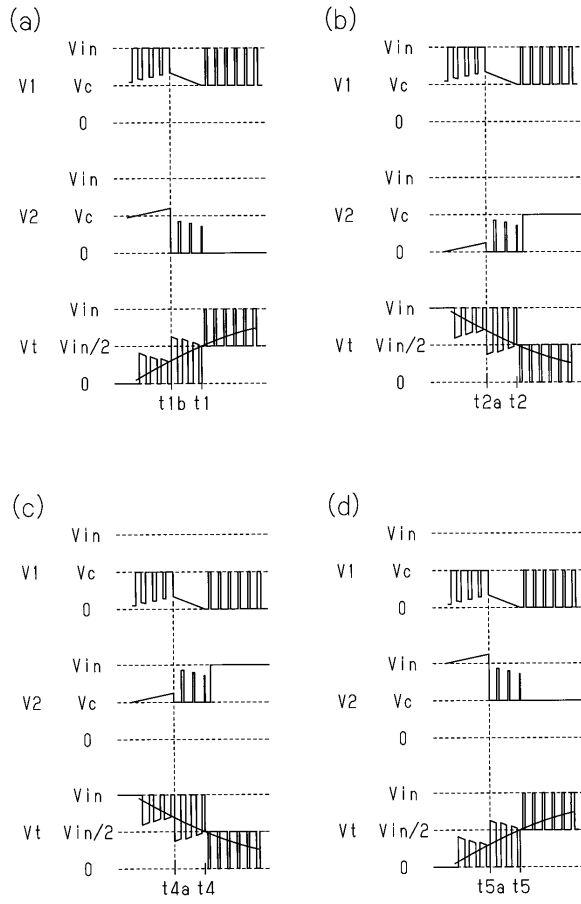
【図1】



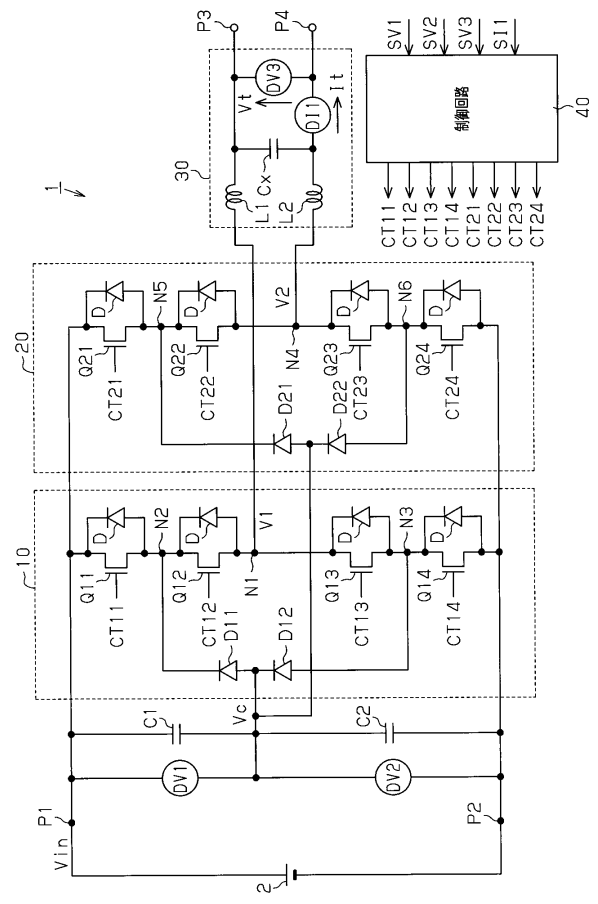
【図2】



【図 3】



【図 4】



フロントページの続き

(56)参考文献 特開平 0 8 - 1 8 2 3 4 2 (J P , A)
国際公開第 2 0 1 0 / 0 5 8 5 3 6 (W O , A 1)
特開 2 0 1 1 - 0 0 4 4 6 4 (J P , A)
特開 2 0 0 6 - 1 9 1 7 4 3 (J P , A)
国際公開第 9 7 / 0 2 5 7 6 6 (W O , A 1)

(58)調査した分野(Int.Cl. , D B 名)
H 0 2 M 7 / 4 8 7
H 0 2 M 7 / 4 8