

(19) 대한민국특허청(KR)
(12) 특허공보(B1)

(51) Int. Cl.⁵
G11C 11/40

(45) 공고일자 1991년03월30일
(11) 공고번호 91-002033

(21) 출원번호	특1988-0008607	(65) 공개번호	특1990-0002323
(22) 출원일자	1988년07월11일	(43) 공개일자	1990년02월28일
(71) 출원인	삼성전자 주식회사 강진구 경기도 수원시 권선구 매탄동 416번지		

(72) 발명자 서승모
 서울특별시 도봉구 수유 1동 58-98호
(74) 대리인 조용식

심사관 : 김영길 (책자공보 제2243호)

(54) 메모리 셀의 센스앰프 구동회로

요약

내용 없음.

대표도

도1

명세서

[발명의 명칭]

메모리 셀의 센스앰프 구동회로

[도면의 간단한 설명]

제1도는 종래의 센스앰프 구동회로도.

제2도는 본 발명의 센스앰프 구동회로도.

제3도는 제1도의 동작타이밍도.

제4도는 제2도의 동작타이밍도이다.

* 도면의 주요부분에 대한 부호의 설명

10 : 센싱클럭구동부 R : 저항

20 : 리스토어 클럭구동부 T : 트랜지스터

30 : 지연부 INV : 인버터

40 : 센스앰프부

[발명의 상세한 설명]

본 발명은 메모리 셀의 데이터 센싱을 위한 센싱회로에 관한 것으로 특히 C모스 디램 셀에서 데이터의 센싱시나 리스토어(Restore)시 피이크 전류를 줄일 수 있고 또한 동작전류를 최소화시킬 수 있게 되는 메모리 셀의 센스앰프 구동회로에 관한 것이다.

일반적으로 메모리 셀의 데이터를 센싱하기 위한 센스앰프 구동회로는, 제1도에서 도시하고 있는 바와같이, 크게 센싱클럭구동부(1)와 리스토어 클럭구동부(2)와 지연부(3) 및 센스앰프부(4)로 구성된다. 이러한 센스앰프 구동회로에서 센싱클럭구동부(1)는 인버터(INV₂)와 P.N 모스 트랜지스터(T_e, T_f)로된 C모스 인버터 회로를 통한 센싱클럭(ϕ_s)으로 N모스 센싱 트랜지스터(T_s)가 제어되게 연결되고 또한 상기 인버터(INV₂)와 저항(R₃)을 통한 센싱클럭(ϕ_s)으로 제어되는 P모스 트랜지스터(T_d)의 출력에 의해서도 상기 N모스 센싱 트랜지스터(T_s)가 제어되게 연결 구성된다. 리스토어 클럭구동부(2)는 지연부(3)를 거친 센싱클럭(ϕ_s)이 인버터(INV₁)를 통하여 다수개의 P모스 트랜지스터(T_a-T_c)를 차례로 턴온시키도록 상기 P모스 트랜지스터(T_a-T_c)의 게이트간에 저항(R₁, R₂)이 연결 구성된다. 센스앰프부(4)는 P모스 트랜지스터(T_{sp1}, T_{sp2})와 N모스 트랜지스터(T_{sn1}, T_{sn2})로 구성하여, 상기 리스토어 클럭구동부(2)의 출력신호(LA)와 센싱클럭구동부(1)의 출력신호(\overline{LA})에 의해 각각 데이터의 리

스토어 및 센싱이 이루어지도록 연결 구성된다.)

이와같이 된 종래의 센스앰프 구동회로를 그의 동작 타이밍도를 도시한 제3도를 참고하여 설명하면 다음과 같다. 등화 제어클럭(ϕ_{OE})이 V_{SS} 레벨이고 센싱클럭(ϕ_s)이 V_{CC} 레벨로 인에이블되면 센싱클럭구동부(1)의 노드(d)는 로우레벨로 간다. 이에따라 p모스 트랜지스터(T_e)가 턴온되지만 그의 용량이 작기 때문에 N모스 센싱 트랜지스터(T_s)를 충분히 온시키지는 못하게 된다. 이에따라 N모스 센싱 트랜지스터(T_s)가 서서히 온되어 센싱신호(\overline{LA})가 서서히 V_{SS} 레벨로 이동하게 되므로, 갑작스런 센싱신호(\overline{LA})의 변화에 따른 오동작을 방지하게 된다. 이후 저항(R_3)에 의한 일정시간 지연후 노드(e)의 전위가 V_{CC} 레벨에 따르게 되면 용량이 큰 p모스 트랜지스터(T_d)가 온된다. 이에따라 노드(LAG)의 전위는 V_{CC} 레벨로 되어 N모스 센싱 트랜지스터(T_s)가 완전히 온되므로 센싱신호(\overline{LA})는 완전히 V_{SS} 레벨로 되어 데이터를 센싱하게 된다. 또한, 상기 센싱클럭(ϕ_s)은 지연부(3)를거쳐서 리스토어 클럭구동부(2)에 지연된 센싱클럭(ϕ_{SD})으로 제공된다. 이에 따라 센싱클럭(ϕ_s)이 인에이블된 시점으로부터 일정시간 지연후 p모스 트랜지스터(T_a)가 온되고 다시 저항(R_1)에 의한 지연후 p모스 트랜지스터(T_b)가 온되고 또다시 저항(R_2)에 의한 지연후 p모스 트랜지스터(T_c)가 온 되므로, 리스토어 클럭구동부(2)의 리스토어(LA)의 전위는 일정시간이 경과한 후 $\frac{1}{2}V_{CC}$ 레벨에서 V_{SS} 레벨로 되어 데이터를 리스토어하게 된다.

그러나 이와같은 종래의 회로에서는 센싱클럭(ϕ_s)이 디스에이블될때 리스토어 클럭구동부(2)의 p모스 트랜지스터(T_c)와 센싱클럭구동부(1)의 p모스 트랜지스터(T_d)가 지연 오프됨에 따라 전류통로가 형성이 된다. 즉, 모드(d)의 전위가 상승되어 N모스 트랜지스터(T_f)의 턴오프 문턱전압(V_{TN})으로 되는 시간(t_1)으로부터 노드(e)의 전위가 상승되어 p모스 트랜지스터(T_d)의 턴오프 문턱전압(V_{TP})으로 되는 시간(t_4)까지의 P.N 모스 트랜지스터(T_d , T_f)에 의한 전류통로와, V_{CC} 레벨의 등화제어클럭(ϕ_{EQ})에 의한 등화 트랜지스터(T_{EQ1})의 턴온시간(t_2)에서 p모스 트랜지스터(T_c)가 턴오프되는 시간(t_3)동안 p모스 트랜지스터(T_c), p모스 트랜지스터(T_{SP1}) 또는 (T_{SP2}), 등화 트랜지스터(T_{EQ1}) N모스 트랜지스터(T_{SN1}) 또는 (T_{SN2}), N모스 센싱 트랜지스터(T_s)에 의한 전류통로가 형성이 된다. 따라서 센싱클럭(ϕ_s)이 디스에이블될때 일정시간 동안에는 피이크전류가 증가하게 되고 또한 불필요한 전력소모가 있게되는 문제가 있게 된다.

본 발명은 이와같은 문제점을 감안하여서 된 것으로, 본 발명의 목적은 메모리 셀의 데이터 센싱 및 리스토어시 급격한 피이크전류의 상승을 억제할 수 있게되고 불필요한 전력소모를 방지할 수있게되는 메모리 셀의 센스앰프 구동회로를 제공하는데 있다.

본 발명의 특징은 센싱클럭구동부와 리스토어 클럭구동부와 지연부와 센스앰프 부와로 구성되는 메모리 셀의 데이터 센싱회로에서, 멀티출력인버터의 p모스 트랜지스터측 출력과 N모스 트랜지스터측 출력이 각각 N모스 센싱 트랜지스터의 게이트에 V_{CC} 레벨을 제공하게되는 대용량의 p모스 트랜지스터의 게이트와 인버터로 입력되게 연결하여 상기 N모스 트랜지스터의 출력과 상기 인버터의 출력의 합으로 상기 N모스 센싱 트랜지스터를 제어하게 되는 센싱클럭구동부를 가지는 메모리 셀의 센스앰프 구동회로와 다수의 p모스 트랜지스터가 차례로 온 되도록 상기 p모스 트랜지스터의 게이트간에 저항이 연결되고 상기 p모스 트랜지스터들의 게이트에는 딜레이부의 출력으로 제어되는 전류패스 형성방지용 p모스 트랜지스터들의 출력이 인가되게 연결되는 리스토어 클럭구동부를 가지는 메모리 셀의 센스앰프 구동회로에 있는 것이다.

이하 첨부한 본 발명의 일 실시예에따라 본 발명을 상세히 설명하면 다음과 같다. 제2도에서 도시하고 있는 바와같이, 센싱클럭구동부(10)는 센싱클럭(ϕ_s)이 P. N 모스 트랜지스터(T_g , T_h)와 저항(R_3)으로 구성된 멀티출력인버터(INV_4)를 통하여 p모스 트랜지스터(T_d)와 P. N 모스 트랜지스터(T_e , T_f)로 구성된 인버터(INV_3)로 입력되게 연결되고 멀티출력인버터(INV_4)의 p모스 트랜지스터(T_g)측은 p모스 트랜지스터(T_d)의 게이트에 연결되고, 상기 멀티출력인버터(INV_4)의 N모스 트랜지스터(T_h)측은 인버터(INV_3)의 입력단에 연결되고, 상기 p모스 트랜지스터(T_d)의 게이트로 입력되게 연결 구성된다. 또한 리스토어 클럭구동부(20)는 지연부(30)를 거친 센싱클럭(ϕ_{SD})이 인버터를 통하여 일련의 p모스 리스토어 트랜지스터($T_a - T_c$)의 게이트로 입력되게 연결되고, 상기 p모스 리스토어 트랜지스터($T_a - T_c$)가 차례로 지연동작되도록 게이트와 게이트사이에 저항(R_1 , T_2)이 연결되고, 또한 상기 지연부(30)를 거친 지연센싱클럭(ϕ_{SD})은 지연방지용 p모스 트랜지스터(T_1 , T_3)의 게이트로 입력되게 연결하여 V_{SS} 레벨 입력시 각각의 p모스 트랜지스터(T_1 , T_3)를 통한 V_{11} 레벨이 상기 p모스 리스토어 트랜지스터(T_b , T_c)의 게이트에 공급되게 연결 구성된다.

상기 N모스 센싱 트랜지스터(T_s)와 p모스 리스토어 트랜지스터들($T_a - T_c$)에 의한 센싱 및 리스토어 출력신호(\overline{LA} , LA)는 4개의 트랜지스터(T_{SP1} , T_{SP2} , T_{SN1} , T_{SN2})의 공통 소오스 및 공통드레인 측에 입력되게 연결되어 상기 출력신호(\overline{LA} , LA)와 등화 트랜지스터(T_{EQ1})의 등화 제어클럭(ϕ_{EQ})에 의해 셀 데이터의 센싱 및 리스토어동작이 일어나게 연결된다.

이와같이 된 본 발명의 작용 및 효과를 그의 동작 타이밍을 도시하고 있는 제4도를 참고로 하여 설명하면 다음과 같다. 등화 제어클럭(ϕ_{EQ})이 V_{SS} 레벨이고 센싱클럭(ϕ_s)이 V_{CC} 레벨로 인에이블되면 센싱클럭구동부(10)의 노드(d)는 멀티출력인버터(INV_4)의 N모스 트랜지스터(T_h)에 의해 즉시 V_{SS} 레벨로

가게되므로 인버터(INV₃)의 p모스 트랜지스터(T_e)가 턴온되나 노드(LAG)를 하이레벨로 만들지는 못한다. 이에따라 앞에서 설명한대로 N모스 트랜지스터(T_s)가 서서히 온되어 센싱신호(\overline{LA})의 갑작스런 변화에 따른 오센싱 동작이 일어나는 것을 방지하게 된다. 이후 멀티출력인버터(INV₄)의 저항(R₃)에 의한 일정시간 지연후 노드(e)의 전위가 V_{ss} 레벨로 되므로 p모스 트랜지스터(T_d)가 턴온되어 노드(LAG)의 전위는 상기 N모스 센싱트랜지스터(T_s)를 완전히 온시킬 수 있을 만큼 충분하게 되므로 N모스 센싱 트랜지스터(T_s)의 동작에 의한 V_{ss} 레벨의 센싱회로(LA)로 데이터 센싱을 하게 된다. 또한 지연부(30)를 통하여 지연된 센싱클럭(ϕ_{s0})은 인버터를 통하여 p모스 리스토어 트랜지스터(T_a - T_c)를 차례로 온시키게 된다. 이에따라 센싱된 데이터를 V_{cc} 레벨의 리스토어 신호(LA)로 리스토어하게 된다. 이때 지연방지용 p모스 트랜지스터(T₁, T₃)는 동작을 하지 않게 되므로 이때에는 리스토어화로에 영향을 미치지 않게 된다.

한편, 센싱클럭(ϕ_s)이 디스에이블될때를 설명하면 다음과 같다. 상기 센싱클럭(ϕ_s)이 로우레벨로 가면 멀티출력인버터(INV₄)의 p모스 트랜지스터(T_g)측의 노드(e)에서는 즉시 V_{cc} 레벨이 나타나게 되므로 p모스 트랜지스터(T_d)는 즉시 오프되어 N모스 센싱 트랜지스터(T_s)를 오프시키게 된다. 그러나 상기 멀티 출력인버터(INV₄)의 N모스 트랜지스터를(T_h)측 노드(d)에는 저항(R₃)을 통한 V_{cc} 레벨이 p모스 트랜지스터(T_e)의 턴오프 전압레벨이 이를때까지 p모스 트랜지스터(T_e)를 온상태로 유지시키게 되므로, 상기 N모스 센싱 트랜지스터(T_s)를 서서히 오프시키게 된다. 이후 노드(d)의 전위가 V_{cc}레벨에 이르면 p모스 트랜지스터(T_e)는 오프되고 N모스 트랜지스터(T_f)가 온 된다. 따라서 노드(LAG)의 전위는 V_{ss} 레벨로 되어 N모스 센싱 트랜지스터(T_s)는 오프상태로 된다. 여기에서 알 수 있는 바와같이, N모스 트랜지스터(T_f)가 턴온되는 시간(T₁)과 p모스 트랜지스터(T_d)가 턴오프되는 시간(t₄) 또는 p모스 트랜지스터(t_e)가 턴오프되는 시간이 중첩되지 않게 되므로 전류통로가 형성되지 않게 되는 것이다.

한편 센싱클럭(ϕ_s)의 로우레벨은 지연부(30)를 지연없이 그대로 통과하여 인버터를 거친후 일련의 p모스 리스토어 트랜지스터(T_a - T_c)를 오프시키게 된다. 또한 로우레벨의 센싱클럭(ϕ_s)에서는 지연시간을 갖지않고 그대로 출력되는 센싱클럭(ϕ_{s0})은 지연방지용 p모스 트랜지스터(T₁, T₃)를 즉시 온시키게 된다. 따라서, 상기 p모스 리스토어 트랜지스터(T_b, T_c)는 저항(R₁, R₂)에 의한 지연시간을 가지지 않고 즉시 오프되므로, 리스토어 신호(LA)는 센싱클럭(ϕ_s)의 디스에이블 신호와 거의 동시에 로우레벨을 출력하게 된다. 따라서 p모스 리스토어 트랜지스터(T_c)와 센스앰프부(40)와 N모스 센싱 트랜지스터(T_s)에 의한 전류 통로가 형성되지 않게 된다.

이와같이 동작하는 본 발명은 메모리 셀의 데이터 센싱 및 리스토어서 급작스런 피이크전류의 상승을 유효하게 억제할 수 있게되고 또한 불필요한 전력소모를 방지할 수 있는 효과를 가진다.

(57) 청구의 범위

청구항 1

메모리장치의 센스앰프 구동회로에 있어서, 센싱클럭(ϕ_s)에 의한 멀티출력인버터(INV₄)의 p모스 트랜지스터측 출력과 N모스 트랜지스터측 출력으로 각각 대용량 p모스 트랜지스터(T_d)와 인버터(INV₃)내의 소용량 p모스 트랜지스터(T_e)가 제어되게 연결되고, 상기 대용량 p모스 트랜지스터(T_d)와 인버터(INV₃)의 합 출력으로 N모스 센싱 트랜지스터(T_s)가 제어되게 연결 구성되는 센싱클럭구동부(10)를 가지는 메모리 세리 센스앰프 구동회로.

청구항 2

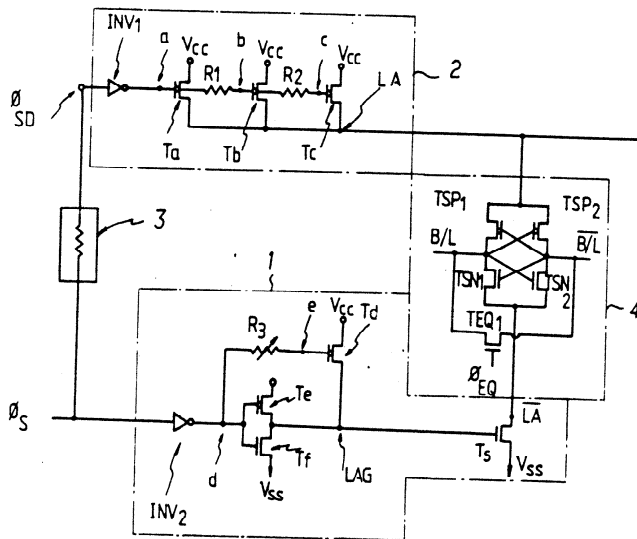
제1항에 있어서, 멀티출력인버터(INV₄)가 p모스 트랜지스터(T_g)와 N모스 트랜지스터(T_h)와의 사이에 저항(R₃)이 연결되는 구성으로 되는 것을 특징으로 하는 메모리 셀의 센스앰프 구동회로.

청구항 3

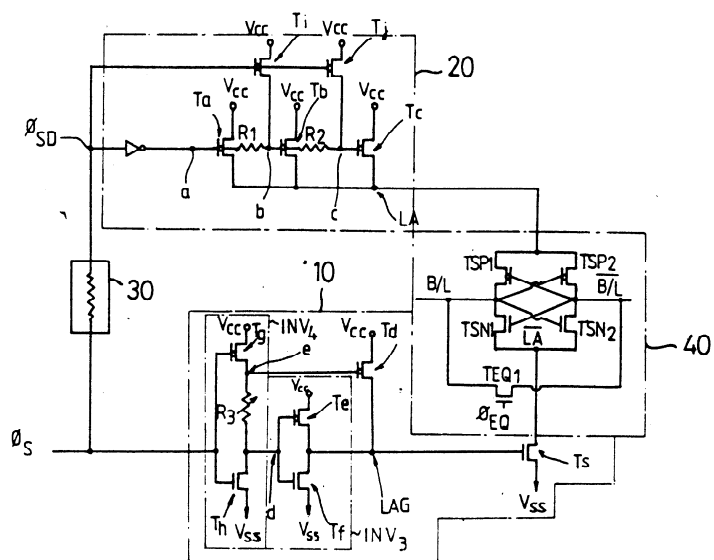
메모리장치의 센스앰프 구동회로에 있어서, 인버터를 거친 센싱클럭(ϕ_{s0})으로 p모스 리스토어 트랜지스터(T_a-T_c)가 차례로 온되도록 상기 p모스 리스토어 트랜지스터(T_a-T_c)의 게이트간에 (R₁, R₂)이 연결되고, 상기 p모스 리스토어 트랜지스터(T_b, T_c)의 게이트에는 센싱클럭(ϕ_{s0})으로 직접 제어되는 지연방지용 p모스 트랜지스터(T₁, T₃)의 출력이 입력되게 연결 구성되는 리스토어 클럭구동부(20)를 가지는 메모리 셀의 센스앰프 구동회로.

도면

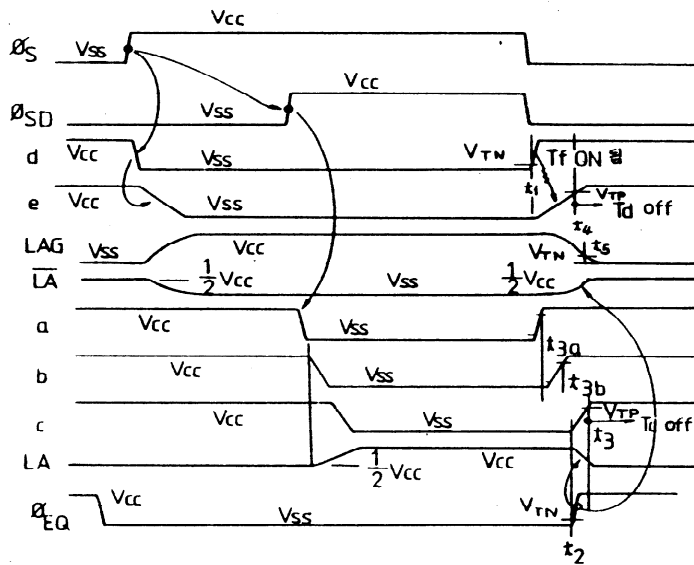
도면1



도면2



도면3



도면4

