



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2023년10월10일
(11) 등록번호 10-2587815
(24) 등록일자 2023년10월05일

- (51) 국제특허분류(Int. Cl.)
H01L 21/02 (2006.01) H01L 21/321 (2006.01)
H01L 21/762 (2006.01) H01L 23/18 (2006.01)
H01L 29/32 (2006.01) H01L 29/66 (2006.01)
- (52) CPC특허분류
H01L 21/0217 (2013.01)
H01L 21/0214 (2013.01)
- (21) 출원번호 10-2021-7028576(분할)
- (22) 출원일자(국제) 2017년12월01일
심사청구일자 2021년09월06일
- (85) 번역문제출일자 2021년09월06일
- (65) 공개번호 10-2021-0115049
- (43) 공개일자 2021년09월24일
- (62) 원출원 특허 10-2019-7019172
원출원일자(국제) 2017년12월01일
심사청구일자 2020년10월15일
- (86) 국제출원번호 PCT/US2017/064248
- (87) 국제공개번호 WO 2018/106535
국제공개일자 2018년06월14일
- (30) 우선권주장
62/429,922 2016년12월05일 미국(US)
- (56) 선행기술조사문헌
US20140070215 A1
US20140084290 A1
US20150115480 A1
JP2014509087 A

- (73) 특허권자
글로벌웨이퍼스 씨오., 엘티디.
중화민국, 타이완, 신주, 사이언스-베이스드 인터
스트리얼 파크, 인더스트리얼 이스트 로드 2, 넘
버 8
- (72) 발명자
리버트, 제프리 엘.
미국 63376 미조리주 세인트 피터스 펄 드라이브
501
류, 창민
미국 63376 미조리주 세인트 피터스 펄 드라이브
501
(뒷면에 계속)
- (74) 대리인
양영준, 임규빈, 백만기

전체 청구항 수 : 총 24 항

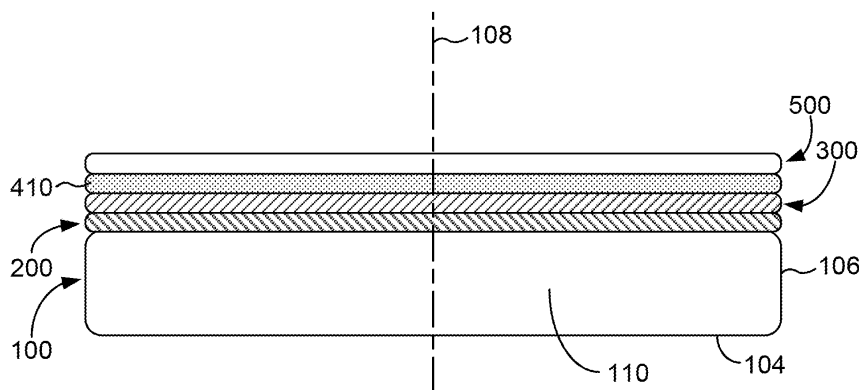
심사관 : 강명희

(54) 발명의 명칭 높은 저항률 실리콘-온-절연체 구조 및 그의 제조 방법

(57) 요약

다층 구조가 제공되고, 다층 구조는 반도체 온 절연체 구조를 포함하고, 이는 하부의 전하 트래핑 층의 안정성을 강화하는 절연 층을 포함한다.

대표도 - 도3e



(52) CPC특허분류

H01L 21/02164 (2013.01)
H01L 21/02211 (2013.01)
H01L 21/02236 (2013.01)
H01L 21/02255 (2013.01)
H01L 21/02274 (2013.01)
H01L 21/0234 (2013.01)
H01L 21/02529 (2013.01)
H01L 21/02595 (2013.01)
H01L 29/66833 (2013.01)

존스, 앤드류 엠.

미국 63376 미조리주 세인트 피터스 펄 드라이브
501

(72) 발명자

왕, 강

미국 63376 미조리주 세인트 피터스 펄 드라이브
501

명세서

청구범위

청구항 1

다층 구조를 준비하는 방법으로서,

단결정 반도체 헨들 기관의 전면 상에 전하 트래핑 층을 퇴적하는 단계 - 상기 단결정 반도체 헨들 기관은 평행한 2개의 주 표면 - 그 중 하나는 상기 단결정 반도체 헨들 기관의 전면이고 그 중 다른 하나는 상기 단결정 반도체 헨들 기관의 후면임 -, 상기 전면과 상기 후면 사이의 가상 중심 평면, 상기 단결정 반도체 헨들 기관의 전면과 후면을 연결하는 둘레 에지, 및 상기 단결정 반도체 헨들 기관의 전면과 후면 사이의 벌크 영역을 포함하고, 상기 단결정 반도체 헨들 기관은 적어도 500 ohm-cm의 최소 벌크 영역 저항률을 갖고 또한 상기 전하 트래핑 층은 단결정 실리콘을 포함하고 적어도 1,000 ohm-cm의 최소 저항률을 가짐 -;

상기 단결정 실리콘을 포함하는 상기 전하 트래핑 층 상에 실리콘 질화물 또는 실리콘 산질화물을 포함하는 절연 층을 퇴적하는 단계; 및

상기 절연 층에 단결정 반도체 도너 기관의 전면과 계면 접촉하는 유전체 층을 접합함으로써 접합된 구조를 형성하는 단계

를 포함하고, 상기 단결정 반도체 도너 기관은 평행한 2개의 주 표면 - 그 중 하나는 상기 단결정 반도체 도너 기관의 전면이고 그 중 다른 하나는 상기 단결정 반도체 도너 기관의 후면임 -, 상기 단결정 반도체 도너 기관의 전면과 후면을 연결하는 둘레 에지, 상기 단결정 반도체 도너 기관의 전면과 후면 사이의 중심 평면, 및 상기 단결정 반도체 도너 기관의 전면과 후면 사이의 벌크 영역을 포함하고, 또한 상기 단결정 반도체 도너 기관은 벽개면을 포함하는, 방법.

청구항 2

제1항에 있어서, 상기 단결정 반도체 헨들 기관은 단결정 실리콘을 포함하는, 방법.

청구항 3

제1항에 있어서, 상기 단결정 반도체 헨들 기관은 초크랄스키 방법 또는 플로트 존 방법에 의해 성장된 단결정 실리콘 잉곳으로부터 슬라이싱된 단결정 실리콘 웨이퍼를 포함하는, 방법.

청구항 4

제1항에 있어서, 상기 단결정 반도체 도너 기관은 단결정 실리콘을 포함하는, 방법.

청구항 5

제1항에 있어서, 상기 단결정 반도체 도너 기관은 초크랄스키 방법 또는 플로트 존 방법에 의해 성장된 단결정 실리콘 잉곳으로부터 슬라이싱된 단결정 실리콘 웨이퍼를 포함하는, 방법.

청구항 6

제1항에 있어서, 상기 단결정 반도체 헨들 기관은 500 Ohm-cm 내지 100,000 Ohm-cm의 벌크 저항률을 갖는, 방법.

청구항 7

제1항에 있어서, 상기 단결정 반도체 헨들 기관은 1,000 Ohm-cm 내지 100,000 Ohm-cm의 벌크 저항률을 갖는, 방법.

청구항 8

제1항에 있어서, 상기 단결정 반도체 헨들 기관은 1,000 Ohm-cm 내지 6,000 Ohm-cm의 벌크 저항률을 갖는,

방법.

청구항 9

제1항에 있어서, 상기 단결정 반도체 핸들 기판은 3,000 Ohm-cm 내지 5,000 Ohm-cm의 벌크 저항률을 갖는, 방법.

청구항 10

제1항에 있어서, 상기 전하 트래핑 층은 적어도 3,000 ohm-cm의 최소 저항률을 갖는, 방법.

청구항 11

제1항에 있어서, 상기 전하 트래핑 층은 적어도 7,000 ohm-cm의 최소 저항률을 갖는, 방법.

청구항 12

제1항에 있어서, 상기 절연 층은 실리콘 질화물을 포함하는, 방법.

청구항 13

제12항에 있어서, 상기 실리콘 질화물은 플라즈마 강화 화학 기상 증착에 의해 퇴적되는, 방법.

청구항 14

제1항에 있어서, 상기 절연 층은 실리콘 산질화물을 포함하는, 방법.

청구항 15

제14항에 있어서, 상기 실리콘 산질화물은 플라즈마 강화 화학 기상 증착에 의해 퇴적되는, 방법.

청구항 16

제1항에 있어서, 상기 절연 층은 2,000 옴스트롬 내지 10,000 옴스트롬의 두께를 갖는, 방법.

청구항 17

제1항에 있어서, 상기 유전체 층은 실리콘 이산화물, 실리콘 질화물, 실리콘 산질화물, 하프늄 산화물, 티타늄 산화물, 지르코늄 산화물, 란타늄 산화물, 바륨 산화물, 및 이들의 조합으로 구성되는 그룹으로부터 선택된 재료를 포함하는, 방법.

청구항 18

제1항에 있어서, 상기 유전체 층은 실리콘 이산화물, 실리콘 질화물, 실리콘 산질화물, 및 이들의 조합으로 구성되는 그룹으로부터 선택된 재료를 포함하는, 방법.

청구항 19

제1항에 있어서, 상기 유전체 층은 실리콘 이산화물을 포함하는, 방법.

청구항 20

제1항에 있어서, 상기 유전체 층은 다층(multilayer)을 포함하고, 상기 다층 내의 각각의 절연 층은 실리콘 이산화물, 실리콘 산질화물, 및 실리콘 질화물로 구성되는 그룹으로부터 선택된 재료를 포함하는, 방법.

청구항 21

제1항에 있어서, 상기 유전체 층은 10 나노미터 내지 10,000 나노미터의 두께를 갖는 절연 층을 포함하는, 방법.

청구항 22

제1항에 있어서,

상기 단결정 반도체 도너 기관의 전면 상의 상기 유전체 층에 접합하기 전에 상기 절연 층을 플라즈마 활성화하는 단계를 추가로 포함하는, 방법.

청구항 23

제1항에 있어서,

상기 절연 층과 상기 단결정 반도체 도너 기관의 전면 상의 상기 유전체 층 사이의 접합을 강화하기 위해 충분한 온도와 지속시간으로 상기 접합된 구조를 어닐링하는 단계를 추가로 포함하는, 방법.

청구항 24

제1항에 있어서,

상기 벽개면을 따라 상기 접합된 구조를 벽개함으로써 상기 단결정 반도체 핸들 기관, 상기 전하 트래핑 층, 상기 절연 층, 및 단결정 반도체 디바이스 층을 포함하는 벽개된 구조를 준비하는 단계를 추가로 포함하는, 방법.

발명의 설명

기술 분야

- [0001] 관련 출원(들)의 상호 참조
- [0002] 본 출원은 2016년 12월 5일자로 출원된 미국 가출원 제62/429,922호에 대한 우선권을 주장하며, 그의 개시내용은 이로써 그 전체가 기재된 것처럼 인용에 의해 포함된다.
- [0003] 발명의 분야
- [0004] 본 발명은 일반적으로 반도체 웨이퍼 제조 분야에 관한 것이다. 더 구체적으로, 본 발명은 반도체-온-절연체(semiconductor-on-insulator)(예컨대, 실리콘-온-절연체) 구조의 제조에서 사용하기 위한 핸들 기관을 준비하는 방법에 관한 것이고, 특히 반도체-온-절연체 구조의 핸들 웨이퍼에서 전하 트래핑 층을 제조하는 방법에 관한 것이다.

배경 기술

- [0005] 반도체 웨이퍼들은 일반적으로 후속 절차들에서의 웨이퍼의 적절한 배향(orientation)을 위해 하나 이상의 플랫(flats) 또는 노치(notches)를 갖도록 트리밍되고 그라인딩되는 단결정 잉곳(single crystal ingot)(예컨대, 실리콘 잉곳)으로부터 준비된다. 잉곳은 그 후 개별 웨이퍼들로 슬라이싱된다. 본 명세서에서는 실리콘으로 구성된 반도체 웨이퍼들에 대한 참조가 이루어질 것이지만, 게르마늄, 실리콘 탄화물, 실리콘 게르마늄, 갈륨 비화물, 및 III 족 및 V 족 원소들의 다른 합금들, 예컨대 갈륨 질화물 또는 인듐 인화물, 또는 II 족 및 VI 족 원소들의 합금들, 예컨대 카드뮴 황화물 또는 아연 산화물과 같은 다른 재료들이 반도체 웨이퍼들을 준비하기 위해 사용될 수 있다.
- [0006] 반도체 웨이퍼들(예컨대, 실리콘 웨이퍼들)은 복합층 구조들(composite layer structures)의 준비에 이용될 수 있다. 복합층 구조(예컨대, 반도체-온-절연체, 더 구체적으로는 실리콘-온-절연체(SOI) 구조)는 일반적으로 핸들 웨이퍼 또는 층, 디바이스 층, 및 핸들 층과 디바이스 층 사이의 절연(즉, 유전체) 막(전형적으로 산화물 층)을 포함한다. 일반적으로, 디바이스 층은 0.01 내지 20 마이크로미터 두께, 예컨대 0.05 내지 20 마이크로미터 두께이다. 후막 디바이스 층들은 약 1.5 마이크로미터 내지 약 20 마이크로미터의 디바이스 층 두께를 가질 수 있다. 박막 디바이스 층들은 약 0.01 마이크로미터 내지 약 0.20 마이크로미터의 두께를 가질 수 있다. 일반적으로, 실리콘-온-절연체(SOI), 실리콘-온-사파이어(SOS), 및 실리콘-온-석영과 같은 복합층 구조들은, 2개의 웨이퍼를 밀접하게 접촉하여 배치함으로써, 반데르발스 힘으로 접합을 개시하고, 뒤이어 접합을 강화시키기 위한 열 처리에 의해 제조된다. 어닐링은 말단 실라놀 기(terminal silanol group)를 2개의 계면 사이의 실록산 결합으로 변환함으로써, 접합을 강화시킬 수 있다.
- [0007] 열 어닐링(thermal anneal) 후, 접합된 구조는 층 전이(layer transfer)를 달성하기 위해 도너 웨이퍼의 상당한 부분을 제거하기 위한 추가 처리를 겪는다. 예를 들어, 웨이퍼 씨닝 기법(wafer thinning techniques), 예컨대, 종종 백 에치 SOI(back etch SOI)(즉, BESOI)로 지칭되는 에칭 또는 그라인딩이 사용될 수 있으며, 여기서 실리콘 웨이퍼는 핸들 웨이퍼에 구속되고 그 후 핸들 웨이퍼 상의 실리콘의 얇은 층만이 잔류할 때까지 천천히 에칭

제거된다. 예컨대, 미국 특허 제5,189,500호를 참조하고, 그 개시내용은 그 전체가 기재된 것처럼 인용에 의해 본 명세서에 포함된다. 이 방법은 시간 소모적이고 비용이 많이 들고, 기관들 중 하나를 낭비하고, 일반적으로 수 마이크로보다 얇은 층의 경우 적합한 두께 균일성을 갖지 않는다.

[0008] 층 전이를 달성하는 다른 일반적인 방법은 수소 주입(hydrogen implant)과 뒤이어 열 유도된 층 분리(thermally induced layer splitting)를 이용한다. 입자들(원자들 또는 이온화된 원자들, 예컨대, 수소 원자들 또는 수소와 헬륨 원자들의 조합)이 도너 웨이퍼의 전면 아래의 특정 깊이에 주입된다. 주입된 입자들은 그것들이 주입된 특정 깊이에서 도너 웨이퍼 내에 벽개면(cleave plane)을 형성한다. 도너 웨이퍼의 표면은 주입 프로세스 동안 웨이퍼 상에 퇴적되는 붕소 화합물들과 같은 유기 화합물들 또는 다른 오염물질들을 제거하도록 세정된다.

[0009] 그 후 도너 웨이퍼의 전면은 핸들 웨이퍼에 접합되어 친수성 접합 프로세스를 통해 접합된 웨이퍼를 형성한다. 접합 전에, 도너 웨이퍼 및/또는 핸들 웨이퍼는 웨이퍼들의 표면들을, 예를 들어, 산소 또는 질소를 포함하는 플라즈마에 노출시킴으로써 활성화된다. 플라즈마에 대한 노출은 종종 표면 활성화(surface activation)로 지칭되는 프로세스에서 표면들의 구조를 수정하는데, 이 활성화 프로세스는 도너 웨이퍼 및 핸들 웨이퍼 중 하나 또는 둘 다의 표면들을 친수성이 되게 한다. 웨이퍼의 표면들은 SC1 세정 또는 불화수소산(hydrofluoric acid)과 같은 습식 처리에 의해 추가적으로 화학적으로 활성화될 수 있다. 습식 처리 및 플라즈마 활성화는 어느 순서로든 발생할 수 있거나, 웨이퍼들은 단지 하나의 처리를 겪을 수 있다. 그 후 웨이퍼들이 함께 놓리어지고, 그들 사이에 접합이 형성된다. 이러한 접합은 반데르발스 힘으로 인해 비교적 약하고, 추가 처리가 발생할 수 있기 전에 강화되어야만 한다.

[0010] 일부 프로세스들에서, 도너 웨이퍼와 핸들 웨이퍼(즉, 접합된 웨이퍼) 사이의 친수성 접합은 접합된 웨이퍼 쌍을 가열하거나 어닐링함으로써 강화된다. 일부 프로세스들에서, 웨이퍼 접합은 대략 300°C 내지 500°C와 같은 저온에서 발생할 수 있다. 일부 프로세스들에서, 웨이퍼 접합은 대략 800°C 내지 1100°C와 같은 고온에서 발생할 수 있다. 상승된 온도는 도너 웨이퍼와 핸들 웨이퍼의 인접한 표면들 사이의 공유 결합의 형성을 야기하고, 따라서 도너 웨이퍼와 핸들 웨이퍼 사이의 접합을 단단하게 만든다(solidifying). 접합된 웨이퍼의 가열 또는 어닐링과 동시에, 도너 웨이퍼에 더 일찍 주입된 입자들은 벽개면을 약화시킨다.

[0011] 그 후, 도너 웨이퍼의 일부가 접합된 웨이퍼로부터 벽개면을 따라 분리(즉, 벽개)되어 SOI 웨이퍼를 형성한다. 벽개(cleaving)는 도너 웨이퍼의 일부를 접합된 웨이퍼로부터 당겨 분리시키기 위해 기계적 힘이 접합된 웨이퍼의 대향 측면들에 수직으로 인가되는 고정구(fixture)에 접합된 웨이퍼를 배치함으로써 수행될 수 있다. 일부 방법들에 따르면, 흡입 컵(suction cups)을 이용하여 기계적 힘을 인가한다. 도너 웨이퍼의 일부의 분리는 벽개면을 따라 균열의 진행을 개시하기 위해 벽개면에서 접합된 웨이퍼의 에지에 기계적 웨지를 적용함으로써 개시된다. 흡입 컵에 의해 인가된 기계적 힘은 그 후 접합된 웨이퍼로부터 도너 웨이퍼의 일부를 당기고, 따라서 SOI 웨이퍼를 형성한다.

[0012] 다른 방법들에 따르면, 접합된 쌍은 대신에 접합된 웨이퍼로부터 도너 웨이퍼의 일부를 분리시키기 위하여 일정 기간 동안 상승된 온도를 겪을 수도 있다. 상승된 온도에서의 노출은 벽개면을 따른 균열의 개시 및 진행을 야기하고, 따라서 도너 웨이퍼의 일부를 분리시킨다. 주입된 이온들로부터의 보이드들의 형성으로 인해 균열이 형성되고, 이는 오스왈드 숙성(Ostwald ripening)에 의해 성장한다. 보이드들은 수소 및 헬륨으로 채워진다. 보이드들은 소판(platelet)들이 된다. 소판들 내의 가압된 가스들은 마이크로-캐비티들 및 마이크로-균열들을 진행시키고, 이는 주입 평면 상의 실리콘을 약화시킨다. 어닐링이 적절한 시간에 정지되면, 약화된 접합된 웨이퍼는 기계적 프로세스에 의해 벽개될 수 있다. 그러나, 열 처리가 더 긴 지속기간 동안 및/또는 더 높은 온도에서 계속되면, 마이크로-균열 진행은 모든 균열이 벽개면을 따라 병합되는 레벨에 도달하고, 따라서 도너 웨이퍼의 일부를 분리시킨다. 이 방법은 전이된 층의 더 양호한 균일성을 가능하게 하고, 도너 웨이퍼의 재활용을 가능하게 하지만, 전형적으로 주입되고 접합된 쌍을 500°C에 접근하는 온도로 가열하는 것을 요구한다.

[0013] 안테나 스위치들과 같은 RF 관련 디바이스를 위한 높은 저항률 반도체-온-절연체(예컨대, 실리콘-온-절연체) 웨이퍼들의 사용은 비용 및 집적화의 관점에서 종래의 기관들에 비해 이점들을 제공한다. 고주파수 응용을 위해 전도성 기관을 사용할 때 고유한 고조파 왜곡을 최소화하고 기생 전력 손실을 감소시키기 위해, 높은 저항률을 갖는 기관 웨이퍼들을 사용하는 것이 필요하지만, 충분하지는 않다. 따라서, RF 디바이스에 대한 핸들 웨이퍼의 저항률은 일반적으로 약 500 Ohm-cm보다 크다. 이제 도 1을 참조하면, 매우 높은 저항률 실리콘 웨이퍼(4), 매립 산화물(BOX) 층(6), 및 실리콘 디바이스 층(10)을 포함하는 실리콘 온 절연체 구조(2)가 있다. 그러한 기관은 자유 캐리어들(전자들 또는 정공들)의 생성을 야기하는 BOX/핸들 계면에서의 높은 전도율 전하 반전 또는 축적 층들(12)을 형성하기 쉽고, 이는 기관의 유효 저항률을 감소시키고 디바이스들이 RF 주파수들에서 작동될

때 기생 전력 손실들 및 디바이스 비선형성을 일으킨다. 이러한 반전/축적 층들은 BOX 고정된 전하, 산화물 트랩된 전하, 계면 트랩된 전하, 및 심지어 디바이스들 자체에 인가된 DC 바이어스로 인한 것일 수 있다.

[0014] 따라서, 심지어 매우 가까운 표면 영역에서도 기관의 높은 저항률이 유지되도록 임의의 유도된 반전 또는 축적 층들에 전하를 트랩(trap)하기 위한 방법이 요구된다. 높은 저항률 핸들 기관과 매립 산화물(BOX) 사이의 전하 트래핑 층(CTL)은 SOI 웨이퍼를 사용하여 제조되는 RF 디바이스의 성능을 개선할 있다는 것이 알려져 있다. 이러한 높은 계면 트랩 층들을 형성하기 위한 다수의 방법들이 제안되었다. 예를 들어, 이제 도 2를 참조하면, RF 디바이스 응용들을 위한 CTL을 갖는 반도체-온-절연체 구조(20)(예컨대, 실리콘-온-절연체, 또는 SOI)를 생성하는 하나의 방법은 높은 저항률을 갖는 실리콘 기관(22) 상에 도핑되지 않은 다결정 실리콘 막(28)을 퇴적하고 그 후 그 위에 산화물(24) 및 상부 실리콘 층(26)의 스택을 형성하는 것에 기초한다. 다결정 실리콘 층(28)은 실리콘 기관(22)과 매립 산화물 층(24) 사이의 높은 결합 층으로서의 역할을 한다. 실리콘-온-절연체 구조(20) 내의 높은 저항률 기관(22)과 매립 산화물 층(24) 사이의 전하 트래핑 층(28)으로서 사용하기 위한 다결정 실리콘 막을 묘사하는 도 2를 참조한다. 대안적인 방법은 가까운 표면 손상 층을 생성하기 위한 중이온 (heavy ions)의 주입이다. 무선주파수 디바이스와 같은 디바이스들이 상부 실리콘 층(26) 내에 구축된다.

[0015] 산화물과 기관 사이에서의 다결정 실리콘 층은 디바이스 격리를 개선하고, 송신 라인 손실을 감소시키고, 고조파 왜곡을 감소시킨다는 것이 학술 연구에서 밝혀졌다. 예를 들어, 다음을 참조한다: H. S. Gamble, 외 "Low-loss CPW lines on surface stabilized high resistivity silicon," *Microwave Guided Wave Lett.*, 9(10), pp. 395-397, 1999; D. Lederer, R. Lobet 및 J.-P. Raskin, "Enhanced high resistivity SOI wafers for RF applications," *IEEE Intl. SOI Conf.*, pp. 46-47, 2004; D. Lederer 및 J.-P. Raskin, "New substrate passivation method dedicated to high resistivity SOI wafer fabrication with increased substrate resistivity," *IEEE Electron Device Letters*, vol. 26, no. 11, pp.805-807, 2005; D. Lederer, B. Aspar, C. **Laghaé** 및 J.-P. Raskin, "Performance of RF passive structures and SOI MOSFETs transferred on a passivated HR SOI substrate," *IEEE International SOI Conference*, pp. 29-30, 2006; 및 Daniel C. Kerr 외. "Identification of RF harmonic distortion on Si substrates and its reduction using a trap-rich layer", *Silicon Monolithic Integrated Circuits in RF Systems*, 2008. SiRF 2008 (IEEE Topical Meeting), pp. 151-154, 2008.

발명의 내용

[0016] 본 발명은 다층 구조에 관한 것으로, 이 다층 구조는: 단결정 반도체 핸들 기관 - 상기 단결정 반도체 핸들 기관은 대체로 평행한 2개의 주 표면 - 그 중 하나는 상기 단결정 반도체 핸들 기관의 전면이고 그 중 다른 하나는 상기 단결정 반도체 핸들 기관의 후면임 -, 상기 전면과 상기 후면 사이의 가상 중심 평면, 상기 단결정 반도체 핸들 기관의 전면과 후면을 연결하는 둘레 에지, 및 상기 단결정 반도체 핸들 기관의 전면과 후면 사이의 벌크 영역을 포함하고, 상기 단결정 반도체 핸들 기관은 적어도 약 500 ohm-cm의 최소 벌크 영역 저항률을 가짐 -; 다결정 실리콘 층을 포함하는 전하 트래핑 층 - 상기 전하 트래핑 층은 상기 단결정 반도체 핸들 기관의 상기 전면과 계면 접촉하고, 상기 전하 트래핑 층은 적어도 약 1000 ohm-cm의 최소 저항률을 가짐 -; 상기 다결정 실리콘 층과 계면 접촉하는 실리콘 질화물 또는 실리콘 산질화물을 포함하는 절연 층; 및 단결정 실리콘 디바이스 층을 포함한다.

[0017] 본 발명은 더 추가로 다층 구조를 준비하는 방법에 관한 것으로, 이 방법은: 단결정 반도체 핸들 기관의 전면 상에 전하 트래핑 층을 퇴적하는 단계 - 상기 단결정 반도체 핸들 기관은 대체로 평행한 2개의 주 표면 - 그 중 하나는 상기 단결정 반도체 핸들 기관의 전면이고 그 중 다른 하나는 상기 단결정 반도체 핸들 기관의 후면임 -, 상기 전면과 상기 후면 사이의 가상 중심 평면, 상기 단결정 반도체 핸들 기관의 전면과 후면을 연결하는 둘레 에지, 및 상기 단결정 반도체 핸들 기관의 전면과 후면 사이의 벌크 영역을 포함하고, 상기 단결정 반도체 핸들 기관은 적어도 약 500 ohm-cm의 최소 벌크 영역 저항률을 갖고 또한 상기 전하 트래핑 층은 다결정 실리콘을 포함하고 적어도 약 1000 ohm-cm의 최소 저항률을 가짐 -; 상기 다결정 실리콘 층 상에 실리콘 질화물 또는 실리콘 산질화물을 포함하는 절연 층을 퇴적하는 단계; 및 상기 절연 층에 단결정 반도체 도너 기관의 전면 상의 유전체 층을 접합함으로써 접합된 구조를 형성하는 단계를 포함하고, 상기 단결정 반도체 도너 기관은 대체로 평행한 2개의 주 표면 - 그 중 하나는 상기 반도체 도너 기관의 전면이고 그 중 다른 하나는 상기 반도체 도너 기관의 후면임 -, 상기 반도체 도너 기관의 전면과 후면을 연결하는 둘레 에지, 상기 반도체 도너 기관의 전면과 후면 표면 사이의 중심 평면, 및 상기 반도체 도너 기관의 전면과 후면 사이의 벌크 영역을 포함하고, 또한 상기 단결정 반도체 도너 기관은 벽개면을 포함한다.

[0018] 다른 목적들과 특징들은 부분적으로 명백하고 부분적으로 이하에서 지적될 것이다.

도면의 간단한 설명

[0019] 도 1은 높은 저항률 기판 및 매립 산화물 층을 포함하는 실리콘-온-절연체 웨이퍼의 묘사이다.

도 2는 종래 기술에 따른 실리콘-온-절연체 웨이퍼의 묘사로서, 이 SOI 웨이퍼는 높은 저항률 기판과 매립 산화물 층 사이의 폴리실리콘 전하 트래핑 층을 포함한다.

도 3a 내지 도 3e는 본 발명의 일부 실시예들에 따른 프로세스 흐름을 묘사한다.

도 4a는 실리콘 질화물 유전체 층을 퇴적하기 위해 질소 플라즈마를 겪는 실리콘 온 절연체 웨이퍼 내의 붕소 농도 프로파일들을 묘사하는 그래프이다. 도 4b는 실리콘 이산화물 유전체 층을 퇴적하기 위해 산소 플라즈마를 겪는 실리콘 온 절연체 웨이퍼 내의 붕소 농도 프로파일들을 묘사하는 그래프이다.

도 5는 CPW 테스트에 의한 2차 고조파 상대 전력을 묘사하는 그래프이다. 이 테스트는 질소 플라즈마 퇴적 및 산소 플라즈마 퇴적에 의해 준비된 웨이퍼들을 비교한다.

발명을 실시하기 위한 구체적인 내용

[0020] 본 발명에 따르면, 전하 트래핑 층(CTL)을 포함하는 반도체-온-절연체 복합 구조(SOI, 예컨대, 실리콘-온-절연체 복합 구조)를 준비하기 위한 방법이 제공된다. 본 발명은 추가로 반도체-온-절연체 복합 구조(예컨대, 전하 트래핑 층(CTL)을 포함하는 실리콘-온-절연체 복합 구조)에 관한 것이다. 본 개시내용은 무선주파수 디바이스들에서 사용되는 SOI 구조의 전기적 성능을 강화하기 위해 단결정 반도체 핸들 기판을 엔지니어링하는 방법을 제공한다.

[0021] 일부 실시예들에서, 본 발명은 완성된 RF 디바이스들의 성능을 상당히 개선하기 위해 다결정 실리콘 전하 트랩 층(CTL)과 도너 기판 사이의 계면을 엔지니어링함으로써 SOI 웨이퍼들을 제조하는 방법에 관한 것이다. 다결정 실리콘 전하 트랩 층(CTL)의 속성은 SOI 구조가 겪는 열 처리에 의존한다. 실제로, SOI 구조 제조 및 디바이스 처리의 열 예산(thermal budget)은 전하 트래핑 층에서 구조적 변화들을 야기할 만큼 충분히 높아서, RF 디바이스 특성들을 개선하기에 효과가 없게 된다. 추가적으로, 접합 계면에서 트랩되는 붕소, 알루미늄, 및 다른 금속들과 같은 오염물질들은 다결정 실리콘 층을 쉽게 관통하여 쉽게 확산되고 다결정 실리콘 층의 저항률을 감소시키거나 다결정 실리콘 층의 재결정화를 유도할 수 있다. 이러한 효과들 중 어느 것이든 RF 성능을 개선하는데 다결정 실리콘 층의 유효성을 감소시킨다. 본 발명의 목적은 전하 트래핑 유효성을 보존하고 완성된 RF 디바이스의 성능을 상당히 개선하는 열 안정적인 CTL들을 갖는 SOI 웨이퍼를 제조하는 방법을 제공하는 것이다.

[0022] I. 반도체 핸들 기판 및 반도체 도너 기판

[0023] 본 발명에서 사용하기 위한 기판은 반도체 핸들 기판, 예컨대, 단결정 반도체 핸들 웨이퍼 및 반도체 도너 기판, 예컨대 단결정 반도체 도너 웨이퍼를 포함한다. 반도체-온-절연체 복합 구조 내의 반도체 디바이스 층은 단결정 반도체 도너 웨이퍼로부터 도출된다. 반도체 디바이스 층은 반도체 도너 기판을 에칭하는 것과 같은 웨이퍼 씨닝 기법들에 의해 또는 손상 평면을 포함하는 반도체 도너 기판을 벽개함으로써 반도체 핸들 기판 상으로 전이될 수 있다.

[0024] 도 3a 내지 도 3e는 본 발명의 일부 실시예들에 따른 프로세스 흐름을 묘사한다. 도 3a를 참조하면, 예시적인 비제한적 단결정 반도체 핸들 웨이퍼(100)가 묘사되어 있다. 일반적으로, 단결정 반도체 핸들 웨이퍼(100)는 대체로 평행한 2개의 주 표면을 포함한다. 평행한 표면들 중 하나는 단결정 반도체 핸들 웨이퍼(100)의 전면(102)이고, 다른 평행한 표면은 단결정 반도체 핸들 웨이퍼(100)의 후면(104)이다. 단결정 반도체 핸들 웨이퍼(100)는 전면과 후면(102, 104)을 연결하는 둘레 에지(106)를 포함한다. 단결정 반도체 핸들 웨이퍼(100)는, 대체로 평행한 2개의 주 표면(102, 104)에 수직이고 전면과 후면(102, 104) 사이의 중간 포인트들에 의해 정의되는 중심 평면에도 수직인 중심 축(108)을 포함한다. 단결정 반도체 핸들 웨이퍼(100)는 대체로 평행한 2개의 주 표면(102, 104) 사이에 벌크 영역(110)을 포함한다. 반도체 웨이퍼, 예컨대, 실리콘 웨이퍼는, 전형적으로, 어떤 전체 두께 변동(TTV), 뒤틀림(warp), 및 휨(bow)을 가지므로, 전면(102) 상의 모든 포인트와 후면(104) 상의 모든 포인트 사이의 중간점은 평면 내에 정밀하게 속하지 않을 수 있다. 그러나, 실제적 문제로서, TTV, 뒤틀림, 및 휨은 전형적으로 매우 경미하여 근접한 근사치로 중간점들은 전면과 후면(102, 104) 사이에 대략적으로 등거리에 있는 가상 중심 평면 내에 속한다고 말할 수 있다.

- [0025] 본 명세서에 설명된 임의의 동작 전에, 단결정 반도체 핸들 웨이퍼(100)의 전면(102) 및 후면(104)은 실질적으로 동일할 수 있다. 단지 편의를 위해 그리고 일반적으로 본 발명의 방법의 동작들이 수행되는 표면을 구별하기 위하여, 표면은 "전면(front surface)" 또는 "후면(back surface)"으로 지칭된다. 본 발명의 맥락에서, 단결정 반도체 핸들 웨이퍼(100), 예컨대, 단결정 실리콘 핸들 웨이퍼의 "전면"은 접합된 구조의 내부 표면이 되는 기관의 주 표면을 지칭한다. 따라서, 단결정 반도체 핸들 웨이퍼(100), 예컨대, 핸들 웨이퍼의 "후면"은 접합된 구조의 외부 표면이 되는 주 표면을 지칭한다. 유사하게, 단결정 반도체 도너 기관, 예컨대, 단결정 실리콘 도너 웨이퍼의 "전면"은 접합된 구조의 내부 표면이 되는 단결정 반도체 도너 기관의 주 표면을 지칭하고, 단결정 반도체 도너 기관, 예컨대, 단결정 실리콘 도너 웨이퍼의 "후면"은 접합된 구조의 외부 표면이 되는 주 표면을 지칭한다. 본 발명의 맥락에서, 단결정 반도체 핸들 기관(100) 및 단결정 반도체 도너 기관 중 어느 하나 또는 둘 다의 전면들 상에 하나 이상의 절연 층이 준비될 수 있다. 종래의 접합 및 웨이퍼 씨닝 단계들이 완료되면, 단결정 반도체 도너 기관은 반도체-온-절연체(예컨대, 실리콘-온-절연체) 복합 구조의 반도체 디바이스 층을 형성한다.
- [0026] 단결정 반도체 핸들 기관과 단결정 반도체 도너 기관은 단결정 반도체 웨이퍼들일 수 있다. 바람직한 실시예들에서, 반도체 웨이퍼는 실리콘, 실리콘 탄화물, 실리콘 게르마늄, 갈륨 비화물, 갈륨 질화물, 인듐 인화물, 인듐 갈륨 비화물, 게르마늄, 및 이들의 조합들로 구성되는 그룹으로부터 선택된 재료를 포함한다. 본 발명의 단결정 반도체 웨이퍼들, 예컨대, 단결정 실리콘 핸들 웨이퍼 및 단결정 실리콘 도너 웨이퍼는 전형적으로 적어도 약 150 mm, 적어도 약 200 mm, 적어도 약 300 mm, 또는 적어도 약 450 mm의 공칭 직경을 갖는다. 웨이퍼 두께는 약 250 마이크로미터 내지 약 1500 마이크로미터, 예컨대 약 300 마이크로미터 내지 약 1000 마이크로미터, 적합하게는 약 500 마이크로미터 내지 약 1000 마이크로미터의 범위 내에서 변화할 수 있다. 일부 특정 실시예들에서, 웨이퍼 두께는 약 725 마이크로미터일 수 있다. 일부 실시예들에서, 웨이퍼 두께는 약 775 마이크로미터일 수 있다.
- [0027] 특히 바람직한 실시예들에서, 단결정 반도체 웨이퍼들은 종래의 초크랄스키(Czochralski) 결정 성장 방법들 또는 플로트 존(float zone) 성장 방법들에 따라 성장된 단결정 잉곳으로부터 슬라이싱된 단결정 실리콘 웨이퍼들을 포함한다. 그러한 방법뿐만 아니라, 표준 실리콘 슬라이싱, 랩핑, 에칭, 및 연마 기법들은, 예를 들어, F. Shimura, Semiconductor Silicon Crystal Technology, Academic Press, 1989, 및 Silicon Chemical Etching, (J. Grabmaier ed.) Springer-Verlag, N.Y., 1982(인용에 의해 본 명세서에 포함됨)에 개시되어 있다. 바람직하게는, 웨이퍼들은 본 기술분야의 통상의 기술자들에게 알려진 표준 방법에 의해 연마되고 세정된다. 예를 들어, 다음을 참조한다: W.C. O'Mara 외, Handbook of Semiconductor Silicon Technology, Noyes Publications. 원한다면, 웨이퍼들은, 예를 들어, 표준 SC1/SC2 용액에서 세정될 수 있다. 일부 실시예들에서, 본 발명의 단결정 실리콘 웨이퍼들은 종래의 초크랄스키("Cz") 결정 성장 방법들에 따라 성장된 단결정 잉곳으로부터 슬라이싱된 단결정 실리콘 웨이퍼들이고, 전형적으로, 적어도 약 150 mm, 적어도 약 200 mm, 적어도 약 300 mm, 또는 적어도 약 450 mm의 공칭 직경을 갖는다. 바람직하게는, 단결정 실리콘 핸들 웨이퍼 및 단결정 실리콘 도너 웨이퍼 둘 다는 표면 결함, 예컨대 스크래치, 큰 입자 등이 없는 미러 연마된 전면 마감을 갖는다. 웨이퍼 두께는 약 250 마이크로미터 내지 약 1500 마이크로미터, 예컨대 약 300 마이크로미터 내지 약 1000 마이크로미터, 적합하게는 약 500 마이크로미터 내지 약 1000 마이크로미터의 범위 내에서 변화할 수 있다. 일부 특정 실시예들에서, 웨이퍼 두께는 약 725 마이크로미터 내지 약 800 마이크로미터, 예컨대 약 750 마이크로미터 내지 약 800 마이크로미터일 수 있다. 일부 실시예들에서, 웨이퍼 두께는 약 725 마이크로미터일 수 있다. 일부 실시예들에서, 웨이퍼 두께는 약 775 마이크로미터일 수 있다.
- [0028] 일부 실시예들에서, 단결정 반도체 웨이퍼들, 즉, 단결정 반도체 핸들 웨이퍼 및 단결정 반도체 도너 웨이퍼는 일반적으로 초크랄스키 성장 방법에 의해 달성되는 농도의 격자간 산소(interstitial oxygen)를 포함한다. 일부 실시예들에서, 단결정 반도체 웨이퍼들은 약 4 PPMA 내지 약 18 PPMA의 농도의 산소를 포함한다. 일부 실시예들에서, 반도체 웨이퍼들은 약 10 PPMA 내지 약 35 PPMA의 농도의 산소를 포함한다. 일부 실시예들에서, 단결정 실리콘 웨이퍼는 약 12 PPMA보다 크지 않은, 예컨대 약 10 PPMA보다 작은 농도의 산소를 포함한다. 격자간 산소는 SEMI MF 1188-1105에 따라 측정될 수 있다.
- [0029] 단결정 반도체 핸들 웨이퍼(100)는 초크랄스키 또는 플로트 존 방법들에 의해 획득될 수 있는 임의의 저항률을 가질 수 있다. 따라서, 단결정 반도체 핸들 웨이퍼(100)의 저항률은 본 발명의 구조의 최종 사용/응용의 요건에 기초한다. 따라서, 저항률은 밀리옴 이하 내지 메가옴 이상으로 변화할 수 있다. 일부 실시예들에서, 단결정 반도체 핸들 웨이퍼(100)는 p형 또는 n형 도펀트를 포함한다. 적합한 도펀트는, 붕소(p형), 갈륨(p형), 인(n형), 안티몬(n형), 및 비소(n형)를 포함한다. 도펀트 농도는 핸들 웨이퍼의 원하는 저항률에 기초하여 선택

된다. 일부 실시예들에서, 단결정 반도체 핸들 기판은 p형 도펀트를 포함한다. 일부 실시예들에서, 단결정 반도체 핸들 기판은 붕소와 같은 p형 도펀트를 포함하는 단결정 실리콘 웨이퍼이다.

[0030] 일부 실시예들에서, 단결정 반도체 핸들 웨이퍼(100)는 약 100 ohm-cm 미만, 약 50 ohm-cm 미만, 약 1 ohm-cm 미만, 약 0.1 ohm-cm 미만 또는 심지어 약 0.01 ohm-cm 미만과 같은, 비교적 낮은 최소 벌크 저항률을 갖는다. 일부 실시예들에서, 단결정 반도체 핸들 기판(100)은 약 100 ohm-cm 미만, 또는 약 1 ohm-cm 내지 약 100 ohm-cm와 같은, 비교적 낮은 최소 벌크 저항률을 갖는다. 낮은 저항률 웨이퍼들은 붕소(p형), 갈륨(p형), 알루미늄(p형), 인듐(p형), 인(n형), 안티몬(n형), 및 비소(n형)와 같은 전기적 활성 도펀트들을 포함할 수 있다.

[0031] 일부 실시예들에서, 단결정 반도체 핸들 웨이퍼(100)는 비교적 높은 최소 벌크 저항률을 갖는다. 높은 저항률 웨이퍼들은 일반적으로 초크랄스키 방법 또는 플롯 존 방법에 의해 성장된 단결정 잉곳으로부터 슬라이싱된다. 높은 저항률 웨이퍼들은, 붕소(p형), 갈륨(p형), 알루미늄(p형), 인듐(p형), 인(n형), 안티몬(n형), 및 비소(n형)와 같은, 전기적 활성 도펀트들을 일반적으로 매우 낮은 농도로 포함할 수 있다. Cz-성장된 실리콘 웨이퍼들은 결정 성장 동안에 혼입되는 산소에 의해 야기된 열 도너(thermal donors)를 전멸시키기 위해 약 600°C 내지 약 1000°C 범위의 온도에서 열 어닐링을 겪을 수 있다. 일부 실시예들에서, 단결정 반도체 핸들 웨이퍼는 적어도 100 Ohm-cm, 또는 심지어 적어도 약 500 Ohm-cm의, 예컨대 약 100 Ohm-cm 내지 약 100,000 Ohm-cm, 또는 약 500 Ohm-cm 내지 약 100,000 Ohm-cm, 또는 약 1000 Ohm-cm 내지 약 100,000 Ohm-cm, 또는 약 500 Ohm-cm 내지 약 10,000 Ohm-cm, 또는 약 750 Ohm-cm 내지 약 10,000 Ohm, 약 1000 Ohm-cm 내지 약 10,000 Ohm-cm, 약 1000 Ohm-cm 내지 약 6000 ohm-cm, 약 2000 Ohm-cm 내지 약 10,000 Ohm-cm, 약 3000 Ohm-cm 내지 약 10,000 Ohm-cm, 또는 약 3000 Ohm-cm 내지 약 5,000 Ohm-cm의 최소 벌크 저항률을 갖는다. 일부 바람직한 실시예들에서, 단결정 반도체 핸들 기판은 약 1000 Ohm-cm 내지 약 6,000 Ohm-cm의 벌크 저항률을 갖는다. 높은 저항률 웨이퍼들을 준비하는 방법들은 본 기술분야에 알려져 있고, 그러한 높은 저항률 웨이퍼들은 SunEdison Semiconductor Ltd.(St. Peters, MO; 예전에는 MEMC Electronic Materials, Inc.)와 같은 상업적 공급자들로부터 획득될 수 있다.

[0032] 일부 바람직한 실시예들에서, 단결정 반도체 핸들 기판은 붕소, 알루미늄, 갈륨, 인듐, 및 이들의 임의의 조합으로 구성되는 그룹으로부터 선택된 전기적 활성 도펀트를 포함한다. 일부 바람직한 실시예들에서, 단결정 반도체 핸들 기판은 약 2×10^{13} atoms/cm³보다 작은, 약 1×10^{13} atoms/cm³보다 작은, 예컨대 약 5×10^{12} atoms/cm³보다 작은, 또는 약 1×10^{12} atoms/cm³보다 작은 농도로 존재할 수 있는, 붕소를 포함한다. 높은 저항률 웨이퍼들을 준비하는 방법들은 본 기술분야에 알려져 있고, 그러한 높은 저항률 웨이퍼들은 SunEdison Semiconductor Ltd.(St. Peters, MO; 예전에는 MEMC Electronic Materials, Inc.)와 같은 상업적 공급자들로부터 획득될 수 있다.

[0033] 단결정 반도체 핸들 웨이퍼(100)는 단결정 실리콘을 포함할 수 있다. 단결정 반도체 핸들 웨이퍼(100)는, 예를 들어, (100), (110), 또는 (111) 결정 배향 중 임의의 결정 배향을 가질 수 있고, 결정 배향의 선택은 구조의 최종 사용에 의해 좌우될 수 있다.

[0034] 옵션으로, 전면(102), 후면(104), 또는 둘 다는 본 기술분야에 알려진 방법들에 따라 산화될 수 있다. 산화는 열 산화(퇴적된 반도체 재료 막의 일부 부분이 소모될 것임) 또는 CVD 산화물 퇴적과 같은, 본 기술분야에 알려진 수단에 의해 완수될 수 있다. 전면(102), 후면(104) 또는 둘 다 상의 산화 층은 적어도 약 1 나노미터 두께, 예컨대 약 10 나노미터 내지 약 5000 나노미터 두께, 예컨대 약 100 나노미터 내지 약 1000 나노미터, 또는 약 200 나노미터 내지 약 400 나노미터일 수 있다. 일부 실시예들에서, 산화 층은 예컨대 약 5 옴스트롬 내지 약 25 옴스트롬, 예컨대 약 10 옴스트롬 내지 약 15 옴스트롬으로, 비교적 얇다. 얇은 산화물 층들은 SC1/SC2 세정 용액과 같은 표준 세정 용액에의 노출에 의해 획득될 수 있다. 일부 실시예들에서, SC1 용액은, 5부(5 parts)의 탈이온수, 1부(1 part)의 수성 NH₄OH(수산화암모늄, 29 중량%의 NH₃), 및 1부의 수성 H₂O₂(과산화수소, 30%)를 포함한다. 일부 실시예들에서, 핸들 기판은, SC2 용액과 같은, 산화제를 포함하는 수용액에 노출시킴으로써 산화될 수 있다. 일부 실시예들에서, SC2 용액은 5부의 탈이온수, 1부의 수성 HCl(염산, 39 중량%), 및 1부의 수성 H₂O₂(과산화수소, 30%)를 포함한다.

[0035] II. 전하 트래핑 층의 퇴적

[0036] 본 발명의 방법에 따르면 그리고 도 3a 및 도 3b를 참조하면, 전하 트래핑 층(200)이 단결정 반도체 핸들 웨이퍼(100)의 전면(102)과 접촉하여 퇴적된다. 일부 실시예들에서, 전하 트래핑 층(200)은 다결정 실리콘을 포함한다. 그러한 재료들은 다결정 반도체 재료들 및 비정질 반도체 재료들을 포함한다. 다결정 또는 비정질일 수

있는 재료들은 실리콘(Si), 실리콘 게르마늄(SiGe), 탄소가 도핑된 실리콘(SiC), 및 게르마늄(Ge)을 포함한다. 다결정 반도체, 예컨대, 다결정 실리콘은, 랜덤 결정 배향들을 갖는 작은 실리콘 결정들을 포함하는 재료를 나타낸다. 다결정 재료는 랜덤 결정 배향들을 갖는 작은 결정들을 포함하는 재료를 나타낸다. 다결정 입자들은 크기가 약 20 나노미터만큼 작을 수 있고, 입자 크기는 일반적으로 약 20 나노미터 내지 약 1 마이크로미터, 예컨대 약 0.3 마이크로미터 내지 약 1 마이크로미터의 범위이다. 본 발명의 방법에 따르면, 퇴적된 다결정 재료의 결정 입자 크기가 더 작을수록 전하 트래핑 층에서의 결함은 더 높아진다. 다결정 실리콘 전하 트래핑 층의 저항률은 적어도 100 Ohm-cm, 적어도 약 500 Ohm-cm, 적어도 약 1000 Ohm-cm, 적어도 약 3000 Ohm-cm, 또는 심지어 적어도 약 7000 Ohm-cm, 예컨대 약 100 Ohm-cm 내지 약 100,000 Ohm-cm, 또는 약 500 Ohm-cm 내지 약 100,000 Ohm-cm, 또는 약 1000 Ohm-cm 내지 약 100,000 Ohm-cm, 또는 약 500 Ohm-cm 내지 약 100,000 Ohm-cm, 또는 약 750 Ohm-cm 내지 약 100,000 Ohm-cm일 수 있다. 일부 바람직한 실시예들에서, 다결정 실리콘 층의 저항률은 약 3000 Ohm-cm 내지 약 100,000 Ohm-cm, 예컨대 약 3000 Ohm-cm 내지 약 10,000 Ohm-cm 또는 심지어 약 7000 Ohm-cm 내지 약 100,000 ohm-cm, 예컨대 약 7000 ohm-cm 내지 약 10,000 ohm-cm이다.

[0037] 단결정 반도체 핸들 웨이퍼(100)의 전면(102) 상의 전하 트래핑 층(200)의 퇴적을 위한 재료는 기상 증착에 의해 퇴적될 수 있다. 전하 트래핑 층(200)의 퇴적을 위한 재료는 화학 또는 물리 기상 증착에 의해, 예를 들어, 금속유기 화학 기상 증착(MOCVD), 물리 기상 증착(PVD), 화학 기상 증착(CVD), 저압 화학 기상 증착(LPCVD), 또는 플라즈마 강화 화학 기상 증착(PECVD)에 의해 퇴적될 수 있다. 바람직한 실시예들에서, 다결정 실리콘은 CVD에 의해 퇴적된다. CVD를 위한 실리콘 프리커서들은, 여러 가지 중에서도, 메틸 실란, 실리콘 테트라하이드라이드(실란), 트리실란, 디실란, 펜타실란, 네오펀타실란, 테트라실란, 디클로로실란(SiH_2Cl_2), 트리클로로실란(SiHCl_3), 실리콘 테트라클로라이드(SiCl_4)를 포함한다. 일부 바람직한 실시예들에서, 실리콘 프리커서는 실란, 디클로로실란(SiH_2Cl_2), 및 트리클로로실란(SiHCl_3) 중에서 선택된다. 예를 들어, 다결정 실리콘은 약 850°C보다 큰, 예컨대 약 850°C 내지 약 1100°C, 또는 약 850°C 내지 약 1000°C의 온도에서 실란, 디클로로실란(SiH_2Cl_2), 및 트리클로로실란(SiHCl_3)의 CVD에 의해 표면 산화 층 상에 퇴적될 수 있다. 높은 온도는, 여러 이점들 중에서도, 높은 성장 속도에 기여함으로써, 스루풋 및 비용 감소에 기여한다. CVD 퇴적 속도는 적어도 약 0.1 마이크로미터/분, 예컨대 약 0.1 마이크로미터/분 내지 약 10 마이크로미터/분, 또는 약 0.1 마이크로미터/분 내지 약 2 마이크로미터/분의 범위일 수 있다. 다결정 실리콘 층의 퇴적은 층이 적어도 약 0.1 마이크로미터, 예컨대 약 0.1 마이크로미터 내지 약 50 마이크로미터, 예컨대 약 0.1 마이크로미터 내지 약 20 마이크로미터, 약 0.1 마이크로미터 내지 약 10 마이크로미터, 약 0.5 마이크로미터 내지 약 5 마이크로미터, 또는 약 0.5 마이크로미터 내지 약 3 마이크로미터, 예컨대 약 1 마이크로미터 내지 약 2 마이크로미터 또는 약 2 마이크로미터 내지 약 5 마이크로미터의 두께를 가질 때까지 계속될 수 있다. 퇴적은 약 1 Torr 내지 약 760 Torr, 예컨대 약 1 Torr 내지 약 400 Torr의 압력에서 발생할 수 있다.

[0038] 일부 실시예들에서, 화학 기상 증착에 의한 다결정 실리콘 층의 퇴적은 다결정 실리콘 시드 층의 퇴적 후에 중단된다. 다결정 실리콘 시드 층은 최종 다결정 실리콘 전하 트래핑 층의 원하는 전체 두께보다 작은 두께를 가질 수 있다. 따라서, 다결정 시드 층은 20 마이크로미터보다 작은, 10 마이크로미터보다 작은, 5 마이크로미터보다 작은, 3 마이크로미터보다 작은, 2 마이크로미터보다 작은, 또는 1 마이크로미터보다 작은, 또는 0.5 마이크로미터보다 작은, 예컨대 약 50 나노미터 내지 약 20 마이크로미터, 또는 약 50 나노미터 내지 약 10 마이크로미터, 또는 약 50 나노미터 내지 약 5 마이크로미터, 또는 약 50 나노미터 내지 약 3 마이크로미터, 또는 약 50 나노미터 내지 약 2 마이크로미터, 또는 약 50 나노미터 내지 약 1 마이크로미터, 또는 약 50 나노미터 내지 약 500 나노미터, 또는 약 50 나노미터 내지 약 200 나노미터의 두께로 퇴적될 수 있다. 시드 층의 두께는 폴리실리콘 핵의 크기에 의해 설정된다. 효과적인 응력 해제를 달성하기 위해, 시드 층은 50nm보다 작은 보이드들을 남기면서 하부 층의 표면을 커버할 필요가 있고, 이는 폴리실리콘 시드 층과 하부 층 사이의 계면으로의 H_2 의 액세스를 가능하게 한다. H_2 는 계면 산화물을 감소시키고, 폴리실리콘 시드 층의 입자 경계들에서의 원자들의 기관으로의 확산을 촉진하고, 따라서 막 응력을 해제한다. 시드 층이 하부 층으로의 H_2 액세스를 완전히 방지할 만큼 충분히 두꺼울 때, 후속 어닐링 프로세스는 막 응력을 효과적으로 해제할 수 없다. 다른 한편, 시드 층이 연속적이지 않고 2개의 인접한 핵 사이의 개구 면적이 50 nm보다 넓은 경우, 시드 어닐링 프로세스 동안 큰 핵들이 형성된다. 큰 핵들은 폴리실리콘 퇴적의 끝에서 큰 입자들(즉, 직경 > 1 μm)로 성장할 것이고, 이는 트래핑 효율을 감소시킨다. 퇴적은 CVD 챔버 내로의 실리콘 프리커서들의 흐름을 중지시킴으로써 중단될 수 있다. 다결정 실리콘의 퇴적의 중단 후에, 다결정 시드 층을 포함하는 핸들 기판이 어닐링될 수 있다. 다결정 시드 층을 어닐링하는 것은 깨끗한 표면, 고순도 막, 높은 저항률 막, 원하는 핵 크기 및 균일성, 및 잔여 막 응력의 감소의

획득과 같은, 바람직한 전하 트래핑 층 속성들에 기여한다. 일부 실시예들에서, 다결정 실리콘 시드 층은 막 응력을 약 0 MPa 내지 약 500 MPa, 예컨대 약 0 MPa 내지 약 100 MPa의 범위로 감소시키기 위해 고온 어닐링을 겪는다. 다결정 시드 층은 약 1000°C보다 큰, 예컨대 약 1000°C 내지 약 1200°C, 또는 약 1000°C 내지 약 1100°C의 온도에서 어닐링된다. 시드 층은 약 1초 내지 약 300초, 예컨대 약 5초 내지 약 60초, 또는 약 10초 내지 약 40초의 지속기간 동안 어닐링될 수 있다. 어닐링을 위한 분위기 대기는 수소, 염화수소, 염소, 또는 수소, 염화수소, 및 염소의 임의의 조합을 포함할 수 있다. 어닐링 단계는 감소된 압력 또는 대기압에서, 예컨대 약 1 Torr 내지 약 760 Torr, 또는 약 10 Torr 내지 약 760 Torr에서 수행될 수 있다. 다결정 실리콘 막의 응력 및 입자 크기는 어닐링 온도, 지속기간, 및 가스 흐름에 의해 제어된다. 적절한 어닐링 지속기간 후에, 다결정 실리콘 층의 화학 기상 증착에 의한 퇴적은 단결정 반도체 핸들 기판을 약 850°C 내지 약 1000°C의 온도로 냉각한 후에 재개된다.

[0039] 일부 실시예들에서, 단결정 반도체 핸들 기판(100) 및 다결정 실리콘 전하 트래핑 층(200)은 퇴적이 완료된 후에 어닐링된다. 다결정 시드 층을 어닐링하는 것은 깨끗한 표면, 고순도 막, 높은 저항률 막, 원하는 핵 크기 및 균일성, 및 잔여 막 응력의 감소의 획득과 같은, 바람직한 전하 트래핑 층 속성들에 기여한다. 일부 실시예들에서, 완전히 퇴적된 다결정 실리콘 전하 트래핑 층은 막 응력을 약 0 MPa 내지 약 500 MPa, 예컨대 약 0 MPa 내지 약 100 MPa의 범위로 감소시키기 위해 고온 어닐링을 겪는다. 단결정 반도체 핸들 기판(100) 및 다결정 실리콘 전하 트래핑 층(200)은 약 1000°C보다 큰, 예컨대 약 1000°C 내지 약 1100°C의 온도에서 어닐링될 수 있다. 단결정 반도체 핸들 기판(100) 및 다결정 실리콘 전하 트래핑 층(200)은 약 1초 내지 약 300초, 예컨대 약 5초 내지 약 60초, 또는 약 10초 내지 약 40초의 지속기간 동안 어닐링될 수 있다. 어닐링을 위한 분위기는 수소, 염화수소, 염소, 또는 수소, 염화수소, 및 염소의 임의의 조합을 포함할 수 있다. 적절한 어닐링 지속기간 후에, CVD 챔버는 단결정 반도체 핸들 기판의 제거를 위해 안전한 온도로 냉각될 수 있다.

[0040] 전하 트래핑 층(200)의 퇴적 후에, 웨이퍼 세정 및 연마는 옵션이다. 일부 실시예들에서, 퇴적된 다결정 실리콘 전하 트래핑 층은 50 나노미터 정도로 RMS $_{2 \times 2 \mu m^2}$ 에 의해 측정된 바와 같은 표면 조도를 갖는다. 원한다면, 웨이퍼들은, 예를 들어, 표준 SC1/SC2 용액에서 세정될 수 있다. 추가적으로, 웨이퍼들, 특히, 전하 트래핑 층 상의 옵션의 실리콘 산화물 층은 표면 조도를 감소시키기 위해 화학 기계적 연마(CMP)를 겪을 수 있고, 표면 조도는, 바람직하게는 RMS $_{2 \times 2 \mu m^2}$ 의 레벨까지 약 5 옹스트롬보다 작고, 예컨대 약 1 옹스트롬 내지 약 2 옹스트롬

$$R_q = \sqrt{\frac{1}{n} \sum_{i=1}^n y_i^2}$$

이고, 여기서 제곱 평균 제곱근(root mean squared) - 이고, 조도 프로파일은 트 레이스를 따라 정렬된, 균등하게 이격된 포인트들을 포함하고, y_i 는 평균 라인으로부터 데이터 포인트까지의 수 직 거리이다. 바람직하게는 2 옹스트롬보다 작은 표면 조도에서, 표면은 접합 또는 옵션의 산화를 위해 준비된다.

[0041] III. 절연 층의 퇴적

[0042] 일부 실시예들에서, 그리고 도 3b 및 도 3c를 참조하면, 반도체 질화물 층(예컨대, 실리콘 질화물) 또는 반도체 산질화물 층(예컨대, 실리콘 산질화물)을 포함하는 절연 층(300)이 퇴적된 전하 트래핑 층(200)과 접촉하여 형성될 수 있다. 이것은 열 질화 또는 CVD 질화물 퇴적과 같은 방법들에 의해 완수될 수 있다. 일부 실시예들에서, 전하 트래핑 층은 열 질화될 수 있거나(퇴적된 반도체 재료 막의 일부 부분이 소모될 것임) 또는 막은 CVD 질화물 퇴적에 의해 성장될 수 있다. 일부 실시예들에서, 전하 트래핑 층은 ASM A400과 같은 퍼니스에서 열 질화될 수 있다. 온도는 질화 분위기에서 750°C 내지 1400°C, 예컨대 1100°C 내지 1400°C의 범위일 수 있다. 질화 분위기 대기는 Ar, 및 N₂ 및, 옵션으로, O₂와 같은 불활성 가스의 혼합물일 수 있다. 질소 함량은 1 내지 10 퍼센트 또는 더 높게 변화할 수 있다. 예시적인 실시예에서, 반도체 핸들 웨이퍼들은 A400과 같은 수직 퍼니스 내로 로딩될 수 있다. 온도는 Ar 및 N₂ 및 옵션으로 O₂의 혼합물과 함께 질화 온도로 증가된다. 원하는 실리콘 질화물 또는 실리콘 산질화물 두께가 획득된 후에, 가스 흐름은 턴 오프되고, 퍼니스 온도는 감소되고, 웨이퍼 들은 퍼니스로부터 언로딩된다. 대안적인 질소 소스는 암모니아이다. 일부 실시예들에서, 전하 트래핑 층은 약 1.5 나노미터 내지 약 50 나노미터 옹스트롬 두께, 예컨대 약 2.5 나노미터 내지 약 10 나노미터 두께, 또는 약 2.5 나노미터 내지 약 5 나노미터 두께, 예컨대 약 3.5 나노미터 두께의 질화물 층 또는 산질화물 층을 제공하기에 충분한 지속기간 동안 처리될 수 있다.

[0043] 일부 실시예들에서, 반도체 질화물 층(예컨대, 실리콘 질화물) 또는 반도체 산질화물 층(예컨대, 실리콘 산질화물)을 포함하는 절연 층(300)은 플라즈마 강화 화학 기상 증착과 같은 CVD에 의해 형성될 수 있다. 일부 실시예들에서, 플라즈마 퇴적 장비는, EVG®810LT 저온 플라즈마 활성화 시스템과 같은, EV 그룹으로부터 이용가능한 것들과 같은, 상업적으로 이용가능한 장비이다. 플라즈마 강화 CVD 챔버의 일반적인 요건은, 다양한 전극 설계, 전력 생성 전자회로, 전력을 가스 부하에 전달하기 위한 임피던스 정합 네트워크, 입력 가스를 위한 질량 흐름 제어기, 및 압력 제어 시스템을 갖춘 반응기를 포함한다. 전형적인 시스템들은 유도 결합된 RF 소스에 의해 전력을 공급받은 수직 튜브 반응기이다. 단결정 반도체 핸들 기관(100)은 챔버 내로 로딩되고 가열된 지지 챔버 상에 배치된다. 챔버는 배기되고 대기압보다 작은 압력까지 아르곤과 같은 캐리어 가스 내의 질소 가스 소스로 다시 채워짐으로써 플라즈마를 생성한다. 암모니아 및/또는 질소 및/또는 일산화 질소(NO) 및/또는 아산화 질소(N₂O) 가스는 플라즈마 질화물 처리에 적합한 소스 가스들이다. 산질화물 막들은 산소 및 질소 가스 소스들을 포함시킴으로써 퇴적될 수 있다. 산소 및/또는 물은 플라즈마 산화물 처리를 위한 적합한 소스 가스들이다. 추가적으로, 일산화 질소 또는 아산화 질소의 사용은 절연 층에 산소를 추가적으로 혼입함으로써, 산질화물 막을 퇴적한다. 실리콘 질화물 또는 실리콘 산질화물 플라즈마 막을 퇴적하기 위해, 적합한 실리콘 프리커서들은, 여러 가지 중에서도, 메틸 실란, 실리콘 테트라하이드라이드(실란), 트리실란, 디실란, 펜타실란, 네오펀타실란, 테트라실란, 디클로로실란(SiH₂Cl₂), 트리클로로실란(SiHCl₃), 실리콘 테트라클로라이드(SiCl₄)를 포함한다. 적합하게는, Ar이 캐리어 가스로서 추가된다.

[0044] 플라즈마 퇴적은 반도체 질화물(예컨대, 실리콘 질화물) 또는 반도체 산질화물(예컨대, 실리콘 산질화물)의 속성들을 튜닝하도록 변화될 수 있다. 예를 들어, 프리커서들의 압력, 유속, 온도, 및 상대적 비는 플라즈마 퇴적된 질화물 층의 실리콘 및 질화물 몰비들을 튜닝할 수 있다. 추가적으로, 산소 프리커서의 포함은 산소를 혼입하여 산질화물 층을 준비한다. 일부 실시예들에서, 핸들 기관 및/또는 도너 기관 상에 실리콘 질화물 층을 퇴적하기 위해 실리콘 및 질소 프리커서들을 포함하는 분위기 대기에서 플라즈마 퇴적이 발생할 수 있다. 질화물을 퇴적하기에 충분한 지속기간 후에, 산소 프리커서가 대기 내로 도입됨으로써 산질화물을 퇴적할 수 있다. 핸들 반도체 산질화물 층 내의 산소 농도는 기울기에 따라 변화할 수 있고, 그에 의해 산소 농도는 핸들 반도체 질화물 층과의 계면에서 낮고, 핸들 반도체 산질화물 층의 표면을 향해 수직 방향으로 증가한다. 산질화물 층을 퇴적하기에 충분한 지속기간 후에, 질소 프리커서의 흐름이 중지될 수 있고, 퇴적은 실리콘 프리커서 및 산소 가스 소스로만 계속됨으로써 반도체 산화물, 예컨대, 실리콘 산화물을 포함하는 절연 층을 퇴적할 수 있다. 일부 실시예들에서, 절연 층(300)은 반도체 질화물(예컨대, 실리콘 질화물) 층 및 반도체 산질화물(예컨대, 실리콘 산질화물) 층을 포함하는 플라즈마 기법들에 의해 퇴적될 수 있다. 일부 실시예들에서, 절연 층(300)은 반도체 질화물(예컨대, 실리콘 질화물) 층, 반도체 산질화물(예컨대, 실리콘 산질화물) 층, 및 반도체 산화물(예컨대, 실리콘 산화물) 층을 포함하는 플라즈마 기법들에 의해 퇴적될 수 있다. 유리하게, 다수의 절연 층들의 플라즈마 퇴적은 프로세스 가스들의 비들 및 아이덴티티들을 변화시킴으로써, 연속적으로, 즉, 중단 없이 발생할 수 있다.

[0045] 플라즈마 퇴적된 반도체 질화물(예컨대, 실리콘 질화물) 또는 반도체 산질화물(예컨대, 실리콘 산질화물)은 약 0.01 Torr 내지 약 100 Torr, 예컨대 약 0.1 Torr 내지 약 1 Torr의 압력들에서 형성될 수 있다. 플라즈마 퇴적은 약 20°C 내지 약 400°C의 온도에서 발생할 수 있다. 약 500 옹스트롬 내지 약 10,000 옹스트롬, 예컨대 약 2000 옹스트롬 내지 약 10,000 옹스트롬의 두께를 갖는 절연 층들이 약 100 옹스트롬/분 내지 약 1000 옹스트롬/분의 속도로 PECVD에 의해 퇴적될 수 있다.

[0046] 가스 실리콘 프리커서 및 가스 질소 프리커서의 유속 비들은 약 1/200 내지 약 1/50, 예컨대 약 1/100일 수 있다. 이러한 비들은 약 0.7 내지 약 1.8의 실리콘 대 질화물의 몰비를 갖는 실리콘 질화물 층을 산출할 수 있다. 산소 또는 NO와 같은 산소 함유 중들을 추가함으로써 플라즈마 프로세스에 산소가 혼입될 수 있다. 플라즈마 퇴적 동안 산소를 추가하는 것은 기울기 방식으로 변화하는 조성들을 갖는 절연성의 퇴적을 가능하게 하고, 예컨대, 층은 반도체 질화물(예컨대, 실리콘 질화물)로부터 반도체 산화물(예컨대, 실리콘 산화물)에 대한 증가하는 산소 농도의 반도체 산질화물(예컨대, 실리콘 산질화물)로 전이할 수 있다.

[0047] 절연 층들의 굴절률은 1.5 내지 2의 범위에서 튜닝될 수 있다. 막의 접합 계면 또는 수소 함량을 더 튜닝하기 위해 실리콘 산화물, SiO₂의 후처리 어닐링 및 화학 기상 증착이 가능하다. 핸들 기관과 도너 기관 사이의 접합은 2 마이크로미터 x 2 마이크로미터 표면 면적에 걸친 제곱 평균 제곱근 방법, RMS_{2x2 μm²}에 따라 약 5 옹스트롬보다 작은 조도로부터 이익을 얻는다. 일반적으로 이것은 바이어스 전력을 조면화 임계치 아래로 저하시키고 제어된 유도 결합된 플라즈마를 갖는 플라즈마 퇴적에서 달성될 수 있다. 성공적인 층 전이는 약 5 옹스트

롬 이하의 조도를 갖는 플라즈마 퇴적된 막들 상에서 예증되었다.

[0048] 플라즈마로부터 생성된 실리콘 질화물은 종래의 화학 또는 물리 기상 증착 기법들에 따라 퇴적된 실리콘 질화물과는 구조적으로 다르다. 종래의 CVD 또는 PVD 퇴적은 일반적으로 Si_3N_4 의 화학량론을 갖는 실리콘 질화물 층을 야기한다. 플라즈마 프로세스들은, 입력 반응물 가스들의 비, 전력 레벨, 기판 온도, 및 전체 반응기 압력에 따라 $Si_xN_yH_z$ 와 같은 조성을 갖는 막을 퇴적하도록 제어될 수 있다. 플라즈마 시스템 내의 경로들은, Si-N, Si=N 및 Si≡N 결합들을 형성하기 위해 존재한다. 이는 플라즈마 에너지가 Si_xH_z 및 N_yH_z 종들을 생성한다는 사실에 기인한다. 예를 들어, 굴절률과 광학적 갭은 Si/N 비에 따라 극적으로 변화한다. 더 높은 실란 농도에서, 막들은 Si가 풍부하게 되고(LPCVD의 경우 2에 비해) 3.0까지의 굴절률에 도달할 수 있다. 영향을 받을 수 있는 다른 속성들은 유전 상수, 브레이크다운, 기계적, 및 화학적(에칭 레이트)을 포함한다.

[0049] IV. 플라즈마 활성화

[0050] 일부 실시예들에서, 다결정 실리콘 전하 트래핑 층(200) 및 절연 층(300)을 포함하는 단결정 반도체 핸들 기관(100)은 산소 플라즈마 및/또는 질소 플라즈마 표면 활성화를 겪는다. 일부 실시예들에서, 산소 플라즈마 및/또는 질소 플라즈마 표면 활성화 장비는, EVG®810LT 저온 플라즈마 활성화 시스템과 같은, EV 그룹으로부터 이용가능한 것들과 같은, 상업적으로 이용가능한 장비이다. 다결정 실리콘 전하 트래핑 층(200) 및 절연 층(300)을 포함하는 단결정 반도체 핸들 기관(100)이 챔버 내로 로딩된다. 챔버는 배기되고 대기압보다 작은 압력까지 아르곤과 같은 캐리어 가스 내의 산소 가스 소스 및/또는 질소 가스 소스로 다시 채워짐으로써 플라즈마를 생성한다. 산소 및/또는 물은 플라즈마 산화물 처리를 위한 적합한 소스 가스들이다. 암모니아 및/또는 질소 및/또는 일산화 질소(NO) 및/또는 아산화 질소(N_2O) 가스는 플라즈마 질화물 처리에 적합한 소스 가스들이다. 산질화물 플라즈마 활성화는 분위기 대기 중에 산소 및 질소 가스 소스들을 포함할 수 있다. 단결정 반도체 핸들 기관(100)은 약 1초 내지 약 120초의 범위일 수 있는 원하는 시간 동안 이 플라즈마에 노출된다. 단결정 반도체 핸들 기관(100)의 전면을 단결정 반도체 도너 기관에 잘 접합될 수 있고 친수성이 되게 하기 위해 산소 또는 질소 플라즈마 표면 산화가 수행된다. 플라즈마 활성화 후에, 활성화된 표면은 탈이온수로 린스된다. 웨이퍼는 그 후 접합 전에 스핀 건조된다.

[0051] V. 집합된 구조의 준비

[0052] 도 3d를 참조하면, 다결정 실리콘 전하 트래핑 층(200) 및 절연 층(300)을 포함하는 본 명세서에 설명된 방법에 따라 준비된, 높은 저항률 단결정 반도체 핸들 기관(100), 예컨대, 단결정 실리콘 핸들 웨이퍼와 같은 단결정 반도체 핸들 웨이퍼는 다음으로 종래의 층 전이 방법들에 따라 준비되는 반도체 도너 기관(400), 예컨대, 단결정 반도체 도너 웨이퍼에 접합된다. 단결정 반도체 도너 기관(400)은 단결정 반도체 웨이퍼일 수 있다. 바람직한 실시예들에서, 반도체 웨이퍼는 실리콘, 실리콘 탄화물, 실리콘 게르마늄, 갈륨 비화물, 갈륨 질화물, 인듐 인화물, 인듐 갈륨 비화물, 게르마늄, 및 이들의 조합들로 구성되는 그룹으로부터 선택된 재료를 포함한다. 최종 집적 회로 디바이스의 원하는 속성들에 따라, 단결정 반도체(예컨대, 실리콘) 도너 웨이퍼(400)는 붕소(p형), 갈륨(p형), 알루미늄(p형), 인듐(p형), 인(n형), 안티몬(n형), 및 비소(n형)들 중에서 선택된 도펀트를 포함할 수 있다. 단결정 반도체(예컨대, 실리콘) 도너 웨이퍼의 저항률은 1 내지 50 Ohm-cm, 전형적으로, 5 내지 25 Ohm-cm의 범위일 수 있다. 단결정 반도체 도너 웨이퍼(400)는 산화, 주입, 및 주입 후 세정을 포함하는 표준 프로세스 단계들을 겪을 수 있다. 따라서, 에칭되고 연마되고 옵션으로 산화된, 다층 반도체 구조, 예컨대, 단결정 실리콘 도너 웨이퍼의 준비시 통상적으로 사용되는 재료의 반도체 도너 기관(400), 예컨대 단결정 반도체 웨이퍼가 이온 주입을 겪어 도너 기관에 손상 층을 형성한다.

[0053] 일부 실시예들에서, 반도체 도너 기관(400)은 유전체 층(410)을 포함한다. 본 발명에 따른 유전체 층(410)은 실리콘 이산화물, 실리콘 질화물, 실리콘 산질화물, 하프늄 산화물, 티타늄 산화물, 지르코늄 산화물, 란타늄 산화물, 바륨 산화물, 및 이들의 임의의 조합 중에서 선택된 절연 재료들을 포함할 수 있다. 일부 실시예들에서, 유전체 층(410)은 실리콘 이산화물, 실리콘 질화물, 실리콘 산질화물, 및 이들의 임의의 조합으로 구성되는 그룹으로부터 선택된 재료를 포함하는 하나 이상의 절연 층을 포함한다. 일부 실시예들에서, 유전체 층은 적어도 약 10 나노미터 두께, 예컨대 약 10 나노미터 내지 약 10,000 나노미터, 약 10 나노미터 내지 약 5,000 나노미터, 50 나노미터 내지 약 400 나노미터, 또는 약 100 나노미터 내지 약 400 나노미터, 예컨대 약 50 나노미터, 100 나노미터, 또는 200 나노미터의 두께를 갖는다.

[0054] 일부 실시예들에서, 유전체 층(410)은 절연 재료의 다수의 층을 포함한다. 유전체 층은 2개의 절연 층, 3개의 절연 층, 또는 그 이상을 포함할 수 있다. 각각의 절연 층은 실리콘 이산화물, 실리콘 산질화물, 실리콘 질화

물, 하프늄 산화물, 티타늄 산화물, 지르코늄 산화물, 란타늄 산화물, 바륨 산화물, 및 이들의 임의의 조합 중에서 선택된 재료를 포함할 수 있다. 일부 실시예들에서, 각각의 절연 층은 실리콘 이산화물, 실리콘 질화물, 실리콘 산질화물, 및 이들의 임의의 조합으로 구성되는 그룹으로부터 선택된 재료를 포함할 수 있다. 각각의 절연 층은 적어도 약 10 나노미터 두께, 예컨대 약 10 나노미터 내지 약 10,000 나노미터, 약 10 나노미터 내지 약 5,000 나노미터, 50 나노미터 내지 약 400 나노미터, 또는 약 100 나노미터 내지 약 400 나노미터, 예컨대 약 50 나노미터, 100 나노미터, 또는 200 나노미터의 두께를 갖는다.

[0055] 일부 실시예들에서, 반도체 산화물 막을 준비하기 위해 단결정 반도체 도너 기관(400)(예컨대, 단결정 실리콘 도너 기관)의 전면이 열 산화될 수 있고(퇴적된 반도체 재료 막의 일부 부분이 소모될 것임), 또는 반도체 산화물(예컨대, 실리콘 이산화물) 막이 CVD 산화물 퇴적에 의해 성장될 수 있다. 일부 실시예들에서, 단결정 반도체 도너 기관(400)의 전면은 위에 설명된 동일한 방식으로 ASM A400과 같은 퍼니스에서 열 산화될 수 있다. 일부 실시예들에서, 단결정 반도체 도너 기관(400)은 적어도 약 1 나노미터 두께, 약 10 나노미터 두께, 예컨대 약 10 나노미터 내지 약 10,000 나노미터, 약 10 나노미터 내지 약 5,000 나노미터, 또는 약 100 나노미터 내지 약 400 나노미터의 전면 층 상에 산화물 층을 제공하도록 산화된다. 일부 실시예들에서, 단결정 반도체 도너 기관(400) 상의 산화 층은 예컨대 약 5 옹스트롬 내지 약 25 옹스트롬, 예컨대 약 10 옹스트롬 내지 약 15 옹스트롬으로, 비교적 얇다. 얇은 산화물 층들은 SC1/SC2 세정 용액과 같은 표준 세정 용액에의 노출에 의해 획득될 수 있다.

[0056] 이온 주입은 Applied Materials Quantum II, Quantum LEAP, 또는 Quantum X와 같은 상업적으로 이용가능한 기기에서 수행될 수 있다. 주입된 이온들은 He, H, H₂, 또는 이들의 조합을 포함한다. 이온 주입은 반도체 도너 기관에서 손상 층을 형성하기에 충분한 밀도 및 지속시간으로서 수행된다. 주입 밀도는 약 10¹² ions/cm² 내지 약 10¹⁷ ions/cm², 예컨대 약 10¹⁴ ions/cm² 내지 약 10¹⁷ ions/cm², 예컨대 약 10¹⁵ ions/cm² 내지 약 10¹⁶ ions/cm²의 범위일 수 있다. 주입 에너지들은 약 1 keV 내지 약 3,000 keV, 예컨대 약 10 keV 내지 약 3,000 keV의 범위일 수 있다. 주입 에너지들은 약 1 keV 내지 약 3,000 keV, 예컨대 약 5 keV 내지 약 1,000 keV, 또는 약 5 keV 내지 약 200 keV, 또는 5 keV 내지 약 100 keV, 또는 5 keV 내지 약 80 keV의 범위일 수 있다. 주입의 깊이는 최종 SOI 구조에서 단결정 반도체 디바이스 층의 두께를 결정한다. 이온들은 약 100 옹스트롬 내지 약 30,000 옹스트롬, 예컨대 약 200 옹스트롬 내지 약 20,000 옹스트롬, 예컨대 약 2000 옹스트롬 내지 약 15,000 옹스트롬, 또는 약 15,000 옹스트롬 내지 약 30,000 옹스트롬의 깊이로 주입될 수 있다. 일부 실시예들에서, 주입 후에, 단결정 반도체 도너 웨이퍼들, 예컨대, 단결정 실리콘 도너 웨이퍼들을 세정을 겪게 하는 것이 바람직할 수 있다. 일부 바람직한 실시예들에서, 세정은 피라냐(Piranha) 세정과 뒤이어 DI 물 린스 및 SC1/SC2 세정들을 포함할 수 있다.

[0057] 본 발명의 일부 실시예들에서, He⁺, H⁺, H₂⁺, 및 이들의 임의의 조합에 의해 형성된 이온 주입 영역을 내부에 갖는 단결정 반도체 도너 기관(400)은 단결정 반도체 도너 기관에서 열 활성화된 벽개면을 형성하기에 충분한 온도에서 어닐링된다. 적합한 장비의 일 예는 단순한 Box 퍼니스, 예컨대 Blue M 모델일 수 있다. 일부 바람직한 실시예들에서, 이온 주입된 단결정 반도체 도너 기관은 약 200°C 내지 약 350°C, 약 225°C 내지 약 350°C, 바람직하게는 약 350°C의 온도에서 어닐링된다. 열 어닐링은 약 2 시간 내지 약 10 시간, 예컨대 약 2 시간 내지 약 8 시간의 지속기간 동안 발생할 수 있다. 이러한 온도 범위들 내에서의 열 어닐링은 열 활성화된 벽개면을 형성하기에 충분하다. 벽개면을 활성화시키기 위한 열 어닐링 후에, 단결정 반도체 도너 기관 표면은 바람직하게는 세정된다.

[0058] 일부 실시예들에서, 이온 주입되고 옵션으로 세정되고 옵션으로 어닐링된 단결정 반도체 도너 기관은 산소 플라즈마 및/또는 질소 플라즈마 표면 활성화를 겪는다. 일부 실시예들에서, 산소 플라즈마 표면 활성화 장비는, EVG®810LT 저온 플라즈마 활성화 시스템과 같은, EV 그룹으로부터 이용가능한 것들과 같은, 상업적으로 이용가능한 장비이다. 이온 주입되고 옵션으로 세정된 단결정 반도체 도너 웨이퍼가 챔버 내로 로딩된다. 챔버는 배기되고 대기압보다 작은 압력까지 O₂ 또는 N₂로 다시 채워짐으로써 플라즈마를 생성한다. 단결정 반도체 도너 웨이퍼는 약 1초 내지 약 120초의 범위일 수 있는 원하는 시간 동안 이 플라즈마에 노출된다. 단결정 반도체 도너 기관의 전면을 위에 설명된 방법에 따라 준비된 단결정 반도체 핸들 기관에 잘 접합될 수 있고 친수성이 되게 하기 위해 산소 또는 질소 플라즈마 표면 산화가 수행된다. 플라즈마 활성화 후에, 활성화된 표면은 탈이온수로 린스된다. 웨이퍼는 그 후 접합 전에 스핀 건조된다.

- [0059] 다음으로 단결정 반도체 도너 기관(400)의 친수성 전면 층 및 다결정 실리콘 전하 트래핑 층(200) 및 절연 층(300)을 포함하는 단결정 반도체 핸들 기관(100)의 전면을 밀접하게 접촉시킴으로써 접합된 구조를 형성한다. 접합된 구조는 유전체 층(410), 예컨대, 실리콘 산화물과 같은 매립 산화물을 포함한다.
- [0060] 기계적 접합은 비교적 약하므로, 접합된 구조는 단결정 반도체 도너 기관(400)과 다결정 실리콘 전하 트래핑 층(200) 및 절연 층(300)을 포함하는 단결정 반도체 핸들 기관(100) 사이의 접합을 단단하게 하기 위해 더 어닐링된다. 본 발명의 일부 실시예들에서, 접합된 구조는 단결정 반도체 도너 기관에서 열 활성화된 벽개면을 형성하기에 충분한 온도에서 어닐링된다. 적합한 장비의 일 예는 단순한 Box 퍼니스, 예컨대 Blue M 모델일 수 있다. 일부 바람직한 실시예들에서, 접합된 구조는 약 200°C 내지 약 350°C, 약 225°C 내지 약 350°C, 바람직하게는 약 350°C의 온도에서 어닐링된다. 열 어닐링은 약 0.5 시간 내지 약 10 시간의 지속기간, 바람직하게는 약 2 시간의 지속기간 동안 발생할 수 있다. 이러한 온도 범위들 내에서의 열 어닐링은 열 활성화된 벽개면을 형성하기에 충분하다. 벽개면을 활성화시키기 위한 열 어닐링 후에, 접합된 구조는 벽개될 수 있다.
- [0061] 일부 실시예들에서, 어닐링은 예컨대 약 0.5 MPa 내지 약 200 MPa, 예컨대 약 0.5 MPa 내지 약 100 MPa, 예컨대 약 0.5 MPa 내지 약 50 MPa, 또는 약 0.5 MPa 내지 약 10 MPa, 또는 약 0.5 MPa 내지 약 5 MPa의 비교적 높은 압력들에서 발생할 수 있다. 종래의 접합 방법들에서, 온도는 "자동벽개(autocleave)"에 의해 제한될 가능성이 있다. 이것은 주입 평면에서의 소판들의 압력이 외부 등압(external isostatic pressure)을 초과할 때 발생한다. 따라서, 종래의 어닐링은 자동벽개 때문에 약 350°C 내지 약 400°C의 접합 온도들로 제한될 수 있다. 주입 및 접합 후에, 웨이퍼들은 약하게 함께 유지된다. 그러나 웨이퍼들 사이의 갭은 가스 침투 또는 탈출을 방지하기에 충분하다. 약한 접합들은 열 처리에 의해 강화될 수 있지만, 주입 동안 형성된 캐비티들은 가스로 채워진다. 가열하는 동안, 캐비티들 내부의 가스는 가압된다. 압력은 선량(dosage)에 따라, 0.2-1 GPa에 도달할 수 있는 것으로 추정된다(Cherkashin 외, J. Appl. Phys. 118, 245301 (2015)). 압력이 임계값을 초과할 때, 층은 박리된다. 이것은 자동벽개 또는 열 벽개라고 지칭된다. 이는 어닐링에서 더 높은 온도 또는 더 긴 시간을 방지한다. 본 발명의 일부 실시예들에 따르면, 접합은 예컨대, 약 0.5 MPa 내지 약 200 MPa, 예컨대 약 0.5 MPa 내지 약 100 MPa, 예컨대 약 0.5 MPa 내지 약 50 MPa, 또는 약 0.5 MPa 내지 약 10 MPa, 또는 약 0.5 MPa 내지 약 5 MPa의 상승된 압력들에서 발생하고, 그에 의해 상승된 온도들에서 접합을 가능하게 한다. 일부 실시예들에서, 접합된 구조는 약 300°C 내지 약 700°C, 약 400°C 내지 약 600°C, 예컨대 약 400°C 내지 약 450°C, 또는 심지어 약 450°C 내지 약 600°C, 또는 약 350°C 내지 약 450°C의 온도에서 어닐링된다. 열 예산을 증가시키는 것은 접합 강도에 긍정적인 영향을 미칠 것이다. 열 어닐링은 약 0.5 시간 내지 약 10 시간, 예컨대 약 0.5 시간 내지 약 3 시간의 지속기간, 바람직하게는 약 2 시간의 지속기간 동안 발생할 수 있다. 이러한 온도 범위들 내에서의 열 어닐링은 열 활성화된 벽개면을 형성하기에 충분하다. 종래의 접합 어닐링에서, 핸들 웨이퍼 및 도너 웨이퍼 둘 다의 에지는 롤 오프로 인해 멀리 떨어지게 될 수 있다. 이 영역에는, 층 전이가 존재하지 않는다. 이는 테라스(terrace)라고 불린다. 가압된 접합은 이러한 테라스를 감소시켜, SOI 층을 에지를 향해 더 멀리 연장시킬 것으로 예상된다. 이 메커니즘은 공기의 트랩된 포켓들이 압축되어 바깥쪽으로 "지퍼링(zippering)"하는 것에 기초한다. 벽개면을 활성화시키기 위한 열 어닐링 후에, 접합된 구조는 벽개될 수 있다.
- [0062] 열 어닐링 후에, 단결정 반도체 도너 기관(400)과 다결정 실리콘 전하 트래핑 층(200) 및 절연 층(300)을 포함하는 단결정 반도체 핸들 기관(100) 사이의 접합은 벽개면에서 접합된 구조를 벽개하는 것을 통해 층 전이를 개시할 만큼 충분히 강하다. 벽개는 본 기술분야에서 알려진 기법들에 따라 발생할 수 있다. 일부 실시예들에서, 접합된 구조는 일 측 상에서 고정 흡입 컵들(stationary suction cups)에 부착되고 다른 측 상에서 경첩이 달린 암(hinged arm) 상의 추가적인 흡입 컵들에 의해 부착된, 종래의 벽개 스테이션(cleave station)에 배치될 수 있다. 흡입 컵 부착 부근에서 균열이 개시되고, 이동가능한 암은 경첩에 대하여 회전하여 웨이퍼를 떨어지게 벽개한다. 벽개는 반도체 도너 웨이퍼의 일부를 제거함으로써, 반도체-온-절연체 복합 구조 상에 단결정 반도체 디바이스 층(500), 바람직하게는 실리콘 디바이스 층을 남긴다. 도 3e를 참조한다.
- [0063] 벽개 후에, 벽개된 구조는, 전이된 디바이스 층(500)과 다결정 실리콘 전하 트래핑 층(200) 및 절연 층(300)을 포함하는 단결정 반도체 핸들 기관(100) 사이의 접합을 더 강화하기 위해 고온 어닐링을 겪을 수 있다. 적합한 장비의 일 예는 ASM A400과 같은 수직 퍼니스일 수 있다. 일부 바람직한 실시예들에서, 접합된 구조는 약 1000°C 내지 약 1200°C, 바람직하게는 약 1000°C의 온도에서 어닐링된다. 열 어닐링은 약 0.5 시간 내지 약 8 시간의 지속기간, 바람직하게는 약 2 내지 4 시간의 지속기간 동안 발생할 수 있다. 이러한 온도 범위들 내에서의 열 어닐링은 전이된 디바이스 층과 단결정 반도체 핸들 기관 사이의 접합을 강화하기에 충분하다.
- [0064] 벽개 및 고온 어닐링 후에, 접합된 구조는 얇은 열 산화물을 제거하고 표면으로부터 입자들을 세정하도록 설계

된 세정 프로세스를 겪을 수 있다. 일부 실시예들에서, 단결정 반도체 디바이스 층은, H₂를 캐리어 가스로서 사용하는 수평 흐름 단일 웨이퍼 에피택셜 반응기에서 기상 HCl 에칭 프로세스를 겪음으로써 원하는 두께 및 평활도로 될 수 있다. 일부 실시예들에서, 반도체 디바이스 층(500)은 약 10 나노미터 내지 약 20 마이크로미터, 약 20 나노미터 내지 약 3 마이크로미터, 예컨대 약 20 나노미터 내지 약 2 마이크로미터, 예컨대 약 20 나노미터 내지 약 1.5 마이크로미터 또는 약 1.5 마이크로미터 내지 약 3 마이크로미터의 두께를 가질 수 있다. 후막 디바이스 층들은 약 1.5 마이크로미터 내지 약 20 마이크로미터의 디바이스 층 두께를 가질 수 있다. 박막 디바이스 층들은 약 0.01 마이크로미터 내지 약 0.20 마이크로미터의 두께를 가질 수 있다.

[0065] 일부 실시예들에서, 전이된 단결정 반도체 디바이스 층(500) 상에 에피택셜 층이 퇴적될 수 있다. 퇴적된 에피택셜 층은 하부의 단결정 반도체 디바이스 층(500)과 실질적으로 동일한 전기적 특성들을 포함할 수 있다. 대안적으로, 에피택셜 층은 하부의 단결정 반도체 디바이스 층(500)과 상이한 전기적 특성들을 포함할 수 있다. 에피택셜 층은 실리콘, 실리콘 탄화물, 실리콘 게르마늄, 갈륨 비화물, 갈륨 질화물, 인듐 인화물, 인듐 갈륨 비화물, 게르마늄, 및 이들의 조합들로 구성되는 그룹으로부터 선택된 재료를 포함할 수 있다. 최종 집적 회로 디바이스의 원하는 속성들에 따라, 에피택셜 층은 붕소(p형), 갈륨(p형), 알루미늄(p형), 인듐(p형), 인(n형), 안티몬(n형), 및 비소(n형) 중에서 선택된 도펀트를 포함할 수 있다. 에피택셜 층의 저항률은 1 내지 50 Ohm-cm, 전형적으로, 5 내지 25 Ohm-cm의 범위일 수 있다. 일부 실시예들에서, 에피택셜 층은 약 10 나노미터 내지 약 20 마이크로미터, 약 20 나노미터 내지 약 3 마이크로미터, 예컨대 약 20 나노미터 내지 약 2 마이크로미터, 예컨대 약 20 나노미터 내지 약 1.5 마이크로미터 또는 약 1.5 마이크로미터 내지 약 3 마이크로미터의 두께를 가질 수 있다.

[0066] 완성된 SOI 웨이퍼는 단결정 반도체 핸들 기판(100), 다결정 실리콘 전하 트래핑 층(200), 절연 층(300), 유전체 층(410)(예컨대, 매립 산화물 층), 및 반도체 디바이스 층(500)을 포함하고, 그 후 엔드 오브 라인 계측 검사들을 겪고 전형적인 SC1-SC2 프로세스를 사용하여 마지막으로 세정될 수 있다.

[0067] 예 1.

[0068] 도너 웨이퍼들이 ASM400 수직 퍼니스에서 산화되었다. 산화물은 최종 반도체-온-절연체 구조에서 원하는 BOX 층의 두께와 일치하도록 성장되었다. 산화 후에, 도너 웨이퍼들은, 최종 SOI 구조에서 원하는 실리콘 디바이스 층 두께를 달성하기 위해, 이온들을 실리콘 도너 웨이퍼 내의 깊이에 배치하도록 선택된 주입 에너지들을 갖는 헬륨 및 수소 주입을 겪었다. 웨이퍼들은 이들을 피라냐 세정과 뒤이어 표준 산업 방법들에 따라 SC1/SC2 세정을 겪게 함으로써 접합을 위해 준비되었다.

[0069] 핸들 웨이퍼(3000 ohm-cm보다 큰 저항률)가 준비되었다. 다결정 실리콘이 퇴적되고 5 옴스트롬 RMS보다 작은 조도를 달성하도록 연마되었다. 웨이퍼들은 표준 산업 방법들에 따라 SC1/SC2 세정에 의해 세정되었다. 도너 웨이퍼들 및 핸들 웨이퍼들은 EVG®810LT 저온 플라즈마 활성화 시스템 내로 로딩되었다. 챔버는 배기되고 0.32 Torr의 압력까지 N₂로 다시 채워졌고, 웨이퍼 표면들은 15초 동안 질소 플라즈마에 노출되어 플라즈마 활성화되었다. 플라즈마 활성화 후에, 활성화된 표면들은 탈이온수로 린스되었다. 핸들 및 도너 웨이퍼들은 접합 전에 스핀 건조되었다. 도너 웨이퍼 및 핸들 웨이퍼는 EVG®810LT 저온 플라즈마 활성화 시스템의 접합 챔버 내로 로딩되어 접합되었다. 핸들 및 도너 웨이퍼들이 접합 전에 산소 플라즈마를 겪는 점을 제외하고는 추가적인 웨이퍼들이 유사하게 준비되었다.

[0070] 접합된 쌍은 350°C에서 90분 동안 열 처리를 겪고, 그 후 접합된 구조는 종래의 벽개 스테이션에 배치되었다. 접합된 구조는 일 측 상에서 고정 컵들에 부착되었고 다른 측 상에서 경첩이 달린 암 상의 추가적인 흡입 컵들에 부착되었다. 흡입 컵 부착 부근에서 균열이 개시되었고, 이동가능한 암은 경첩에 대하여 회전하여 웨이퍼를 벽개한다.

[0071] 결과적인 SOI 웨이퍼들은 표준 산업 방법들에 따라 SC1/SC2 세정에 의해 세정되었다. 전이된 디바이스 층(500)과 CTL 층 및 단결정 기판으로 구성된 핸들 기판 사이의 접합을 더 강화하기 위해, 세정된 웨이퍼들은 ASM400 퍼니스 내로 로딩되어 고온 어닐링을 겪었다. 어닐링 후에, 웨이퍼들은 어닐링 동안 성장된 얇은 산화물을 제거하기 위해 희석된 수성 불화수소산 용액에서 담금(dip)을 겪었고, 그에 뒤이어 표준 산업 방법들에 따라 SC1/SC2 세정이 수행되었다. SOI 웨이퍼의 단결정 반도체 디바이스 층은 그것을 캐리어 가스로서 H₂를 사용하는 수평 흐름 단일 웨이퍼 에피택셜 반응기에서의 기상 HCl 에칭 프로세스를 겪게 함으로써 원하는 두께 및 평활도로 되었다.

[0072] SOI, BOX, 및 CTL 층들을 통한 붕소 프로파일들은 질소에 의해 그리고 산소에 의해 플라즈마 활성화된 웨이퍼들

에 대한 SIMS에 의해 샘플 웨이퍼들로부터 획득되었다. 도 4a 및 도 4b를 참조한다. 질소 플라즈마 활성화를 겪은 웨이퍼 내의 붕소 함량은 접합 계면에서 집중되고 다결정 실리콘 CTL 층으로 확산되지 않았고, 이는 질소 플라즈마 층이 효율적인 확산 장벽을 생성했다는 것을 나타낸다. 대조적으로, 산소 플라즈마 활성화를 겪은 웨이퍼는 다결정 실리콘 CTL 층에서 더 높은 붕소 함량을 예증하였고, 이는 접합 계면에서 초기에 트랩된 붕소의 일부가 접합 후 어닐링 동안 CTL 내로 확산될 수 있었다는 것을 나타낸다.

[0073] 라인 열 사이클의 반도체 제조 프런트 엔드를 시뮬레이션하기 위해 둘 다의 그룹들로부터의 다른 웨이퍼들이 다양한 고온 응력 어닐링을 겪었다. 실리콘 디바이스 층은 박리되었고, Co-평면 도파관(CPW) 구조들이 구축되었다. 전하 트래핑 층의 무결성을 추론하기 위해 이러한 구조들 상에서 2차 고조파 왜곡이 측정되었다. N₂ 플라즈마를 사용하여 접합된 웨이퍼들은 O₂ 플라즈마 그룹보다 약 5dBm 더 양호하게 수행된다는 것이 발견되었다. 도 5를 참조한다.

[0074] 본 발명을 상세히 설명하였고, 첨부된 청구항들에서 정의된 본 발명의 범위를 벗어나지 않고 수정들 및 변형들이 가능하다는 것이 명백할 것이다.

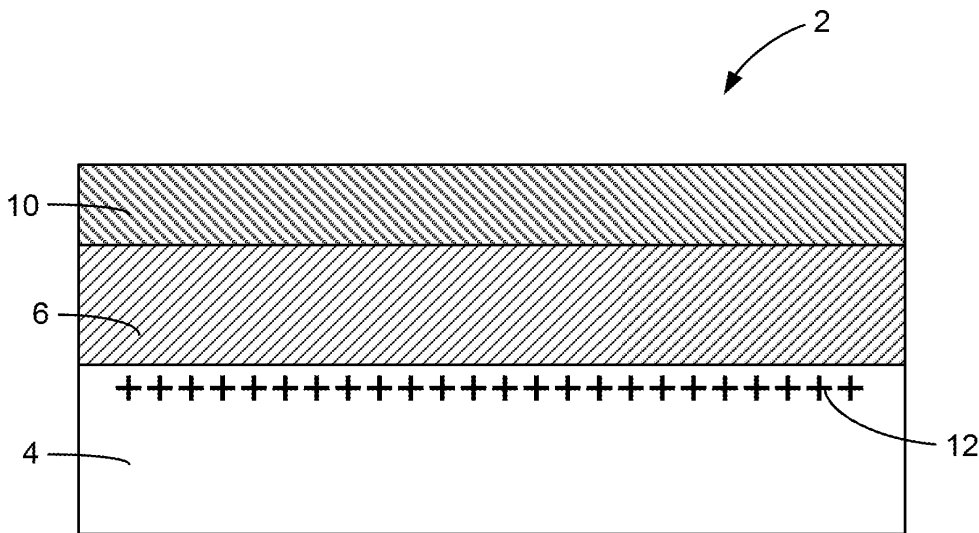
[0075] 본 발명 또는 그의 바람직한 실시예(들)의 요소들을 소개할 때, 관사들 "a", "an", "the" 및 "said"는 그 요소들이 하나 이상 존재함을 의미하도록 의도되어 있다. 용어 "포함하는(comprising, including)" 및 "갖는(having)"은 포괄적인 것이고 열거된 요소들 이외의 추가적인 요소들이 있을 수 있다는 것을 의미하도록 의도되어 있다.

[0076] 상기한 것들을 고려하여, 본 발명의 여러 목적들이 달성되고 다른 이로운 결과들이 달성되는 것이 확인될 것이다.

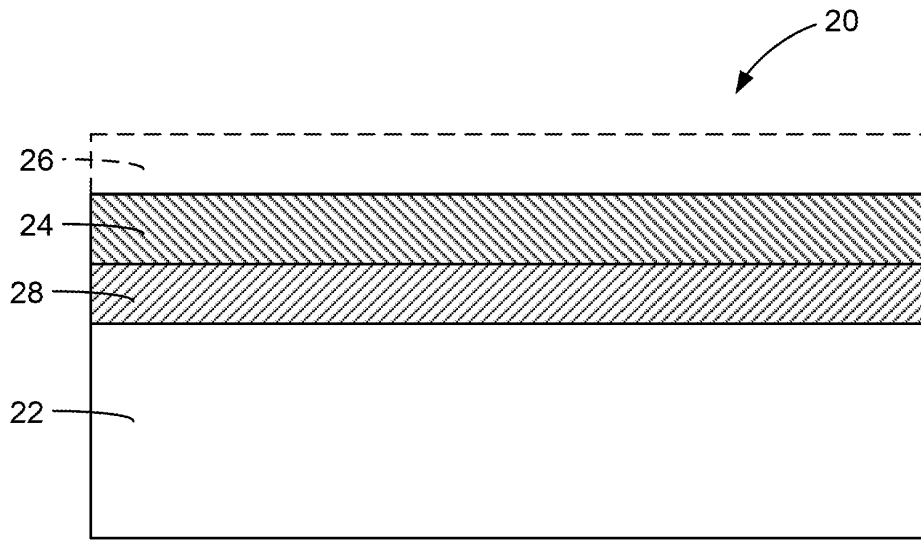
[0077] 본 발명의 범위를 벗어나지 않고 상기한 제품들 및 방법들에서 다양한 변경들이 이루어질 수 있으므로, 상기한 설명에 포함되고 첨부 도면들에 도시된 모든 문제는 제한적인 것이 아니라 예시적인 의미로서 해석되어야 하는 것으로 의도된다.

도면

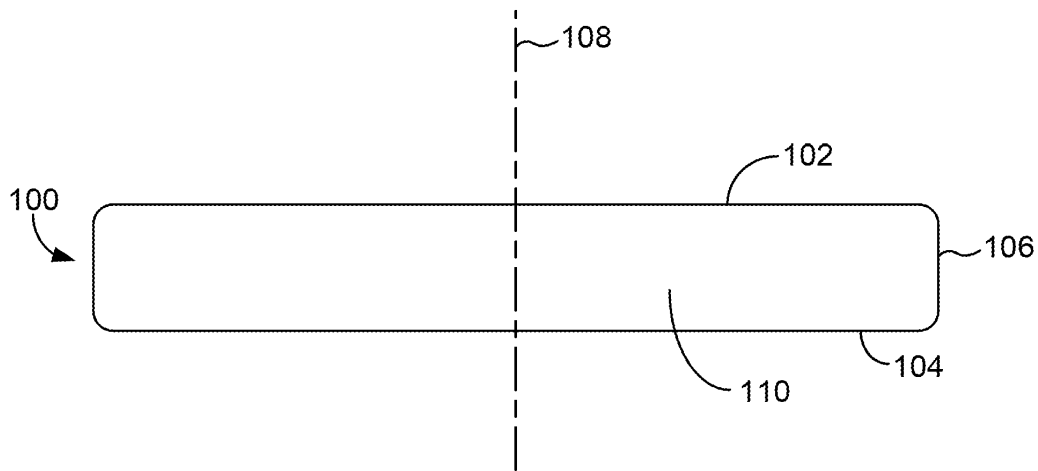
도면1



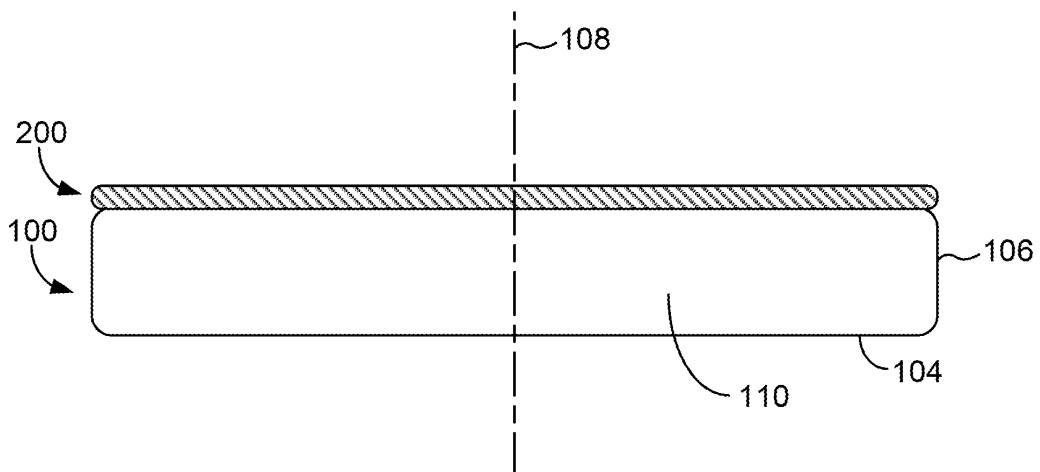
도면2



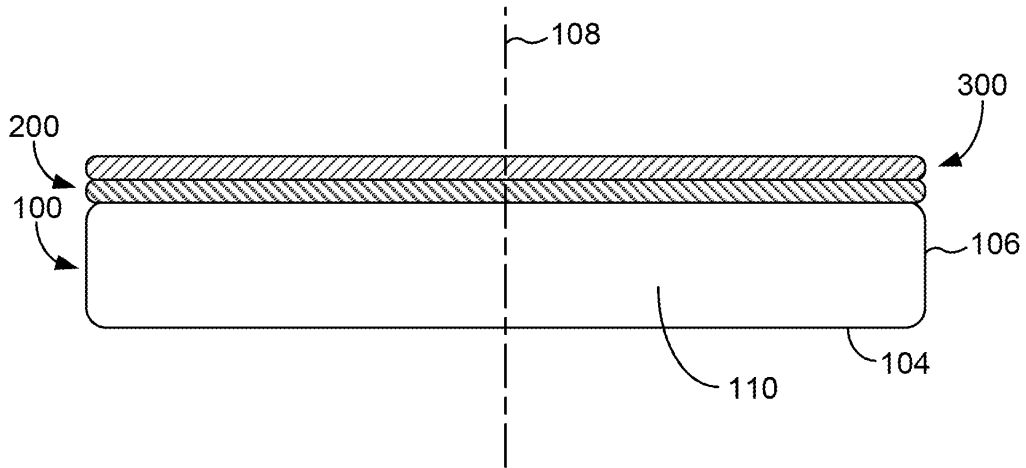
도면3a



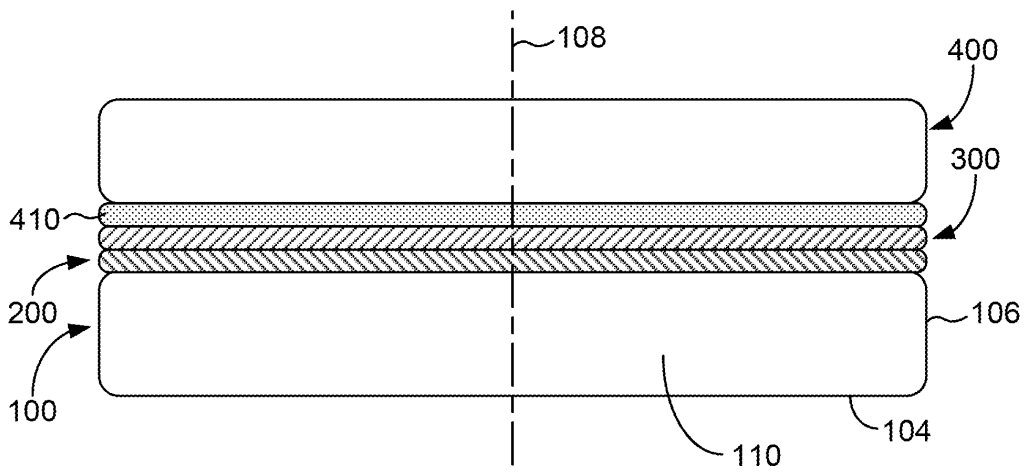
도면3b



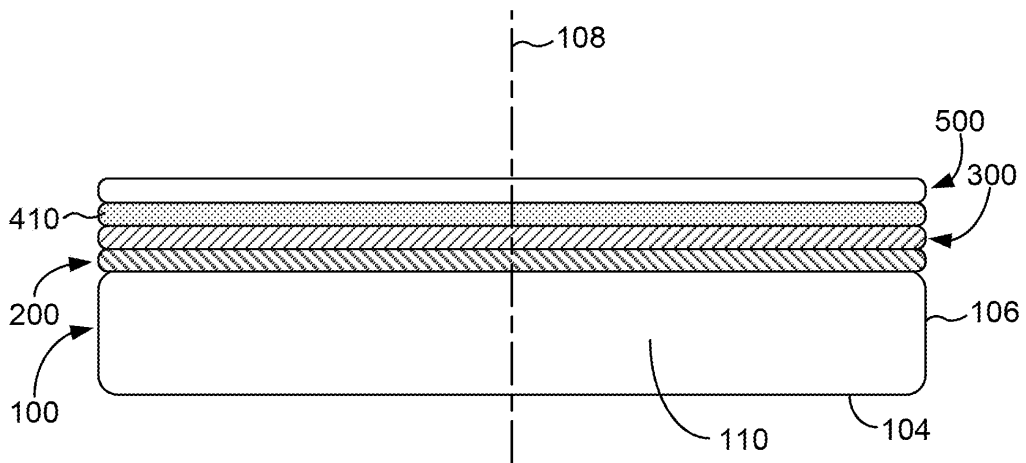
도면3c



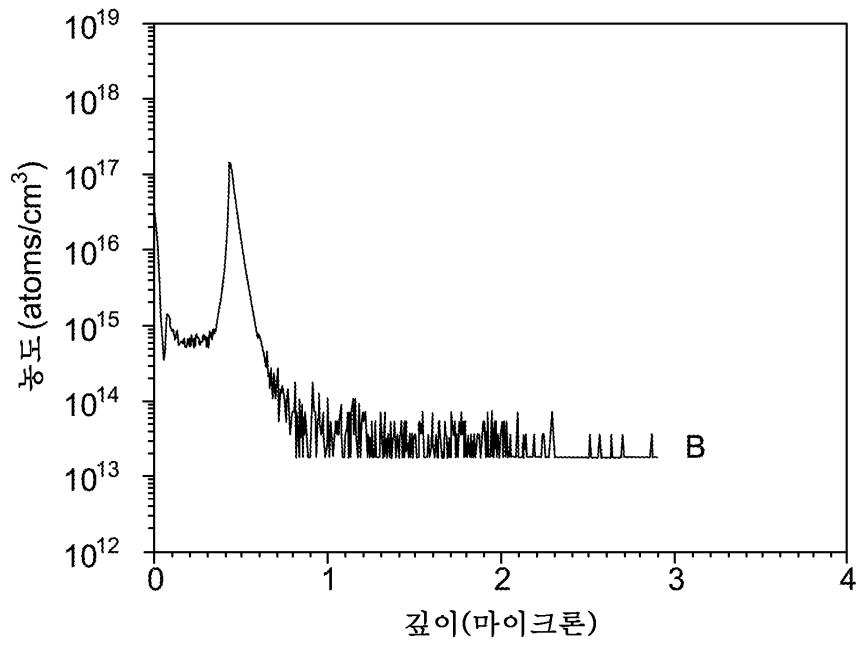
도면3d



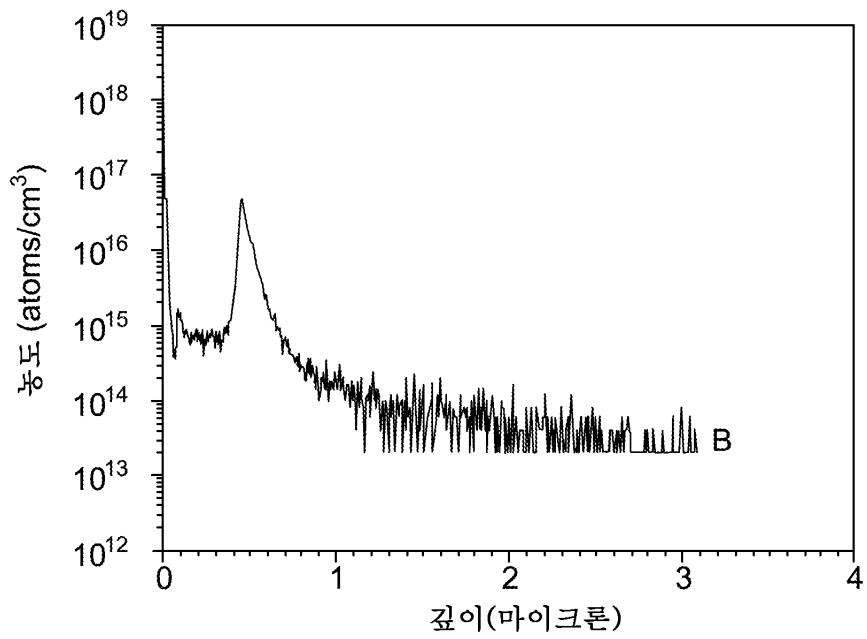
도면3e



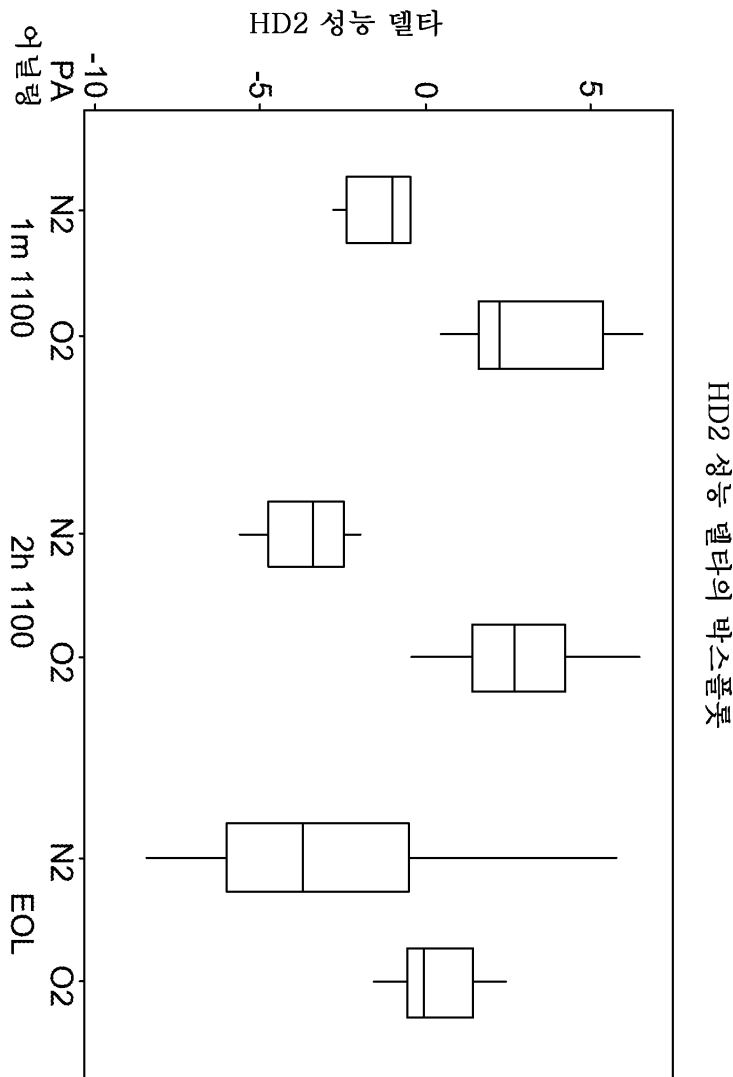
도면4a



도면4b



도면5



【심사관 직권보정사항】

【직권보정 1】

【보정항목】 청구범위

【보정세부항목】 청구항 1

【변경전】

다층 구조를 준비하는 방법으로서,

단결정 반도체 헨들 기관의 전면 상에 전하 트래핑 층을 퇴적하는 단계 - 상기 단결정 반도체 헨들 기관은 평행한 2개의 주 표면 - 그 중 하나는 상기 단결정 반도체 헨들 기관의 전면이고 그 중 다른 하나는 상기 단결정 반도체 헨들 기관의 후면임 -, 상기 전면과 상기 후면 사이의 가상 중심 평면, 상기 단결정 반도체 헨들 기관의 전면과 후면을 연결하는 둘레 에지, 및 상기 단결정 반도체 헨들 기관의 전면과 후면 사이의 벌크 영역을 포함하고, 상기 단결정 반도체 헨들 기관은 적어도 500 ohm-cm의 최소 벌크 영역 저항률을 갖고 또한 상기 전하 트래핑 층은 다결정 실리콘을 포함하고 적어도 1,000 ohm-cm의 최소 저항률을 가짐 -;

상기 다결정 실리콘 층을 포함하는 상기 전하 트래핑 층 상에 실리콘 질화물 또는 실리콘 산질화물을 포함하는 절연 층을 퇴적하는 단계; 및

상기 절연 층에 단결정 반도체 도너 기관의 전면과 계면 접촉하는 유전체 층을 접합함으로써 접합된 구조를 형

성하는 단계

를 포함하고, 상기 단결정 반도체 도너 기관은 평행한 2개의 주 표면 - 그 중 하나는 상기 단결정 반도체 도너 기관의 전면이고 그 중 다른 하나는 상기 단결정 반도체 도너 기관의 후면임 -, 상기 단결정 반도체 도너 기관의 전면과 후면을 연결하는 둘레 에지, 상기 단결정 반도체 도너 기관의 전면과 후면 사이의 중심 평면, 및 상기 단결정 반도체 도너 기관의 전면과 후면 사이의 벌크 영역을 포함하고, 또한 상기 단결정 반도체 도너 기관은 벽개면을 포함하는, 방법.

【변경후】

다층 구조를 준비하는 방법으로서,

단결정 반도체 헨들 기관의 전면 상에 전하 트래핑 층을 퇴적하는 단계 - 상기 단결정 반도체 헨들 기관은 평행한 2개의 주 표면 - 그 중 하나는 상기 단결정 반도체 헨들 기관의 전면이고 그 중 다른 하나는 상기 단결정 반도체 헨들 기관의 후면임 -, 상기 전면과 상기 후면 사이의 가상 중심 평면, 상기 단결정 반도체 헨들 기관의 전면과 후면을 연결하는 둘레 에지, 및 상기 단결정 반도체 헨들 기관의 전면과 후면 사이의 벌크 영역을 포함하고, 상기 단결정 반도체 헨들 기관은 적어도 500 ohm-cm의 최소 벌크 영역 저항률을 갖고 또한 상기 전하 트래핑 층은 다결정 실리콘을 포함하고 적어도 1,000 ohm-cm의 최소 저항률을 가짐 -;

상기 다결정 실리콘을 포함하는 상기 전하 트래핑 층 상에 실리콘 질화물 또는 실리콘 산질화물을 포함하는 절연 층을 퇴적하는 단계; 및

상기 절연 층에 단결정 반도체 도너 기관의 전면과 계면 접촉하는 유전체 층을 접합함으로써 접합된 구조를 형성하는 단계

를 포함하고, 상기 단결정 반도체 도너 기관은 평행한 2개의 주 표면 - 그 중 하나는 상기 단결정 반도체 도너 기관의 전면이고 그 중 다른 하나는 상기 단결정 반도체 도너 기관의 후면임 -, 상기 단결정 반도체 도너 기관의 전면과 후면을 연결하는 둘레 에지, 상기 단결정 반도체 도너 기관의 전면과 후면 사이의 중심 평면, 및 상기 단결정 반도체 도너 기관의 전면과 후면 사이의 벌크 영역을 포함하고, 또한 상기 단결정 반도체 도너 기관은 벽개면을 포함하는, 방법.