(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2001 年12 月20 日 (20.12.2001)

PCT

(10) 国際公開番号
WO 01/96937 A1

(51) 国際特許分類[7]: G02F 1/133, 1/1368, G09G 3/36

(21) 国際出願番号: PCT/JP01/04918

(22) 国際出願日: 2001 年6 月11 日 (11.06.2001)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願2000-181101 2000 年6 月16 日 (16.06.2000) JP

(71) 出願人 (米国を除く全ての指定国について): 松下電器産業株式会社 (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) [JP/JP]; 〒571-8501 大阪府門真市大字門真1006番地 Osaka (JP).

(72) 発明者; および
(75) 発明者/出願人 (米国についてのみ): 田中幸生 (TANAKA, Yukio) [JP/JP]; 〒607-8405 京都府京都市山科区御陵田山町19-A-104 Kyoto (JP). 熊川克彦 (KUMAGAWA, Katsuhiko) [JP/JP]; 〒572-0022 大阪府寝屋川市緑町9-14-302 Osaka (JP). 木村雅典 (KIMURA, Masanori) [JP/JP]; 〒574-0037 大阪府大東市新町19-401 Osaka (JP). 小森一徳 (KOMORI, Kazunori) [JP/JP]; 〒669-1322 兵庫県三田市すずかけ台4-6-4-1007 Hyogo (JP).

(74) 代理人: 池内寛幸, 外(IKEUCHI, Hiroyuki et al.); 〒530-0047 大阪府大阪市北区西天満4丁目3番25号 梅田プラザビル401号室 Osaka (JP).

(81) 指定国 (国内): CN, KR, SG, US.

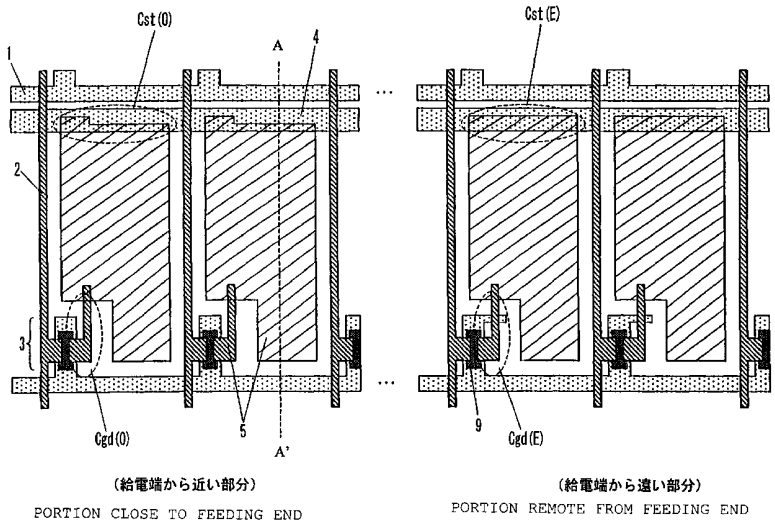
(84) 指定国 (広域): ヨーロッパ特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR).

添付公開書類:
— 国際調査報告書

２文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(54) Title: ACTIVE MATRIX DISPLAY DEVICE, ITS DRIVING METHOD, AND DISPLAY ELEMENT

(54) 発明の名称: アクティブマトリクス型表示装置およびその駆動方法並びに表示素子



(57) Abstract: An active matrix display device which is inexpensive, has little crosstalk, no flicker, nor luminance gradient, and is suited for a large screen size. This display device includes, a plurality of pixel electrodes arranged in a matrix, switching elements (TFT) connected with the pixel electrodes, a scanning electrode, a video signal electrode, a common electrode, an opposed electrode, and e.g., a liquid crystal between the pixel electrodes and the opposed electrode. In this structure, the values αgd and αst, αgd = Cgd/Ctot and αst = Cst/Ctot, at the portion close to a feeding end are different from those at the potion remote from the feeding end, where Cgd is the gate-drain capacitance, Cst is the common electrode-pixcel electrode capacitance, and Ctot is the total of all the capacitances connected with the pixel electrodes. is designated by Ctot.

[続葉有]

WO 01/96937 A1

(57) 要約:

安価でクロストークが少なく、かつフリッカや輝度傾斜のない、画面サイズの大型化に適したアクティブマトリクス型表示装置を提供する。本表示装置は、マトリクス状に配置された複数の画素電極と、これに接続されたスイッチング素子（ＴＦＴ）と、走査電極と、映像信号電極と、共通電極と、対向電極を有し、画素電極と対向電極の間に例えば液晶が挿入されている。この構造において、ゲート・ドレイン間容量をＣｇｄ、共通電極－画素電極間容量をＣｓｔ、画素電極に接続される全容量の総和をＣｔｏｔとした場合、αｇｄ＝Ｃｇｄ／Ｃｔｏｔ、αｓｔ＝Ｃｓｔ／Ｃｔｏｔで表されるαｇｄおよびαｓｔが、画面内で給電端から近い部分と遠い部分において異なった値に設定される。

明　細　書

アクティブマトリクス型表示装置およびその駆動方法並びに表示素子

技術分野

本発明は、薄膜トランジスタなどのスイッチング素子を用いたアクティブマトリクス型の表示装置、その駆動方法、および表示素子に関する。

背景技術

表示装置として例えば液晶表示装置は、薄型軽量のフラットディスプレイとして、各種電子機器の表示装置に広く用いられている。なかでも、薄膜トランジスタ（ＴＦＴ）などのスイッチング素子を用いたアクティブマトリクス型の液晶表示装置はその優れた画像特性により、パーソナルコンピュータ用のモニターディスプレイや、液晶テレビなどへの応用が盛んである。

まず、アクティブマトリクス型の表示装置の基本的な構成を図３により説明する。表示装置は大きく分けて走査信号駆動回路２１、映像信号駆動回路２２、および表示素子２３から構成されている。表示素子は、マトリクス状に配置された複数の画素電極５と、これらに対応して配列された複数のスイッチング素子３（一般に、薄膜トランジスタ（ＴＦＴ）などが用いられる）と、画素電極のマトリクス状配列に対応して行方向（水平方向）に配置された複数の走査電極１と、列方向（垂直方向）に配置された複数の映像信号電極２を主な構成要素としている。なお、映像信号電極２は、スイッチング素子３を介して画素電極５に電気的に接続されている。また、画素電極５に対向して対向電極２０が備え付けられていて、画素電極５と対向電極４の間に液晶等の表示媒質が挿入され

ている。さらに、共通電極４と呼ばれる電極が走査電極１に平行に備えられていて、画素電極５との間に蓄積容量７が備え付けられている。映像信号駆動回路２２は、表示素子２３の複数の映像信号電極２に映像信号を印加する駆動回路である。また、走査信号駆動回路２１は、表示素子２３の複数の走査電極１にスイッチング素子３の導通を制御する走査信号を印加する駆動回路である。

このアクティブマトリクス型液晶表示装置の１つの駆動方法として、特開平５－１４３０２１号公報に開示された駆動法がある。これは、走査電極（ゲート電極、あるいはゲート線ともいう）と平行に共通電極と呼ばれる配線を設け、この共通電極と画素電極の間に蓄積容量を形成し、共通電極の電位を走査電極の電位に同期させて変動させ、蓄積容量を通した容量結合により画素電極電位に重畳電圧を加えるものである。この電圧重畳の効果により、映像信号電圧（ソース電圧）の低電圧化、駆動電力の低減、応答速度の向上、駆動信頼性の向上などの効果を得ている。

図１４は、共通電極と画素電極の間に蓄積容量Ｃｓｔ（Ｃｓｔは、より一般的な言い方をすれば、共通電極－画素電極間容量となる）を形成した液晶表示装置の１画素の等価回路図であり、図１５は、この液晶表示装置１を駆動した場合の各部の電位を説明するための図である。図１４において、ＴＦＴは薄膜トランジスタ、Ｃｇｄはゲート・ドレイン間容量（走査電極－画素電極間容量）、Ｃｌｃは画素電極と液晶を挟んで対向する対向電極との間に形成される画素電極－対向電極間容量（主に液晶によって形成される容量であるが、それ以外の媒質が電気的に直列あるいは並列に付加されることにより生じる容量成分もある。あるいは、意図的にこのような容量を付加することもある。）であり、Ｖｇ（ｎ）は走査電極の電位、Ｖｓは映像信号電位、Ｖｄは画素電極の電位、Ｖｄは対向電極の電位、Ｖｃ（ｎ）は共通電極の電位を示している。なお、画

素配列はマトリクス状に配列されていて、そのうちのｎ番目の行に注目しているという意味でＶｇとＶｃには特に添字ｎを付記している。

なお、走査電極、画素電極等はマトリクス状に複数配列されているが、厳密を期すため、ある走査電極を基準として、その走査電極により（ＴＦＴの）ＯＮ／ＯＦＦが制御される画素（一般に、複数ある）のことを、この「走査電極に属する画素」と呼ぶことがある。逆に、ある画素（あるいは画素電極）を基準として、この画素のＴＦＴのＯＮ／ＯＦＦを制御する走査電極のことを、「当段の走査電極」と呼ぶこともある。図１４でいうところの画素電極（Ｖｄ）は、「走査電極（Ｖｇ（ｎ））に属する画素電極」であり、走査電極（Ｖｇ（ｎ））は、「画素（Ｖｄ）に対して当段の走査電極」である。以下、特に断りのない限り、単に「画素（電極）」、あるいは「走査電極」ということにする。

共通電極も複数配列されているので、特に厳密に指定する場合には、「画素電極に接続される蓄積容量の他方の接続先の共通電極」などということにする。図１４の共通電極（Ｖｃ（ｎ））は、「画素電極（Ｖｄ）に接続される蓄積容量の他方の接続先の共通電極」であるが、これも以降単に「共通電極」ということにする。

図１５に示すように、奇数フレームにおいては、映像信号電圧はＶｄを基準として負の値をとり、Ｖｓｉｇ（－）である。走査電極電位Ｖｇ（ｎ）がオンレベル（走査電極の第１の電位レベル）Ｖｇｏｎになると、ＴＦＴが導通状態（ＯＮ状態）となり画素電位ＶｄがＶｓｉｇ（－）に充電される。このとき、共通電極の電位はＶｃ（－）という値である（共通電極の第２の電位レベル）。次いで、Ｖｇ（ｎ）をオフレベル（走査電極の第２の電位レベル）ＶｇｏｆｆとしてＴＦＴを非導通状態（ＯＦＦ状態）にする。この後、共通電極の電位をＶｃ（－）からＶｃｏｆｆ（共通電極の第３の電位レベル）へと下向きに変化させると、画素電位Ｖｄ

には、この電圧差に比例した結合電圧が下向きに重畳される（図１５中の矢印）。

偶数フレームにおいては、映像信号電圧はＶｄを基準として正の値をとり、Ｖｓｉｇ（＋）である。画素をＶｓｉｇ（＋）に充電するときには、今度は共通電極の電位をＶｃ（＋）としておく（共通電極の第１の電位レベル）。充電が終わって走査電極電位が立ち下がった後に、共通電極の電位をＶｃ（＋）からＶｃｏｆｆへと上向きに変化させる。画素電位Ｖｄには、この電圧差に比例した結合電圧が上向きに重畳される。

この結果、映像信号電極には小さな振幅（Ｖｓｉｇ（＋）とＶｓｉｇ（－））の電圧を与えながら、画素電極にはこれより大きな振幅（Ｖｄｏ（＋）とＶｄｏ（－））の電圧を印加することができる。例えば、出力電圧幅５ボルトの映像信号用ＩＣを用いて、液晶に印加する電圧幅を１０ボルトや１５ボルトに拡大でき、低耐圧ＩＣを用いながら、その耐圧以上の電圧で液晶を駆動することが可能になる。

なお、共通電極電位がＶｃ（＋）あるいはＶｃ（－）になる期間を共通電極補償期間と呼び、このときの電圧Ｖｃ（±）を共通電極補償電圧（補償電位）と呼ぶことにする。なお、Ｖｃ（＋）とＶｃ（－）は異なる値であることが望ましいが、ＶｃｏｆｆがＶｃ（＋）またはＶｃ（－）のいずれかと同電圧であってもかまわない。また、走査電極電位がＶｇｏｎである期間中常に共通電極電位はＶｃ（±）のいずれかになっていなければならないわけではなく、少なくとも走査電極がＶｇｏｎからＶｇｏｆｆに立ち下がる瞬間（すなわち、ＴＦＴがＯＮからＯＦＦになる瞬間）においてこの値になっていればよい。

なお、走査信号駆動回路は２つの出力レベルをもち、共通電極電位制御回路は３つの出力レベルを持つことになる。すなわち、走査信号駆動回路は、第１の電位レベルＶｇｏｎおよび第２の電位レベルＶｇｏｆｆ

を持ち、共通電極電位制御回路は、第１の電位レベルＶｃ（＋）、第２の電位レベルＶｃ(－)、および第３の電位レベルＶｃｏｆｆを持つ。なお、一般に共通電極電位駆動回路の電源は上述の３つの電位レベルに対応して３つ必要である。しかし、第１の電位レベルＶｃ（＋）または第２の電位レベルＶｃ（－）のいずれか一方を第３の電位レベルＶｃｏｆｆに等しくすれば、電源は２つで済む。なお、このように補償電位のいずれかがＶｃｏｆｆに等しい場合も電位レベルとしては別のものとみなし、電位レベルは３つあるものとみなす。

ところで、以上の電圧の重畳は、別の観点から見れば画素電極上での電荷保存則に他ならない。すなわち、画素の充電が完了して走査電極電位が立ち下がる直前（走査電極電位はＶｇｏｎ）から、共通電極補償期間が終わるまでの間画素電極の電荷が保存されるので、奇数フレーム、および偶数フレームそれぞれについて、以下の（式１１）が得られる。

Ｃｇｄ（Ｖｓｉｇ（－）－Ｖｇｏｎ）＋Ｃｓｔ（Ｖｓｉｇ（－）－Ｖｃ（－））＋Ｃｌｃ（Ｖｓｉｇ（－）－Ｖｄ）

＝Ｃｇｄ（Ｖｄｏ（－）－Ｖｇｏｆｆ）＋Ｃｓｔ（Ｖｄｏ（－）－Ｖｃｏｆｆ）＋Ｃｌｃ（Ｖｄｏ（－）－Ｖｄ）

Ｃｇｄ（Ｖｓｉｇ（＋）－Ｖｇｏｎ）＋Ｃｓｔ（Ｖｓｉｇ（＋）－Ｖｃ（＋））＋Ｃｌｃ（Ｖｓｉｇ（＋）－Ｖｄ）

＝Ｃｇｄ（Ｖｄｏ（＋）－Ｖｇｏｆｆ）＋Ｃｓｔ（Ｖｄｏ（＋）－Ｖｃｏｆｆ）＋Ｃｌｃ（Ｖｄｏ（＋）－Ｖｄ）

…（式１１）

これらを変形すると、以下の（式１２）が得られる。

Ｖｄｏ（－）＝Ｖｓｉｇ（－）－αｓｔΔＶｃ（－）－αｇｄΔＶｇｏｎ

Ｖｄｏ（＋）＝Ｖｓｉｇ（＋）－αｓｔΔＶｃ（＋）－αｇｄΔＶｇ

ｏｎ

…（式１２）

但し、ΔＶｇｏｎ、ΔＶｃ（＋）、ΔＶｃ（－）、およびαｇｄ、αｓｔは、以下の（式１３）および（式１４）で表される。

ΔＶｇｏｎ＝Ｖｇｏｎ－Ｖｇｏｆｆ

ΔＶｃ（＋）＝Ｖｃ（＋）－Ｖｃｏｆｆ

ΔＶｃ（－）＝Ｖｃ（－）－Ｖｃｏｆｆ

…（式１３）

αｇｄ＝Ｃｇｄ／Ｃｔｏｔ

αｓｔ＝Ｃｓｔ／Ｃｔｏｔ

Ｃｔｏｔ＝Ｃｇｄ＋Ｃｌｃ＋Ｃｓｔ

…（式１４）

（式１２）中の両式において、右辺第２項が共通電極からの（容量）結合電圧による重畳分に相当し、ΔＶｃ（＋）あるいはΔＶｃ（－）によってきまる。これらのΔＶｃ（＋）あるいはΔＶｃ（－）は、蓄積容量が接続される先の共通電極の、画素が充電される瞬間における電位（この場合Ｖｃ（＋）またはＶｃ（－））の、保持状態における電位（この場合Ｖｃｏｆｆ）を基準としてみたときの値である。（式１２）の右辺第３項は走査電極からの（容量）結合電圧であり、突き抜け（フィードスルー）と呼ばれるものである。なお、（式１４）のＣｔｏｔは、画素電極に電気的に接続される全容量の総和と見なすことができる。

ところで、図１５に関しても述べたように、画素電極には１フレーム毎に極性の反転した信号電圧が充電される。このときに、画面全体を同極性として１フレーム毎に反転させてもよいが（フィールド反転方式）、その他にも１行毎に逆極性にして反転させる方式（ライン反転方式）、１列毎に逆極性にして反転させる方式（カラム反転方式）、およびライン反

転とカラム反転を組み合わせて市松模様パターンで反転させる方式（ドット反転方式）などがある。これら各方式での画素の充電パターンを描くと、それぞれ図１６Ａ、図１６Ｂ、図１６Ｃ、および図１６Ｄのようになる。そして、それぞれについて隣接する映像信号電極ＶＳＰおよびＶＳＱに印加される電圧波形を描くと各図の右側の波形のようになる。

フィールド反転とカラム反転の場合は１フレーム内で映像信号電極に印加される映像信号の極性は一定であるが、ライン反転とドット反転の場合は各走査電極が選択される毎に映像信号の極性が反転される。また、フィールド反転とライン反転の場合は隣接する映像信号電極間での極性は同じであるが、カラム反転とドット反転の場合は逆の極性になる。カラム反転やドット反転の場合、映像信号駆動回路は複数の映像信号電極に極性の異なる２種類の（すなわち正極性と負極性の）映像信号を同時に印加する機能を備えたものとなる。

これらの各方式のうち、フィールド反転とライン反転においては水平クロストークが発生しやすいことがＳ．トミタ他　ジャーナル･オヴ･ズィ･エス･アイ･ディー１／２（１９９３年）の第２１１頁から第２１８頁（S. Tomita et. al.: Journal of the SID, 1/2 (1993) p.p.211-218）に詳しく説明されている。これを以下に要約する。

フィールド反転とライン反転においては、ある走査電極を選択して画素の充電を行うときにすべての画素が同極性で充電される。すなわち、当該行の画素電極電位は、偶数フィールドの場合には負電圧から正電圧へ、奇数フィールドの場合は正電圧から負電圧へと一斉に変化する。すると、画素電極－対向電極間の容量（液晶容量も含まれる）を介して対向電極の電位が変動してしまい（対向電極は有限のシート抵抗を有しているのでたとえ画面端部で電位を固定しても画面内部では電位が僅かに変動する）、画素に充電される電位もその影響を受けて変動し、クロスト

ークが発生してしまう。これは、共通電極電位の変動のため（式１１）の両辺に現れるＶｄが左辺と右辺で異なった値となり、画素電極の保持電位Ｖｄｏ（±）が（式１２）で表されるような値にならないために生じるクロストークであるともいえる。

これに対して、カラム反転とドット反転の場合は、ある行の走査電極が選択されて画素が充電されるときに、隣接する画素間での充電の極性が逆であるので、画素電極－共通電極間容量を介した共通電極の電位変動は互いに相殺しあって、上述のようなクロストークは発生しない。

以上の理由から、カラム反転またはドット反転を採用するのが望ましい。

しかしながら、図３の回路構成で図１５で説明したような駆動方法により共通電極の電位を変動させる液晶表示装置においては、画面サイズが大きくなるに従って、フリッカや輝度傾斜（輝度ムラ）が顕著に発生することが明らかになってきた。

また、画面サイズが大きくなると、映像信号の書き込みを行うときの対向電極の電位変動が大きくなり水平クロストークが顕著になってくるため、水平クロストークに対して有利な駆動方式であるカラム反転あるいはドット反転を採用することが必須となる。しかし、図３の回路構成で図１５の駆動方法を採用する場合、走査電極を選択する瞬間での共通電極電位を制御することによって、この行に属する画素すべてにわたって映像信号と同極性の一定の重畳電圧を加えて画素電極保持電位の振幅増大効果を得ることになるので、カラム反転やドット反転のように走査電極を選択している間に正負両極性の映像信号が印加される駆動方式の場合にはこのような画素電極保持電位の振幅増大効果が得られない（すなわち、映像信号駆動回路ＩＣの低電圧化ができない）という問題が発生する。すなわち、従来技術における問題点は、映像信号駆動回路ＩＣ

の低電圧化と水平クロストークの削減を両立し得るような映像表示装置が実現できないということである。

発明の開示

本発明は、以上で述べたような問題点に鑑みてなされたものであり、その目的は、第１にフリッカや輝度傾斜を削減し、第２に映像信号駆動回路ＩＣの低電圧化と水平クロストークの削減を両立しうる表示装置、その駆動方法、および表示素子を提供することにある。

前記の目的を達成するため、本発明に係る第１の表示装置は、マトリクス状に配置された複数の画素電極と、これに接続されたスイッチング素子と、走査電極と、映像信号電極と、共通電極と、対向電極と、前記画素電極と前記対向電極との間に挿入された表示媒質と、前記画素電極と前記共通電極との間に形成された蓄積容量を有する表示装置であって、

前記画素電極と前記走査電極との間の走査電極－画素電極間容量をＣｇｄで表し、前記画素電極と前記共通電極との間の共通電極－画素電極間容量をＣｓｔで表し、前記画素電極に電気的に接続される全容量の総和をＣｔｏｔで表した場合、

$$\alpha gd = Cgd / Ctot,\ \alpha st = Cst / Ctot \quad \cdots (式1)$$

で表されるαｇｄおよびαｓｔをともに、画面内で給電端から近い部分と遠い部分において異なった値にしたことを特徴とする。

第１の表示装置は、表示周期に応じて、映像信号電極に極性の異なる２種類の映像信号を印加する映像信号駆動回路を備えることが好ましい。

また、第１の表示装置は、複数の共通電極に電圧信号を印加する共通電極電位制御回路と、複数の走査電極に電圧信号を印加する走査信号駆動回路とを備え、前記共通電極電位制御回路は少なくとも２値の出力電位レベルを有し、前記走査信号駆動回路は少なくとも２値の出力電位レ

ベルを有することが好ましい。

第１の表示装置において、ある走査電極が選択されるときには、前記走査電極の電位は第１の電位レベルＶｇｏｎとなり、前記走査電極が選択されない保持期間中は、前記走査電極の電位は概略第２の電位レベルＶｇｏｆｆとなり、

前記走査電極に属する複数の画素の画素電極に接続される蓄積容量の他方の接続先の共通電極の電位は、前記走査電極が選択されるときには、映像信号の極性が正の場合には第１の電位レベルＶｃ（＋）となり、前記映像信号の極性が負の場合には第２の電位レベルＶｃ（－）となり、

前記共通電極の第１の電位レベルＶｃ（＋）の、以後の保持期間における電位に対する差をΔＶｃ（＋）で表し、前記共通電極の第２の電位レベルＶｃ（－）の、以後の保持期間における電位に対する差をΔＶｃ（－）で表した場合、

$\gamma = \alpha s t Vcp / 2$ …（式２）　（ここで、$Vcp = \Delta Vc(+) - \Delta Vc(-)$ …（式３））

で表されるγを、画面内で給電端から近い部分に比べて、給電端から遠い部分のほうで小さくすることが好ましい。

この場合、前記γの、画面内で給電端から近い部分での値をγ（Ｏ）、前記画面内で給電端から遠い部分での値をγ（Ｅ）、距離的にそれらの中間にあたる部分での値をγ（Ｍ）とした場合、前記γ（Ｍ）は［γ（Ｏ）＋γ（Ｅ）］／２よりも小さいことが好ましい。

また、Ｖｃｐは負の値をとることが好ましい。

第１の表示装置において、ある走査電極が選択されるときには、前記走査電極の電位は第１の電位レベルＶｇｏｎとなり、前記走査電極が選択されない保持期間中は、前記走査電極の電位は概略第２の電位レベルＶｇｏｆｆとなり、

前記走査電極に属する複数の画素の画素電極に接続される蓄積容量の他方の接続先の共通電極の電位は、前記走査電極が選択されるときには、映像信号の極性が正の場合には第１の電位レベルＶｃ（＋）となり、前記映像信号の極性が負の場合には第２の電位レベルＶｃ（－）となり、

前記共通電極の第１の電位レベルＶｃ（＋）の、以後の保持期間における電位に対する差をΔＶｃ（＋）で表し、前記共通電極の第２の電位レベルＶｃ（－）の、以後の保持期間における電位に対する差をΔＶｃ（－）で表した場合、

$$\beta = \alpha gd + \alpha st\ (\Delta Vcc / \Delta Vgon) \quad \cdots (式4)$$

（ここで、ΔＶｇｏｎ＝Ｖｇｏｎ－Ｖｇｏｆｆ、$\Delta Vcc = [\Delta Vc(+) + \Delta Vc(-)] / 2$ …（式５））

で表されるβを、画面内で給電端から近い部分に比べて、給電端から遠い部分のほうで大きくすることが好ましい。

この場合、前記βの、画面内で給電端から近い部分での値をβ（Ｏ）、前記画面内で給電端から遠い部分での値をβ（Ｅ）、距離的にそれらの中間にあたる部分での値をβ（Ｍ）とするとき、β（Ｍ）は［β（Ｏ）＋β（Ｅ）］／２よりも大きいことが好ましい。

また、前記ΔＶｃｃは負であることが好ましい。

第１の表示装置において、ある走査電極が選択されるときには、前記走査電極の電位は第１の電位レベルＶｇｏｎとなり、前記走査電極が選択されない保持期間中は、前記走査電極の電位は概略第２の電位レベルＶｇｏｆｆとなり、

前記走査電極に属する複数の画素の画素電極に接続される蓄積容量の他方の接続先の共通電極の電位は、前記走査電極が選択されるときには、映像信号の極性が正の場合には第１の電位レベルＶｃ（＋）となり、前記映像信号の極性が負の場合には第２の電位レベルＶｃ（－）となり、

前記共通電極の第１の電位レベルＶｃ（＋）の、以後の保持期間における電位に対する差をΔＶｃ（＋）で表し、前記共通電極の第２の電位レベルＶｃ（－）の、以後の保持期間における電位に対する差をΔＶｃ（－）で表した場合、

$\gamma = \alpha st Vcp / 2$ …（式２）　（ここで、$Vcp = \Delta Vc(+) - \Delta Vc(-)$ …（式３））

で表されるγを、画面内で給電端から近い部分に比べて、給電端から遠い部分のほうで小さく、かつ

$\beta = \alpha gd + \alpha st (\Delta Vcc / \Delta Vgon)$ …（式４）

（ここで、$\Delta Vgon = Vgon - Vgoff$、$\Delta Vcc = [\Delta Vc(+) + \Delta Vc(-)] / 2$ …（式５））

で表されるβを、画面内で給電端から近い部分に比べて、給電端から遠い部分のほうで大きくすることが好ましい。

前記の目的を達成するため、本発明に係る第２の表示装置は、マトリクス状に配置された複数の画素電極と、これに接続されたスイッチング素子と、走査電極と、映像信号電極と、共通電極と、対向電極と、前記画素電極と前記対向電極との間に挿入された表示媒質と、前記画素電極といずれかの前記共通電極との間に形成された蓄積容量を有し、ある１つの前記走査電極に属する複数の画素の前記画素電極に接続される前記蓄積容量の他方の接続先の前記共通電極は複数ある表示装置であって、

前記画素電極と前記走査電極との間の走査電極－画素電極間容量をＣｇｄで表し、前記画素電極と前記共通電極との間の共通電極－画素電極間容量をＣｓｔで表し、前記画素電極に電気的に接続される全容量の総和をＣｔｏｔで表した場合、

$\alpha gd = Cgd / Ctot$，$\alpha st = Cst / Ctot$ …（式１）

で表されるαｇｄおよびαｓｔをともに、画面内で給電端から近い部分

と遠い部分において異なった値にしたことを特徴とする。

第２の表示装置は、複数の映像信号電極に極性の異なる２種類の映像信号を同時に印加し、かつ、各々の前記映像信号電極についてみたときに、表示周期に応じて極性の異なる２種類の映像信号を印加する映像信号駆動回路を備えることが好ましい。

また、第２の表示装置は、ある１つの走査電極に属する複数の画素のうち、第１の極性の映像信号を印加する映像信号電極に属する画素の画素電極に接続される蓄積容量の他方の接続先の第１の共通電極と、前記第１の共通電極とは異なり、第２の極性の前記映像信号を印加する前記映像信号電極に属する前記画素の前記画素電極に接続される前記蓄積容量の他方の接続先の第２の共通電極とを備えることが好ましい。

また、第２の表示装置は、複数の共通電極に電圧信号を印加する共通電極電位制御回路と、複数の走査電極に電圧信号を印加する走査信号駆動回路とを備え、前記共通電極電位制御回路は少なくとも２値の出力電位レベルを有し、前記走査信号駆動回路は少なくとも２値の出力電位レベルを有することが好ましい。

また、第２の表示装置において、ある走査電極が選択されるときには、前記走査電極の電位は第１の電位レベルＶｇｏｎとなり、前記走査電極が選択されない保持期間中は、前記走査電極の電位は概略第２の電位レベルＶｇｏｆｆとなり、

前記走査電極に属する複数の画素の画素電極に接続される蓄積容量の他方の接続先の共通電極のうち、

前記第１の共通電極の電位は、前記走査電極が選択されるときには、前記第１の共通電極に対応する映像信号電極に印加される映像信号の極性が正の場合には第１の電位レベルＶｃ（＋）となり、前記映像信号の極性が負の場合には第２の電位レベルＶｃ（－）となり、

前記第２の共通電極の電位は、前記走査電極が選択されるときには、前記第２の共通電極に対応する前記映像信号電極に印加される前記映像信号の極性が正の場合には第１の電位レベルＶｃ（＋）となり、前記映像信号の極性が負の場合には第２の電位レベルＶｃ（－）となり、

前記共通電極の第１の電位レベルＶｃ（＋）の、以後の保持期間における電位に対する差をΔＶｃ（＋）で表し、前記共通電極の第２の電位レベルＶｃ（－）の、以後の保持期間における電位に対する差をΔＶｃ（－）で表した場合、

$\gamma = \alpha s t Vcp / 2$ …（式２）　（ここで、$Vcp = \Delta Vc(+) - \Delta Vc(-)$ …（式３））

で表されるγを、画面内で給電端から近い部分に比べて、給電端から遠い部分のほうで小さくすることが好ましい。

この場合、前記γの、画面内で給電端から近い部分での値をγ（Ｏ）、前記画面内で給電端から遠い部分での値をγ（Ｅ）、距離的にそれらの中間にあたる部分での値をγ（Ｍ）とするとき、γ（Ｍ）は［γ（Ｏ）＋γ（Ｅ）］／２よりも小さいことが好ましい。

また、前記Ｖｃｐは負であることが好ましい。

第２の表示装置において、ある走査電極が選択されるときには、前記走査電極の電位は第１の電位レベルＶｇｏｎとなり、前記走査電極が選択されない保持期間中は、前記走査電極の電位は概略第２の電位レベルＶｇｏｆｆとなり、

前記走査電極に属する複数の画素の画素電極に接続される蓄積容量の他方の接続先の共通電極のうち、

前記第１の共通電極の電位は、前記走査電極が選択されるときには、前記第１の共通電極に対応する映像信号電極に印加される映像信号の極性が正の場合には第１の電位レベルＶｃ（＋）となり、前記映像信号の

極性が負の場合には第２の電位レベルＶｃ（－）となり、

前記第２の共通電極の電位は、前記走査電極が選択されるときには、前記第２の共通電極に対応する前記映像信号電極に印加される前記映像信号の極性が正の場合には第１の電位レベルＶｃ（＋）となり、前記映像信号の極性が負の場合には第２の電位レベルＶｃ（－）となり、

前記共通電極の第１の電位レベルＶｃ（＋）の、以後の保持期間における電位に対する差をΔＶｃ（＋）で表し、前記共通電極の第２の電位レベルＶｃ（－）の、以後の保持期間における電位に対する差をΔＶｃ（－）で表した場合、

$\beta = \alpha gd + \alpha st$（ΔＶｃｃ／ΔＶｇｏｎ）　…（式４）

（ここで、ΔＶｇｏｎ＝Ｖｇｏｎ－Ｖｇｏｆｆ、ΔＶｃｃ＝［ΔＶｃ（＋）＋ΔＶｃ（－）］／２　…（式５））

で表されるβを、画面内で給電端から近い部分に比べて、給電端から遠い部分のほうで大きくすることが好ましい。

この場合、前記βの、画面内で給電端から近い部分での値をβ（Ｏ）、前記画面内で給電端から遠い部分での値をβ（Ｅ）、距離的にそれらの中間にあたる部分での値をβ（Ｍ）とするとき、β（Ｍ）は［β（Ｏ）＋β（Ｅ）］／２よりも大きいことが好ましい。

また、前記ΔＶｃｃは負であることが好ましい。

第２の表示装置において、ある走査電極が選択されるときには、前記走査電極の電位は第１の電位レベルＶｇｏｎとなり、前記走査電極が選択されない保持期間中は、前記走査電極の電位は概略第２の電位レベルＶｇｏｆｆとなり、

前記走査電極に属する複数の画素の画素電極に接続される蓄積容量の他方の接続先の共通電極のうち、

前記第１の共通電極の電位は、前記走査電極が選択されるときには、

前記第１の共通電極に対応する映像信号電極に印加される映像信号の極性が正の場合には第１の電位レベルＶｃ（＋）となり、前記映像信号の極性が負の場合には第２の電位レベルＶｃ（－）となり、

前記第２の共通電極の電位は、前記走査電極が選択されるときには、前記第２の共通電極に対応する前記映像信号電極に印加される前記映像信号の極性が正の場合には第１の電位レベルＶｃ（＋）となり、前記映像信号の極性が負の場合には第２の電位レベルＶｃ（－）となり、

前記共通電極の第１の電位レベルＶｃ（＋）の、以後の保持期間における電位に対する差をΔＶｃ（＋）で表し、前記共通電極の第２の電位レベルＶｃ（－）の、以後の保持期間における電位に対する差をΔＶｃ（－）で表した場合、

$\gamma = \alpha s t Vcp / 2$ …（式２）　（ここで、$Vcp = \Delta Vc(+) - \Delta Vc(-)$ …（式３））

で表されるγを、画面内で給電端から近い部分に比べて、給電端から遠い部分のほうで小さく、かつ、

$\beta = \alpha gd + \alpha st(\Delta Vcc / \Delta Vgon)$ …（式４）

（ここで、$\Delta Vgon = Vgon - Vgoff$、$\Delta Vcc = [\Delta Vc(+) + \Delta Vc(-)] / 2$ …（式５））

で表されるβを、画面内で給電端から近い部分に比べて、給電端から遠い部分のほうで大きくすることが好ましい。

前記の目的を達成するため、本発明に係る第３の表示装置は、マトリクス状に配置された複数の画素電極と、これに接続されたスイッチング素子と、走査電極と、映像信号電極と、共通電極と、前記画素電極と前記共通電極との間に挿入された表示媒質と、前記表示媒質を介して前記画素電極と対向する前記共通電極および当段の前記走査電極以外の電極と前記画素電極との間に形成された蓄積容量を有する表示装置であって、

前記画素電極と前記走査電極との間の走査電極－画素電極間容量をＣｇｄで表し、前記画素電極と前記共通電極との間の共通電極－画素電極間容量をＣｌｃで表し、

前記画素電極に電気的に接続される全容量の総和をＣｔｏｔで表した場合、

$$\alpha gd = Cgd / Ctot,\ \alpha lc = Clc / Ctot \quad \cdots (式6)$$

で表されるαｇｄおよびαｌｃをともに、画面内で給電端から近い部分と遠い部分において異なった値にしたことを特徴とする。

第３の表示装置は、表示周期に応じて、映像信号電極に極性の異なる２種類の映像信号を印加する映像信号駆動回路を備えることが好ましい。

また、第３の表示装置は、複数の共通電極に電圧信号を印加する共通電極電位制御回路と、複数の走査電極に電圧信号を印加する走査信号駆動回路とを備え、前記共通電極電位制御回路は少なくとも２値の出力電位レベルを有し、前記走査信号駆動回路は少なくとも２値の出力電位レベルを有することが好ましい。

第３の表示装置において、ある走査電極が選択されるときには、前記走査電極の電位は第１の電位レベルＶｇｏｎとなり、前記走査電極が選択されない保持期間中は、前記走査電極の電位は概略第２の電位レベルＶｇｏｆｆとなり、

前記走査電極に属する複数の画素の画素電極と表示媒質を介して対向する共通電極の電位は、前記走査電極が選択されるときには、映像信号の極性が正の場合には第１の電位レベルＶｃ（＋）となり、前記映像信号の極性が負の場合には第２の電位レベルＶｃ（－）となり、

前記共通電極の第１の電位レベルＶｃ（＋）の、以後の保持期間における電位に対する差をΔＶｃ（＋）で表し、前記共通電極の第２の電位レベルＶｃ（－）の、以後の保持期間における電位に対する差をΔＶｃ

（－）で表した場合、

$\gamma = \alpha lc Vcp / 2$ …（式７）

（ここで、$Vcp = \Delta Vc(+) - \Delta Vc(-)$ …（式８））

で表されるγを、画面内で給電端から近い部分に比べて、給電端から遠い部分のほうで小さくすることが好ましい。

この場合、前記γの、画面内で給電端から近い部分での値をγ（Ｏ）、前記画面内で給電端から遠い部分での値をγ（Ｅ）、距離的にそれらの中間にあたる部分での値をγ（Ｍ）とするとき、γ（Ｍ）は［γ（Ｏ）＋γ（Ｅ）］／２よりも小さいことが好ましい。

また、前記Ｖｃｐは負であることが好ましい。

第３の表示装置において、ある走査電極が選択されるときには、前記走査電極の電位は第１の電位レベルＶｇｏｎとなり、前記走査電極が選択されない保持期間中は、前記走査電極の電位は概略第２の電位レベルＶｇｏｆｆとなり、

前記走査電極に属する複数の画素の画素電極と表示媒質を介して対向する共通電極の電位は、前記走査電極が選択されるときには、映像信号の極性が正の場合には第１の電位レベルＶｃ（＋）となり、前記映像信号の極性が負の場合には第２の電位レベルＶｃ（－）となり、

前記共通電極の第１の電位レベルＶｃ（＋）の、以後の保持期間における電位に対する差をΔＶｃ（＋）で表し、前記共通電極の第２の電位レベルＶｃ（－）の、以後の保持期間における電位に対する差をΔＶｃ（－）で表した場合、

$\beta = \alpha gd + \alpha lc(\Delta Vcc / \Delta Vgon)$ …（式９）

（ここで、$\Delta Vgon = Vgon - Vgoff$、$\Delta Vcc = [\Delta Vc(+) + \Delta Vc(-)] / 2$ …（式１０））

で表されるβを、画面内で給電端から近い部分に比べて、給電端から遠

い部分のほうで大きくすることが好ましい。

この場合、前記βの、画面内で給電端から近い部分での値をβ（O）、前記画面内で給電端から遠い部分での値をβ（E）、距離的にそれらの中間にあたる部分での値をβ（M）とするとき、β（M）は［β（O）＋β（E）］／2よりも大きいことが好ましい。

また、前記ΔＶｃｃは負であることが好ましい。

第３の表示装置において、ある走査電極が選択されるときには、前記走査電極の電位は第１の電位レベルＶｇｏｎとなり、前記走査電極が選択されない保持期間中は、前記走査電極の電位は概略第２の電位レベルＶｇｏｆｆとなり、

前記走査電極に属する複数の画素の画素電極と表示媒質を介して対向する共通電極の電位は、前記走査電極が選択されるときには、映像信号の極性が正の場合には第１の電位レベルＶｃ（＋）となり、前記映像信号の極性が負の場合には第２の電位レベルＶｃ（－）となり、

前記共通電極の第１の電位レベルＶｃ（＋）の、以後の保持期間における電位に対する差をΔＶｃ（＋）で表し、前記共通電極の第２の電位レベルＶｃ（－）の、以後の保持期間における電位に対する差をΔＶｃ（－）で表した場合、

$$\gamma = \alpha lc Vcp / 2 \quad \cdots (式7)$$

（ここで、Ｖｃｐ＝ΔＶｃ（＋）－ΔＶｃ（－）　…（式８））

で表されるγを、画面内で給電端から近い部分に比べて、給電端から遠い部分のほうで小さく、かつ、

$$\beta = \alpha gd + \alpha lc (\Delta Vcc / \Delta Vgon) \quad \cdots (式9)$$

（ここで、ΔＶｇｏｎ＝Ｖｇｏｎ－Ｖｇｏｆｆ、ΔＶｃｃ＝［ΔＶｃ（＋）＋ΔＶｃ（－）］／２　…（式１０））

で表されるβを、画面内で給電端から近い部分に比べて、給電端から遠

い部分のほうで大きくすることが好ましい。

前記の目的を達成するため、本発明に係る第４の表示装置は、マトリクス状に配置された複数の画素電極と、これに接続されたスイッチング素子と、走査電極と、映像信号電極と、共通電極と、前記画素電極と前記共通電極との間に挿入された表示媒質と、前記表示媒質を介して前記画素電極と対向する前記共通電極および当段の前記走査電極以外の電極と前記画素電極との間に形成された蓄積容量を有し、ある１つの前記走査電極に属する複数の画素の前記画素電極と前記表示媒質を介して対向する前記共通電極は複数ある表示装置であって、

前記画素電極と前記走査電極との間の走査電極－画素電極間容量をＣｇｄで表し、前記画素電極と前記共通電極との間の共通電極－画素電極間容量をＣｌｃで表し、前記画素電極に電気的に接続される全容量の総和をＣｔｏｔで表した場合、

$$\alpha gd = Cgd / Ctot,\ \alpha lc = Clc / Ctot \quad \cdots (式6)$$

で表されるαｇｄおよびαｌｃをともに、画面内で給電端から近い部分と遠い部分において異なった値にしたことを特徴とする。

第４の表示装置は、複数の映像信号電極に極性の異なる２種類の映像信号を同時に印加し、かつ、各々の前記映像信号電極についてみたときに、表示周期に応じて極性の異なる２種類の映像信号を印加する映像信号駆動回路を備えることが好ましい。

また、第４の表示装置は、ある１つの走査電極に属する複数の画素のうち、第１の極性の映像信号を印加する映像信号電極に属する画素の画素電極と表示媒質を介して対向する第１の共通電極と、前記第１の共通電極とは異なり、第２の極性の前記映像信号を印加する前記映像信号電極に属する前記画素の前記画素電極と前記表示媒質を介して対向する第２の共通電極とを備えることが好ましい。

また、第４の表示装置は、複数の共通電極に電圧信号を印加する共通電極電位制御回路と、複数の走査電極に電圧信号を印加する走査信号駆動回路とを備え、前記共通電極電位制御回路は少なくとも２値の出力電位レベルを有し、前記走査信号駆動回路は少なくとも２値の出力電位レベルを有することが好ましい。

第４の表示装置において、ある走査電極が選択されるときには、前記走査電極の電位は第１の電位レベルＶｇｏｎとなり、前記走査電極が選択されない保持期間中は、前記走査電極の電位は概略第２の電位レベルＶｇｏｆｆとなり、

前記走査電極に属する複数の画素の画素電極と表示媒質を介して対向する共通電極のうち、

前記第１の共通電極の電位は、前記走査電極が選択されるときには、前記第１の共通電極に対応する映像信号電極に印加される映像信号の極性が正の場合には第１の電位レベルＶｃ（＋）となり、前記映像信号の極性が負の場合には第２の電位レベルＶｃ（－）となり、

前記第２の共通電極の電位は、前記走査電極が選択されるときには、前記第２の共通電極に対応する前記映像信号電極に印加される前記映像信号の極性が正の場合には第１の電位レベルＶｃ（＋）となり、前記映像信号の極性が負の場合には第２の電位レベルＶｃ（－）となり、

前記共通電極の第１の電位レベルＶｃ（＋）の、以後の保持期間における電位に対する差をΔＶｃ（＋）で表し、前記共通電極の第２の電位レベルＶｃ（－）の、以後の保持期間における電位に対する差をΔＶｃ（－）で表した場合、

$$\gamma = \alpha 1 c Vcp / 2 \quad \cdots (式7)$$

（ここで、$Vcp = \Delta Vc(+) - \Delta Vc(-)$ …（式８））

で表されるγを、画面内で給電端から近い部分に比べて、給電端から遠

い部分のほうで小さくすることが好ましい。

この場合、前記γの、画面内で給電端から近い部分での値をγ（Ｏ）、前記画面内で給電端から遠い部分での値をγ（Ｅ）、距離的にそれらの中間にあたる部分での値をγ（Ｍ）とするとき、γ（Ｍ）は［γ（Ｏ）＋γ（Ｅ）］／２よりも小さいことが好ましい。

また、前記Ｖｃｐは負であることが好ましい。

第４の表示装置において、ある走査電極が選択されるときには、前記走査電極の電位は第１の電位レベルＶｇｏｎとなり、前記走査電極が選択されない保持期間中は、前記走査電極の電位は概略第２の電位レベルＶｇｏｆｆとなり、

前記走査電極に属する複数の画素の画素電極と表示媒質を介して対向する共通電極のうち、

前記第１の共通電極の電位は、前記走査電極が選択されるときには、前記第１の共通電極に対応する映像信号電極に印加される映像信号の極性が正の場合には第１の電位レベルＶｃ（＋）となり、前記映像信号の極性が負の場合には第２の電位レベルＶｃ（－）となり、

前記第２の共通電極の電位は、前記走査電極が選択されるときには、前記第２の共通電極に対応する前記映像信号電極に印加される前記映像信号の極性が正の場合には第１の電位レベルＶｃ（＋）となり、前記映像信号の極性が負の場合には第２の電位レベルＶｃ（－）となり、

前記共通電極の第１の電位レベルＶｃ（＋）の、以後の保持期間における電位に対する差をΔＶｃ（＋）で表し、前記共通電極の第２の電位レベルＶｃ（－）の、以後の保持期間における電位に対する差をΔＶｃ（－）で表した場合、

$$\beta = \alpha gd + \alpha lc\,(\Delta Vcc / \Delta Vgon) \quad \cdots (式9)$$

（ここで、ΔＶｇｏｎ＝Ｖｇｏｎ－Ｖｇｏｆｆ、ΔＶｃｃ＝［ΔＶｃ

（＋）＋ΔＶｃ（－）］／２　…（式１０））

で表されるβを、画面内で給電端から近い部分に比べて、給電端から遠い部分のほうで大きくすることが好ましい。

この場合、前記βの、画面内で給電端から近い部分での値をβ（Ｏ）、前記画面内で給電端から遠い部分での値をβ（Ｅ）、距離的にそれらの中間にあたる部分での値をβ（Ｍ）とするとき、β（Ｍ）は［β（Ｏ）＋β（Ｅ）］／２よりも大きいことが好ましい。

また、前記ΔＶｃｃは負であることが好ましい。

第４の表示装置において、ある走査電極が選択されるときには、前記走査電極の電位は第１の電位レベルＶｇｏｎとなり、前記走査電極が選択されない保持期間中は、前記走査電極の電位は概略第２の電位レベルＶｇｏｆｆとなり、

前記走査電極に属する複数の画素の画素電極と表示媒質を介して対向する共通電極のうち、

前記第１の共通電極の電位は、前記走査電極が選択されるときには、前記第１の共通電極に対応する映像信号電極に印加される映像信号の極性が正の場合には第１の電位レベルＶｃ（＋）となり、前記映像信号の極性が負の場合には第２の電位レベルＶｃ（－）となり、

前記第２の共通電極の電位は、前記走査電極が選択されるときには、前記第２の共通電極に対応する前記映像信号電極に印加される前記映像信号の極性が正の場合には第１の電位レベルＶｃ（＋）となり、前記映像信号の極性が負の場合には第２の電位レベルＶｃ（－）となり、

前記共通電極の第１の電位レベルＶｃ（＋）の、以後の保持期間における電位に対する差をΔＶｃ（＋）で表し、前記共通電極の第２の電位レベルＶｃ（－）の、以後の保持期間における電位に対する差をΔＶｃ（－）で表した場合、

$\gamma = \alpha lc Vcp / 2$ …（式７）

（ここで、$Vcp = \Delta Vc(+) - \Delta Vc(-)$ …（式８））

で表されるγを、画面内で給電端から近い部分に比べて、給電端から遠い部分のほうで小さく、かつ、

$\beta = \alpha gd + \alpha lc(\Delta Vcc / \Delta Vgon)$ …（式９）

（ここで、$\Delta Vgon = Vgon - Vgoff$、$\Delta Vcc = [\Delta Vc(+) + \Delta Vc(-)] / 2$ …（式１０））

で表されるβを、画面内で給電端から近い部分に比べて、給電端から遠い部分のほうで大きくすることが好ましい。

第１および第２の表示装置において、前記表示媒質は液晶であることを特徴とする。

この場合、前記画素電極と前記対向電極とが液晶層を挟んで平行平板容量を形成する構造であることを特徴とする。

第３および第４の表示装置において、前記表示媒質は液晶であることを特徴とする。

この場合、前記共通電極は前記画素電極と同一基板に形成され、前記基板に平行な電界により前記液晶を動作させることを特徴とする。

第１から第４の表示装置において、前記Ｃｔｏｔを構成する容量の少なくとも１つが、２つの導電層あるいは半導体層が絶縁層を挟み込むことによって形成される容量を含み、前記２つの導電層あるいは半導体層のオーバーラップする面積を、画面内で給電端から近い部分と遠い部分において異ならせることにより、αｓｔまたはαｌｃ、およびαｇｄを画面内で給電端から近い部分と遠い部分において異った値にすることが好ましい。

前記の目的を達成するため、本発明に係る表示装置の第１の駆動方法は、第１または第２の表示装置を駆動する方法であって、

前記画素電極に、前記スイッチング素子を介して電位を書き込んだ後に、前記Ｃｓｔを介した電圧であり、しかも画面内で給電端から近い部分と遠い部分において異なった値を有する電圧を重畳することを特徴とする。

第１の駆動方法において、ある走査電極が選択されるときに、前記走査電極に属する複数の画素の画素電極に接続される蓄積容量の他方の接続先の共通電極に、映像信号の極性が正の場合には第１の電位レベルＶｃ（＋）を印加し、前記映像信号の極性が負の場合には第２の電位レベルＶｃ（－）を印加することが好ましい。

前記の目的を達成するため、本発明に係る表示装置の第２の駆動方法は、第３または第４の表示装置を駆動する方法であって、

前記画素電極に、前記スイッチング素子を介して電位を書き込んだ後に、前記Ｃｌｃを介した電圧であり、しかも画面内で給電端から近い部分と遠い部分において異なった値を有する電圧を重畳することを特徴とする。

第２の駆動方法において、ある走査電極が選択されるときに、前記走査電極に属する複数の画素の画素電極と表示媒質を介して対向する共通電極に、映像信号の極性が正の場合には第１の電位レベルＶｃ（＋）を印加し、前記映像信号の極性が負の場合には第２の電位レベルＶｃ（－）を印加することが好ましい。

前記の目的を達成するため、本発明に係る第５の表示装置は、画素電極の電位によって表示媒質への印加電圧を制御し、かつ前記表示媒質に正負両極性の電圧を印加することにより表示を行う表示装置であって、

前記画素電極以外の電極から前記画素電極に容量結合電圧が重畳され、前記表示媒質に正極性の電圧が印加される場合と負極性の電圧が印加される場合とで、前記容量結合電圧の表示領域内での分布を異ならせたこ

とを特徴とする。

第５の表示装置において、前記画素電極以外の電極は、共通電極であることを特徴とする。

前記の目的を達成するため、本発明に係る第６の表示装置は、マトリクス状に配置された複数の画素電極と、これに接続されたスイッチング素子と、走査電極と、映像信号電極と、共通電極と、対向電極と、前記画素電極と前記対向電極との間に挿入された表示媒質と、前記画素電極と前記共通電極との間に形成された蓄積容量を有する表示装置であって、

前記走査電極からの容量結合電圧と、前記共通電極からの容量結合電圧とを画面内で分布を持たせることによりフリッカおよび輝度傾斜を同時に補正することを特徴とする。

前記の目的を達成するため、本発明に係る第７の表示装置は、マトリクス状に配置された複数の画素電極と、これに接続されたスイッチング素子と、走査電極と、映像信号電極と、共通電極と、前記画素電極と前記共通電極との間に挿入された表示媒質と、前記表示媒質を介して前記画素電極と対向する前記共通電極および当段の前記走査電極以外の電極と前記画素電極との間に形成された蓄積容量を有する表示装置であって、

前記走査電極からの容量結合電圧と、前記共通電極からの容量結合電圧とを画面内で分布を持たせることによりフリッカおよび輝度傾斜を同時に補正することを特徴とする。

前記の目的を達成するため、本発明に係る第８の表示装置は、マトリクス状に配置された複数の画素電極と、これに接続されたスイッチング素子と、走査電極と、映像信号電極と、共通電極と、対向電極と、前記画素電極と前記対向電極との間に挿入された表示媒質と、前記画素電極といずれかの前記共通電極との間に形成された蓄積容量を有する表示装置であって、

ある１つの前記走査電極に属する複数の画素の前記画素電極に接続される前記蓄積容量の他方の接続先の前記共通電極は複数あることを特徴とする。

前記の目的を達成するため、本発明に係る第９の表示装置は、マトリクス状に配置された複数の画素電極と、これに接続されたスイッチング素子と、走査電極と、映像信号電極と、共通電極と、前記画素電極と前記共通電極との間に挿入された表示媒質を有する表示装置であって、

ある１つの前記走査電極に属する複数の画素の前記画素電極と前記表示媒質を介して対向する前記共通電極は複数あることを特徴とする。

前記の目的を達成するため、本発明に係る第１の表示素子は、マトリクス状に配置された複数の画素電極と、これに接続されたスイッチング素子と、走査電極と、映像信号電極と、共通電極と、対向電極と、前記画素電極と前記対向電極との間に挿入された表示媒質と、前記画素電極と前記共通電極との間に形成された蓄積容量を有する表示素子であって、

前記画素電極と前記走査電極との間の走査電極－画素電極間容量をＣｇｄで表し、前記画素電極と前記共通電極との間の共通電極－画素電極間容量をＣｓｔで表し、前記画素電極に電気的に接続される全容量の総和をＣｔｏｔで表した場合、

$$\alpha gd = Cgd / Ctot,\ \alpha st = Cst / Ctot \quad \cdots (式1)$$

で表されるαｇｄおよびαｓｔをともに、画面内で給電端から近い部分と遠い部分において異なった値にしたことを特徴とする。

前記の目的を達成するため、本発明に係る第２の表示素子は、マトリクス状に配置された複数の画素電極と、これに接続されたスイッチング素子と、走査電極と、映像信号電極と、共通電極と、対向電極と、前記画素電極と前記対向電極との間に挿入された表示媒質と、前記画素電極といずれかの前記共通電極との間に形成された蓄積容量を有し、ある１

つの前記走査電極に属する複数の画素の前記画素電極に接続される前記蓄積容量の他方の接続先の前記共通電極は複数ある表示素子であって、

前記画素電極と前記走査電極との間の走査電極－画素電極間容量をＣｇｄで表し、前記画素電極と前記共通電極との間の共通電極－画素電極間容量をＣｓｔで表し、前記画素電極に電気的に接続される全容量の総和をＣｔｏｔで表した場合、

$$\alpha gd = Cgd / Ctot,\ \alpha st = Cst / Ctot \quad \cdots (式1)$$

で表されるαｇｄおよびαｓｔをともに、画面内で給電端から近い部分と遠い部分において異なった値にしたことを特徴とする。

前記の目的を達成するため、本発明に係る第３の表示素子は、マトリクス状に配置された複数の画素電極と、これに接続されたスイッチング素子と、走査電極と、映像信号電極と、共通電極と、前記画素電極と前記共通電極との間に挿入された表示媒質と、前記表示媒質を介して前記画素電極と対向する前記共通電極および当段の前記走査電極以外の電極と前記画素電極との間に形成された蓄積容量を有する表示素子であって、

前記画素電極と前記走査電極との間の走査電極－画素電極間容量をＣｇｄで表し、前記画素電極と前記共通電極との間の共通電極－画素電極間容量をＣｌｃで表し、前記画素電極に電気的に接続される全容量の総和をＣｔｏｔで表した場合、

$$\alpha gd = Cgd / Ctot,\ \alpha lc = Clc / Ctot \quad \cdots (式6)$$

で表されるαｇｄおよびαｌｃをともに、画面内で給電端から近い部分と遠い部分において異なった値にしたことを特徴とする。

前記の目的を達成するため、本発明に係る第４の表示素子は、マトリクス状に配置された複数の画素電極と、これに接続されたスイッチング素子と、走査電極と、映像信号電極と、共通電極と、前記画素電極と前記共通電極との間に挿入された表示媒質と、前記表示媒質を介して前記

画素電極と対向する前記共通電極および当段の前記走査電極以外の電極と前記画素電極との間に形成された蓄積容量を有し、ある１つの前記走査電極に属する複数の画素の前記画素電極と前記表示媒質を介して対向する前記共通電極は複数ある表示素子であって、

前記画素電極と前記走査電極との間の走査電極－画素電極間容量をＣｇｄで表し、前記画素電極と前記共通電極との間の共通電極－画素電極間容量をＣｌｃで表し、前記画素電極に電気的に接続される全容量の総和をＣｔｏｔで表した場合、

$$\alpha gd = Cgd / Ctot,\ \alpha lc = Clc / Ctot \quad \cdots (式6)$$

で表されるαｇｄおよびαｌｃをともに、画面内で給電端から近い部分と遠い部分において異なった値にしたことを特徴とする。

前記の目的を達成するため、本発明に係る第１０の表示装置は、マトリクス状に配置された複数の画素電極と、これに接続されたスイッチング素子と、走査電極と、映像信号電極と、共通電極と、対向電極と、前記画素電極と前記対向電極との間に挿入された表示媒質と、前記画素電極と前記共通電極との間に形成された蓄積容量を有し、前記走査電極は表示領域の片側のみから給電され、前記共通電極は少なくとも前記表示領域で前記走査電極が給電されるのと反対側の辺で電位が固定された表示装置であって、

前記画素電極と前記走査電極との間の走査電極－画素電極間容量をＣｇｄで表し、前記画素電極と前記共通電極との間の共通電極－画素電極間容量をＣｓｔで表し、前記画素電極に電気的に接続される全容量の総和をＣｔｏｔで表した場合、

$$\alpha gd = Cgd / Ctot \quad \cdots (式101)$$

で表されるαｇｄの、表示領域内で前記走査電極の給電端から最も遠い部分での値をαｇｄ（Ｆ）とした場合、表示領域内で前記走査電極の給

電端から最も遠い部分と最も近い部分の間で、αｇｄの値がαｇｄ（Ｆ）よりも大きくなるような位置が存在することを特徴とする。

前記の目的を達成するため、本発明に係る第１１の表示装置は、マトリクス状に配置された複数の画素電極と、これに接続されたスイッチング素子と、走査電極と、映像信号電極と、共通電極と、前記画素電極と前記共通電極との間に挿入された表示媒質と、前記表示媒質を介して前記画素電極と対向する前記共通電極および当段の前記走査電極以外の電極と前記画素電極との間に形成された蓄積容量を有し、前記走査電極は表示領域の片側のみから給電され、前記共通電極は少なくとも前記表示領域で前記走査電極が給電されるのと反対側の辺で電位が固定された表示装置であって、

前記画素電極と前記走査電極との間の走査電極－画素電極間容量をＣｇｄで表し、前記画素電極と前記共通電極との間の共通電極－画素電極間容量をＣｌｃで表し、前記画素電極に電気的に接続される全容量の総和をＣｔｏｔで表した場合、

αｇｄ＝Ｃｇｄ／Ｃｔｏｔ　…（式１０１）

で表されるαｇｄの、表示領域内で前記走査電極の給電端から最も遠い部分での値をαｇｄ（Ｆ）とするとき、表示領域内で前記走査電極の給電端から最も遠い部分と最も近い部分の間で、αｇｄの値がαｇｄ（Ｆ）よりも大きくなるような位置が存在することを特徴とする。

第１から第４の表示装置において、前記画素電極に正極性の映像信号が充電された後の保持期間と、前記画素電極に負極性の前記映像信号が充電された後の保持期間において、共通電極電位が異なることが好ましい。

また、第１から第４の表示装置において、前記走査信号駆動回路は、複数の行に同時に書き込みを行うことが好ましい。

この場合、前記表示媒質はＯＣＢモードの液晶であることを特徴とする。

また、第１から第４の表示装置において、前記走査信号駆動回路と前記共通電極電位制御回路はいずれも前記スイッチング素子と同じ基板内に作り込まれることが好ましい。

また、第１から第４の表示装置において、前記表示媒質は、電流によって光学的状態を制御する媒質と補助スイッチング素子からなることが好ましい。

この場合、電流によって光学的状態を制御する前記媒質は、有機エレクトロルミネセンス媒質であることを特徴とする。

上記の構成によれば、アクティブマトリクス型の液晶表示装置において、フリッカあるいは輝度傾斜を大幅に低減することができる。また、ドット反転／カラム反転型の画素構成を採用することも可能となり、水平クロストークを抑制することができる。

このように、大型高解像度の液晶表示装置の駆動電圧・消費電力を低減し、均一性を大幅に高めることができるので、産業上の価値は極めて大である。

図面の簡単な説明

図１は、本発明の第１の実施形態に係る表示装置の画素レイアウトを示す平面図である。

図２は、図１のＡ－Ａ’線に沿った断面図である。

図３は、本発明の第１の実施形態に係る表示装置の回路構成図である。

図４は、本発明の第２の実施形態に係る表示装置の画素レイアウトを示す平面図である。

図５は、本発明の第２の実施形態に係る表示装置の回路構成図である。

図６Ａは、本発明の第２の実施形態に係る表示装置のドット反転駆動による駆動方法を説明するための奇数フレームの波形図である。

図６Ｂは、本発明の第２の実施形態に係る表示装置のドット反転駆動による駆動方法を説明するための偶数フレームの波形図である。

図７Ａは、本発明の第２の実施形態に係る表示装置のカラム反転駆動による駆動方法を説明するための奇数フレームの波形図である。

図７Ｂは、本発明の第２の実施形態に係る表示装置のカラム反転駆動による駆動方法を説明するための偶数フレームの波形図である。

図８は、本発明の第４の実施形態に係る表示装置の１画素分回路図である。

図９は、本発明の第４の実施形態に係る表示装置の画素レイアウトを示す平面図である。

図１０は、図９のＡ－Ａ’に沿った断面図である。

図１１は、本発明の第４の実施形態に係る表示装置の回路構成図である。

図１２は、本発明の第５の実施形態に係る表示装置の画素レイアウトを示す平面図である。

図１３は、本発明の第５の実施形態に係る表示装置の回路構成図である。

図１４は、従来および本発明の第１の実施形態に係る表示装置の１画素分回路図である。

図１５は、従来および本発明の第１の実施形態に係る表示装置の駆動方法を説明するための波形図である。

図１６Ａは、フィールド反転方式における画素の極性パターンと走査信号波形を示す図である。

図１６Ｂは、ライン反転方式における画素の極性パターンと走査信号

波形を示す図である。

図１６Ｃは、カラム反転方式における画素の極性パターンと走査信号波形を示す図である。

図１６Ｄは、ドット反転方式における画素の極性パターンと走査信号波形を示す図である。

図１７は、給電端から近い部分と遠い部分で再充電電圧が異なることを説明するための波形図である。

図１８は、再充電電圧の大小関係を説明するための図である。

図１９Ａは、βの画面内での分布の与え方の一例を示す図である。

図１９Ｂは、βの画面内での分布の与え方の一例を示す図である。

図１９Ｃは、βの画面内での分布の与え方の一例を示す図である。

図１９Ｄは、βの画面内での分布の与え方の一例を示す図である。

図２０Ａは、γの画面内での分布の与え方の一例を示す図である。

図２０Ｂは、γの画面内での分布の与え方の一例を示す図である。

図２０Ｃは、γの画面内での分布の与え方の一例を示す図である。

図２０Ｄは、γの画面内での分布の与え方の一例を示す図である。

図２１は、最適なβおよびγの分布を考察するためのモデル回路図である。

図２２は、図２１のモデル回路の構成単位回路図である。

図２３は、図２１のモデル回路における各節点での電圧の時間変化を示す図である。

図２４は、モデル計算により導かれた再充電電圧の画面内分布を示す図である。

図２５Ａは、βの画面内での分布の与え方の別の一例を示す図である。

図２５Ｂは、βの画面内での分布の与え方の別の一例を示す図である。

図２６Ａは、走査電極と共通電極の給電方法の一例と再充電電圧の関

係を示す図である。

図２６Ｂは、走査電極と共通電極の給電方法の一例と再充電電圧の関係を示す図である。

図２６Ｃは、走査電極と共通電極の給電方法の一例と再充電電圧の関係を示す図である。

図２６Ｄは、走査電極と共通電極の給電方法の一例と再充電電圧の関係を示す図である。

図２６Ｅは、走査電極と共通電極の給電方法の一例と再充電電圧の関係を示す図である。

図２６Ｅ’は、走査電極と共通電極の給電方法の一例と再充電電圧の関係を示す図である。

図２７は、本発明の表示装置の別の一例における１画素分回路図である。

図２８Ａは、本発明の他の実施形態に係る表示装置の駆動方法を説明するための奇数フレームの波形図である。

図２８Ｂは、本発明の他の実施形態に係る表示装置の駆動方法を説明するための偶数フレームの波形図である。

図２９Ａは、本発明の他の実施形態に係る表示装置の別の駆動方法を説明するための奇数フレームの波形図である。

図２９Ｂは、本発明の他の実施形態に係る表示装置の別の駆動方法を説明するための偶数フレームの波形図である。

図３０は、ｐチャネル型のＴＦＴにおいて再充電電圧の大小関係を説明する図である。

図３１は、有機エレクトロルミネセンス素子を用いた表示装置に本発明を適用する場合の画素構成図である。

図３２は、$\Delta\alpha gd = \alpha gd(E) - \alpha gd(O)$、および$\Delta\alpha st =$

αｓｔ（Ｅ）－αｓｔ（Ｏ）とした場合に、輝度傾斜およびフリッカを共に削減できるようなΔαｇｄとΔαｓｔの範囲を示す図である。

図３３Ａは、シミュレーションにより表示領域内でのＣｓｔとＣｇｄの最適分布を求めた図である。

図３３Ｂは、シミュレーションにより表示領域内でのＣｓｔとＣｇｄの最適分布を求めた図である。

図３３Ｃは、シミュレーションにより表示領域内でのＣｓｔとＣｇｄの最適分布を求めた図である。

図３３Ｄは、シミュレーションにより表示領域内でのＣｓｔとＣｇｄの最適分布を求めた図である。

発明を実施するための最良の形態

（従来例の問題点の分析）

本発明の実施形態の具体例を述べる前に、背景技術で述べたように、画面サイズが大きくなるに従ってフリッカと輝度傾斜が顕著になるという第一の問題点の発生原因を詳細に解析した結果について述べる。

なお、以下特に断りの無い限り、走査信号（走査電極に加える駆動信号）および共通電極制御信号は画面の両側から給電する場合を想定する。そして、画面内で、走査電極（および共通電極）の給電端から近い部分、すなわち画面両端部分を文字通り「給電端から近い部分」と呼び、画面中央を「給電端から遠い部分」と呼ぶ。

第一に、この問題点を考察するにあたって考察しなければならない再充電という現象について説明する。

いま、例として図１５で走査電極が選択された後、電位がＶｇｏｎからＶｇｏｆｆへ移行するときに注目する。給電端から近い部分においてはこの電圧変化が迅速に生じるが、給電端から遠い部分においては走査

電極自身のもつＣＲ時定数のために波形に歪みが生じ、電位の推移がなだらかになる（但し、ＶｃがＶｃ（±）からＶｃｏｆｆへと変化するまでには走査電極電位の推移はほぼ完了するとする）。給電端から近い部分と遠い部分において走査電極電位波形の様子を描くと図１７のＶｇのようになる。画素電極電位Ｖｄは、充電が完了した時点では映像信号電圧Ｖｓｉｇ（＋）またはＶｓｉｇ（－）にほぼ等しい（図１７ではＶｓｉｇ（＋）の場合を示している）が、図１４の回路のＣｇｄによる容量結合のため、Ｖｇの変化に伴って変動してしまう。ＶｇがＶｇｏｎからＶｇｏｆｆへ変化するときの、容量結合に伴うＶｄの変化分ΔＶａは、給電端からの距離にかかわらず、以下の（式１５）で表される。

ΔＶａ＝－（Ｃｇｄ／Ｃｔｏｔ）（Ｖｇｏｎ－Ｖｇｏｆｆ）

（ここで、Ｃｔｏｔ＝Ｃｇｄ＋Ｃｌｃ＋Ｃｓｔ）　…（式１５）

この電圧変化分ΔＶａを突き抜け（フィードスルー）と呼ぶことにする。この電圧値は映像信号の極性によらずほぼ同じ値である。

ところが、走査電極電位が立ち下がるときにＴＦＴはすぐにＯＦＦ状態になるのではなく、スイッチング閾値（映像信号電極電位より閾値電圧分だけ上の電位）を通過するときに初めてＯＦＦになる（但し、ＴＦＴは、遅くとも映像信号電極電位が次の走査期間電圧に向かって移行しはじめるまでにはＯＦＦになるとしている）。よって、走査電極電位立ち下がり開始からスイッチング閾値通過までの有限の時間（図１７中ＴｏあるいはＴｅで示した期間）に、突き抜けによって発生する映像信号電極－画素電極間（ＴＦＴのソース･ドレイン間）の電位差を埋め合わせようとしてＴＦＴに電流が流れてしまう。このため、画素電極電位の実際の変化分の絶対値は｜ΔＶａ｜より小さくなる。ＴＦＴに電流が流れることによって生じる電圧差をΔＶｂで表すと、画素電極電位の変化分はΔＶａ＋ΔＶｂとなる。図１７に、このときの画素電極電位Ｖｄの変化

の様子も併せて示す。走査信号駆動回路の給電端から遠くなるほどＶｇの波形がなだらかになり、ＴＦＴがＯＦＦになるまでの時間が長くなるので、ΔＶｂは一般に給電端から遠くなるに従って大きくなる。なお、このときにＴＦＴに流れる電流を再充電電流と呼び、これによって生じる電圧差ΔＶｂを再充電電圧と呼ぶことにする。

なお、以上で述べたスイッチング閾値は、偶数フレーム（正極性の映像信号を充電する場合）と奇数フレーム（負極性の映像信号を充電する場合）では異なった値になる。走査電極電位がＶｇｏｎからＶｇｏｆｆに移行するときの、スイッチング閾値のレベルを正極性、負極性それぞれについて描くと図１８のようになる。これを基に、給電端から近い部分と遠い部分それぞれについて、ＴＦＴがＯＦＦになるまでの時間、すなわち再充電が発生する期間（上述のＴｏあるいはＴｅに相当）を正負各極性について示すと下の棒グラフのようになる。棒グラフの長さが再充電電流、従って再充電電圧の大きさにほぼ対応するので、給電端から近い部分での正極性および負極性の場合の再充電電圧をそれぞれΔＶｂ（Ｏ，＋）およびΔＶｂ（Ｏ）とし、遠い部分でのそれらをΔＶｂ（Ｅ，＋）およびΔＶｂ（Ｅ）とすると、以下の（式１６）の関係があることがわかる。

ΔＶｂ（Ｏ，＋）＜ΔＶｂ（Ｅ，＋）

ΔＶｂ（Ｏ）＜ΔＶｂ（Ｅ）

ΔＶｂ（Ｏ，＋）－ΔＶｂ（Ｏ）＞ΔＶｂ（Ｅ，＋）－ΔＶｂ（Ｅ）

…（式１６）

なお、参考までに述べておくと、ここでは簡単のため偶数フレームと奇数フレームにおいて走査電極電位の立ち下がり波形は同じであるとしたが、必ずしも同じでないこともありうる。特に、ＴＦＴのチャネル容量の非線形性（ＴＦＴがＯＮのときのゲート・ソース間容量、あるいは

ゲート・ドレイン間容量がＯＦＦのときのそれらよりも大きくなる）を考慮すれば、映像信号が負極性のほうが見かけ上容量が大きくなり、従って走査電極電位立ち下りのＣＲ時定数が大きくなり、立ち下がり方が遅くなるということもありうる。しかし、そのような場合でも（式１６）の関係が成り立つことには変わりはない。

第二に、フリッカおよび輝度傾斜と再充電電圧の関係について数式的に説明する。いま、給電端から近い部分と遠い部分での、画素電極保持電位の値Ｖｄｏ（Ｏ，＋）、Ｖｄｏ（Ｏ）、およびＶｄｏ（Ｅ，＋）、Ｖｄｏ（Ｅ）は、（式１２）に上述の再充電の効果を加えて、（式１７）のように表せる。

Ｖｄｏ（Ｏ，＋）＝Ｖｓｉｇ（＋）－αｓｔΔＶｃ（＋）－αｇｄΔＶｇｏｎ＋ΔＶｂ（Ｏ，＋）

Ｖｄｏ（Ｏ）＝Ｖｓｉｇ（－）－αｓｔΔＶｃ（－）－αｇｄΔＶｇｏｎ＋ΔＶｂ（Ｏ）

Ｖｄｏ（Ｅ，＋）＝Ｖｓｉｇ（＋）－αｓｔΔＶｃ（＋）－αｇｄΔＶｇｏｎ＋ΔＶｂ（Ｅ，＋）

Ｖｄｏ（Ｅ）＝Ｖｓｉｇ（－）－αｓｔΔＶｃ（－）－αｇｄΔＶｇｏｎ＋ΔＶｂ（Ｅ）

…（式１７）

（式１７）において、給電端から近い部分と遠い部分での画素電極電位のＤＣ平均レベルＶｄｃ（Ｏ）、Ｖｄｃ（Ｅ）および液晶印加電圧実効値Ｖｅｆｆ（Ｏ）、Ｖｅｆｆ（Ｅ）を計算すると、（式１８）のようになる。

Ｖｄｃ（Ｏ）＝［Ｖｄｏ（Ｏ，＋）＋Ｖｄｏ（Ｏ）］／２

＝［Ｖｓｉｇ（＋）＋Ｖｓｉｇ（－）］／２－αｓｔΔＶｃｃ－αｇｄ

ΔＶｇｏｎ＋［ΔＶｂ（Ｏ，＋）＋ΔＶｂ（Ｏ）］／２

Ｖｅｆｆ（Ｏ）＝［Ｖｄｏ（Ｏ，＋）－Ｖｄｏ（Ｏ）］／２

$$= [Vsig(+) - Vsig(-)] / 2 - \alpha st Vcp / 2 + [\Delta Vb(O, +) - \Delta Vb(O)] / 2$$

$$Vdc(E) = [Vdo(E, +) + Vdo(E)] / 2 = [Vsig(+) + Vsig(-)] / 2 - \alpha st \Delta Vcc - \alpha gd \Delta Vgon + [\Delta Vb(E, +) + \Delta Vb(E)] / 2$$

$$Veff(E) = [Vdo(E, +) - Vdo(E)] / 2 = [Vsig(+) - Vsig(-)] / 2 - \alpha st Vcp / 2 + [\Delta Vb(E, +) - \Delta Vb(E)] / 2$$

…（式１８）

但し、ΔＶｃｃおよびＶｃｐは以下の（式１９）で与えられる。

$$\Delta Vcc = [\Delta Vc(+) + \Delta Vc(-)] / 2 = [Vc(+) + Vc(-)] / 2 - Vcoff$$

$$Vcp = \Delta Vc(+) - \Delta Vc(-) = Vc(+) - Vc(-)$$

…（式１９）

（式１８）の第１式、第３式で与えられるＤＣ平均レベルＶｄｃ（Ｏ）およびＶｄｃ（Ｅ）は、対向電極の電位をこの値に一致させれば液晶に印加される電圧の時間平均値が０になり、フリッカが見えなくなるという電圧値である。しかし、（式１８）と（式１６）により、以下の（式２０）で表される関係が得られ、ＤＣ平均レベルが画面内で異なる値を持つことになり（給電端から遠い部分のほうが近い部分よりも大きい）、全画面で同時にフリッカをなくすことは不可能である。

$$Vdc(E) - Vdc(O) = [\Delta Vb(E, +) + \Delta Vb(E)] / 2 - [\Delta Vb(O, +) + \Delta Vb(O)] / 2 > 0$$

…（式２０）

一方、（式１７）の第２式、第４式で与えられるＶｅｆｆは液晶に印加

される電圧の実効値に相当し、液晶はこの実効値に対応した輝度（透過率）を呈示する。しかし、（式１８）と（式１６）により、以下の（式２１）で表される関係が得られ、液晶印加電圧実効値も画面内で分布（傾斜）をもつ（給電端から遠い部分のほうが近い部分よりも小さい）ことになる。

$$Veff(E) - Veff(O) = [\Delta Vb(E, +) - \Delta Vb(E)]/2 - [\Delta Vb(O, +) - \Delta Vb(O)]/2 < 0$$

…（式２１）

以上が、再充電電圧の画面内分布によりフリッカや輝度傾斜が現れる理由である。

さて、画面サイズが大きくなると、給電端から遠い部分の、給電端からの距離は必然的に大きくなる。すると、上述の再充電電圧ΔＶｂの、給電端から遠い部分と近い部分の差は大きくなり、フリッカや輝度傾斜も大きくなる。

また、画面サイズが大きい場合には共通電極の電位変動による影響も無視できなくなる。すなわち、走査電極電位がＶｇｏｎからＶｇｏｆｆに変化したときに、画素電極電位は突き抜けにより低下するが、そのとき同時に、図１４のＣｇｄおよびＣｓｔによって作られる走査電極－共通電極間の容量結合により、共通電極の電位も低下する。この電位低下は共通電極の給電端から近い部分では小さいが、遠い部分では大きくなる。共通電極電位が低下するとそれに引っ張られて画素電極電位はさらに低下する。すると、共通電極電位が全く変化しないと仮定した場合に比べて大きい再充電電流が画素電極に向けて流れる。従って、給電端から遠い部分での画素電極保持電位が給電端から近い部分に比べて格段に大きくなり、輝度傾斜やフリッカ等の問題がさらに顕著になる。

（本発明の原理説明１：輝度傾斜・フリッカ低減の原理）

以上の分析を行った上で、輝度傾斜、およびフリッカをなくすための手段を見いだした。これが本発明の内容であり、αｓｔおよびαｇｄの値に画面内で傾斜をもたせるというものである。以下、その原理について説明する。

いま、αｓｔおよびαｇｄが画面内で一定でない（すなわち、ＣｇｄＣｓｔ、およびＣｌｃのいずれか少なくともひとつが一定でない）とする。そして、給電端から近い部分でのαｓｔおよびαｇｄをそれぞれαｓｔ(Ｏ)、αｇｄ(Ｏ)とし、遠い部分でのそれらをそれぞれαｓｔ(Ｅ)、αｇｄ（Ｅ）とする。ここで“Ｏ”は給電端から近い部分、“Ｅ”は給電端から遠い部分を示している。

給電端から近い部分と遠い部分それぞれについて、正および負に充電される場合について、（式１７）を適用すると（式２２）の４個の式が得られる。

$$
\begin{aligned}
Vdo(O,+) &= Vsig(+) - \alpha st(O)\,\Delta Vc(+) \\
&\quad - \alpha gd(O)\,\Delta Vgon + \Delta Vb(O,+) \\
Vdo(O,-) &= Vsig(-) - \alpha st(O)\,\Delta Vc(-) \\
&\quad - \alpha gd(O)\,\Delta Vgon + \Delta Vb(O,-) \\
Vdo(E,+) &= Vsig(+) - \alpha st(E)\,\Delta Vc(+) \\
&\quad - \alpha gd(E)\,\Delta Vgon + \Delta Vb(E,+) \\
Vdo(E,-) &= Vsig(-) - \alpha st(E)\,\Delta Vc(-) \\
&\quad - \alpha gd(E)\,\Delta Vgon + \Delta Vb(E,-)
\end{aligned}
\qquad \cdots (式２２)
$$

なお、ここで、例えばＶｄｏ（ｊ，±）（ｊ＝ＯまたはＥ）という表記は、位置ｊ（ｊ＝Ｏ→給電端から近い部分、ｊ＝Ｅ→給電端から遠い部分）での正充電時（＋）または負充電時（－）に関する量であるという意味である。Ｖｓｉｇ（±）、ΔＶｂ（ｊ，±）に関しても同様である。

従来技術の場合は、ΔＶｂの値が給電端から近い部分と遠い部分で異なっていたことにより、Ｖｄｏも同じように異なり、フリッカおよび輝度傾斜が発生していた。本発明では、各２つずつのαｓｔおよびαｇｄの値を独立に変化させることにより、ΔＶｂの値の違いを補正しようとするものである。まず、（式１７）から（式１８）のようにＤＣ平均レベルＶｄｃ（Ｏ）、Ｖｄｃ（Ｅ）および液晶印加電圧実効値Ｖｅｆｆ（Ｏ）、Ｖｅｆｆ（Ｅ）を計算したのと同様に、（式２２）からこれらを計算すると、以下の（式２３）のようになる。

$$
\begin{aligned}
Vdc(O) &= [Vdo(O,+) + Vdo(O,-)]/2 \\
&= [Vsig(+) + Vsig(-)]/2 - \alpha st(O)\,\Delta Vcc \\
&\quad - \alpha gd(O)\,\Delta Vgon + [\Delta Vb(O,+) \\
&\quad + \Delta Vb(O,-)]/2 \\
Veff(O) &= [Vdo(O,+) - Vdo(O,-)]/2 \\
&= [Vsig(+) - Vsig(-)]/2 - \alpha st(O) \\
&\quad Vcp/2 + [\Delta Vb(O,+) - \Delta Vb(O,-)]/2 \\
Vdc(E) &= [Vdo(E,+) + Vdo(E,-)]/2 \\
&= [Vsig(+) + Vsig(-)]/2 - \alpha st(E)\,\Delta Vcc \\
&\quad - \alpha gd(E)\,\Delta Vgon + [\Delta Vb(E,+) \\
&\quad + \Delta Vb(E,-)]/2 \\
Veff(E) &= [Vdo(E,+) - Vdo(E,-)]/2 \\
&= [Vsig(+) - Vsig(-)]/2 - \alpha st(E) \\
&\quad Vcp/2 + [\Delta Vb(E,+) - \Delta Vb(E,-)]/2
\end{aligned}
$$

…（式２３）

ここから、給電端から近い部分と遠い部分での液晶印加電圧実効値の差ΔＶｅｆｆを計算すると、（式２４）のようになる。

$$\Delta Veff = Veff(E) - Veff(O)$$

$$= -[\alpha st(E) - \alpha st(O)] Vcp/2 + [\Delta Vb(E, +) - \Delta Vb(E, -) - \Delta Vb(O, +) + \Delta Vb(O, -)]/2$$
$$= -[\gamma(E) - \gamma(O)] + [\Delta Vb(E, +) - \Delta Vb(E, -) - \Delta Vb(O, +) + \Delta Vb(O, -)]/2$$

…（式２４）

但し、γ（Ｏ）およびγ（Ｅ）は、以下の（式２５）で与えられる。

$$\gamma(O) = \alpha st(O) Vcp/2$$
$$\gamma(E) = \alpha st(E) Vcp/2$$

…（式２５）

また、同じくＤＣ平均レベルの差ΔＶｄｃを計算すると、以下の（式２６）のようになる。

$$\Delta Vdc = VDC(E) - VDC(O)$$
$$= -[\alpha st(E) - \alpha st(O)] \Delta Vcc - [\alpha gd(E) - \alpha gd(O)] \Delta Vgon + [\Delta Vb(E, +) + \Delta Vb(E, -) - \Delta Vb(O, +) - \Delta Vb(O, -)]/2$$
$$= -[\beta(E) - \beta(O)] \Delta Vgon + [\Delta Vb(E, +) + \Delta Vb(E, -) - \Delta Vb(O, +) - \Delta Vb(O, -)]/2$$

…（式２６）

但し、β（Ｏ）およびβ（Ｅ）は以下の（式２７）で与えられる。

$$\beta(O) = \alpha gd(O) + \alpha st(O)(\Delta Vcc/\Delta Vgon)$$
$$\beta(E) = \alpha gd(E) + \alpha st(E)(\Delta Vcc/\Delta Vgon)$$

…（式２７）

輝度傾斜を完全になくすためには（式２４）においてΔＶｅｆｆ＝０であればよく、以下の（式２８）を満たすようにγ（Ｏ）とγ（Ｅ）の関係を選べばよい。

$$\gamma(E) - \gamma(O)$$

＝［ΔＶｂ（Ｅ，＋）－ΔＶｂ（Ｅ，－）－ΔＶｂ（Ｏ，＋）＋ΔＶｂ（Ｏ，－）］／２

…（式２８）

（式１６）の第３式によれば（式２８）の右辺は負であるので、γ（Ｏ）とγ（Ｅ）の関係は（式２９）であればよい。

γ（Ｏ）＞γ（Ｅ） …（式２９）

次に、フリッカを完全になくすためには、（式２６）において、ΔＶｄｃ＝０であればよく、以下の（式３０）を満たすようにβ（Ｏ）とβ（Ｅ）の関係を選べばよい。

［β（Ｅ）－β（Ｏ）］ΔＶｇｏｎ

＝［ΔＶｂ（Ｅ，＋）＋ΔＶｂ（Ｅ，－）－ΔＶｂ（Ｏ，＋）－ΔＶｂ（Ｏ，－）］／２

…（式３０）

（式１６）の第１式、第２式によれば、（式２８）の右辺は正であり、かつΔＶｇｏｎも正であるので、β（Ｏ）とβ（Ｅ）の関係は、以下の（式３１）であればよい。

β（Ｏ）＜β（Ｅ） …（式３１）

以上のようにして、うまくγおよびβを選ぶことにより、フリッカ、および輝度傾斜をなくすことができる。

以上をまとめると、図１４の構造のアレイ構成で輝度傾斜、およびフリッカをなくすための条件は次のように表せる。

［１］輝度傾斜をなくすための必要条件：

γの値が、画面内で給電端から近い部分に比べて、給電端から遠い部分のほうが小さいこと

［２］フリッカをなくすための必要条件：

βの値が、画面内で給電端から近い部分に比べて、給電端から遠い部

分のほうが大きいこと

なお、以上においては、添字ＯおよびＥを省略した形で表記している。

なお、必要条件［１］のみを満たして［２］を満たさないという構成でももちろんよい。ただ、この構成の場合、輝度傾斜はなくなるがフリッカはなくならない。この条件下で強引にフリッカをなくす方法として、映像信号駆動回路で発生する映像信号に予め補正をかけておくということも考えられるが、これは余分な信号処理回路を付加することを意味し、コストが高くなってしまう。

逆に、必要条件［２］のみを満たして［１］を満たさないという構成でももちろんよい。ただ、この構成の場合、フリッカはなくなるが輝度傾斜はなくならない。この条件下で強引に輝度傾斜をなくす方法として、同様に映像信号駆動回路で発生する映像信号に予め補正をかけておくということも考えられるが、この場合もやはり、余分な信号処理回路を付加することを意味し、コストが高くなってしまう。

これに対して、最も望ましいのは必要条件［１］および［２］をともに満たす場合である。こうすると、映像信号に予め補正をかけるための余分な信号処理回路なしに、フリッカ・輝度傾斜のない高画質映像が得られ、低コストと高画質を両立することが可能となる。

なお、βおよびγ（あるいはαｓｔおよびαｇｄ）を給電端から近い部分と遠い部分で異なる値にする場合に、これらは独立に変化させる必要がある。従って、αｓｔおよびαｇｄに寄与する容量値（別の言い方をすれば、Ｃｔｏｔを構成する容量値）Ｃｓｔ、Ｃｇｄ、あるいはＣｌｃのうち少なくとも２つを給電端から近い部分と遠い部分で異なった値にすることにより、αｓｔおよびαｇｄを変化させることが望ましい。

実際、例えばＣｇｄとＣｌｃは一定として、Ｃｓｔのみを給電端から近い部分（ここでのＣｓｔの値をＣｓｔ（Ｏ）とする）と遠い部分（同

じくＣｓｔ（Ｅ）とする）で異なる値にしてＣｓｔ（Ｏ）＜Ｃｓｔ（Ｅ）とした場合、（式１４）によればαｇｄ（Ｏ）＞αｇｄ（Ｅ）、αｓｔ（Ｏ）＜αｓｔ（Ｅ）となる。こうすると、Ｖｃｐ＜０、ΔＶｃｃ＜０（この条件が望ましいことを後に補足として説明する）であるとした場合に、（式２５）からγ（Ｏ）＞γ（Ｅ）となり、（式２７）によりβ（Ｏ）＞β（Ｅ）となる。すると、（式２９）は満たされるが、（式３１）は満たされない。従って、輝度傾斜削減効果は得られるがフリッカ削減効果は得られない。

逆に、Ｃｓｔ（Ｏ）＞Ｃｓｔ（Ｅ）とした場合にはγ（Ｏ）＜γ（Ｅ）、β（Ｏ）＜β（Ｅ）となり、（式３１）は満たされるが、（式29）は満たされず、フリッカ削減効果は得られるが輝度傾斜削減効果は得られない。また、例えばＣｓｔとＣｌｃは一定として、Ｃｇｄのみを変化させる場合についても同様のことが導かれる。ＣｓｔとＣｇｄを一定として、Ｃｌｃを変化させる分には問題ない。

以上のことを、もう少し詳しく説明する。いま、Δαｇｄ＝αｇｄ（Ｅ）－αｇｄ（Ｏ）、およびΔαｓｔ＝αｓｔ（Ｅ）－αｓｔ（Ｏ）とおいた場合に、（式２９）および（式３１）をともに満たすようなΔαｇｄおよびΔαｓｔの範囲を示すと、図３２のハッチ部のようになる（Ｖｃｐ＜０、ΔＶｃｃ＜０の場合を想定）。これに対して、ＣｇｄとＣｌｃは一定として、Ｃｓｔのみを給電端から遠い部分と近い部分で変える場合（Ｃｓｔ（Ｏ）≠Ｃｓｔ（Ｅ））、ΔαｇｄおよびΔαｓｔは（式４６）のように表すことができる。

$$\Delta\alpha gd = \alpha gd(E) - \alpha gd(O)$$
$$= Cgd/(Cgd + Cl c + Cst(E)) - Cgd/(Cgd + Cl c + Cst(O))$$
$$= -Cgd\,[Cst(E) - Cst(O)]$$

／［（Ｃｇｄ＋Ｃｌｃ＋Ｃｓｔ（Ｅ））（Ｃｇｄ＋Ｃｌｃ
＋Ｃｓｔ（Ｏ））］

Δαｓｔ＝αｓｔ（Ｅ）－αｓｔ（Ｏ）
＝Ｃｓｔ（Ｅ）／（Ｃｇｄ＋Ｃｌｃ＋Ｃｓｔ（Ｅ））－Ｃｓｔ（Ｏ）
／（Ｃｇｄ＋Ｃｌｃ＋Ｃｓｔ（Ｏ））
＝（Ｃｇｄ＋Ｃｌｃ）［Ｃｓｔ（Ｅ）－Ｃｓｔ（Ｏ）］
／［（Ｃｇｄ＋Ｃｌｃ＋Ｃｓｔ（Ｅ））（Ｃｇｄ＋Ｃｌｃ
＋Ｃｓｔ（Ｏ））］

…（式４６）

よって、ΔαｇｄとΔαｓｔには（式４７）の関係があることがわかる。

Δαｇｄ／Δαｓｔ＝－Ｃｇｄ／（Ｃｇｄ＋Ｃｌｃ）

…（式４７）

また、ＣｓｔとＣｌｃは一定として、Ｃｇｄのみを給電端から遠い部分と近い部分で変える場合（Ｃｇｄ（Ｏ）≠Ｃｇｄ（Ｅ））、同様に考えると（式４８）の関係式が得られる。

Δαｇｄ／Δαｓｔ＝－Ｃｓｔ／（Ｃｓｔ＋Ｃｌｃ）

…（式４８）

いま、（式４７）、（式４８）共に右辺は負の値であるから、これらの関係式を図３２に付加すると、いずれも原点を通り傾きが負の直線で与えられる（原点は除く）。よって、（式４７）あるいは（式４７）の直線はいずれもハッチ部の領域と共通部分をもたない。すなわち、Ｃｓｔのみを変える場合やＣｇｄのみを変える場合は、フリッカ削減効果と輝度傾斜削減効果が両立できないことを示している。

（本発明の原理２：βおよびγの最適分布）

ところで、以上では給電端から近い部分と遠い部分を代表点として扱ってきたが、画面内各位置での、γおよびβの変化のパターンとしては、

様々なものが考えられる。βについてのいくつかの例を図１９に、γについてのそれを図２０に示す。各グラフは、横軸に画面上での水平位置をとり、縦軸にβあるいはγの値を示している。なお、横軸のＯ、Ｅ、およびＭはそれぞれ、給電端から近い部分、給電端から遠い部分、および距離的にそれらの中間にあたる部分を示している。最も考えやすいのは、図１９Ａあるいは図２０Ａのように、直線的に変化するパターンである。また、図１９Ｂや図２０Ｂのように、非線形な変化のしかたも考えられるし、あるいは図１９Ｃや図２０Ｃのように、段階的に変化するというのもあり得る。あるいは、図１９Ｄや図２０Ｄのように、一定の部分とある傾斜を有する部分が混在するというのも考え得る。いずれも、給電端から近い部分と給電端から遠い部分でのβおよびγの値が（式３１）や（式２９）を満たしているという点では共通である。いずれにおいても本発明の効果は得られる。

中でも図１９Ｂ、図１９Ｄや、図２０Ｂ、図２０Ｄのように、βは給電端から近い部分と遠い部分の間で上に凸、γは下に凸な傾向を示す場合が望ましい。その理由を以下に示す。

いま、走査電極はＲＣ分布回路定数をもつ配線であるとみなすことができる。そこで、給電端から近い部分と遠い部分の間全体の容量をＣ、抵抗をＲとして、図２１のような５段のＲＣ回路で走査電極を近似的に表す。これは、走査電極の給電端から近い部分と遠い部分の間の部分を５等分し、それぞれを図２２のような単位ＲＣ回路で表し、縦続接続したものであると考えればよい。走査電極の給電端から近い部分と遠い部分の間の長さをＬとすると、図中の各接点電位ＶｇＯ、Ｖｇ１、Ｖｇ２、Ｖｇ３、Ｖｇ４、Ｖｇ５、およびＶｇＥはそれぞれ、給電端からの距離が０（給電端から近い部分）、Ｌ／１０、３Ｌ／１０、Ｌ／２、７Ｌ／１０、９Ｌ／１０、およびＬ（給電端から遠い部分）の位置での電位に相

当する。給電端から近いほうの端部には、走査信号駆動回路により電圧が供給される。この図２１で、Ｖｇ０が走査信号駆動回路の供給電圧であり、Ｒｇは走査信号駆動回路の内部インピーダンスである。

なお、図１９や図２０は、両側から給電する場合を想定した図になっているが、これらは左右対称であるので左半分、あるいは右半分だけに注目して考えれば十分である。図２１の回路モデルはまさに図１９や図２０の左半分だけに注目したものに相当する。

この回路で走査電極電位が立ち下がるとき、すなわちＶｇ０がＯＮレベルＶｇｏｎからオフレベルＶｇｏｆｆへとステップ的に変化するときの各接点電位の時間変化は回路方程式として解くことができる。実際に数値計算を行った結果を図２３に示す。なお、ここでは時刻ｔ＝０の瞬間に走査電極電位Ｖｇ０がＶｇｏｎ→Ｖｇｏｆｆへと移行するとし、一例としてＲｇ＝Ｒ／９、Ｖｇｏｎ＝２５Ｖ、Ｖｇｏｆｆ＝０Ｖの場合について計算を行っている。横軸はＣＲで規格化している。

次に、従来例のように、Ｃｇｄ、Ｃｓｔ、およびＣｌｃ等の容量は位置によらず一定であるとして、ΔＶｂが位置とともにどのように変化するかを考察する。各点において画素構造は図１４の回路によって表されるので、Ｖｇ（ｎ）として上記のＶｇＯ、Ｖｇ１、Ｖｇ２、･･･が印加されたときの画素電極電位Ｖｄの時間変化を追跡すればよい。この回路において、Ｖｃ（ｎ）、ＶｆおよびＶｓは一定電位であると仮定すれば、Ｖｄの時間変化は（式３２）により表される。

Ｉｄｓ＋Ｃｔｏｔ・ｄＶｄ／ｄｔ－Ｃｇｄ・ｄＶｇ（ｎ）／ｄｔ＝０
…（式３２）

なお、ここで、Ｃｔｏｔ≒Ｃｇｄ＋Ｃｇｓ＋Ｃｌｃである。また、Ｉｄｓは ＴＦＴのソース・ドレイン間電流であり、理想ＭＯＳ特性を仮定すれば（式３３）のように表される。

$$Ids = k\left[\{Vg(n) - Vs - Vt\}^2 - \{Vg(n) - Vd - Vt\}^2\right]$$

（なお、$Vg(n) - Vs \geqq Vt$、$Vg(n) - Vd \geqq Vt$）

$$Ids = k\{Vg(n) - Vs - Vt\}^2$$

（なお、$Vg(n) - Vs \geqq Vt$、$Vg(n) - Vd < Vt$）

$$Ids = -k\{Vg(n) - Vd - Vt\}^2$$

（なお、$Vg(n) - Vs < Vt$、$Vg(n) - Vd \geqq Vt$）

$$Ids = 0$$

（なお、$Vg(n) - Vs < Vt$、$Vg(n) - Vd < Vt$）

…（式３３）

ここで、ｋはＴＦＴの充電能力を示す定数であり、ＶｔはＴＦＴの閾値電圧である。（式３２）の初期条件は、ｔ＝０においてＶｄ＝Ｖｓ、Ｖｇ（ｎ）＝Ｖｇｏｎである。また、十分に時間が経過した後（ｔ＝∞）においてはＶｇ（ｎ）＝Ｖｇｏｆｆとなり、ＴＦＴはＯＦＦ状態となってＩｄｓ＝０となり（（式３３）の第４式の場合）、従ってＶｄは一定値になる（（式３２）より、ｔ＝∞においてｄＶｄ／ｄｔ＝０となることが導かれる）。このＶｄの最終安定値Ｖｄｏを数値計算により求め、再充電がないとしたときの最終安定値Ｖｄｏの値、すなわち（式３２）において常にＩｄｓ＝０としたときのＶｄｏの値、すなわちＶｄｏ＝Ｖｓ－（Ｃｇｄ／Ｃｔｏｔ）（Ｖｇｏｎ－Ｖｇｏｆｆ）との差をとったものが再充電電圧ΔＶｂに相当する。実際に、一例としてＶｔ＝２Ｖ、Ｖｓ＝６Ｖ、Ｃｇｄ／Ｃｔｏｔ＝０．０５、ｋ＝６×１０$^{-9}$Ａ／Ｖ^{2}として、ΔＶｂの値を各位置で計算した結果を図２４に示す。このグラフにおいては、横軸は給電端から近い部分を“０”、給電端から遠い部分を“１”として規格化した値を示している。また、縦軸も、給電端から遠い部分でのΔＶｂを“１”と規格化して示している。このグラフからわかるように、

再充電電圧の分布は上に凸な形状となる。

このような再充電電圧の分布があると、これによって生じる画素電極のＤＣ平均レベルや液晶印加電圧実効値の分布もやはり図２４のような形状になる（ただし、液晶印加電圧実効値のほうは（式２１）の右辺が負であることからも推測できるように、図２４を上下逆転したものになる。ＤＣ平均レベルは、（式２０）の右辺が正であるので上下反転にはならない）。従って、これらによって生じるフリッカ（ＤＣ平均レベルの分布により生じる）や輝度傾斜（液晶印加電圧実効値の分布により生じる）を補正するためのβやγの分布のさせ方も図２４に近い形、すなわちβについては図１９Ｂ、γについては図２０Ｂのようにするのが望ましい（図１９Ｄや図２０Ｄでも勿論よい）。

以上のことを、給電端から近い部分と遠い部分のちょうど距離的に中間にあたる位置（以下、単に中間位置と呼ぶ）に注目して考えてみる。給電端から近い部分でのβおよびγの値をβ（Ｏ）およびγ（Ｏ）、給電端から遠い部分での値をβ（Ｅ）およびγ（Ｅ）、中間位置での値をβ（Ｍ）およびγ（Ｍ）とすると、図１９Ａや図２０Ａのように、直線的な傾斜をつけた場合の中間位置でのβおよびγの値はそれぞれ、β（Ｍ）＝［β（Ｏ）＋β（Ｅ）］／２、およびγ（Ｍ）＝［γ（Ｏ）＋γ（Ｅ）］／２で与えられる。これと比較して、フリッカ・輝度傾斜削減の効果が有効に得られるような場合、すなわち図１９Ｂ、図２０Ｂや図１９Ｄ、図２０Ｄのような場合は、以下の（式３４）の関係が満たされるときであることがわかる。

$$\beta(M) > [\beta(O) + \beta(E)] / 2$$
$$\gamma(M) < [\gamma(O) + \gamma(E)] / 2$$

…（式３４）

なお、（式３４）の第１式はフリッカに関する条件式、第２式は輝度傾斜

に関する条件式である。

なお、（式２９）や（式３１）を満たした上で（式３４）さえ満たせば、上述のフリッカ・輝度傾斜削減の効果は十分得られる。例えばβの場合で言えば、図２５Ａ、図２５Ｂに示すように、給電端からの距離に関して必ずしも単調増加にならないこともありうるし、さらに極端な場合には、図２５Ａに示すように、β（Ｍ）がβ（Ｅ）を越えることもあり得る。しかし、これらの場合でもフリッカ・輝度傾斜削減の効果は得られる。γについても同様である。

（原理に関する補足事項１：ＶｃｐとΔｃｃについて）

なお、（式１９）のＶｃｐについて補足する。（式１８）や（式２３）のＶｅｆｆに関する式において、第３項の再充電に関する項は微小であるとして無視すれば、αｓｔＶｃｐが負であるとすると、液晶への印加電圧の実効値は、映像信号振幅［Ｖｓｉｇ（＋）－Ｖｓｉｇ（－）］／２よりも大きい値となる。これは、背景技術においても述べたように、低耐圧の映像信号駆動用ＩＣ（例えば、～５Ｖ）を用いて、その耐圧以上の電圧（例えば１０～１５Ｖ）を液晶に印加することができるという利点が得られることに相当する。よって、αｓｔＶｃｐは負であることが望ましい。αｓｔは容量比であり常に正であるので、Ｖｃｐが負であることが望ましい。

また、（式１９）のΔＶｃｃについて補足する。（式１８）や（式２３）のＶｄｃに関する式において、同じく第３項の再充電に関する項は微小であるとして無視すれば、以下の（式３５）を満たすようにすることにより、映像信号のＤＣ平均レベル［Ｖｓｉｇ（＋）＋Ｖｓｉｇ（－）］／２と画素電極のＤＣ平均レベルＶｄｃ（Ｏ）またはＶｄｃ（Ｅ）を一致させることができる。

ΔＶｃｃ＝－（αｇｄ／αｓｔ）ΔＶｇｏｎ

…（式３５）

このようにすると、映像信号電極と画素電極との間に直流電圧成分がかからなくなり、液晶や絶縁膜中での不要なイオン発生を抑制することができ、経時的な安定性を改善することができる。ΔＶｇｏｎ、αｇｄ、およびαｓｔは正なので、ΔＶｃｃは負であることが望ましい。なお、必ずしも（式３５）を満たさなくても、少なくともΔＶｃｃが負であれば、映像信号のＤＣ平均レベル［Ｖｓｉｇ（＋）＋Ｖｓｉｇ（－）］／２と画素電極のＤＣ平均レベルＶｄｃ（Ｏ）またはＶｄｃ（Ｅ）の電圧差を縮めることができ、上記の効果がそれなりに得られる。

（原理に関する補足事項２：走査電極と共通電極の給電方法について）

次に、走査電極と共通電極の給電の仕方について補足する。（従来例の問題点の分析）のところで、共通電極の電位変動により再充電電流、従って再充電電圧が増加するということを述べた。そして、この影響は、共通電極の給電端から近い部分では小さいが、遠い部分では大きくなるということも述べた。従って、再充電電圧の面内での分布は走査電極の給電の仕方のみならず、共通電極の給電の仕方にも若干依存する。いま、走査電極と共通電極の給電の仕方の組み合わせとしては、例えば以下の５通りが考えられる。

（Ａ）走査電極、共通電極ともに両側給電（以上まではこの場合を想定して説明を行った）

（Ｂ）走査電極は両側給電、共通電極は片側給電

（Ｃ）走査電極は片側給電、共通電極は両側給電

（Ｄ）走査電極、共通電極ともに片側給電（同じ側から）

（Ｅ）走査電極、共通電極ともに片側給電（異なる側から）

（なお、この他にも、例えば１行おきに交互に両側から給電するケースや、画面の上半分が左から給電で下半分が右から給電というようなケー

スもありうるが、このような場合でも、ある行に注目すれば上の（Ａ）～（Ｅ）のどれかにあてはまる。）

以上の（Ａ）～（Ｅ）について、再充電電圧ΔＶｂの発生のしかたの画面内分布（水平方向分布）を予測して示したものを図２６Ａ～図２６Ｅに示す。これらの図で、Ｇが走査電極を、Ｃが共通電極を示している。そして、四角印（□）をつけたところが給電端であることを示している。そして、破線で示した曲線が、共通電極の電位変動を考慮しない場合の再充電電圧、太い実線で示した曲線が、共通電極の電位変動を考慮した場合のそれを示している。共通電極電位変動を考慮しない場合には、走査電極が両側給電の場合（（Ａ）、（Ｂ））はアーチ状、片側給電の場合（（Ｃ）、（Ｄ）、（Ｅ））には半アーチ状となる。共通電極電位変動を考慮すると、それに従った量だけΔＶｂが上乗せされる。このときの上乗せ分は、共通電極の給電端に近い部分では小さく、遠い部分では大きくなる。なお、（Ｅ）の場合は、走査電極のみによって発生するΔＶｂ分布と共通電極電位変動効果によって上乗せされる部分の大小により、図２６Ｅに示すように、走査電極給電端のほうが共通電極給電端に比べてΔＶｂが小さい場合と、図２６Ｅ’で示すようにその逆の場合とがある。

本発明による輝度傾斜削減およびフリッカ削減の効果をもっとも有効に得るには、図２６Ａ～図２６ＥのΔＶｂの形状に従って（すなわち、ΔＶｂによって発生する輝度傾斜やフリッカをちょうど補正するように）、βやγ（より正確には、｜γ｜）に分布を持たせるのがもっとも望ましいが、必ずしも厳密に全面で合わせる必要はない。

以下、（Ａ）～（Ｅ）の各場合について、本発明の表現との関係を説明する。まず、（Ａ）～（Ｅ）において、走査電極と共通電極のうち少なくともいずれか一方の給電が行われる画面端部を「給電端から近い部分」と呼ぶことにする。すなわち、（Ｄ）を除くすべての場合について、画面

両端が「給電端から近い部分」となる（図２６では記号“Ｏ”で表される）。（Ｄ）のみは片方の端部のみが「給電端から近い部分」である。そして、（Ｄ）以外の場合は、画面の中央付近を「給電端から遠い部分」（記号“Ｅ”で表される）と呼ぶことにする。（Ｄ）の場合は、給電されないほうの端部が「給電端から遠い部分」である。そして、図中の“Ｍ”の記号で表される位置が、「給電端から近い部分」と「給電端から遠い部分」の間の距離的に中間にあたる部分である。

なお、（Ｄ）以外の場合「給電端から近い部分」が２箇所あるが、ある値（αｇｄ、αｓｔなど）が「給電端から近い部分と遠い部分において異なった値を有する」という場合、複数ある「給電端から近い部分」のうち少なくとも１つにおける値と「給電端から遠い部分」における値が異なっていることを意味する。また、ある値（β、γなど）が「給電端から近い部分に比べて、給電端から遠い部分の方が大きい（小さい）」という場合、「給電端から遠い部分」における値が複数ある「給電端から近い部分」のうち少なくとも１つにおける値よりも大きい（小さい）ということを意味する。

以上のように解釈すると、図２６Ａ～図２６Ｅ’により（式１６）の関係式がいずれの場合も成り立つことがわかる。従って、（本発明の原理説明１：輝度傾斜・フリッカ低減の原理）で述べたことがすべて適用できる。

なお、（式１６）の第１式と第２式についてはＶｂ（Ｏ，＋）、Ｖｂ（Ｏ，－）、およびＶｂ（Ｅ，＋）、Ｖｂ（Ｅ，－）をそのまま図２６Ａ～図２６Ｅ’中のＶｂに置き換えれば容易に理解できる。第３式については、図１８からわかるように、負充電の場合のほうが正充電の場合に比べて再充電電圧がかなり大きいことを考慮すれば、Ｖｂ（Ｏ，＋）－Ｖｂ（Ｏ，－）とＶｂ（Ｅ，＋）－Ｖｂ（Ｅ，－）の大小関係は－Ｖｂ（Ｏ，－）

と－Ｖｂ（Ｅ，－）の大小関係と同じとみなして差し支えなく、第２式が成り立つことから第３式も成り立つと考えられる。

また、図２６Ａ～図２６Ｅ’のΔＶｂの曲線はいずれも上に凸な形状であるので、（本発明の原理２：βおよびγの最適分布）で述べたこともすべて適用できる。

（原理に関する補足事項３：他の回路構成）

以上においては、各画素は図１４の構造であることを前提にして説明してきた。しかし、各画素の蓄積容量が共通電極以外の配線にも接続されていることがある。例えば図２７のように、当段以外の走査電極（この図では前段の例）に接続されることもある。この場合、前段の走査電極の電位をＶｇ（ｎ－１）とし、それにつながる蓄積容量をＣｓｔ２とすると、（式１１）に相当する電荷保存則の式は（式３６）で与えられる。

Ｃｇｄ（Ｖｓｉｇ（－）－Ｖｇｏｎ）＋Ｃｓｔ（Ｖｓｉｇ（－）－Ｖｃ（－））＋Ｃｌｃ（Ｖｓｉｇ（－）－Ｖｆ）＋Ｃｓｔ２（Ｖｓｉｇ（－）－Ｖｇｏｆｆ）

＝Ｃｇｄ（Ｖｄｏ（－）－Ｖｇｏｆｆ）＋Ｃｓｔ（Ｖｄｏ（－）－Ｖｃｏｆｆ）＋Ｃｌｃ（Ｖｄｏ（－）－Ｖｆ）＋Ｃｓｔ２（Ｖｄｏ（－）－Ｖｇｏｆｆ）

Ｃｇｄ（Ｖｓｉｇ（＋）－Ｖｇｏｎ）＋Ｃｓｔ（Ｖｓｉｇ（＋）－Ｖｃ（＋））＋Ｃｌｃ（Ｖｓｉｇ（＋）－Ｖｆ）＋Ｃｓｔ２（Ｖｓｉｇ（＋）－Ｖｇｏｆｆ）

＝Ｃｇｄ（Ｖｄｏ（＋）－Ｖｇｏｆｆ）＋Ｃｓｔ（Ｖｄｏ（＋）－Ｖｃｏｆｆ）＋Ｃｌｃ（Ｖｄｏ（＋）－Ｖｆ）＋Ｃｓｔ２（Ｖｄｏ（＋）－Ｖｇｏｆｆ）

…（式３６）

ここで、走査電極Ｖｇ（ｎ）が選択されるときには、すでにＶｇ（ｎ－

1）の選択は終わっているので、電位はＶｇｏｆｆである。（式３６）を変形すると、（式３７）が得られる。

$$Vdo(-)=Vsig(-)-\alpha st\Delta Vc(-)-\alpha gd\Delta Vgon$$

$$Vdo(+)=Vsig(+)-\alpha st\Delta Vc(+)-\alpha gd\Delta Vgon$$

…（式３７）

但し、ΔＶｇｏｎ、ΔＶｃ（＋）、ΔＶｃ（－）は（式１３）で表され、αｇｄ、αｓｔは以下の（式３８）で表される。

$$\alpha gd=Cgd/Ctot$$

$$\alpha st=Cst/Ctot$$

$$Ctot=Cgd+Clc+Cst+Cst2$$

…（式３８）

この結果を図１４の回路での式（式１２）～（式１４）と比較した場合、異なるのはＣｔｏｔの表式においてＣｓｔ２を付け加えたという点のみである。従って、Ｃｔｏｔが違うという点のみに注意すれば、これまでに述べてきた本発明の原理および補足事項は、すべて適用される。

場合によっては、Ｃｓｔ２の値も給電端から近い部分と遠い部分で異ならせることによりαｓｔやαｇｄの値を異ならせて本発明の効果を得るということも考えうる。

なお、Ｃｓｔ２の接続先が後段の走査電極や２つ前、３つ前等の走査電極、２つ後、３つ後等の走査電極であっても同様である。

なお、図１４や図２７を含めてさらに一般化して、Ｃｔｏｔを「画素電極に電気的に接続される全容量の総和」と考えれば、本発明の原理に関する説明および補足事項はすべて適用されることになる。

以下、以上の原理を用いて具体的に構成した表示装置について、図面

を参照して説明する。

（第１の実施形態）

図１は、本発明の第１の実施形態による表示装置の画素レイアウトを示す平面図である。図２は、図１のＡ－Ａ’線に沿った断面図である。

図１および図２において、１１と１２はガラスなどからなる基板であり、１１は薄膜トランジスタ３（ＴＦＴ、あるいはスイッチング素子ともいう）やそれに接続された電極が形成されたアレイ基板、１２はそれに対向する対向基板である。２つの基板の間には表示媒質としての液晶１３が挟持され、その両端はシール１７により封止されている。１４と１５は偏光表示を行うための偏光板、１９はカラー表示を行うためのカラーフィルタである。カラーフィルタ１９は対向基板１２の側に形成されているが、アレイ基板１１の側に形成してもかまわない。

アレイ基板１１の上には、第１の導電層により走査電極１と共通電極４が形成され、その上を絶縁膜１８が覆っている。絶縁膜１８の上にある第２の導電層により画素電極５が形成されている。図２に示すように、画素電極５の一部は共通電極４とオーバーラップしている。共通電極４とのオーバーラップ部分が蓄積容量７（すなわち、共通電極－画素電極間容量Ｃｓｔ）を構成する。また、画素電極５と走査電極１のオーバーラップする部分が走査電極－画素電極間容量Ｃｇｄを構成する。

図２に示すように、対向基板１２には透明電極２０が形成されている。この透明電極２０と画素電極５が表示媒質としての液晶１３を介して対向することにより、液晶容量Ｃｌｃを形成している。ここでは、液晶はＴＮ（ツイステッド・ネマティック）液晶であるとする。

薄膜トランジスタ３は、半導体部分９と３つの電極から構成されており、ゲート電極は走査電極１に、ソース電極は映像信号電極２に、ドレイン電極は画素電極５に、それぞれ接続されている。

図３は、本発明の第１の実施形態による表示装置の回路構成図である。図１や図２に対応して、１画素内に共通電極－画素電極間容量Ｃｓｔ、走査電極－画素電極間容量Ｃｇｄ、および液晶容量Ｃｌｃなどがあるが、１画素単独でみれば、図１４と同様の回路構造である。このような画素がマトリクス状に配置されることにより表示装置が構成される。また、本表示装置において、映像信号電極２は映像信号駆動回路２２に、走査電極１は走査信号駆動回路２１に、そして共通電極４は共通電極電位制御回路２６に接続される。なお、２３は駆動回路を除いた表示素子を示す。

図３においては、給電端から近い部分と、給電端から遠い部分が描かれているが、それぞれの部分での画素レイアウトが図１に示されるものになる。本実施形態の表示装置の特徴として、ＣｓｔとＣｇｄがいずれも給電端から近い部分と遠い部分とで異なった形状になっていて、容量値自体も異なったものになっている（容量の面積が異なっている）。こうすることにより、（本発明の原理説明１：輝度傾斜・フリッカ低減の原理）で述べたように、輝度傾斜やフリッカの低減が実現できる。

なお、①映像信号駆動回路は表示周期に応じて極性の異なる２種類の映像信号（すなわち、対向電極電位を基準として正と負の映像信号で、図１５のＶｓｉｇ（＋）とＶｓｉｇ（－）に相当）を映像信号電極に印加できるものであること、

②走査信号駆動回路は、少なくとも２値の出力電位レベル（図１５のＶｇｏｎとＶｇｏｆｆ）を印加できるものであること、

③共通電極電位制御回路は少なくとも２値の出力電位レベル（図１５のＶｃ（＋）とＶｃ（－））を印加できるものであること

、という３つの条件が揃うときに最も顕著に本発明の効果が得られる。

なお、（図１）ではＣｇｄ（Ｏ）＜Ｃｇｄ（Ｅ）、Ｃｓｔ（Ｏ）＜Ｃｓ

ｔ（Ｅ）となっている（オーバーラップ部の面積の大小からこの関係があることがわかる）が、一例としてＣｇｄ（Ｏ）＝０．０２０ｐＦ、Ｃｓｔ（Ｏ）＝０．１００ｐＦ、Ｃｌｃ（Ｏ）＝０．１００ｐＦ、Ｃｇｄ（Ｅ）＝０．０３０ｐＦ、Ｃｓｔ（Ｅ）＝０．１３０ｐＦ、Ｃｌｃ（Ｅ）＝０．１００ｐＦであるとすると、この条件に当てはまる（なお、これらの容量は面積、膜厚、および誘電率から計算してもよいし、実測により求めてもよい）。

この場合、（式１４）によりαｇｄ（Ｏ）、αｓｔ（Ｏ）、およびαｇｄ（Ｅ）、αｓｔ（Ｅ）を計算すると、αｇｄ（Ｏ）＝０．０９１、αｓｔ（Ｏ）＝０．４５５、αｇｄ（Ｅ）＝０．１１５、αｓｔ（Ｅ）＝０．５００となる。いま、駆動条件がΔＶｇｏｎ＝２０Ｖ、ΔＶｃｃ＝－３Ｖ、Ｖｃｐ＝－１０Ｖであるとすると、（式２５）と（式２７）によりγ（Ｏ）、γ（Ｅ）、およびβ（Ｏ）、β（Ｅ）が求まり、それぞれγ（Ｏ）＝－２．２７５Ｖ、γ（Ｅ）＝－２．５Ｖ、およびβ（Ｏ）＝０．０２３、β（Ｅ）＝０．０４０を得る。すなわち、（式２９）、および（式３１）が満たされていて、輝度傾斜・フリッカ低減の効果が得られることがわかる。

なお、言うまでもないが、（本発明の原理説明１：輝度傾斜・フリッカ低減の原理）のみならず、（本発明の原理２：βおよびγの最適分布）、（原理に関する補足事項１：ＶｃｐとΔｃｃについて）、（原理に関する補足事項２：走査電極と共通電極の給電方法について）、および（原理に関する補足事項３：他の回路構成）において述べたことはすべて適用される。

ここで参考のため、本実施形態において、容量等のパラメータに具体的な数値を当てはめてシミュレーションを行った結果を図３３Ａ～図３３Ｄに示しておく。これは、回路シミュレータで表示領域全体の等価回

路を構成し、そのときの表示領域内各位置におけるＤＣ平均レベル（Ｖｄｃ）および液晶印加電圧実効値（Ｖｅｆｆ）を計算したものである。駆動電圧条件としては、Ｖｇｏｎ＝１０Ｖ、Ｖｇｏｆｆ＝－１５Ｖ、ΔＶｃ（＋）＝－７．５Ｖ、ΔＶｃ（－）＝２．５Ｖ、Ｖｓｉｇ（＋）＝２．５Ｖ、Ｖｓｉｇ（－）＝－２．５Ｖ（従って、Ｖｃｐ＜０、ΔＶｃ＜０を満たしている）とし、走査信号駆動回路および共通電極電位制御回路はいずれも表示領域左側のみから給電されているものとしている。

まず、Ｃｓｔ、Ｃｇｄ、あるいはＣｌｃに表示領域内での分布を全く与えない場合について計算したものが各図中の「容量傾斜無し」と示した曲線である。ここでは、表示領域全体にわたってＣｓｔ＝０．７ｐＦ、Ｃｇｄ＝０．０７ｐＦ、Ｃｌｃ＝０．７５ｐＦとしている。図３３ＡにＣｓｔの、図３３ＢにＣｇｄの分布の様子を示しておく（横軸の「規格化水平位置」は、表示領域左端からの距離を表示領域幅で規格化した値であり左端が“０”、右端が“１”に対応する）。図３３Ｃおよび図３３Ｄはそれぞれ、ＤＣ平均レベルと液晶印加電圧実効値の結果である。ＤＣ平均レベルは、給電端から近い部分（規格化水平位置＝０）に比べて給電端から遠い部分（規格化水平位置＝１）のほうが大きくなっていて、液晶印加電圧実効値は逆に給電端から近い部分（規格化水平位置＝０）に比べて給電端から遠い部分（規格化水平位置＝１）のほうが小さくなっている。これは、それぞれ（式２０）および（式２１）で示した通りの結果になっている。また、その形状についても図２４と類似したものになっている。

次に、ＣｓｔおよびＣｇｄに最適な表示領域内分布を与えて（Ｃｌｃは一定としておく）ＤＣ平均レベルと液晶印加電圧実効値が面内で均一になるようにした場合について、各図中に「容量傾斜あり」として示す。ここで、ＣｓｔおよびＣｇｄは左端（規格化水平位置＝０）では「容量

傾斜無し」の場合の値に一致するように選んである。図３３Ａのように、Ｃｓｔの値を０．７ｐＦ（左端）～０．７４５ｐＦ（右端）と傾斜させ、図３３Ｂのように、Ｃｇｄの値を０．０７０ｐＦ（左端）～０．０８２ｐＦ（右端）と傾斜させれば、図３３Ｃあるいは図３３Ｄのように、ＤＣ平均レベルおよび液晶印加電圧実効値はほぼ平坦となることがわかる（分布幅はいずれも１０ｍＶ以内である）。

なお、このとき（式２５）、（式２７）などを用いれば、β（Ｏ）＝０＜β（Ｅ）＝０．００４８、γ（Ｏ）＝－２．３０３Ｖ＞γ（Ｅ）＝－２．３６３Ｖとなることが計算され、確かに（式２９）や（式３１）の条件を満足している。また、給電端から近い部分と遠い部分の中間（規格化水平位置＝０．５）においての容量値は、図３３Ａおよび図３３Ｂから、それぞれＣｓｔ＝０．７３２ｐＦ、Ｃｇｄ＝０．０７８５ｐＦと読みとれ、ここから（本発明の原理２：βおよびγの最適分布）で説明したβ（Ｍ）およびγ（Ｍ）を求めると、β（Ｍ）＝０．００３４、γ（Ｍ）＝－２．３４５Ｖとなり、（式３４）の条件も満足していることがわかる。

（第２の実施形態）

本発明の第２の実施形態では、水平クロストーク削減と映像信号駆動回路ＩＣの低電圧化を両立する構成について、図４および図５を参照して説明する。

図４は、本発明の第２の実施形態に係る表示装置の画素レイアウトを示す平面図である。図４の構成は、基本的には図１の画素レイアウトに準じたものであるが、１列毎に上下反転したレイアウトになっているところに特徴がある。このレイアウトでは、上下方向の対称性を崩さないために、共通電極４が２つの走査電極１のちょうど中間にある。そして、画素電極５と共通電極４の間に絶縁膜１８（図示されず）が挟まれてい

て、蓄積容量７（Ｃｓｔ）を形成している。

図５は、本発明の第２の実施形態に係る表示装置の回路構成図である。これも基本的には図３と同じであるが、図４のレイアウトに対応して１列ごとに上下反転している。ここで注意すべきことは、１つの走査電極（例えばＧ１）に属する画素（走査電極Ｇ１によりＯＮ／ＯＦＦが制御される画素）の画素電極（複数ある）に接続される蓄積容量の他方の接続先の共通電極が２つある（Ｃ０とＣ１）ことである。また、ある１つの走査電極（例えばＧ１）に属する画素が、偶数列と奇数列とで異なる段にあることも特徴的である（注、このことは必ずしも本発明に必須の構成というわけではない）。

このような構造を用いると、ライン反転駆動だけでなく、ドット反転駆動やカラム反転駆動も採用できる（なお、第１の実施形態ではライン反転またはフィールド反転しか採用できない）。まず、このことを、ドット反転を例に挙げて、図５、図６Ａおよび図６Ｂを用いて説明する。

図６Ａおよび図６Ｂは、本発明の第２の実施形態に係る表示装置のドット反転駆動による駆動方法を説明するための奇数フレームおよび偶数フレームの波形図である。図６Ａに示すように、奇数フレームにおいて、映像信号電極Ｓ１（およびＳ３、Ｓ５、…、Ｓｎ、…）とＳ２（およびＳ４、Ｓ６、…、Ｓｎ＋１、…）に異なる極性の信号を印加する場合を考える。いま、例えば走査電極Ｇ１が選択される水平走査期間（１Ｈ 期間）においては、図５のＳ１には正極性の信号Ｖｓｉｇ（＋）が、Ｓ２には負極性の信号Ｖｓｉｇ（－）が印加される。このとき、Ｓ１に属する列（正確には、Ｓ１を含め正極性の映像信号が印加される映像信号電極に属する列）ではＧ１の上側の画素（画素Ｐと呼ぶ）が、Ｓ２に属する列（正確には、Ｓ２を含め負極性の映像信号が印加される映像信号電極に属する列）ではＧ１の下側の画素（画素Ｑと呼ぶ）がＯＮ状態にな

る。

ここで、画素Ｐと画素Ｑの蓄積容量の接続先の共通電極はそれぞれＣ０とＣ１である（Ｇ１を基準にして、これらをそれぞれ第１の共通電極および第２の共通電極と呼ぶ）が、これらが別の電極であるために、Ｃ０（第１の共通電極）のほうは（画素Ｐが正極性に充電されるのに対応して）Ｖｃ（＋）、Ｃ１（第２の共通電極）のほうは（画素Ｐが負極性に充電されるのに対応して）Ｖｃ（－）、というように異なる電位に設定することができる。画素Ｐあるいは画素Ｑそれぞれ単独で見れば、映像信号電極、走査電極、および共通電極の電位の関係は図１５の場合と全く同じであり、背景技術で図１４と図１５により説明したような画素電極電位の振幅増大効果が得られることを示している。ここでは、Ｇ１が選択される場合について述べたが、Ｇ０やＧ２などが選択される場合についても同様に考えれば、各共通電極の電位波形は、結果として図６Ａのように設定すればよいことがわかる。また、図６Ｂに示す偶数フレームについても、映像信号電極と共通電極の信号の極性が逆になるだけで同じことである。

なお、カラム反転の場合も全く同様である。図６Ａおよび図６Ｂの場合と同様に考えれば、共通電極の電位波形を図７Ａおよび図７Ｂのようにすることにより、背景技術で図１４と図１５により説明したような画素電極電位の振幅増大効果が得られることが導かれる。

以上のように、本実施形態においては、水平クロストークに対して有利な駆動方法であるドット反転またはカラム反転駆動を採用し、しかも画素電極保持電位の振幅増大効果を得ることができる。よって、水平クロストーク削減と映像信号駆動回路ＩＣの低電圧化を両立できる。すなわち、先に述べた２つの目的のうち、第２の目的を達成することができる。

なお、この効果（水平クロストーク削減と映像信号駆動回路ＩＣの低電圧化の両立）は（本発明の原理説明１：輝度傾斜・フリッカ低減の原理）で述べたようなαｓｔやαｇｄの画面内分布付けとは無関係に得られるものであることを注記しておく。

（第３の実施形態）

上記の第２の実施形態によれば、図４および図５の構成で、ドット反転駆動またはカラム反転駆動で、特開平５－１４３０２１号公報に記載のように画素電極保持電位の振幅増大効果が得られる。これをさらに進めれば、（本発明の原理説明１：輝度傾斜・フリッカ低減の原理）、（本発明の原理２：βおよびγの最適分布）、（原理に関する補足事項１：ＶｃｐとΔｃｃについて）、（原理に関する補足事項２：走査電極と共通電極の給電方法について）、および（原理に関する補足事項３：他の回路構成）において述べたことをそのまま採用し、フリッカ低減および輝度傾斜低減等の所定の効果が得られるのは明らかである。

実際、図４のレイアウトはＣｓｔ（Ｏ）＜Ｃｓｔ（Ｅ）、およびＣｇｄ（Ｏ）＜Ｃｇｄ（Ｅ）である場合を描いている。

なお、若干補足すると、映像信号駆動回路は、当然ながらドット反転またはカラム反転に対応したものであることが望ましい。すなわち、複数の映像信号電極に極性の異なる２種類の映像信号を同時に印加することができ、かつ、各々の映像信号電極についてみたときに、表示周期に応じて（奇数フレームか偶数フレームかに応じて）極性の異なる２種類の映像信号を印加することができるものであることが望ましい。

また、共通電極についてであるが、ある走査電極を基準としたときに、その走査電極に属する画素電極に接続される蓄積容量の他方の接続先の共通電極は、２つあるとしたが（先の説明での第１および第２の共通電極）、これは必ずしも２つである必要はく、３つ以上あってもよい。しか

し、映像信号の極性に応じて共通にして２本にしておけば、図６Ａおよび図６Ｂ、あるいは図７Ａおよび図７Ｂのタイミングで最も有効に駆動することができ、望ましい。

なお、図４において、偶数列の画素と奇数列の画素では全く対称であるとしているが、マスク合わせずれの影響や走査方向に関する非対称性を考慮して、これらの画素の容量値（Ｃｇｄ、Ｃｓｔなど）を偶数列と奇数列とで異なる値にしてもかまわない。

なお、２つの極性の信号を複数の走査電極に同時に印加する場合、ドット反転やカラム反転では１列ごとに（すなわち、偶数列と奇数列とに分けて）逆極性の信号を印加するのが一般的であるが、必ずしもそうでなくてもよく、例えば２列おきとか、あるいはランダムに各極性が配列していてもかまわない。

なお、図４と図５では、２つの極性に対応する画素はそれぞれ上下反転した配置になっているが、本発明は必ずしもこれには限定されない。すなわち、図１や図３で示される構造にして、蓄積容量の接続先の共通電極のみを映像信号電極の極性に応じて変えるという方法もありうる。但しこの場合、構造が非対称になるという問題のほかに、蓄積容量接続のための配線がレイアウト上で他の走査電極などをまたぐことになり、余分な容量が発生してクロストークの原因になるという問題もあり、あまり望ましくはない。

（第４の実施形態）

本発明の第４の実施形態として、イン・プレーン・スイッチング（In Plane Switching；ＩＰＳ）モードの液晶を用いた表示装置について、図９および図１０を参照して説明する。

図９は、本発明の第４の実施形態による表示装置の画素レイアウトを示す平面図である。図１０は、図１のＡ－Ａ’線に沿った断面図である。

図９および図１０において、１１と１２はガラスなどからなる基板であり、１１は薄膜トランジスタやそれに接続された電極が形成されたアレイ基板、１２はそれに対向する対向基板である。２つの基板の間には液晶１３が挟持され、その両端はシール１７により封止されている。１４と１５は偏光表示を行うための偏光板、１９はカラー表示を行うためのカラーフィルターである。カラーフィルターは対向基板１２の側に形成されているが、アレイ基板１１の側に形成してもかまわない。

アレイ基板１１の上には、第１の導電層により走査電極１と共通電極４が形成され、その上を絶縁膜１８が覆っている。絶縁膜１８の上にある第２の導電層により画素電極５が形成されている。図１０に示すように、画素電極５は前段の走査電極１とオーバーラップしている。前段の走査電極１とのオーバーラップ部分が蓄積容量７（Ｃｓｔ）を構成する。また、画素電極５と当段の走査電極１のオーバーラップする部分が走査電極－画素電極間容量Ｃｇｄを構成する。

図９に示すように、共通電極４には分枝部分４Ａが形成されている。これは画素電極５と平行に対峙し、液晶層に電界を印加するための対向電極として働く。画素電極５と共通電極４の間の容量が、共通電極－画素電極間容量Ｃｌｃを構成するが、ここには液晶層を介した容量と、両電極が幾何学的にオーバーラップすることにより形成される容量の両方が含まれる。液晶層を介した容量は公式等を用いて計算するのは困難であるが、実測で求めてもよいし、シミュレーションにより求めてもよい。

薄膜トランジスタ３は、半導体部分９と３つの電極から構成されており、ゲート電極は走査電極１に、ソース電極は映像信号電極２に、ドレイン電極は画素電極５に、それぞれ接続されている。

図１１に、ＩＰＳモードの液晶を用いた本実施形態により表示装置の回路構成を示す。図１１において、図８に示す単位画素構造がアレイ状

に配列されていて、走査電極１は走査信号駆動回路２１から、映像信号電極２は映像信号駆動回路２２から給電される。

いま、図１１の回路構成において、第１の実施形態での回路構成（図３）の場合と同様に、図１５のような波形で駆動する場合を考える。図３（１画素分は図１４に示す）と図１１（１画素分は図８に示す）を比較した場合、共通電極（Ｖｃ（ｎ））と画素電極（Ｖｄ）との間にある容量が、前者はＣｓｔであるのに対し、後者はＣｌｃであるという違いがある。よって、図３の場合の電荷保存則（式１１）に相当する式は、以下の（式３９）で与えられる。

$$\begin{aligned}&Cgd(Vsig(-)-Vgon)+Clc(Vsig(-)\\&\quad-Vc(-))+Cst(Vsig(-)-Vgoff)\\&=Cgd(Vdo(-)-Vgoff)+Clc(Vdo(-)\\&\quad-Vcoff)+Cst(Vdo(-)-Vgoff)\\&Cgd(Vsig(+)-Vgon)+Clc(Vsig(+)\\&\quad-Vc(+))+Cst(Vsig(+)-Vgoff)\\&=Cgd(Vdo(+)-Vgoff)+Clc(Vdo(+)\\&\quad-Vcoff)+Cst(Vdo(+)-Vgoff)\end{aligned}$$

…（式３９）

ここで、走査電極（Ｖｇ（ｎ））が選択されているときには、すでに前段の走査電極（Ｖｇ（ｎ－１））は選択期間が終わり、電位がＶｇｏｆｆになっていることを考慮している。（式３９）を変形すると、（式４０）が得られる。

$$\begin{aligned}Vdo(-)&=Vsig(-)-\alpha lc\Delta Vc(-)\\&\quad-\alpha gd\Delta Vgon\\Vdo(+)&=Vsig(+)-\alpha lc\Delta Vc(+)\\&\quad-\alpha gd\Delta Vgon\end{aligned}$$

…（式４０）

但し、ΔＶｇｏｎ、ΔＶｃ（＋）、ΔＶｃ（－）は（式１３）と同じであり、αｇｄ、αｌｃは、（式４１）で表される。

αｇｄ＝Ｃｇｄ／Ｃｔｏｔ

αｌｃ＝Ｃｌｃ／Ｃｔｏｔ

Ｃｔｏｔ＝Ｃｇｄ＋Ｃｌｃ＋Ｃｓｔ

…（式４１）

以上の結果を、図３の回路構成の場合（（式１２）～（式１４））と比べた場合、異なるのは添え字“ｓｔ”と“ｌｃ”が逆であるという点だけである。これは、背景技術、（従来例の問題点の分析）、（本発明の原理説明１：輝度傾斜・フリッカ低減の原理）、（本発明の原理２：βおよびγの最適分布）、（原理に関する補足事項１：ＶｃｐとΔｃｃについて）、（原理に関する補足事項２：走査電極と共通電極の給電方法について）、および（原理に関する補足事項３：他の回路構成）で述べたことにおいて、Ｃｓｔ（蓄積容量）→Ｃｌｃ、Ｃｌｃ→Ｃｓｔ、αｓｔ→αｌｃと置き換えれば、そのまま本構成の場合（図１１）にも適用できることを示している。すなわち、図３の回路の場合と同様、フリッカ低減および輝度傾斜低減等の所定の効果が得られることは明らかである。

なお、図３（および図１４）における対向電極（Ｖｆ）に相当するものは、ＣｓｔとＣｌｃが入れ替わったと考えれば、図１１（および図８）においては前段の走査電極であることがわかる。前段の走査電極は当段の走査電極が選択されたときには、すでに非選択状態の電位Ｖｇｏｆｆとなっているために、図３の対向電極と同じであると考えることが可能になるのである。逆にいえば、当段の走査電極が選択されているときと保持期間とで同じ電位をもっている電極であればＣｓｔの接続先として用いることができる。これは、画素電極を基準としたときに、表示媒質

（液晶：容量Ｃｌｃ）を介してその画素電極と対向する共通電極と、当段の走査電極を除くいずれかの電極であればよい。中でも、当段を除く走査電極（後段でもよい）、あるいはＣｌｃを介して対向する共通電極以外の共通電極が特に望ましい。

（第５の実施形態）

図１２は、本発明の第５の実施形態による表示装置の画素レイアウトを示す平面図である。これは第４の実施形態のようなＩＰＳモードの液晶について、水平クロストーク削減と映像信号駆動回路ＩＣの低電圧化を両立する構成である第２の実施形態と同様に、一列毎にレイアウトを上下反転させたものである。

図１３は、本発明の第５の実施形態による表示装置の回路構成図である。これは、ＴＮ液晶を用いた場合、すなわち第２の実施形態の回路構成を示す図５に対応する。

これらを比較した場合、やはり単に添え字“ｓｔ”と“ｌｃ”が入れ替わっただけであると見なすことができる。従って、第２の実施形態で述べたのと同様に、ドット反転駆動またはカラム反転駆動と映像信号の低電圧化を両立することができるという効果が得られる。

（第６の実施形態）

上記の第５の実施形態によれば、ＩＰＳ型の構成で、ドット反転駆動またはカラム反転駆動で、特開平５－１４３０２１号公報に記載のように、画素電極保持電位の振幅増大効果が得られる。これをさらに進めれば、（本発明の原理説明１：輝度傾斜･フリッカ低減の原理）、（本発明の原理２：βおよびγの最適分布）、（原理に関する補足事項１：Ｖｃｐと Δｃｃについて）、（原理に関する補足事項２：走査電極と共通電極の給電方法について）、および（原理に関する補足事項３：他の回路構成）において述べたことをそのまま採用し、フリッカ低減および輝度傾斜低減

等の所定の効果が得られるのは明らかである（ここでも、Ｃｓｔ（蓄積容量）→Ｃｌｃ、Ｃｌｃ→Ｃｓｔ、αｓｔ→αｌｃになると考えればよい）。また、第３の実施形態で言及したなお書きも同様の読み替えを行えばすべて成立する。

以下、本発明の他の実施形態について説明する。

（共通電極電位の制御を行わない場合の構成例）

共通電極電位の制御を行わず、常に一定電位を供給する場合を考えてみる。この場合、共通電極電位制御回路は不要である。これは、本発明において、Ｖｃ（＋）＝Ｖｃ（－）＝Ｖｃｏｆｆである場合に相当する。（式１９）によれば、ΔＶｃｃ＝０、およびＶｃｐ＝０である。この場合、（式２５）によりγ（Ｏ）＝γ（Ｅ）＝０であるので、（式２９）は満たされず、輝度傾斜の改善効果は得られない。しかし、（式２７）よりβ（Ｏ）＝αｇｄ（Ｏ）、β（Ｅ）＝αｇｄ（Ｅ）であるので、（式３１）、すなわちαｇｄ（Ｏ）＜αｇｄ（Ｅ）を満たすようにして、フリッカを抑制することは可能である。

特に、走査電極を片側から給電し、共通電極の電位を両側で固定する（すなわち、一定電圧を給電する）場合を考えてみる。この場合、再充電電圧の発生のしかたは図２６Ｃのようになる。このように、走査電極の給電側からの距離が遠くなるに従って再充電電圧が増えるのではなく、ある位置で極大値を持ちその後は減少するという傾向を示す。すると、αｇｄ補正のしかたもこれに従ったものにするのが望ましい。すなわち、例えば走査電極の給電端から最も遠い部分でのαｇｄをαｇｄ（Ｆ）とした場合、走査電極の給電端から最も遠い部分と近い部分の間で、αｇｄ（Ｆ）よりも大きなαｇｄの値を有する位置が存在するようにするのが望ましい。これは、図２６Ｅのように、走査電極が片側給電で、共通電極がそれとは逆側のみで電位が固定されている場合についても同様で

ある。

（他の駆動波形による駆動方法例）

先に図６Ａおよび図６Ｂ、図７Ａおよび図７Ｂ、あるいは図１５において、本発明の駆動方法における電圧波形の例を示したが、これら以外にも、例えば図２８Ａ、図２８Ｂや図２９Ａ、図２９Ｂのような駆動波形を用いることも可能である。

図２８Ａおよび図２８Ｂは、図３または図１１の構成の回路を駆動する場合の駆動波形である。図１５においては、保持期間における共通電極電位はＶｃｏｆｆというただ１種類の値であったが、図２８Ａおよび図２８Ｂの駆動波形においては、保持期間における共通電極電位が必ずしも１種類ではなく、Ｖｃ（＋）およびＶｃ（－）という２種類の値になっている点に特徴がある。

いま、図３の回路構成の場合を考えると、例えば走査電極Ｇ１が選択されて画素電極に負極性の信号が充電されるとき（図２８Ａの奇数フレームの場合）には、蓄積容量を介して接続される共通電極Ｃ１の電位はＶｃ（－）であるが、以後の保持期間においてはＶｃ（＋）となっている。また、走査電極Ｇ１が選択されて画素電極に正極性の信号が充電されるとき（図２８Ｂの偶数フレームの場合）には、逆に共通電極Ｃ１の電位はＶｃ（＋）であるが、以後の保持期間においてはＶｃ（－）となっている。他の走査電極、例えばＧ０、Ｇ２などについても同様である。

この場合、背景技術の（式１１）に関して述べたのと同様に電荷保存則を考えると、（式４２）のようになる。

$$Cgd(Vsig(-)-Vgon)+Cst(Vsig(-)-Vc(-))+Clc(Vsig(-)-Vf)$$
$$=Cgd(Vdo(-)-Vgoff)+Cst(Vdo(-)-Vc(+))+Clc(Vdo(-)-Vf)$$

$$Cgd(Vsig(+)-Vgon)+Cst(Vsig(+)-Vc(+))+Clc(Vsig(+)-Vf)$$
$$=Cgd(Vdo(+)-Vgoff)+Cst(Vdo(+)-Vc(-))+Clc(Vdo(+)-Vf)$$

…（式４２）

これは、（式１１）の２式において、右辺第２項（Ｃｓｔが含まれている項）のＶｃｏｆｆをＶｃ（－）あるいはＶｃ（＋）に変えたものに他ならない。すると、（式１３）の代わりに、以下の（式４３）のように置けば、（式１２）はそのままの形で成立する。

$$\Delta Vgon=Vgon-Vgoff$$
$$\Delta Vc(+)=Vc(+)-Vc(-)$$
$$\Delta Vc(-)=Vc(-)-Vc(+)$$

…（式４３）

すなわち、ΔＶｃ（＋）およびΔＶｃ（－）を（式４３）のように読み替えれば、以降の議論（（従来例の問題点の分析）、（本発明の原理説明１：輝度傾斜・フリッカ低減の原理）、（本発明の原理２：βおよびγの最適分布）、（原理に関する補足事項１：ＶｃｐとΔｃｃについて）、（原理に関する補足事項２：走査電極と共通電極の給電方法について）、（原理に関する補足事項３：他の回路構成）などにおいて述べてきた原理的なこと）はすべて適用できる。

なお、（式４３）の表式は（式１３）とは異なるが、ΔＶｃ（＋）あるいはΔＶｃ（－）は、蓄積容量が接続される先の共通電極の、画素が充電される瞬間における電位（この場合Ｖｃ（＋）またはＶｃ（－））の、保持状態における電位（この場合Ｖｃｏｆｆ）を基準としてみたときの値であることには変わりない。

なお、図１１を用いる場合についても、Ｃｓｔ（蓄積容量）→Ｃｌｃ、

Ｃｌｃ→Ｃｓｔ、αｓｔ→αｌｃと置き換えれば全く同様のことがいえる。

図２９Ａおよび図２９Ｂは、図５または図１３の構成の回路を駆動する場合の駆動波形である。これは図６Ａおよび図６Ｂと比較されるものであるが、この場合もやはり、保持期間における共通電極電位が必ずしも１種類ではなく、Ｖｃ（＋）およびＶｃ（－）という２種類の値になっている点に特徴がある。

いま、図５の回路構成において、例えば走査電極Ｇ１が選択されて、映像信号電極Ｓ１に属する画素電極には正極性の、映像信号電極Ｓ２に属する画素電極には負極性の信号が充電されるとき（図２９Ａの奇数フレームの場合）を考える。このときには、蓄積容量を介して接続される共通電極Ｃ０およびＣ１の電位はそれぞれＶｃ（＋）およびＶｃ（－）であるが、保持期間においてはそれぞれＶｃ（－）およびＶｃ（＋）となる。また、走査電極Ｇ１が選択されて、映像信号電極Ｓ１に属する画素電極には負極性の、映像信号電極Ｓ２に属する画素電極には正極性の信号が充電されるとき（図２９Ｂの偶数フレームの場合）は逆に、共通電極Ｃ０およびＣ１の電位はそれぞれＶｃ（－）およびＶｃ（＋）であるが、保持期間においてはそれぞれＶｃ（＋）およびＶｃ（－）となる。他の走査電極、例えばＧ０、Ｇ２などについても同様である。

すなわち、どの画素電極に関しても、正極性の信号が充電されるときには、蓄積容量の接続先の共通電極電位は必ずＶｃ（＋）で、保持期間にはＶｃ（－）となる。そして、負極性の信号が充電されるときには、蓄積容量の接続先の共通電極電位は必ずＶｃ（－）で、保持期間にはＶｃ（＋）となる。よって、やはり（式４２）と同様の電荷保存則の式が成り立ち、ΔＶｃ（＋）およびΔＶｃ（－）を（式４３）のように読み替えるだけで、（従来例の問題点の分析）、（本発明の原理説明１：輝度傾

斜・フリッカ低減の原理)、(本発明の原理２：βおよびγの最適分布)、(原理に関する補足事項１：ＶｃｐとΔｃｃについて)、(原理に関する補足事項２：走査電極と共通電極の給電方法について)、(原理に関する補足事項３：他の回路構成）などにおいて述べてきたことはすべて適用できる。

なお、図６Ａおよび図６Ｂ、図７Ａおよび図７Ｂ、あるいは図１５の駆動方法を用いる場合には、共通電極電位制御回路の電位レベルは３つ必要であったが、本実施形態の場合には、電位レベルは２つだけで済む。よって、図６Ａおよび図６Ｂ、図７Ａおよび図７Ｂ、あるいは図１５の駆動方法に比べて、共通電極電位制御回路の構成を簡単にすることができ、コストを削減することができるという効果がある。

（ｐチャネル型ＴＦＴで構成した場合）

今までは、スイッチング素子としてｎチャネル型（ゲート電位が閾値電圧より大きいときにＯＮ、小さいときにＯＦＦとなる）の薄膜トランジスタを想定して説明してきた。しかし、ｐチャネル型のＴＦＴ（ゲート電位が閾値電圧より大きいときにＯＦＦ、小さいときにＯＮとなる）の薄膜トランジスタの場合であっても全く同様に考えられ、(従来例の問題点の分析)、(本発明の原理説明１:輝度傾斜･フリッカ低減の原理)、(本発明の原理２：βおよびγの最適分布)、(原理に関する補足事項１：ＶｃｐとΔｃｃについて)、(原理に関する補足事項２：走査電極と共通電極の給電方法について)、(原理に関する補足事項３：他の回路構成）などにおいて述べてきたことはすべて適用できる。なぜならば、基本となる（式１１）（あるいは、(式４２)）の電荷保存の関係式はｎチャネル型であろうとｐチャネル型であろうと成立するからである。

ただ注意しなければならないのは、ｐチャネル型薄膜トランジスタの場合、一般に、ＶｇｏｎとＶｇｏｆｆの上下関係が入れ替わることであ

る。よって、図１８に対応する再充電電圧の大小関係図を描くと図３０のようになり、従って、（式１６）に対応する再充電電圧の大小関係は（式４４）のようになる。

$$|\Delta Vb(O,+)| < |\Delta Vb(E,+)|$$
$$|\Delta Vb(O,-)| < |\Delta Vb(E,-)|$$
$$|\Delta Vb(O,+)| - |\Delta Vb(O,-)| < |\Delta Vb(E,+)| - |\Delta Vb(E,-)|$$

…（式４４）

なお、ｐチャネル型の薄膜トランジスタの場合、突き抜け電圧が正になり、従って再充電電圧は負となるので、絶対値記号をつけてある。絶対値記号をはずせば（式４５）のようになる。

$$\Delta Vb(O,+) > \Delta Vb(E,+)$$
$$\Delta Vb(O,-) > \Delta Vb(E,-)$$
$$\Delta Vb(O,+) - \Delta Vb(O,-) > \Delta Vb(E,+) - \Delta Vb(E,-)$$

…（式４５）

（式４５）を（式１６）と比較すると、第３式の関係は同じであるが、第１式と第２式においては不等号の向きが逆になる。すると、（式２１）はそのまま成り立つが、（式２０）の場合は不等号の向きが逆となる。

この場合の輝度傾斜およびフリッカをなくす条件について考える。まず、輝度傾斜をなくすための条件としては、（式２８）と（式４５）の第３式から、（式２９）と全く同じ関係式が導かれる。また、フリッカをなくすための条件としては、（式３０）の右辺は（式４５）の第１式、第２式により負となるが、ΔＶｇｏｎも負であるため、やはり（式３１）と全く同じ関係式が得られる。すなわち、薄膜トランジスタがｎチャネル型かｐチャネル型かに関わらず、輝度傾斜およびフリッカをなくすため

の条件は全く同じ表式となり、本発明の構成はすべて適用できることになる。

（複数行の同時走査を行なう構成の場合）

液晶を駆動するときに、１つの画素に１フレーム（表示期間）内で２回以上の充電を行うことがある。例えば１フレーム内で映像信号の書き込みを行った後に、黒表示をするための映像信号の書き込みを行い、動画に対するぼけを改善することがある（一般に、映像信号を書き込んでから１フレームの５０～９９％の時間が経過した後に、黒表示のための映像信号を書き込むことが多い）。あるいは、特にＯＣＢ（Optically Compensated Bend）モードの液晶（ベンドネマティックＬＣＤとも言う）を用いる場合などで、逆転移防止のために、同様に黒表示のための映像信号を書き込むことがある。あるいは、画素の充電を行う１Ｈ～２Ｈ（１Ｈ は水平周期）前に予備充電を行うために映像信号を書き込むこともある。

これらの場合、複数の行に同時に映像信号を書き込む（すなわち、複数の行の走査電極の電位を同時にＶｇｏｎにする）ケースが発生する。例えば、黒表示をおこなうときに複数の行に同時に黒信号を書き込んだり、あるいは予備充電を他の画素の本充電と同時に行ったりする場合がそれである。

以上のような場合も、同時にＶｇｏｎにするそれぞれの走査電極に対して、蓄積容量を介して接続される先の共通電極（例えば図３において、Ｇ１に対してＣ１、Ｇ２に対してＣ２）の電位を、書き込まれる映像信号の極性に応じて変動させてやれば、それぞれの書き込み（充電）に対して信号振幅の増大効果を得ることができ、矛盾のない駆動を行うことができる。

（駆動回路のコストに関する補足）

ところで、本発明の場合、走査信号駆動回路と共通電極電位制御回路を備え付けなければならない（共通電極電位を一定に保っておく一般的な駆動方法の場合、共通電極電位制御回路は不要）ので、コストが高くなるのではないかとの懸念があり得る。しかし、マスクレイアウト設計の段階で、これらの駆動回路と画素スイッチング素子を同じレイアウト上に設計しておけば、実際に製造する段階で別段余分の工程が増えるわけではなく、コストが上がることはない。なお、このようにして走査電極駆動回路と共通電極電位制御回路をスイッチング素子と同じ基板内に作り込むためには、多結晶Ｓｉ、単結晶Ｓｉ、あるいはＳＯＩ（シリコン・オン・インシュレータ）型の薄膜トランジスタ（あるいはＭＯＳＦＥＴ）を使うのが望ましい。なぜならば、これらの半導体基板を用いる場合には、ｐチャネル型とｎチャネル型の薄膜トランジスタのいずれであっても製造できるので、駆動回路設計の自由度が高くなるからである。

（電流駆動型素子の場合）

なお、液晶が印加電圧によって光学的状態を制御するものである（電圧駆動）のに対し、自発光型のダイオード、レーザー、エレクトロルミネッセンス材料などは、一般に電流によって光学的状態を制御している（電流駆動）。しかし、例えば図３１のように、画素ＴＦＴで別の補助ＴＦＴ２５（補助スイッチング素子とも呼ぶ）のゲート電位を制御し、それにより有機エレクトロルミネセンス素子２４への流入電流を制御するという画素構成にすれば、アクティブマトリクス型の駆動が可能である。

この場合も、破線で囲んだ部分をひとまとめにすれば、あたかも電圧制御で光学的状態が制御される表示媒質であるかのように見なすことができる。従って、本発明の構成を適用することができる。なお、この場合、補助ＴＦＴ２５のゲート・ソース間容量とゲート・ドレイン間容量の和をＣｌｃと見なせばよい。

なお、この様な素子の場合、補助ＴＦＴ２５のゲートに必ずしも正負両極性の電圧印加をする（すなわち交流駆動する）必要はない。しかし、仮に直流駆動であっても、ゲート電位（図３１のＶｇ（ｎ）で示した部分の電位）が立ち下がるときに、再充電電圧の表示領域内分布により電位Ｖｄに表示領域内分布が生じ、輝度傾斜が発生する。これは、例えば（式１７）の４つの式のうち、例えば第１式と第３式（あるいは第２式と第４式でもよい）を比較したときに、ΔＶｂ（Ｏ，＋）とΔＶｂ（Ｅ，＋）に差が発生することにより、Ｖｄｏ（Ｏ，＋）とＶｄｏ（Ｅ，＋）の値が異なるからであると言うことができる。そこで、Ｖｄｏ（Ｏ，＋）とＶｄｏ（Ｅ，＋）の差が縮まるように、αｓｔあるいはαｇｄに表示領域内で分布を与えてやれば、輝度傾斜を解消することができる。

以上で述べてきたように、輝度傾斜改善効果はγ＝αｓｔＶｃｐ／２が表示領域内で一定値であれば得られない。逆に言えば、γの値が表示領域内で一定でないようにすることにより、初めて輝度傾斜改善効果が得られる。このγというのは（式１２）ないし（式１４）の説明からもわかるように、共通電極から画素電極に重畳される容量結合電圧の、映像信号の極性が正の場合と負の場合での差（言い換えれば、表示媒質に正極性の電圧が印加されるときと、負極性の電圧が印加されるときとの差）である。すなわち、表示媒質に正極性の電圧が印加されるときと、負極性の電圧が印加されるときとで、容量結合電圧の表示領域内での分布が異なることにより、輝度傾斜改善効果が得られるともいえる。

なお、画素電極に重畳される容量結合電圧は、必ずしも共通電極からである必要はない。しかし、走査電極に同期させて電位を自由に調整するためには、共通電極を用いるのが望ましい。

なお、本発明において画面内で値を変化させたりする方法は、基本的には、意図的にそのようなレイアウトにすることにより（すなわち、設

計マスク図面を意図的にそのようにすることにより）実現するものである。しかし、設計マスク図面を従来例のように（すなわち、画素Ｐと画素Ｑのレイアウトに差を与えず、かつ画面内で均一に）作成しても、例えば、製造時のマスク合わせを意図的にずらすことによっても本発明の効果は得られる。

なお、容量値を変化させるときには、２つの導電層（または半導体層）が絶縁層を挟み込むことによって形成される容量において、２つの導電層のオーバーラップする面積を変化させることにより行うのが最も容易である。しかし、２つの導電層（または半導体層）が平面的にオーバーラップしないが近接していることにより生じる容量を利用し、レイアウト上での２つの導電層の間のギャップを変えることによって容量を変えるという方法ももちろん可能である。さらには、絶縁層の厚みを変えたり、場合によっては誘電率を変えることによって容量を変えるということも全く不可能というわけではない。

なお、以上では、再充電電圧の面内分布を補正するという主旨で説明してきたが、製造プロセス上の誤差（合わせ、抜き、残し等の寸法のずれや不均一性）によって生じるフリッカや輝度傾斜も本発明と同様の方法で補正できるのは言うまでもない。

なお、走査信号駆動回路から画面端部までの配線部の距離が各行毎に異なっていることによる各行毎の再充電電圧の発生ムラ、あるいは特に図２の構成の場合などで、対向電極の上端や下端で電位固定しているために生じる中央部と上下とでの再充電電圧差などを補正するために、各行毎にαｓｔやαｇｄを変えてもよい。

なお、走査信号駆動回路は上から給電するとしたが、別に下から給電してもかまわないし、上下両側から給電してもかまわない。また、１列おきに交互に上下から給電してももちろんかまわない。

なお、以上では走査信号は左（または右）から、映像信号は上（または下）から給電するとして説明したが、別に走査信号を上（または下）から、映像信号を左（または右）から給電するような表示装置であっても本発明は採用できる。

なお、上記の実施形態では、表示装置について述べたが、これは、走査信号駆動回路および映像信号駆動回路を含んだ全体を指す。これに対して、駆動回路を含まずに、アレイ基板、対向基板、および液晶を最低限含んだ構成からなる部分を特に「表示素子」と呼ぶ。本発明の効果は、表示装置および表示素子のいずれに対しても得られる。

なお、液晶としては、上述のＴＮ液晶やＩＰＳ液晶以外でもよい。応答速度が比較的速くかつ高コントラストが得られるＶＡ（垂直配向）液晶を用いてもよいし、ＭＶＡ（マルチドメインＶＡ）液晶であっても良いし、他の液晶であってもよい。例えば、ＴＮ（ツイステッド・ネマチック）液晶、ＳＴＮ（スーパー・ツイステッド・ネマチック）液晶、ＶＡ液晶（垂直配向液晶、またはホメオトロピック液晶）やホモジニアス配向液晶等を含むＥＣＢ（電界制御複屈折）型液晶、ベント液晶、ＩＰＳ（面内スイッチング）液晶、ＧＨ（ゲスト・ホスト）液晶、高分子分散型液晶、強誘電性液晶、反強誘電性液晶、ＯＣＢ液晶、ディスコテック液晶、およびその他のさまざまなモードが使用しうる。液晶としては、ノーマリホワイト型（印加電圧の増加とともに透過率が小さくなる）であってもノーマリブラック型（印加電圧の増加とともに透過率が大きくなる）であってもよい。また、液晶以外でも印加電圧によって光学的特性が変化する材料であれば用いることができる。例えばＢＳＯ（ビスマス・シリコン・オキサイド）等の電気光学結晶が挙げられる。さらには、エレクトロクロミック材料や、自発光型のダイオード、レーザー、エレクトロルミネッセンス材料などであってもよい。あるいは、ＤＭＤ

（Deformable Mirror Device）などでもよい。ただ、液晶が最も安価であり、これを使用するのが望ましい。

なお、上記の実施形態では、直視型の液晶ディスプレイパネルを中心に述べてきたが、液晶プロジェクタなどに用いられる液晶素子（多結晶Ｓｉ型、単結晶Ｓｉ型、あるいはＳＯＩ（シリコン・オン・インシュレータ）型なども含む）などにも当然応用することができる。

なお、第１～第３の実施形態では、ＴＮ型構造（より一般には、画素電極と対向電極が液晶層を挟んで平行平板容量を形成する構造）の表示装置について、第４～第６の実施形態では、ＩＰＳ型構造（より一般には、共通電極が画素電極と同一基板に形成されていて、基板に平行な電界により液晶を動作させる構造）の表示装置について説明した。

しかし、第１～第３の実施形態、すなわち図１４の単位画素回路構成をＩＰＳ型の構成で実施しても良い。例えば、基板上に共通電極（電位Ｖｃ（ｎ））と対向電極（電位Ｖｆ）を別々に作成すればよい（対向電極は行毎、あるいは列毎に分離されてもよい）。

また、逆に、第４～第６の実施形態、すなわち図８の単位画素回路構成をＴＮ型の構成で実施しても良い。この場合、対向側の基板に形成された対向電極が共通電極の役目を果たす。一般的に、対向電極は表示領域全面にわたって共通の１枚の電極であるので、全画面が走査される間常に電位がＶｃ（＋）またはＶｃ（－）のいずれかをとるようにしなければならないが、本発明の効果が得られることには変わりない。この場合、Ｖｃｏｆｆはこれらの平均値、すなわち［Ｖｃ（＋）＋Ｖｃ（－）］／２であると考えればよい（但し、この場合、（式１９）によればΔＶｃｃ＝０となるので、（原理に関する補足事項１：ＶｃｐとΔｃｃについて）で述べた経時安定性改善の効果は期待できない）。

もちろん、ＴＮ型の構成で対向電極を１行毎に絶縁分離してやれば各

行の対向電極電位を個別に設定することが可能となり、第４～第６の実施形態を全くそのまま実現できる。

なお、本発明で取り上げた駆動方法の変形として、例えば図８や図１４の単位画素回路構成において、共通電極あるいは対向電極をすべて同じ電位に保ったまま変動させるという駆動方法がある（シンクロゲート駆動方法）。例えば、図１４において、映像信号電極から与える映像信号が正極性の場合には、対向電極電位Ｖｆおよび共通電極電位Ｖｃ（ｎ）をすべてある第１の電位として、負極性の場合には別のある第２の電位とするというものである。この場合、図１４のＣｓｔとＣｌｃの接続先（すなわちＶｃ（ｎ）およびＶｆ）は結局同じ電位であるので、ＣｓｔとＣｌｃは単なる並列容量と見なすことができ、Ｃｓｔ＋Ｃｌｃは、図８のＣｌｃに等価であると見なすことができる（図８のＣｓｔは０となることもありうる）。

さらに、上記第１の電位をＶｃ（＋）、第２の電位をＶｃ（－）とみなし、Ｖｃｏｆｆはこれらの平均値、すなわち［Ｖｃ（＋）＋Ｖｃ（－）］／２であると考えればよい（但し、この場合（式１９）によればΔＶｃｃ＝０ となるので、（原理に関する補足事項１：ＶｃｐとΔｃｃについて）で述べた経時安定性改善の効果は期待できない）。

請求の範囲

１．　マトリクス状に配置された複数の画素電極と、これに接続されたスイッチング素子と、走査電極と、映像信号電極と、共通電極と、対向電極と、前記画素電極と前記対向電極との間に挿入された表示媒質と、前記画素電極と前記共通電極との間に形成された蓄積容量を有する表示装置であって、

前記画素電極と前記走査電極との間の走査電極－画素電極間容量をＣｇｄで表し、前記画素電極と前記共通電極との間の共通電極－画素電極間容量をＣｓｔで表し、前記画素電極に電気的に接続される全容量の総和をＣｔｏｔで表した場合、

$\alpha gd = Cgd / Ctot$, $\alpha st = Cst / Ctot$ …（式１）

で表されるαｇｄおよびαｓｔをともに、画面内で給電端から近い部分と遠い部分において異なった値にしたことを特徴とする表示装置。

２．　前記表示装置は、表示周期に応じて、映像信号電極に極性の異なる２種類の映像信号を印加する映像信号駆動回路を備えることを特徴とする請求項１記載の表示装置。

３．　前記表示装置は、複数の共通電極に電圧信号を印加する共通電極電位制御回路と、複数の走査電極に電圧信号を印加する走査信号駆動回路とを備え、前記共通電極電位制御回路は少なくとも２値の出力電位レベルを有し、前記走査信号駆動回路は少なくとも２値の出力電位レベルを有することを特徴とする請求項２記載の表示装置。

４．　ある走査電極が選択されるときには、前記走査電極の電位は第１の電位レベルＶｇｏｎとなり、前記走査電極が選択されない保持期間中は、前記走査電極の電位は概略第２の電位レベルＶｇｏｆｆとなり、

前記走査電極に属する複数の画素の画素電極に接続される蓄積容量の

他方の接続先の共通電極の電位は、前記走査電極が選択されるときには、映像信号の極性が正の場合には第１の電位レベルＶｃ（＋）となり、前記映像信号の極性が負の場合には第２の電位レベルＶｃ（－）となり、

前記共通電極の第１の電位レベルＶｃ（＋）の、以後の保持期間における電位に対する差をΔＶｃ（＋）で表し、前記共通電極の第２の電位レベルＶｃ（－）の、以後の保持期間における電位に対する差をΔＶｃ（－）で表した場合、

$\gamma = \alpha s t Vcp / 2$ …（式２）　（ここで、Ｖｃｐ＝ΔＶｃ（＋）－ΔＶｃ（－）　…（式３））

で表されるγを、画面内で給電端から近い部分に比べて、給電端から遠い部分のほうで小さくしたことを特徴とする請求項３記載の表示装置。

５．　前記γの、画面内で給電端から近い部分での値をγ（Ｏ）、前記画面内で給電端から遠い部分での値をγ（Ｅ）、距離的にそれらの中間にあたる部分での値をγ（Ｍ）とした場合、前記γ（Ｍ）は［γ（Ｏ）＋γ（Ｅ）］／２よりも小さいことを特徴とする請求項４記載の表示装置。

６．　前記Ｖｃｐは負の値をとることを特徴とする請求項４記載の表示装置。

７．　ある走査電極が選択されるときには、前記走査電極の電位は第１の電位レベルＶｇｏｎとなり、前記走査電極が選択されない保持期間中は、前記走査電極の電位は概略第２の電位レベルＶｇｏｆｆとなり、

前記走査電極に属する複数の画素の画素電極に接続される蓄積容量の他方の接続先の共通電極の電位は、前記走査電極が選択されるときには、映像信号の極性が正の場合には第１の電位レベルＶｃ（＋）となり、前記映像信号の極性が負の場合には第２の電位レベルＶｃ（－）となり、

前記共通電極の第１の電位レベルＶｃ（＋）の、以後の保持期間における電位に対する差をΔＶｃ（＋）で表し、前記共通電極の第２の電位

レベルＶｃ（－）の、以後の保持期間における電位に対する差をΔＶｃ（－）で表した場合、

$\beta = \alpha gd + \alpha st (\Delta Vcc / \Delta Vgon)$ …（式４）

（ここで、ΔＶｇｏｎ＝Ｖｇｏｎ－Ｖｇｏｆｆ、$\Delta Vcc = [\Delta Vc(+) + \Delta Vc(-)] / 2$ …（式５））

で表されるβを、画面内で給電端から近い部分に比べて、給電端から遠い部分のほうで大きくしたことを特徴とする請求項３記載の表示装置。

８．　前記βの、画面内で給電端から近い部分での値をβ（Ｏ）、前記画面内で給電端から遠い部分での値をβ（Ｅ）、距離的にそれらの中間にあたる部分での値をβ（Ｍ）とするとき、β（Ｍ）は［β（Ｏ）＋β（Ｅ）］／２よりも大きいことを特徴とする請求項７記載の表示装置。

９．　前記ΔＶｃｃは負であることを特徴とする請求項７記載の表示装置。

１０．　ある走査電極が選択されるときには、前記走査電極の電位は第１の電位レベルＶｇｏｎとなり、前記走査電極が選択されない保持期間中は、前記走査電極の電位は概略第２の電位レベルＶｇｏｆｆとなり、

前記走査電極に属する複数の画素の画素電極に接続される蓄積容量の他方の接続先の共通電極の電位は、前記走査電極が選択されるときには、映像信号の極性が正の場合には第１の電位レベルＶｃ（＋）となり、前記映像信号の極性が負の場合には第２の電位レベルＶｃ（－）となり、

前記共通電極の第１の電位レベルＶｃ（＋）の、以後の保持期間における電位に対する差をΔＶｃ（＋）で表し、前記共通電極の第２の電位レベルＶｃ（－）の、以後の保持期間における電位に対する差をΔＶｃ（－）で表した場合、

$\gamma = \alpha st Vcp / 2$ …（式２）　（ここで、$Vcp = \Delta Vc(+) - \Delta Vc(-)$ …（式３））

で表されるγを、画面内で給電端から近い部分に比べて、給電端から遠い部分のほうで小さく、かつ

$\beta = \alpha gd + \alpha st (\Delta Vcc / \Delta Vgon)$ …（式４）

（ここで、$\Delta Vgon = Vgon - Vgoff$、$\Delta Vcc = [\Delta Vc(+) + \Delta Vc(-)] / 2$ …（式５））

で表されるβを、画面内で給電端から近い部分に比べて、給電端から遠い部分のほうで大きくしたことを特徴とする請求項３記載の表示装置。

１１．　マトリクス状に配置された複数の画素電極と、これに接続されたスイッチング素子と、走査電極と、映像信号電極と、共通電極と、対向電極と、前記画素電極と前記対向電極との間に挿入された表示媒質と、前記画素電極といずれかの前記共通電極との間に形成された蓄積容量を有し、ある１つの前記走査電極に属する複数の画素の前記画素電極に接続される前記蓄積容量の他方の接続先の前記共通電極は複数ある表示装置であって、

前記画素電極と前記走査電極との間の走査電極－画素電極間容量をＣｇｄで表し、前記画素電極と前記共通電極との間の共通電極－画素電極間容量をＣｓｔで表し、前記画素電極に電気的に接続される全容量の総和をＣｔｏｔで表した場合、

$\alpha gd = Cgd / Ctot$, $\alpha st = Cst / Ctot$ …（式１）

で表されるαｇｄおよびαｓｔをともに、画面内で給電端から近い部分と遠い部分において異なった値にしたことを特徴とする表示装置。

１２．　前記表示装置は、複数の映像信号電極に極性の異なる２種類の映像信号を同時に印加し、かつ、各々の前記映像信号電極についてみたときに、表示周期に応じて極性の異なる２種類の映像信号を印加する映像信号駆動回路を備えることを特徴とする請求項１１記載の表示装置。

１３．　前記表示装置は、ある１つの走査電極に属する複数の画素のう

ち、第１の極性の映像信号を印加する映像信号電極に属する画素の画素電極に接続される蓄積容量の他方の接続先の第１の共通電極と、前記第１の共通電極とは異なり、第２の極性の前記映像信号を印加する前記映像信号電極に属する前記画素の前記画素電極に接続される前記蓄積容量の他方の接続先の第２の共通電極とを備えたことを特徴とする請求項１２記載の表示装置。

１４．　前記表示装置は、複数の共通電極に電圧信号を印加する共通電極電位制御回路と、複数の走査電極に電圧信号を印加する走査信号駆動回路とを備え、前記共通電極電位制御回路は少なくとも２値の出力電位レベルを有し、前記走査信号駆動回路は少なくとも２値の出力電位レベルを有することを特徴とする請求項１３記載の表示装置。

１５．　ある走査電極が選択されるときには、前記走査電極の電位は第１の電位レベルＶｇｏｎとなり、前記走査電極が選択されない保持期間中は、前記走査電極の電位は概略第２の電位レベルＶｇｏｆｆとなり、

前記走査電極に属する複数の画素の画素電極に接続される蓄積容量の他方の接続先の共通電極のうち、

前記第１の共通電極の電位は、前記走査電極が選択されるときには、前記第１の共通電極に対応する映像信号電極に印加される映像信号の極性が正の場合には第１の電位レベルＶｃ（＋）となり、前記映像信号の極性が負の場合には第２の電位レベルＶｃ（－）となり、

前記第２の共通電極の電位は、前記走査電極が選択されるときには、前記第２の共通電極に対応する前記映像信号電極に印加される前記映像信号の極性が正の場合には第１の電位レベルＶｃ（＋）となり、前記映像信号の極性が負の場合には第２の電位レベルＶｃ（－）となり、

前記共通電極の第１の電位レベルＶｃ（＋）の、以後の保持期間における電位に対する差をΔＶｃ（＋）で表し、前記共通電極の第２の電位

レベルＶｃ（－）の、以後の保持期間における電位に対する差をΔＶｃ（－）で表した場合、

γ＝αｓｔＶｃｐ／２　…（式２）　（ここで、Ｖｃｐ＝ΔＶｃ（＋）－ΔＶｃ（－）　…（式３））

で表されるγを、画面内で給電端から近い部分に比べて、給電端から遠い部分のほうで小さくしたことを特徴とする請求項１４記載の表示装置。

１６．　前記γの、画面内で給電端から近い部分での値をγ（Ｏ）、前記画面内で給電端から遠い部分での値をγ（Ｅ）、距離的にそれらの中間にあたる部分での値をγ（Ｍ）とするとき、γ（Ｍ）は［γ（Ｏ）＋γ（Ｅ）］／２よりも小さいことを特徴とする請求項１５記載の表示装置。

１７．　前記Ｖｃｐは負であることを特徴とする請求項１５記載の表示装置。

１８．　ある走査電極が選択されるときには、前記走査電極の電位は第１の電位レベルＶｇｏｎとなり、前記走査電極が選択されない保持期間中は、前記走査電極の電位は概略第２の電位レベルＶｇｏｆｆとなり、

前記走査電極に属する複数の画素の画素電極に接続される蓄積容量の他方の接続先の共通電極のうち、

前記第１の共通電極の電位は、前記走査電極が選択されるときには、前記第１の共通電極に対応する映像信号電極に印加される映像信号の極性が正の場合には第１の電位レベルＶｃ（＋）となり、前記映像信号の極性が負の場合には第２の電位レベルＶｃ（－）となり、

前記第２の共通電極の電位は、前記走査電極が選択されるときには、前記第２の共通電極に対応する前記映像信号電極に印加される前記映像信号の極性が正の場合には第１の電位レベルＶｃ（＋）となり、前記映像信号の極性が負の場合には第２の電位レベルＶｃ（－）となり、

前記共通電極の第１の電位レベルＶｃ（＋）の、以後の保持期間にお

ける電位に対する差をΔＶｃ（＋）で表し、前記共通電極の第２の電位レベルＶｃ（－）の、以後の保持期間における電位に対する差をΔＶｃ（－）で表した場合、

$\beta = \alpha gd + \alpha st$（ΔＶｃｃ／ΔＶｇｏｎ）　…（式４）

（ここで、ΔＶｇｏｎ＝Ｖｇｏｎ－Ｖｇｏｆｆ、ΔＶｃｃ＝［ΔＶｃ（＋）＋ΔＶｃ（－）］／２　…（式５））

で表されるβを、画面内で給電端から近い部分に比べて、給電端から遠い部分のほうで大きくしたことを特徴とする請求項１４記載の表示装置。

１９．　前記βの、画面内で給電端から近い部分での値をβ（Ｏ）、前記画面内で給電端から遠い部分での値をβ（Ｅ）、距離的にそれらの中間にあたる部分での値をβ（Ｍ）とするとき、β（Ｍ）は［β（Ｏ）＋β（Ｅ）］／２よりも大きいことを特徴とする請求項１８記載の表示装置。

２０．　前記ΔＶｃｃは負であることを特徴とする請求項１８記載の表示装置。

２１．　ある走査電極が選択されるときには、前記走査電極の電位は第１の電位レベルＶｇｏｎとなり、前記走査電極が選択されない保持期間中は、前記走査電極の電位は概略第２の電位レベルＶｇｏｆｆとなり、

前記走査電極に属する複数の画素の画素電極に接続される蓄積容量の他方の接続先の共通電極のうち、

前記第１の共通電極の電位は、前記走査電極が選択されるときには、前記第１の共通電極に対応する映像信号電極に印加される映像信号の極性が正の場合には第１の電位レベルＶｃ（＋）となり、前記映像信号の極性が負の場合には第２の電位レベルＶｃ（－）となり、

前記第２の共通電極の電位は、前記走査電極が選択されるときには、前記第２の共通電極に対応する前記映像信号電極に印加される前記映像信号の極性が正の場合には第１の電位レベルＶｃ（＋）となり、前記映

像信号の極性が負の場合には第２の電位レベルＶｃ（－）となり、

前記共通電極の第１の電位レベルＶｃ（＋）の、以後の保持期間における電位に対する差をΔＶｃ（＋）で表し、前記共通電極の第２の電位レベルＶｃ（－）の、以後の保持期間における電位に対する差をΔＶｃ（－）で表した場合、

$\gamma = \alpha st Vcp / 2$ …（式２）　（ここで、Ｖｃｐ＝ΔＶｃ（＋）－ΔＶｃ（－）　…（式３））

で表されるγを、画面内で給電端から近い部分に比べて、給電端から遠い部分のほうで小さく、かつ、

$\beta = \alpha gd + \alpha st (\Delta Vcc / \Delta Vgon)$ …（式４）

（ここで、ΔＶｇｏｎ＝Ｖｇｏｎ－Ｖｇｏｆｆ、ΔＶｃｃ＝［ΔＶｃ（＋）＋ΔＶｃ（－）］／２　…（式５））

で表されるβを、画面内で給電端から近い部分に比べて、給電端から遠い部分のほうで大きくしたことを特徴とする請求項１４記載の表示装置。

２２．　マトリクス状に配置された複数の画素電極と、これに接続されたスイッチング素子と、走査電極と、映像信号電極と、共通電極と、前記画素電極と前記共通電極との間に挿入された表示媒質と、前記表示媒質を介して前記画素電極と対向する前記共通電極および当段の前記走査電極以外の電極と前記画素電極との間に形成された蓄積容量を有する表示装置であって、

前記画素電極と前記走査電極との間の走査電極－画素電極間容量をＣｇｄで表し、前記画素電極と前記共通電極との間の共通電極－画素電極間容量をＣｌｃで表し、

前記画素電極に電気的に接続される全容量の総和をＣｔｏｔで表した場合、

$\alpha gd = Cgd / Ctot$、$\alpha lc = Clc / Ctot$ …（式６）

で表されるαｇｄおよびαｌｃをともに、画面内で給電端から近い部分と遠い部分において異なった値にしたことを特徴とする表示装置。

２３．　前記表示装置は、表示周期に応じて、映像信号電極に極性の異なる２種類の映像信号を印加する映像信号駆動回路を備えることを特徴とする請求項２２記載の表示装置。

２４．　前記表示装置は、複数の共通電極に電圧信号を印加する共通電極電位制御回路と、複数の走査電極に電圧信号を印加する走査信号駆動回路とを備え、前記共通電極電位制御回路は少なくとも２値の出力電位レベルを有し、前記走査信号駆動回路は少なくとも２値の出力電位レベルを有することを特徴とする請求項２３記載の表示装置。

２５．　ある走査電極が選択されるときには、前記走査電極の電位は第１の電位レベルＶｇｏｎとなり、前記走査電極が選択されない保持期間中は、前記走査電極の電位は概略第２の電位レベルＶｇｏｆｆとなり、

前記走査電極に属する複数の画素の画素電極と表示媒質を介して対向する共通電極の電位は、前記走査電極が選択されるときには、映像信号の極性が正の場合には第１の電位レベルＶｃ（＋）となり、前記映像信号の極性が負の場合には第２の電位レベルＶｃ（－）となり、

前記共通電極の第１の電位レベルＶｃ（＋）の、以後の保持期間における電位に対する差をΔＶｃ（＋）で表し、前記共通電極の第２の電位レベルＶｃ（－）の、以後の保持期間における電位に対する差をΔＶｃ（－）で表した場合、

$$\gamma = \alpha lc Vcp / 2 \quad \cdots (式7)$$

（ここで、Ｖｃｐ＝ΔＶｃ（＋）－ΔＶｃ（－）　…（式８））

で表されるγを、画面内で給電端から近い部分に比べて、給電端から遠い部分のほうで小さくしたことを特徴とする請求項２４記載の表示装置。

２６．　前記γの、画面内で給電端から近い部分での値をγ（Ｏ）、前記

画面内で給電端から遠い部分での値をγ（Ｅ）、距離的にそれらの中間にあたる部分での値をγ（Ｍ）とするとき、γ（Ｍ）は［γ（Ｏ）＋γ（Ｅ）］／２よりも小さいことを特徴とする請求項２５記載の表示装置。

２７．　前記Ｖｃｐは負であることを特徴とする請求項２５記載の表示装置。

２８．　ある走査電極が選択されるときには、前記走査電極の電位は第１の電位レベルＶｇｏｎとなり、前記走査電極が選択されない保持期間中は、前記走査電極の電位は概略第２の電位レベルＶｇｏｆｆとなり、

前記走査電極に属する複数の画素の画素電極と表示媒質を介して対向する共通電極の電位は、前記走査電極が選択されるときには、映像信号の極性が正の場合には第１の電位レベルＶｃ（＋）となり、前記映像信号の極性が負の場合には第２の電位レベルＶｃ（－）となり、

前記共通電極の第１の電位レベルＶｃ（＋）の、以後の保持期間における電位に対する差をΔＶｃ（＋）で表し、前記共通電極の第２の電位レベルＶｃ（－）の、以後の保持期間における電位に対する差をΔＶｃ（－）で表した場合、

$$\beta = \alpha gd + \alpha lc\,(\Delta Vcc / \Delta Vgon) \quad \cdots (式9)$$

（ここで、ΔＶｇｏｎ＝Ｖｇｏｎ－Ｖｇｏｆｆ、ΔＶｃｃ＝［ΔＶｃ（＋）＋ΔＶｃ（－）］／２　…（式１０））

で表されるβを、画面内で給電端から近い部分に比べて、給電端から遠い部分のほうで大きくしたことを特徴とする請求項２４記載の表示装置。

２９．　前記βの、画面内で給電端から近い部分での値をβ（Ｏ）、前記画面内で給電端から遠い部分での値をβ（Ｅ）、距離的にそれらの中間にあたる部分での値をβ（Ｍ）とするとき、β（Ｍ）は［β（Ｏ）＋β（Ｅ）］／２よりも大きいことを特徴とする請求項２８記載の表示装置。

３０．　前記ΔＶｃｃは負であることを特徴とする請求項２８記載の表

示装置。

３１．　ある走査電極が選択されるときには、前記走査電極の電位は第１の電位レベルＶｇｏｎとなり、前記走査電極が選択されない保持期間中は、前記走査電極の電位は概略第２の電位レベルＶｇｏｆｆとなり、

前記走査電極に属する複数の画素の画素電極と表示媒質を介して対向する共通電極の電位は、前記走査電極が選択されるときには、映像信号の極性が正の場合には第１の電位レベルＶｃ（＋）となり、前記映像信号の極性が負の場合には第２の電位レベルＶｃ（－）となり、

前記共通電極の第１の電位レベルＶｃ（＋）の、以後の保持期間における電位に対する差をΔＶｃ（＋）で表し、前記共通電極の第２の電位レベルＶｃ（－）の、以後の保持期間における電位に対する差をΔＶｃ（－）で表した場合、

$\gamma = \alpha lc Vcp / 2$　…（式７）

（ここで、Ｖｃｐ＝ΔＶｃ（＋）－ΔＶｃ（－）　…（式８））

で表されるγを、画面内で給電端から近い部分に比べて、給電端から遠い部分のほうで小さく、かつ、

$\beta = \alpha gd + \alpha lc (\Delta Vcc / \Delta Vgon)$　…（式９）

（ここで、ΔＶｇｏｎ＝Ｖｇｏｎ－Ｖｇｏｆｆ、ΔＶｃｃ＝［ΔＶｃ（＋）＋ΔＶｃ（－）］／２　…（式１０））

で表されるβを、画面内で給電端から近い部分に比べて、給電端から遠い部分のほうで大きくしたことを特徴とする請求項２４記載の表示装置。

３２．　マトリクス状に配置された複数の画素電極と、これに接続されたスイッチング素子と、走査電極と、映像信号電極と、共通電極と、前記画素電極と前記共通電極との間に挿入された表示媒質と、前記表示媒質を介して前記画素電極と対向する前記共通電極および当段の前記走査電極以外の電極と前記画素電極との間に形成された蓄積容量を有し、あ

る１つの前記走査電極に属する複数の画素の前記画素電極と前記表示媒質を介して対向する前記共通電極は複数ある表示装置であって、

前記画素電極と前記走査電極との間の走査電極－画素電極間容量をＣｇｄで表し、前記画素電極と前記共通電極との間の共通電極－画素電極間容量をＣｌｃで表し、前記画素電極に電気的に接続される全容量の総和をＣｔｏｔで表した場合、

αｇｄ＝Ｃｇｄ／Ｃｔｏｔ、αｌｃ＝Ｃｌｃ／Ｃｔｏｔ　…（式６）

で表されるαｇｄおよびαｌｃをともに、画面内で給電端から近い部分と遠い部分において異なった値にしたことを特徴とする表示装置。

３３．　前記表示装置は、複数の映像信号電極に極性の異なる２種類の映像信号を同時に印加し、かつ、各々の前記映像信号電極についてみたときに、表示周期に応じて極性の異なる２種類の映像信号を印加する映像信号駆動回路を備えることを特徴とする請求項３２記載の表示装置。

３４．　前記表示装置は、ある１つの走査電極に属する複数の画素のうち、第１の極性の映像信号を印加する映像信号電極に属する画素の画素電極と表示媒質を介して対向する第１の共通電極と、前記第１の共通電極とは異なり、第２の極性の前記映像信号を印加する前記映像信号電極に属する前記画素の前記画素電極と前記表示媒質を介して対向する第２の共通電極とを備えたことを特徴とする請求項３３記載の表示装置。

３５．　前記表示装置は、複数の共通電極に電圧信号を印加する共通電極電位制御回路と、複数の走査電極に電圧信号を印加する走査信号駆動回路とを備え、前記共通電極電位制御回路は少なくとも２値の出力電位レベルを有し、前記走査信号駆動回路は少なくとも２値の出力電位レベルを有することを特徴とする請求項３４記載の表示装置。

３６．　ある走査電極が選択されるときには、前記走査電極の電位は第１の電位レベルＶｇｏｎとなり、前記走査電極が選択されない保持期間

中は、前記走査電極の電位は概略第２の電位レベルＶｇｏｆｆとなり、

前記走査電極に属する複数の画素の画素電極と表示媒質を介して対向する共通電極のうち、

前記第１の共通電極の電位は、前記走査電極が選択されるときには、前記第１の共通電極に対応する映像信号電極に印加される映像信号の極性が正の場合には第１の電位レベルＶｃ（＋）となり、前記映像信号の極性が負の場合には第２の電位レベルＶｃ（－）となり、

前記第２の共通電極の電位は、前記走査電極が選択されるときには、前記第２の共通電極に対応する前記映像信号電極に印加される前記映像信号の極性が正の場合には第１の電位レベルＶｃ（＋）となり、前記映像信号の極性が負の場合には第２の電位レベルＶｃ（－）となり、

前記共通電極の第１の電位レベルＶｃ（＋）の、以後の保持期間における電位に対する差をΔＶｃ（＋）で表し、前記共通電極の第２の電位レベルＶｃ（－）の、以後の保持期間における電位に対する差をΔＶｃ（－）で表した場合、

$$\gamma = \alpha 1 c Vcp / 2 \quad \cdots (式7)$$

（ここで、$Vcp = \Delta Vc(+) - \Delta Vc(-)$ …（式８））

で表されるγを、画面内で給電端から近い部分に比べて、給電端から遠い部分のほうで小さくしたことを特徴とする請求項３５記載の表示装置。

３７．　前記γの、画面内で給電端から近い部分での値をγ（Ｏ）、前記画面内で給電端から遠い部分での値をγ（Ｅ）、距離的にそれらの中間にあたる部分での値をγ（Ｍ）とするとき、γ（Ｍ）は［γ（Ｏ）＋γ（Ｅ）］／２よりも小さいことを特徴とする請求項３６記載の表示装置。

３８．　前記Ｖｃｐは負であることを特徴とする請求項３６記載の表示装置。

３９．　ある走査電極が選択されるときには、前記走査電極の電位は第

１の電位レベルＶｇｏｎとなり、前記走査電極が選択されない保持期間中は、前記走査電極の電位は概略第２の電位レベルＶｇｏｆｆとなり、

前記走査電極に属する複数の画素の画素電極と表示媒質を介して対向する共通電極のうち、

前記第１の共通電極の電位は、前記走査電極が選択されるときには、前記第１の共通電極に対応する映像信号電極に印加される映像信号の極性が正の場合には第１の電位レベルＶｃ（＋）となり、前記映像信号の極性が負の場合には第２の電位レベルＶｃ（－）となり、

前記第２の共通電極の電位は、前記走査電極が選択されるときには、前記第２の共通電極に対応する前記映像信号電極に印加される前記映像信号の極性が正の場合には第１の電位レベルＶｃ（＋）となり、前記映像信号の極性が負の場合には第２の電位レベルＶｃ（－）となり、

前記共通電極の第１の電位レベルＶｃ（＋）の、以後の保持期間における電位に対する差をΔＶｃ（＋）で表し、前記共通電極の第２の電位レベルＶｃ（－）の、以後の保持期間における電位に対する差をΔＶｃ（－）で表した場合、

$\beta = \alpha gd + \alpha lc(\Delta Vcc / \Delta Vgon)$ …（式９）

（ここで、ΔＶｇｏｎ＝Ｖｇｏｎ－Ｖｇｏｆｆ、ΔＶｃｃ＝［ΔＶｃ（＋）＋ΔＶｃ（－）］／２ …（式１０））

で表されるβを、画面内で給電端から近い部分に比べて、給電端から遠い部分のほうで大きくしたことを特徴とする請求項３５記載の表示装置。

４０．　前記βの、画面内で給電端から近い部分での値をβ（Ｏ）、前記画面内で給電端から遠い部分での値をβ（Ｅ）、距離的にそれらの中間にあたる部分での値をβ（Ｍ）とするとき、β（Ｍ）は［β（Ｏ）＋β（Ｅ）］／２よりも大きいことを特徴とする請求項３９記載の表示装置。

４１．　前記ΔＶｃｃは負であることを特徴とする請求項３９記載の表

示装置。

４２．　ある走査電極が選択されるときには、前記走査電極の電位は第１の電位レベルＶｇｏｎとなり、前記走査電極が選択されない保持期間中は、前記走査電極の電位は概略第２の電位レベルＶｇｏｆｆとなり、

前記走査電極に属する複数の画素の画素電極と表示媒質を介して対向する共通電極のうち、

前記第１の共通電極の電位は、前記走査電極が選択されるときには、前記第１の共通電極に対応する映像信号電極に印加される映像信号の極性が正の場合には第１の電位レベルＶｃ（＋）となり、前記映像信号の極性が負の場合には第２の電位レベルＶｃ（－）となり、

前記第２の共通電極の電位は、前記走査電極が選択されるときには、前記第２の共通電極に対応する前記映像信号電極に印加される前記映像信号の極性が正の場合には第１の電位レベルＶｃ（＋）となり、前記映像信号の極性が負の場合には第２の電位レベルＶｃ（－）となり、

前記共通電極の第１の電位レベルＶｃ（＋）の、以後の保持期間における電位に対する差をΔＶｃ（＋）で表し、前記共通電極の第２の電位レベルＶｃ（－）の、以後の保持期間における電位に対する差をΔＶｃ（－）で表した場合、

$$\gamma = \alpha lc Vcp / 2 \quad \cdots (式7)$$

（ここで、Ｖｃｐ＝ΔＶｃ（＋）－ΔＶｃ（－）　…（式８））

で表されるγを、画面内で給電端から近い部分に比べて、給電端から遠い部分のほうで小さく、かつ、

$$\beta = \alpha gd + \alpha lc (\Delta Vcc / \Delta Vgon) \quad \cdots (式9)$$

（ここで、ΔＶｇｏｎ＝Ｖｇｏｎ－Ｖｇｏｆｆ、ΔＶｃｃ＝［ΔＶｃ（＋）＋ΔＶｃ（－）］／２　…（式１０））

で表されるβを、画面内で給電端から近い部分に比べて、給電端から遠

い部分のほうで大きくしたことを特徴とする請求項３５記載の表示装置。

４３．　前記表示媒質は液晶であることを特徴とする請求項１または１１記載の表示装置。

４４．　前記画素電極と前記対向電極とが液晶層を挟んで平行平板容量を形成する構造であることを特徴とする請求項４３記載の表示装置。

４５．　前記表示媒質は液晶であることを特徴とする請求項２２または３２記載の表示装置。

４６．　前記共通電極は前記画素電極と同一基板に形成され、前記基板に平行な電界により前記液晶を動作させることを特徴とする請求項４５記載の表示装置。

４７．　前記Ｃｔｏｔを構成する容量の少なくとも１つが、２つの導電層あるいは半導体層が絶縁層を挟み込むことによって形成される容量を含み、前記２つの導電層あるいは半導体層のオーバーラップする面積を、画面内で給電端から近い部分と遠い部分において異ならせることにより、αｓｔまたはα１ｃ、およびαｇｄを画面内で給電端から近い部分と遠い部分において異った値にしたことを特徴とする請求項１、１１、２２、または３２記載の表示装置。

４８．　請求項１または１１記載の表示装置を駆動する方法であって、

前記画素電極に、前記スイッチング素子を介して電位を書き込んだ後に、前記Ｃｓｔを介した電圧であり、しかも画面内で給電端から近い部分と遠い部分において異なった値を有する電圧を重畳することを特徴とする表示装置の駆動方法。

４９．　ある走査電極が選択されるときに、前記走査電極に属する複数の画素の画素電極に接続される蓄積容量の他方の接続先の共通電極に、映像信号の極性が正の場合には第１の電位レベルＶｃ（＋）を印加し、前記映像信号の極性が負の場合には第２の電位レベルＶｃ（－）を印加

することを特徴とする請求項４８記載の表示装置の駆動方法。

５０．　請求項２２または３２記載の表示装置を駆動する方法であって、

前記画素電極に、前記スイッチング素子を介して電位を書き込んだ後に、前記Ｃｌｃを介した電圧であり、しかも画面内で給電端から近い部分と遠い部分において異なった値を有する電圧を重畳することを特徴とする表示装置の駆動方法。

５１．　ある走査電極が選択されるときに、前記走査電極に属する複数の画素の画素電極と表示媒質を介して対向する共通電極に、映像信号の極性が正の場合には第１の電位レベルＶｃ（＋）を印加し、前記映像信号の極性が負の場合には第２の電位レベルＶｃ（－）を印加することを特徴とする請求項５０記載の表示装置の駆動方法。

５２．　画素電極の電位によって表示媒質への印加電圧を制御し、かつ前記表示媒質に正負両極性の電圧を印加することにより表示を行う表示装置であって、

前記画素電極以外の電極から前記画素電極に容量結合電圧が重畳され、前記表示媒質に正極性の電圧が印加される場合と負極性の電圧が印加される場合とで、前記容量結合電圧の表示領域内での分布を異ならせたことを特徴とする表示装置。

５３．　前記画素電極以外の電極は、共通電極であることを特徴とする請求項５２記載の表示装置。

５４．　マトリクス状に配置された複数の画素電極と、これに接続されたスイッチング素子と、走査電極と、映像信号電極と、共通電極と、対向電極と、前記画素電極と前記対向電極との間に挿入された表示媒質と、前記画素電極と前記共通電極との間に形成された蓄積容量を有する表示装置であって、

前記走査電極からの容量結合電圧と、前記共通電極からの容量結合電

圧とを画面内で分布を持たせることによりフリッカおよび輝度傾斜を同時に補正することを特徴とする表示装置。

５５．　マトリクス状に配置された複数の画素電極と、これに接続されたスイッチング素子と、走査電極と、映像信号電極と、共通電極と、前記画素電極と前記共通電極との間に挿入された表示媒質と、前記表示媒質を介して前記画素電極と対向する前記共通電極および当段の前記走査電極以外の電極と前記画素電極との間に形成された蓄積容量を有する表示装置であって、

前記走査電極からの容量結合電圧と、前記共通電極からの容量結合電圧とを画面内で分布を持たせることによりフリッカおよび輝度傾斜を同時に補正することを特徴とする表示装置。

５６．　マトリクス状に配置された複数の画素電極と、これに接続されたスイッチング素子と、走査電極と、映像信号電極と、共通電極と、対向電極と、前記画素電極と前記対向電極との間に挿入された表示媒質と、前記画素電極といずれかの前記共通電極との間に形成された蓄積容量を有する表示装置であって、

ある１つの前記走査電極に属する複数の画素の前記画素電極に接続される前記蓄積容量の他方の接続先の前記共通電極は複数あることを特徴とする表示装置。

５７．　マトリクス状に配置された複数の画素電極と、これに接続されたスイッチング素子と、走査電極と、映像信号電極と、共通電極と、前記画素電極と前記共通電極との間に挿入された表示媒質を有する表示装置であって、

ある１つの前記走査電極に属する複数の画素の前記画素電極と前記表示媒質を介して対向する前記共通電極は複数あることを特徴とする表示装置。

５８．　マトリクス状に配置された複数の画素電極と、これに接続されたスイッチング素子と、走査電極と、映像信号電極と、共通電極と、対向電極と、前記画素電極と前記対向電極との間に挿入された表示媒質と、前記画素電極と前記共通電極との間に形成された蓄積容量を有する表示素子であって、

前記画素電極と前記走査電極との間の走査電極－画素電極間容量をＣｇｄで表し、前記画素電極と前記共通電極との間の共通電極－画素電極間容量をＣｓｔで表し、前記画素電極に電気的に接続される全容量の総和をＣｔｏｔで表した場合、

αｇｄ＝Ｃｇｄ／Ｃｔｏｔ，αｓｔ＝Ｃｓｔ／Ｃｔｏｔ　…（式１）

で表されるαｇｄおよびαｓｔをともに、画面内で給電端から近い部分と遠い部分において異なった値にしたことを特徴とする表示素子。

５９．　マトリクス状に配置された複数の画素電極と、これに接続されたスイッチング素子と、走査電極と、映像信号電極と、共通電極と、対向電極と、前記画素電極と前記対向電極との間に挿入された表示媒質と、前記画素電極といずれかの前記共通電極との間に形成された蓄積容量を有し、ある１つの前記走査電極に属する複数の画素の前記画素電極に接続される前記蓄積容量の他方の接続先の前記共通電極は複数ある表示素子であって、

前記画素電極と前記走査電極との間の走査電極－画素電極間容量をＣｇｄで表し、前記画素電極と前記共通電極との間の共通電極－画素電極間容量をＣｓｔで表し、前記画素電極に電気的に接続される全容量の総和をＣｔｏｔで表した場合、

αｇｄ＝Ｃｇｄ／Ｃｔｏｔ，αｓｔ＝Ｃｓｔ／Ｃｔｏｔ　…（式１）

で表されるαｇｄおよびαｓｔをともに、画面内で給電端から近い部分と遠い部分において異なった値にしたことを特徴とする表示素子。

６０．　マトリクス状に配置された複数の画素電極と、これに接続されたスイッチング素子と、走査電極と、映像信号電極と、共通電極と、前記画素電極と前記共通電極との間に挿入された表示媒質と、前記表示媒質を介して前記画素電極と対向する前記共通電極および当段の前記走査電極以外の電極と前記画素電極との間に形成された蓄積容量を有する表示素子であって、

前記画素電極と前記走査電極との間の走査電極－画素電極間容量をＣｇｄで表し、前記画素電極と前記共通電極との間の共通電極－画素電極間容量をＣｌｃで表し、前記画素電極に電気的に接続される全容量の総和をＣｔｏｔで表した場合、

$$\alpha gd = Cgd / Ctot,\ \alpha lc = Clc / Ctot \quad \cdots (式6)$$

で表されるαｇｄおよびαｌｃをともに、画面内で給電端から近い部分と遠い部分において異なった値にしたことを特徴とする表示素子。

６１．　マトリクス状に配置された複数の画素電極と、これに接続されたスイッチング素子と、走査電極と、映像信号電極と、共通電極と、前記画素電極と前記共通電極との間に挿入された表示媒質と、前記表示媒質を介して前記画素電極と対向する前記共通電極および当段の前記走査電極以外の電極と前記画素電極との間に形成された蓄積容量を有し、ある１つの前記走査電極に属する複数の画素の前記画素電極と前記表示媒質を介して対向する前記共通電極は複数ある表示素子であって、

前記画素電極と前記走査電極との間の走査電極－画素電極間容量をＣｇｄで表し、前記画素電極と前記共通電極との間の共通電極－画素電極間容量をＣｌｃで表し、前記画素電極に電気的に接続される全容量の総和をＣｔｏｔで表した場合、

$$\alpha gd = Cgd / Ctot,\ \alpha lc = Clc / Ctot \quad \cdots (式6)$$

で表されるαｇｄおよびαｌｃをともに、画面内で給電端から近い部分

と遠い部分において異なった値にしたことを特徴とする表示素子。

６２．　マトリクス状に配置された複数の画素電極と、これに接続されたスイッチング素子と、走査電極と、映像信号電極と、共通電極と、対向電極と、前記画素電極と前記対向電極との間に挿入された表示媒質と、前記画素電極と前記共通電極との間に形成された蓄積容量を有し、前記走査電極は表示領域の片側のみから給電され、前記共通電極は少なくとも前記表示領域で前記走査電極が給電されるのと反対側の辺で電位が固定された表示装置であって、

前記画素電極と前記走査電極との間の走査電極－画素電極間容量をＣｇｄで表し、前記画素電極と前記共通電極との間の共通電極－画素電極間容量をＣｓｔで表し、前記画素電極に電気的に接続される全容量の総和をＣｔｏｔで表した場合、

$$\alpha gd = Cgd / Ctot \quad \cdots (式101)$$

で表されるαｇｄの、表示領域内で前記走査電極の給電端から最も遠い部分での値をαｇｄ（Ｆ）とした場合、表示領域内で前記走査電極の給電端から最も遠い部分と最も近い部分の間で、αｇｄの値がαｇｄ（Ｆ）よりも大きくなるような位置が存在することを特徴とする表示装置。

６３．　マトリクス状に配置された複数の画素電極と、これに接続されたスイッチング素子と、走査電極と、映像信号電極と、共通電極と、前記画素電極と前記共通電極との間に挿入された表示媒質と、前記表示媒質を介して前記画素電極と対向する前記共通電極および当段の前記走査電極以外の電極と前記画素電極との間に形成された蓄積容量を有し、前記走査電極は表示領域の片側のみから給電され、前記共通電極は少なくとも前記表示領域で前記走査電極が給電されるのと反対側の辺で電位が固定された表示装置であって、

前記画素電極と前記走査電極との間の走査電極－画素電極間容量をＣ

ｇｄで表し、前記画素電極と前記共通電極との間の共通電極－画素電極間容量をＣｌｃで表し、前記画素電極に電気的に接続される全容量の総和をＣｔｏｔで表した場合、

$$\alpha gd = Cgd / Ctot \quad \cdots (式101)$$

で表されるαｇｄの、表示領域内で前記走査電極の給電端から最も遠い部分での値をαｇｄ（Ｆ）とするとき、表示領域内で前記走査電極の給電端から最も遠い部分と最も近い部分の間で、αｇｄの値がαｇｄ（Ｆ）よりも大きくなるような位置が存在することを特徴とする表示装置。

６４．　前記画素電極に正極性の映像信号が充電された後の保持期間と、前記画素電極に負極性の前記映像信号が充電された後の保持期間において、共通電極電位が異なることを特徴とする請求項４、７、１０、１５、１８、２１、２５、２８、３１、３６、３９、または４２記載の表示装置。

６５．　前記走査信号駆動回路は、複数の行に同時に書き込みを行うことを特徴とする請求項３、１４、２４、または３５記載の表示装置。

６６．　前記表示媒質はＯＣＢモードの液晶であることを特徴とする請求項６５記載の表示装置。

６７．　前記走査信号駆動回路と前記共通電極電位制御回路はいずれも前記スイッチング素子と同じ基板内に作り込まれることを特徴とする請求項３、１４、２４、または３５記載の表示装置。

６８．　前記表示媒質は、電流によって光学的状態を制御する媒質と補助スイッチング素子からなることを特徴とする請求項１、１１、２２、または３２記載の表示装置。

６９．　電流によって光学的状態を制御する前記媒質は、有機エレクトロルミネセンス媒質であることを特徴とする請求項６８記載の表示装置。

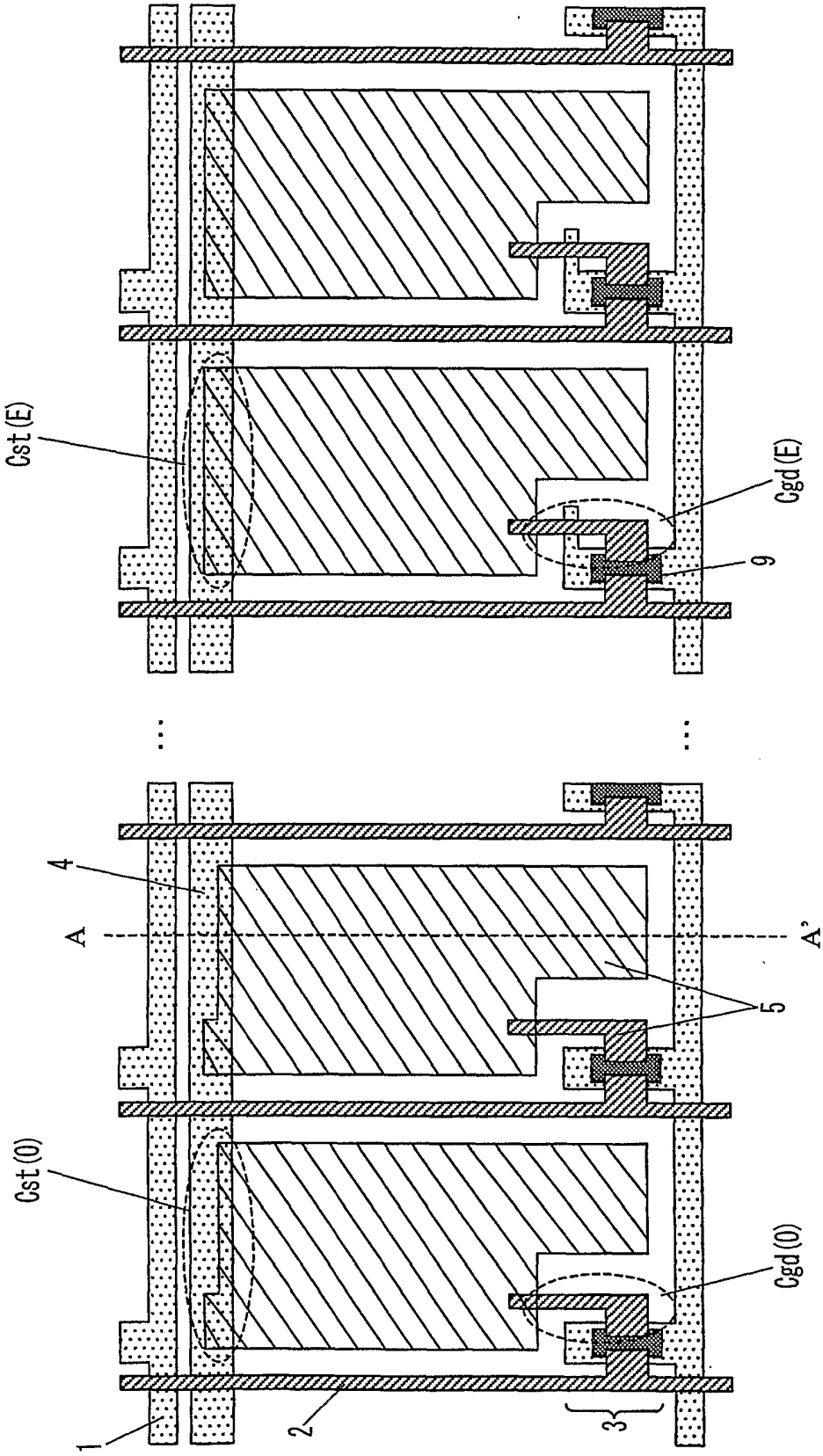


FIG. 1

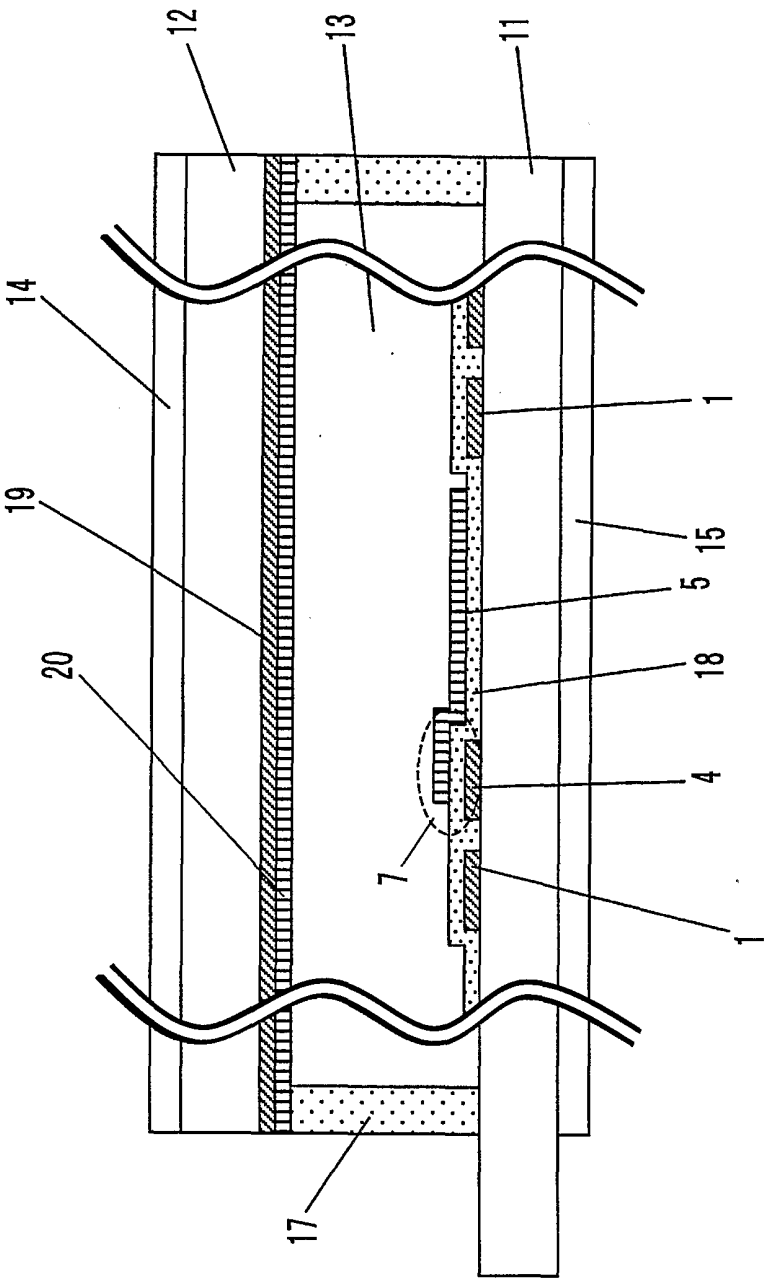


FIG. 2

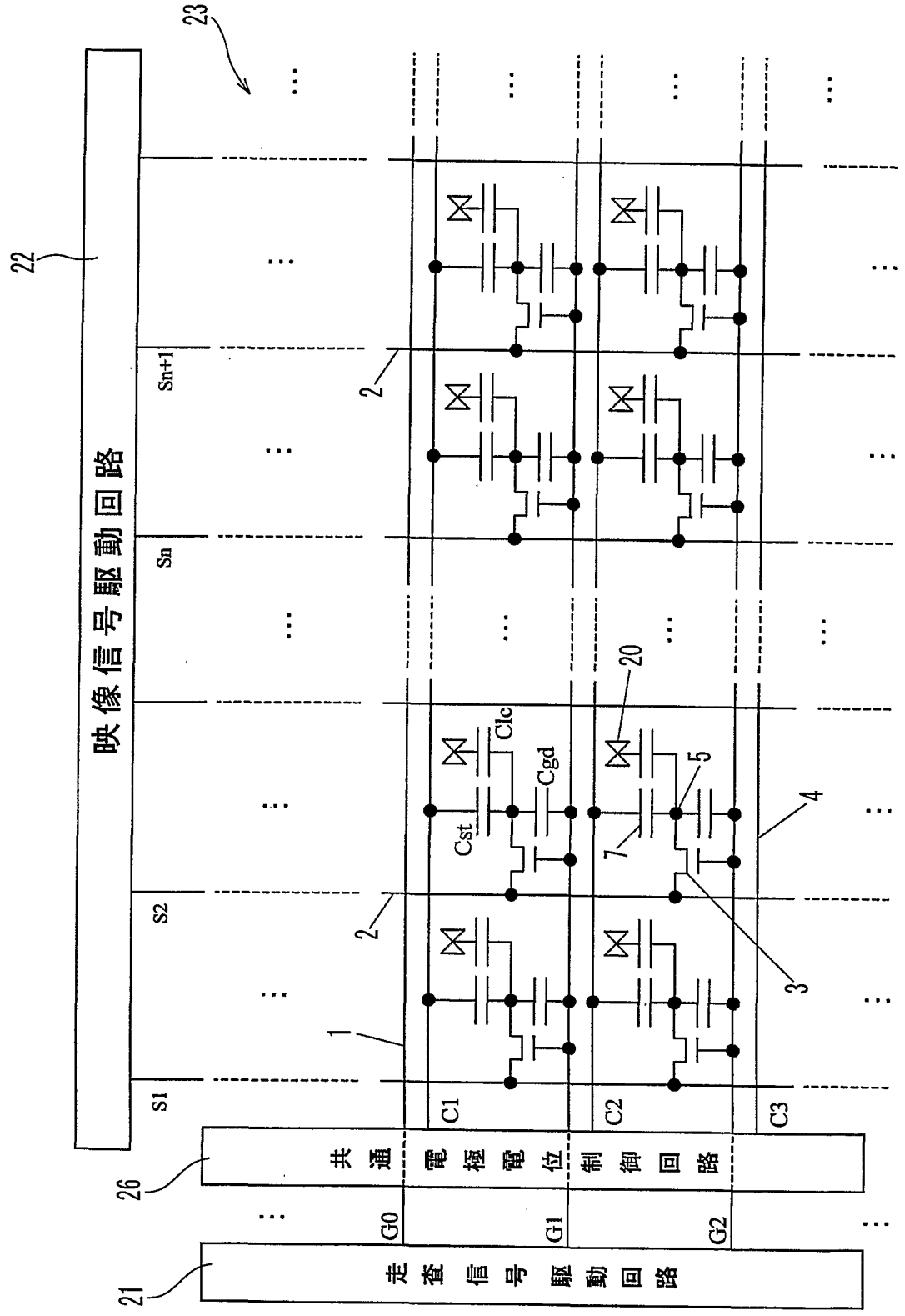

映像信号駆動回路
走査信号駆動回路
共通電極電位制御回路
S1
S2
Sn
Sn+1
G0
G1
G2
C1
C2
C3
Cst
Clc
Cgd
(給電端から近い部分)
(給電端から遠い部分)

FIG. 3

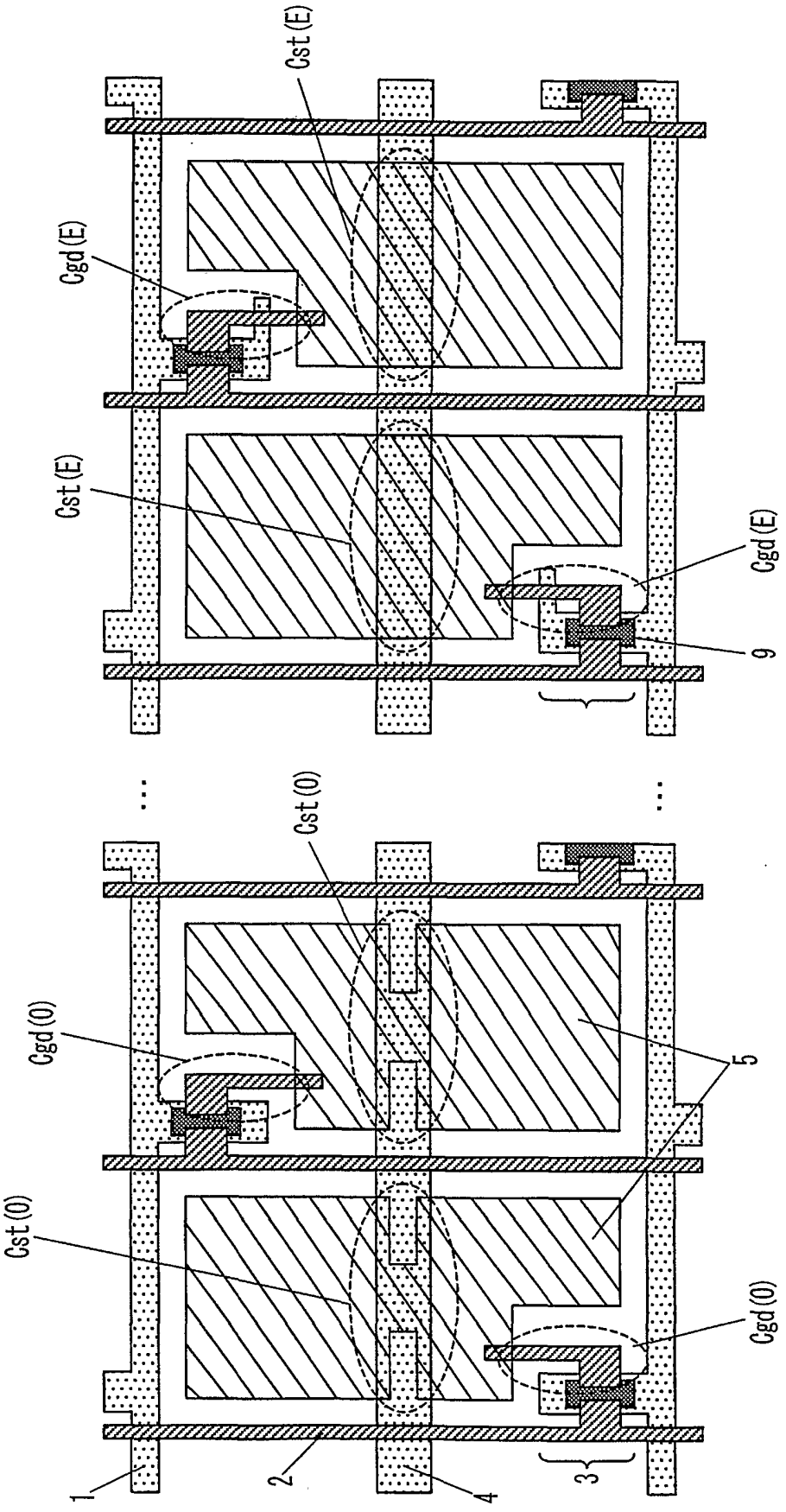

Cst(E)
Cgd(E)
Cst(E)
Cgd(E)
9
(給電端から遠い部分)
Cst(0)
Cgd(0)
Cst(0)
Cgd(0)
5
(給電端から近い部分)
1
2
4
3

FIG. 4

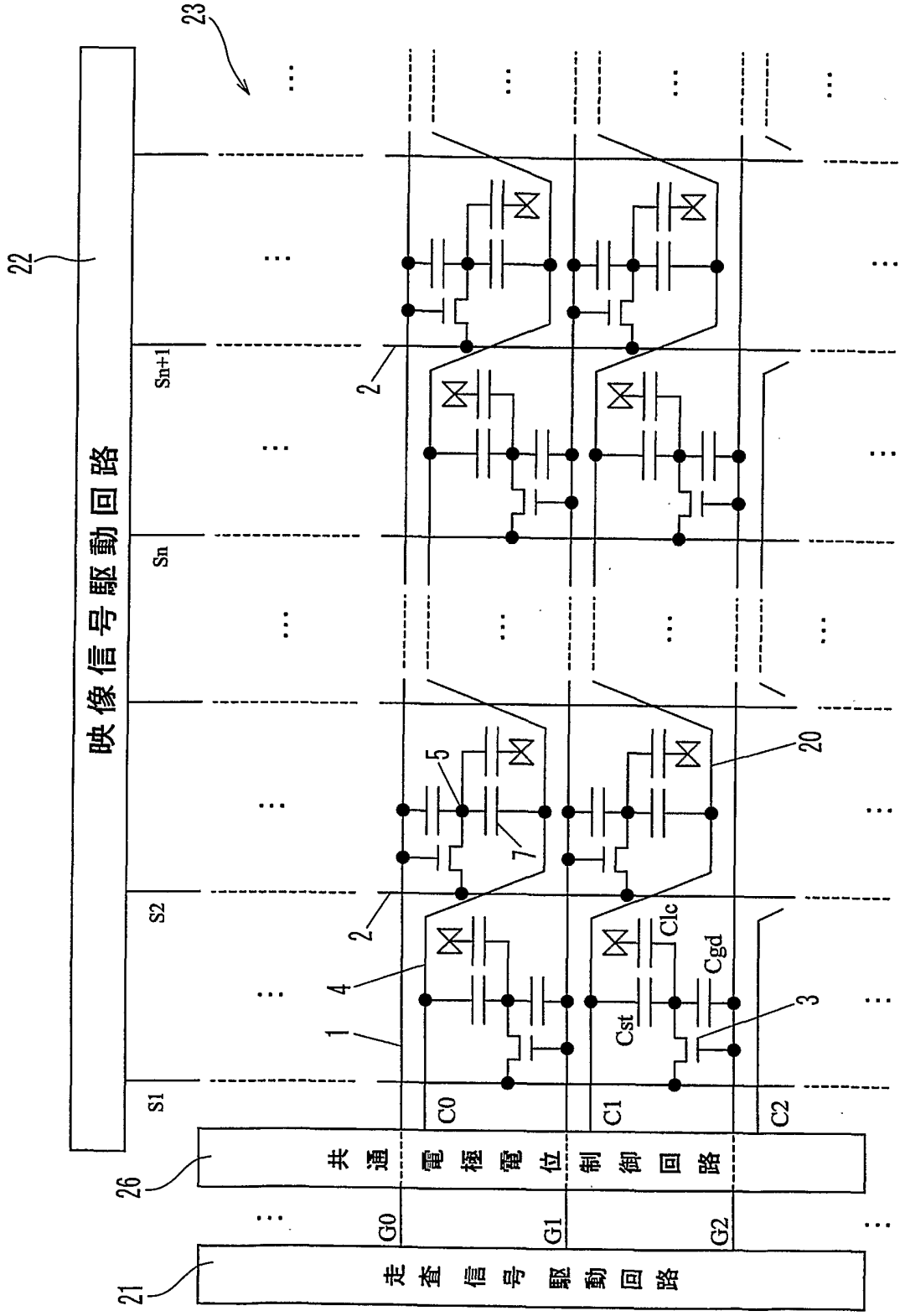

映像信号駆動回路
走査信号駆動回路
共通電極電位制御回路
(給電端から近い部分)
(給電端から遠い部分)
Cst
Clc
Cgd

FIG. 5

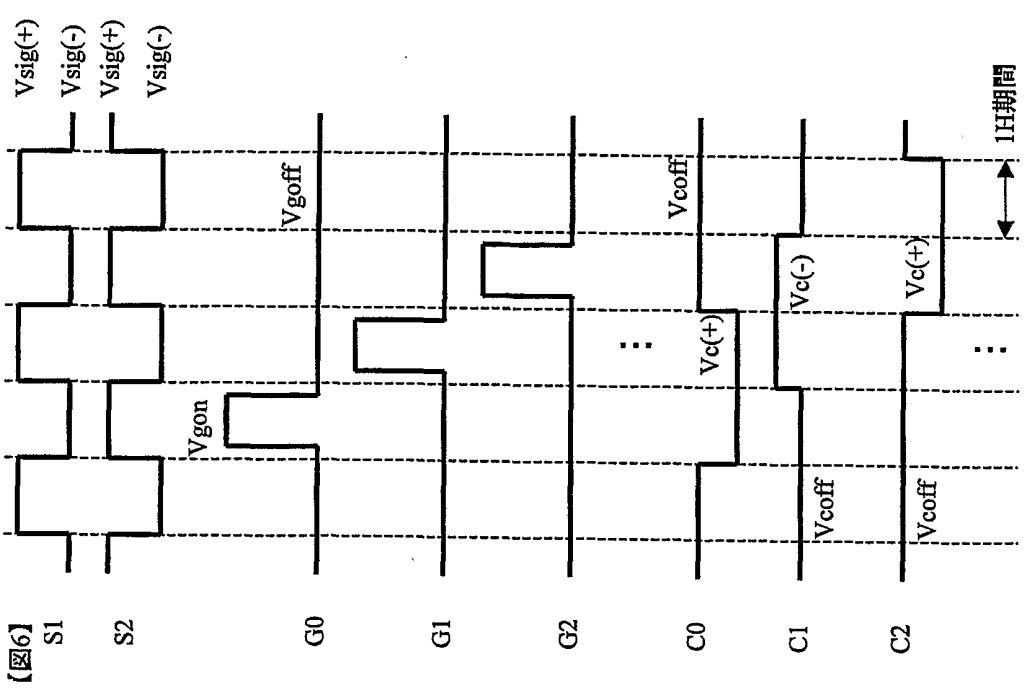

【図6】
S1
S2
G0
G1
G2
C0
C1
C2
Vsig(+)
Vsig(-)
Vsig(+)
Vsig(-)
Vgon
Vgoff
Vcoff
Vc(+)
Vc(-)
1H期間
(奇数フレーム)

FIG. 6A

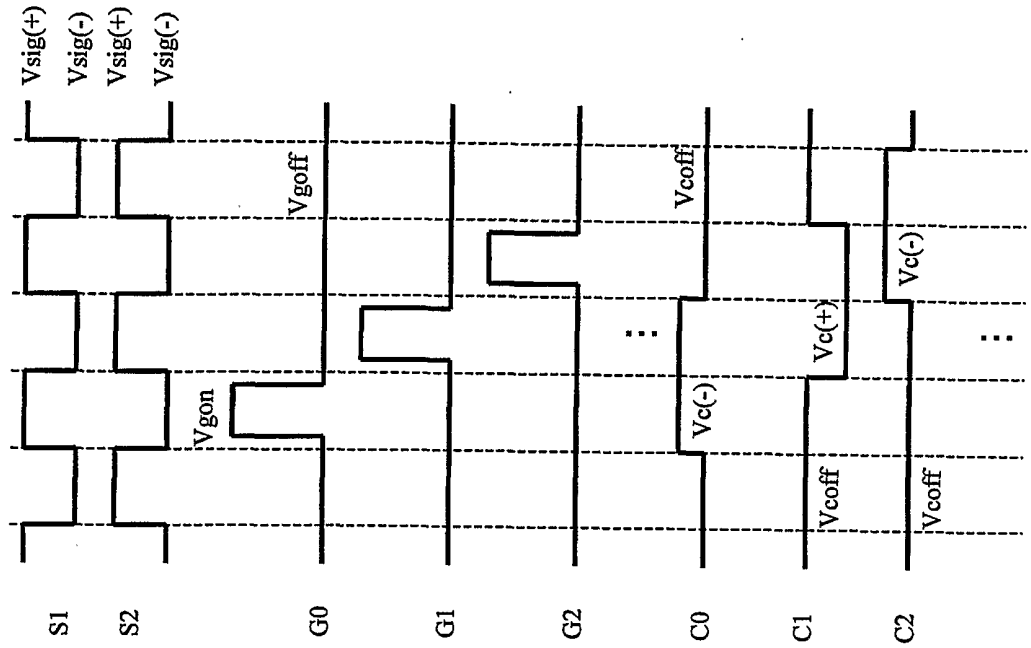

S1
S2
G0
G1
G2
C0
C1
C2
Vsig(+)
Vsig(-)
Vsig(+)
Vsig(-)
Vgon
Vgoff
Vcoff
Vc(-)
Vc(+)
(偶数フレーム)

FIG. 6B

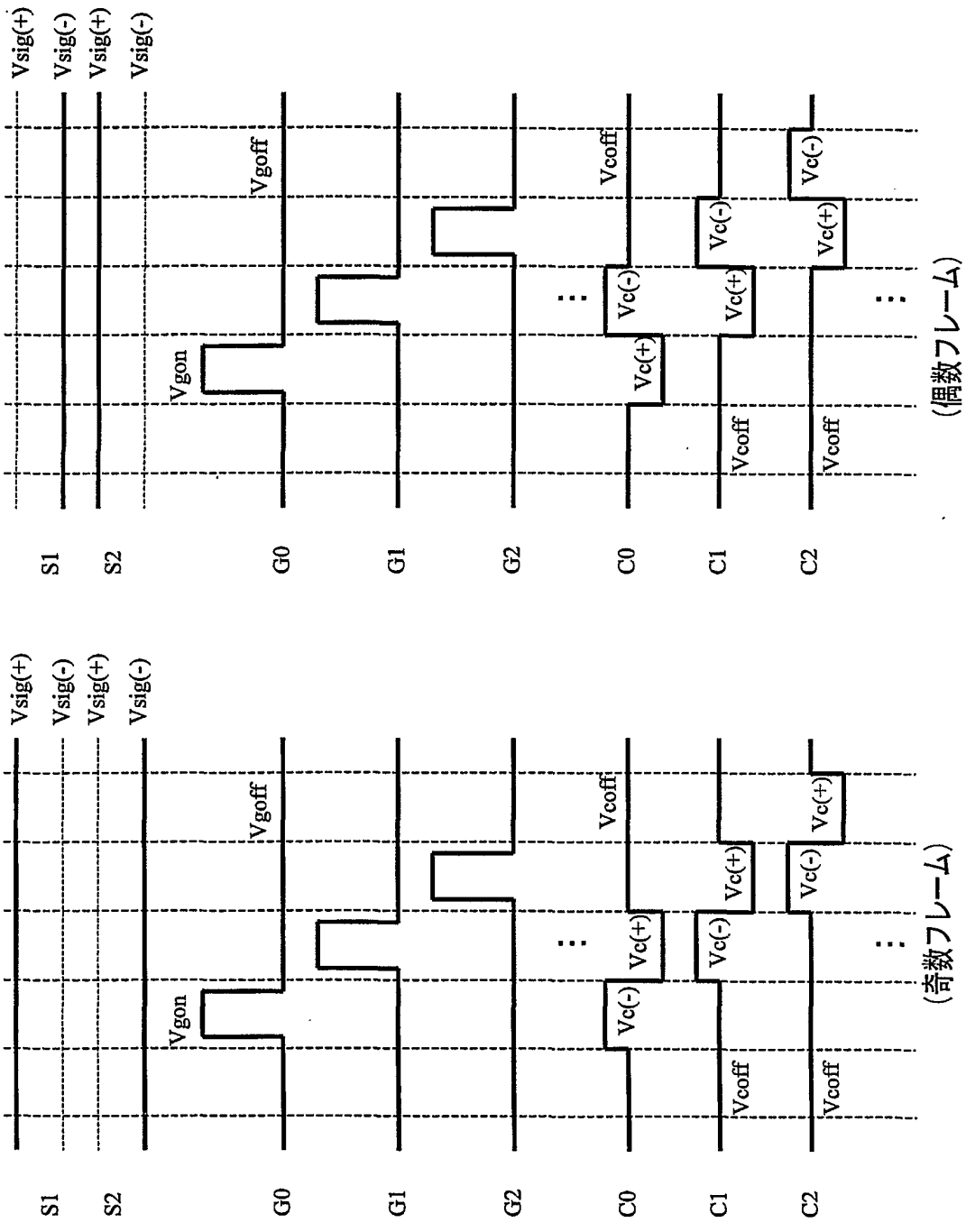

Vsig(+)
Vsig(-)
Vsig(+)
Vsig(-)
Vgon
Vgoff
Vcoff
Vc(+)
Vc(-)
S1
S2
G0
G1
G2
C0
C1
C2
(偶数フレーム)

FIG. 7B

Vsig(+)
Vsig(-)
Vsig(+)
Vsig(-)
Vgon
Vgoff
Vcoff
Vc(+)
Vc(-)
S1
S2
G0
G1
G2
C0
C1
C2
(奇数フレーム)

FIG. 7A

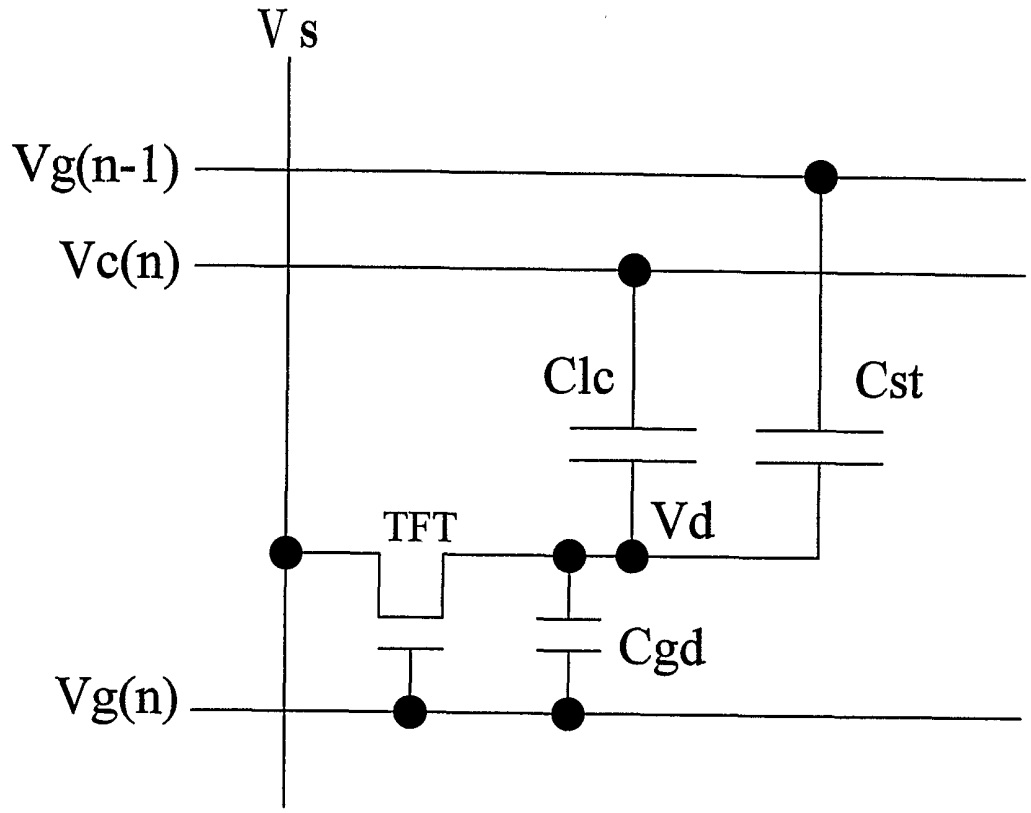


FIG. 8

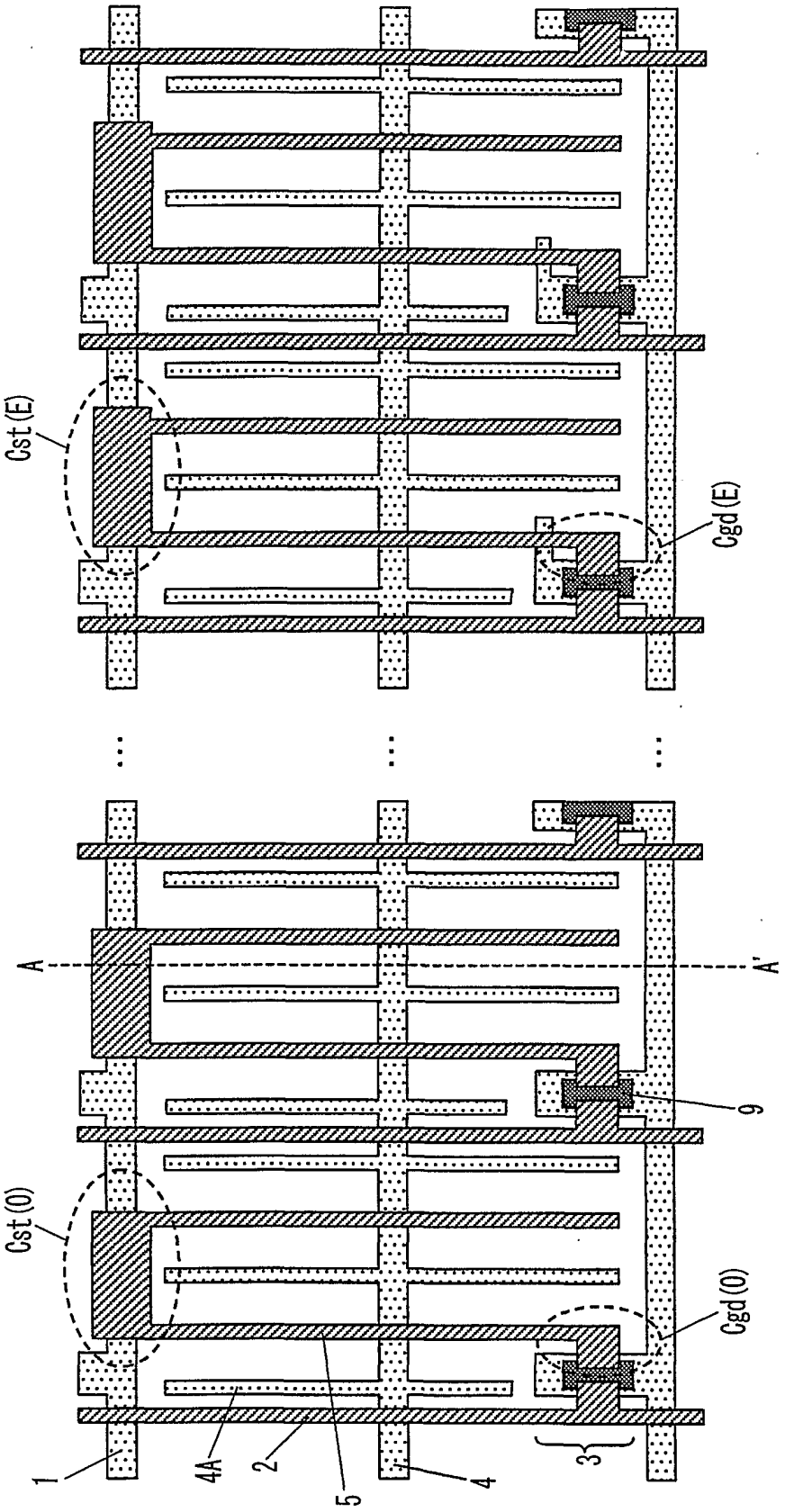


FIG. 9

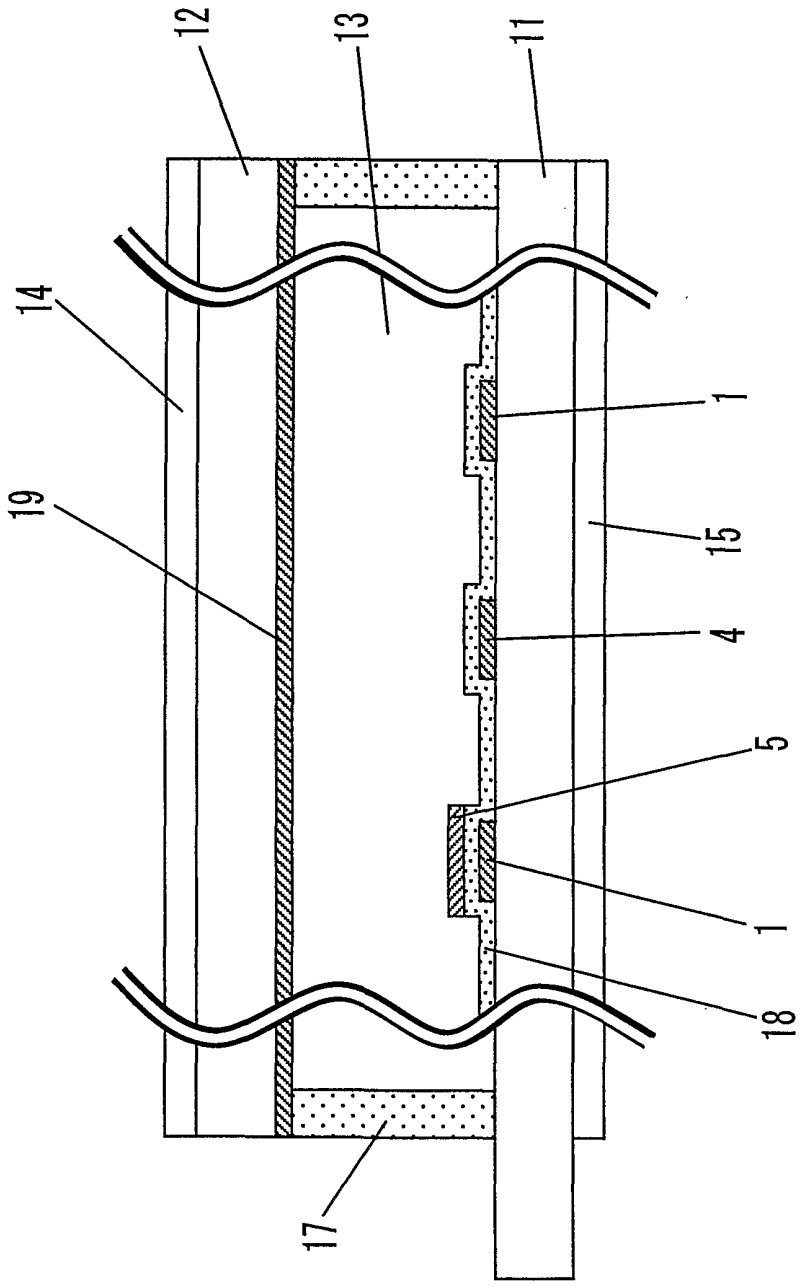


FIG. 10

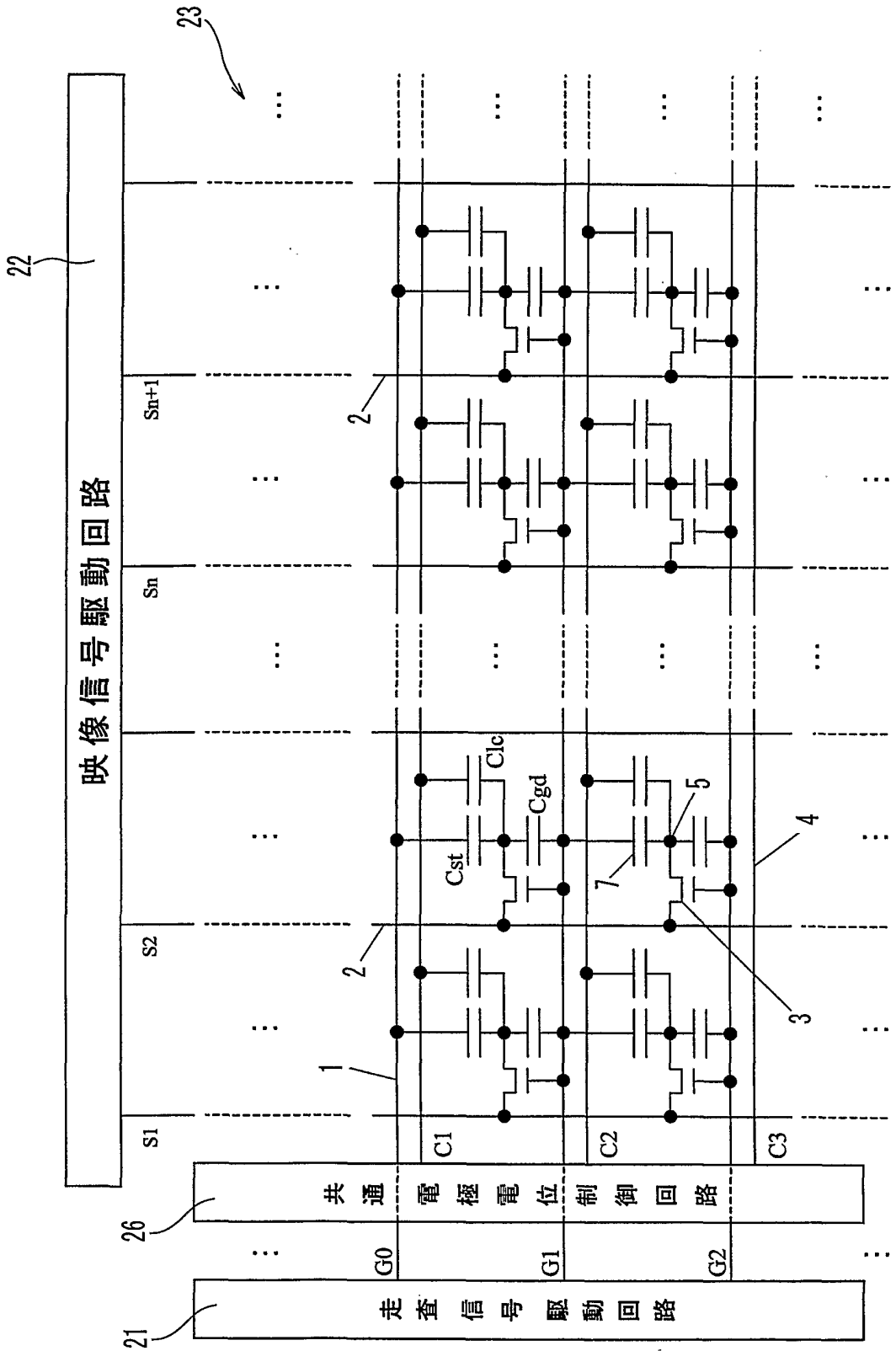

23
22
映像信号駆動回路
Sn+1
Sn
S2
S1
2
1
Clc
Cgd
Cst
7
5
4
3
(給電端から遠い部分)
(給電端から近い部分)
C1
C2
C3
26
共通電極電位制御回路
21
走査信号駆動回路
G0
G1
G2

FIG. 11

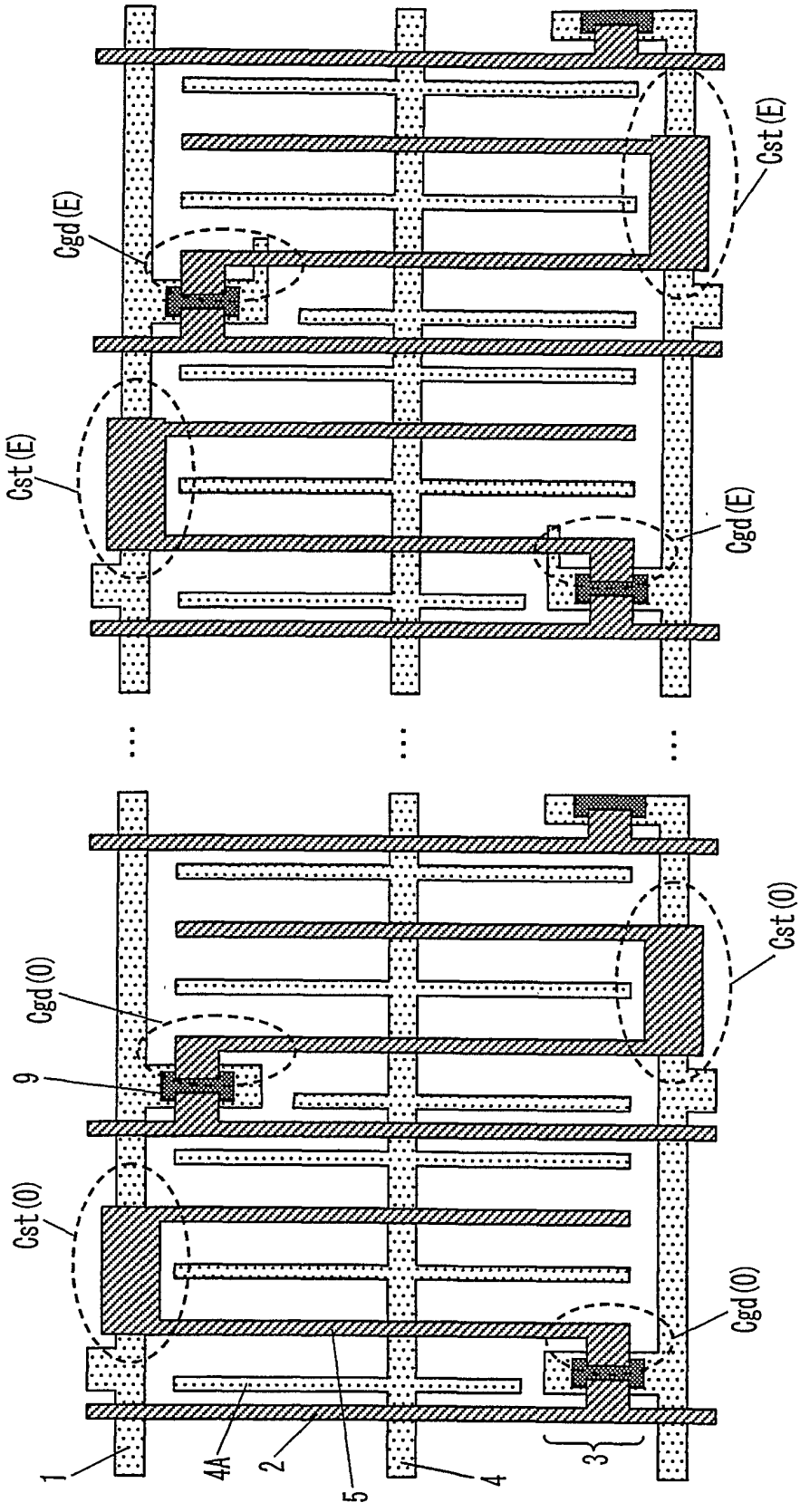

Cgd(E)
Cst(E)
Cst(E)
Cgd(E)
(給電端から遠い部分)
Cgd(0)
9
Cst(0)
Cst(0)
Cgd(0)
(給電端から近い部分)
1
4A
2
5
4
3

FIG. 12

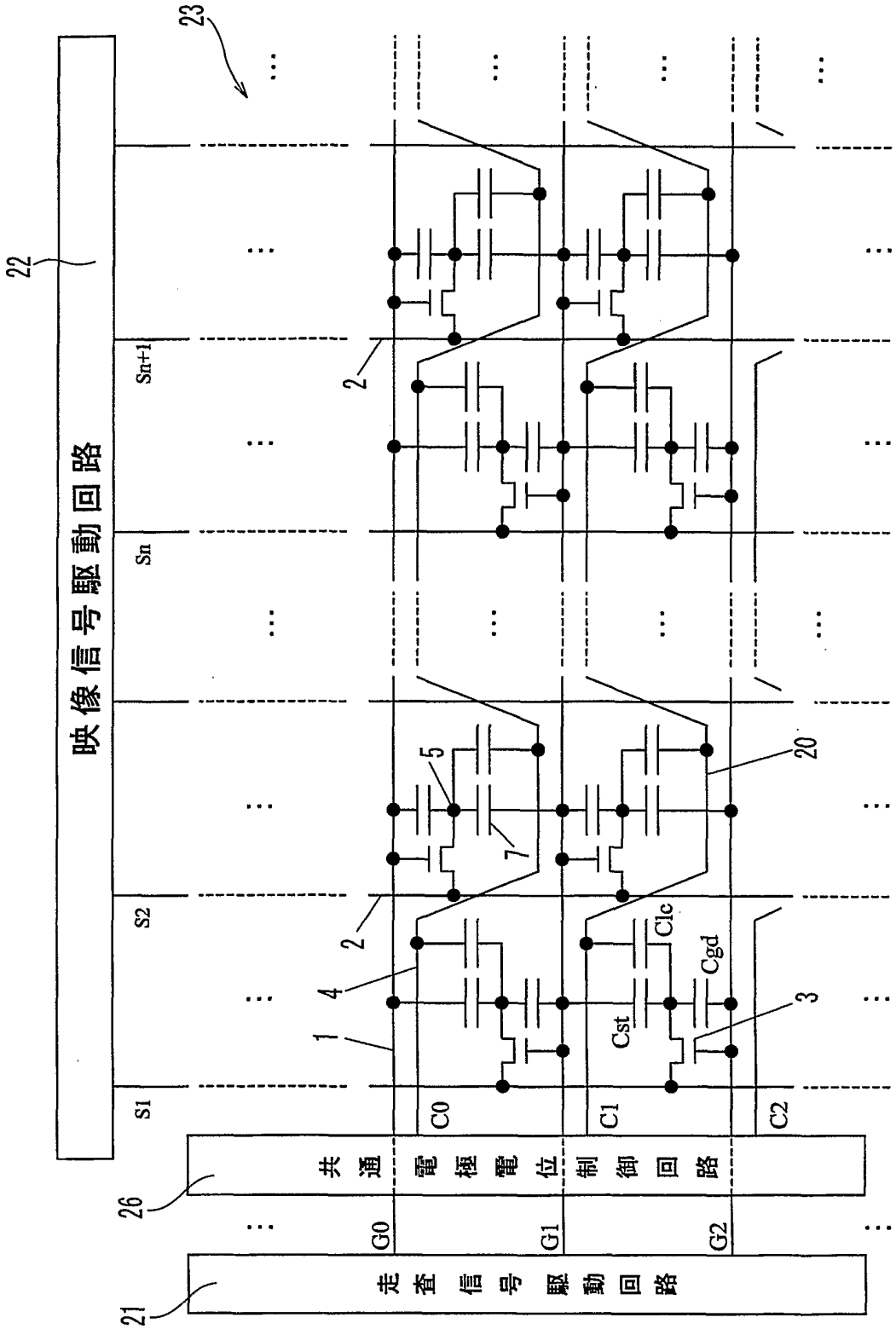

映像信号駆動回路
22
23
Sn+1
Sn
S2
S1
2
5
7
20
4
1
Clc
Cgd
Cst
3
C0
C1
C2
共通電極電位制御回路
26
G0
G1
G2
走査信号駆動回路
21
(給電端から遠い部分)
(給電端から近い部分)

FIG. 13

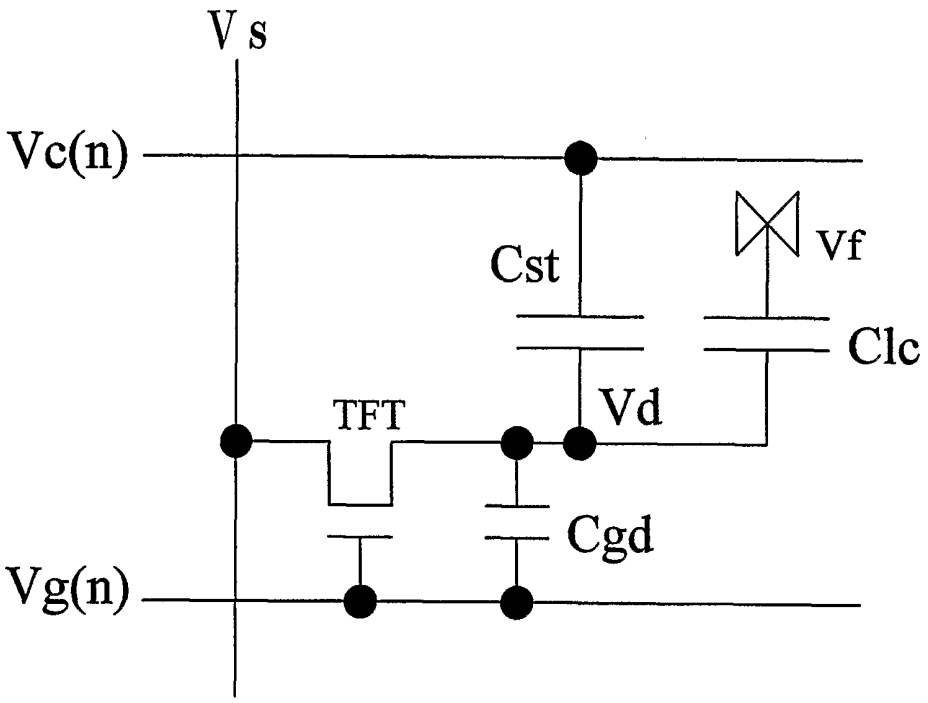


FIG. 14

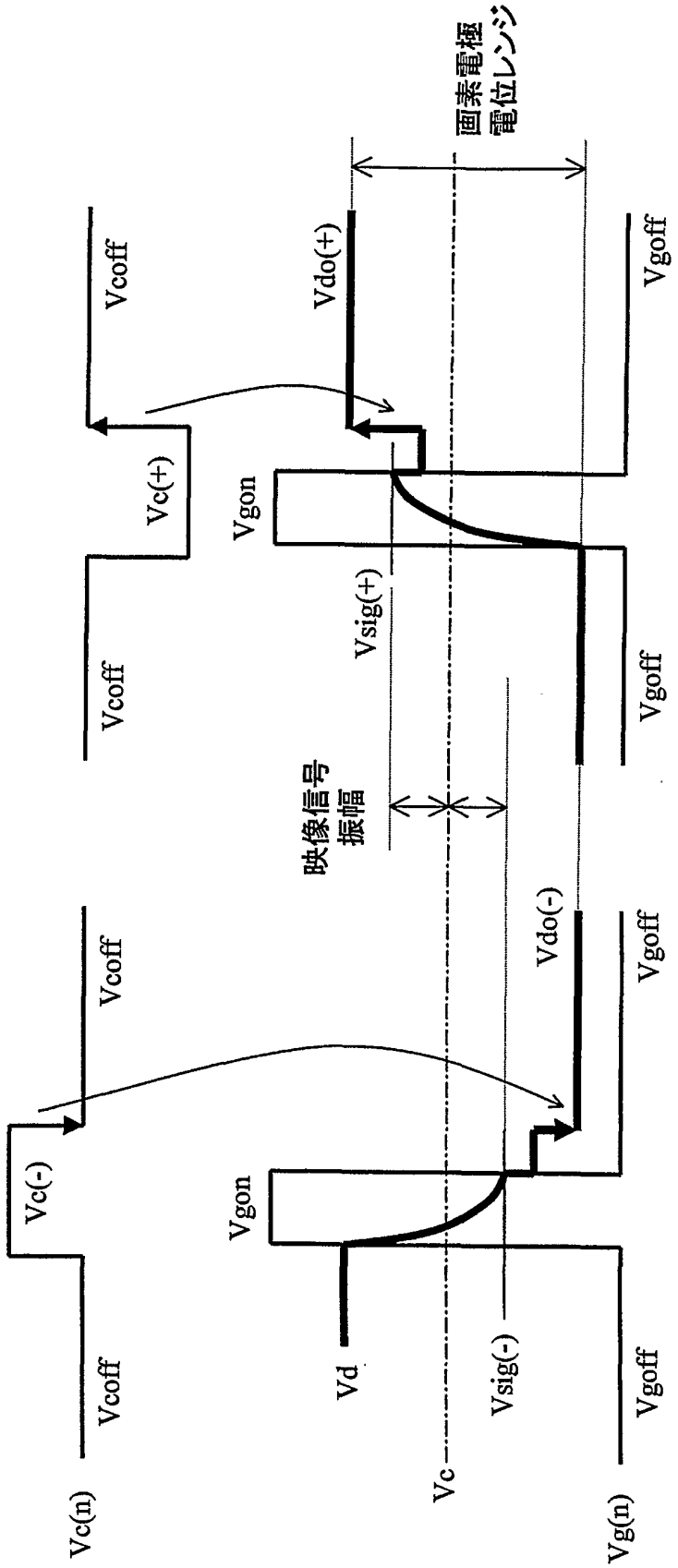

画素電極
電位レンジ
Vcoff
Vc(+)
Vcoff
Vdo(+)
Vgon
Vsig(+)
Vgoff
映像信号
振幅
Vcoff
Vc(-)
Vcoff
Vdo(-)
Vgon
Vgoff
Vd
Vsig(-)
Vc
Vc(n)
Vcoff
Vg(n)
Vgoff
(奇数フレーム)
(偶数フレーム)

FIG. 15

FIG. 16A

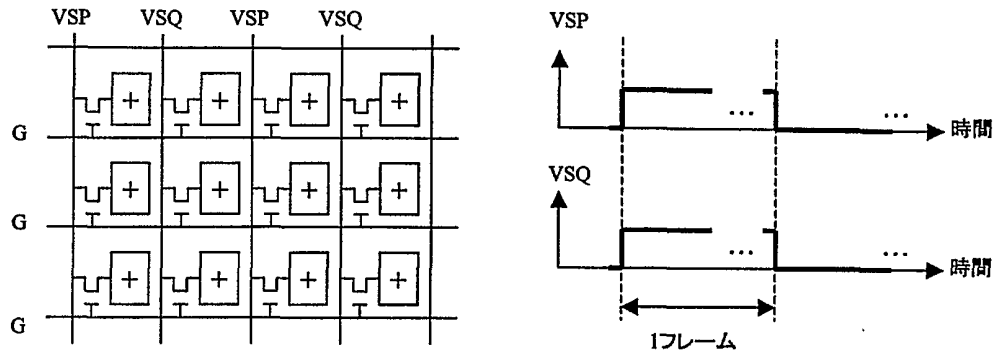


FIG. 16B

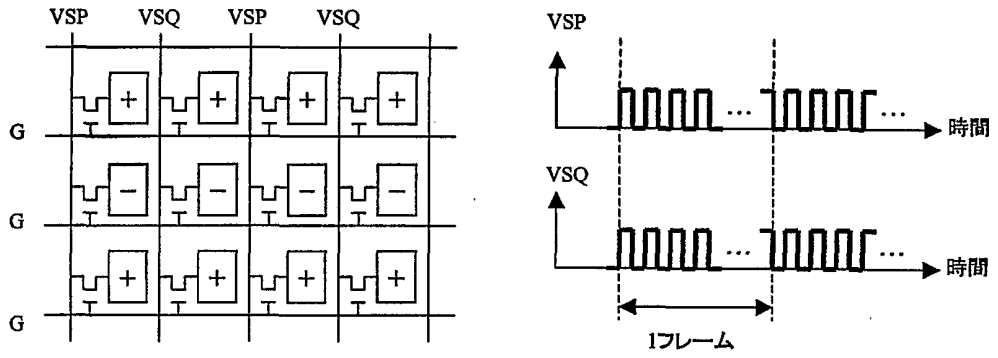


FIG. 16C

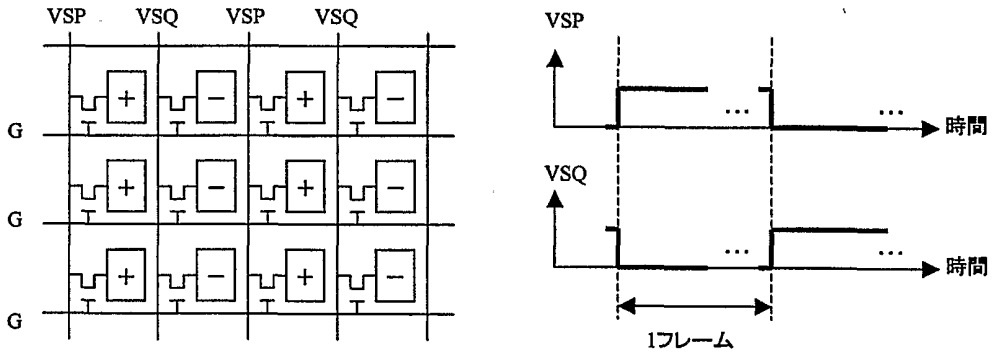
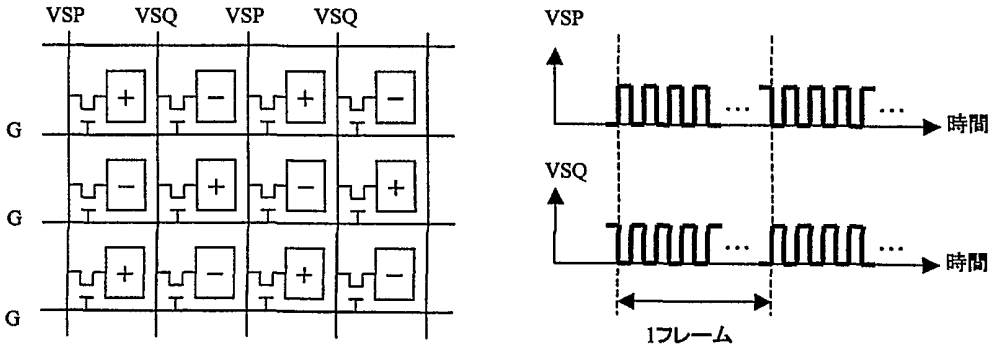


FIG. 16D



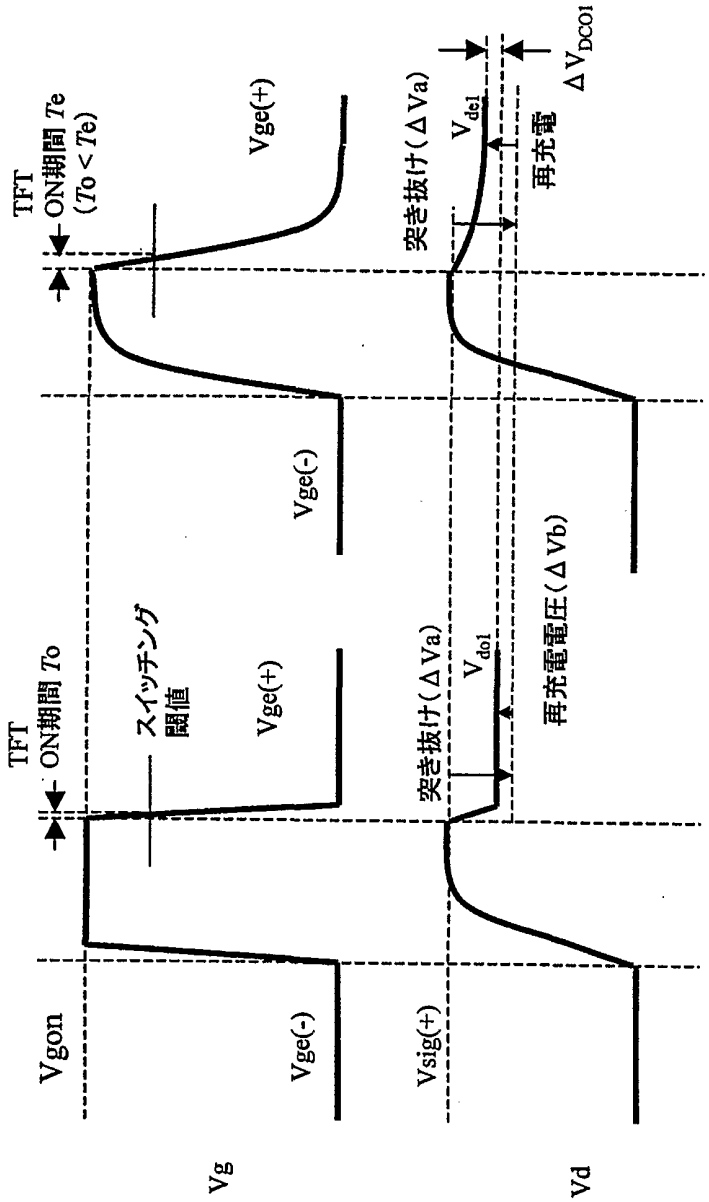

TFT
ON期間 Te
(To < Te)
Vge(+)
Vge(-)
スイッチング
閾値
TFT
ON期間 To
Vge(+)
Vge(-)
Vgon
Vg
突き抜け(ΔVa)
Vdel
再充電
ΔVDCOI
突き抜け(ΔVa)
Vdo1
再充電電圧(ΔVb)
Vsig(+)
Vd
(給電端から遠い部分)
(給電端に近い部分)

FIG. 17

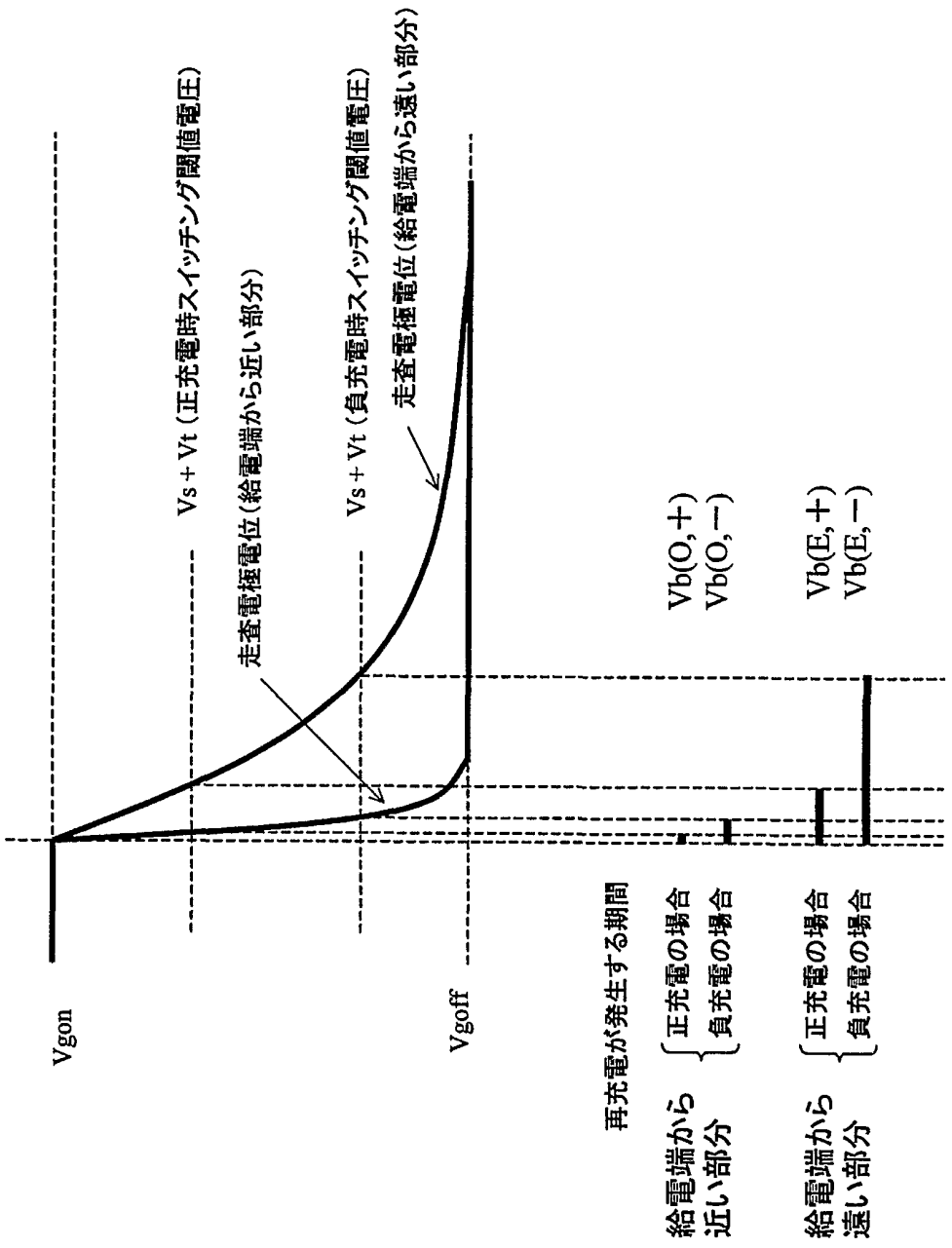

Vgon
Vs + Vt（正充電時スイッチング閾値電圧）
走査電極電位（給電端から近い部分）
Vs + Vt（負充電時スイッチング閾値電圧）
走査電極電位（給電端から遠い部分）
Vgoff
再充電が発生する期間
給電端から近い部分
正充電の場合
負充電の場合
Vb(O,+)
Vb(O,−)
給電端から遠い部分
正充電の場合
負充電の場合
Vb(E,+)
Vb(E,−)

FIG. 18

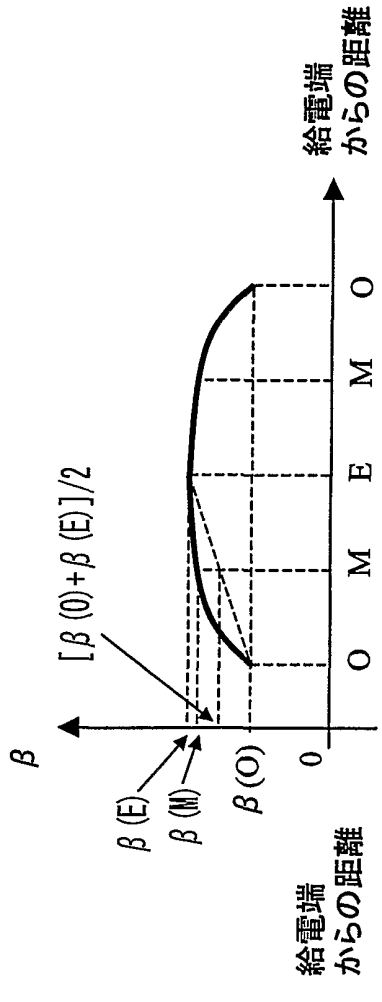


FIG. 19A

FIG. 19B

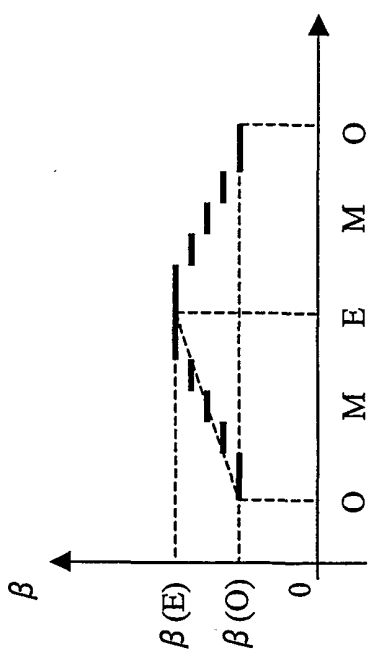


FIG. 19C

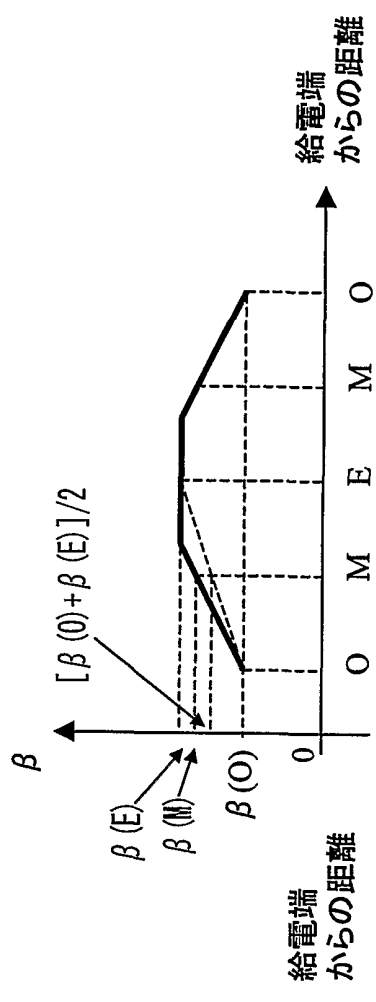


FIG. 19D

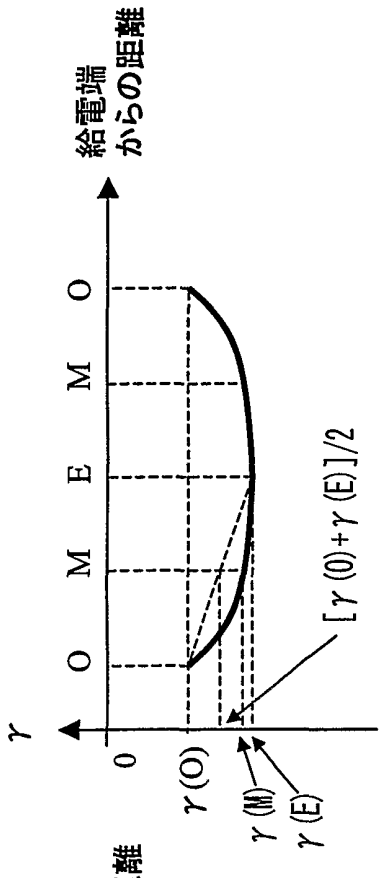


FIG. 20A

FIG. 20B

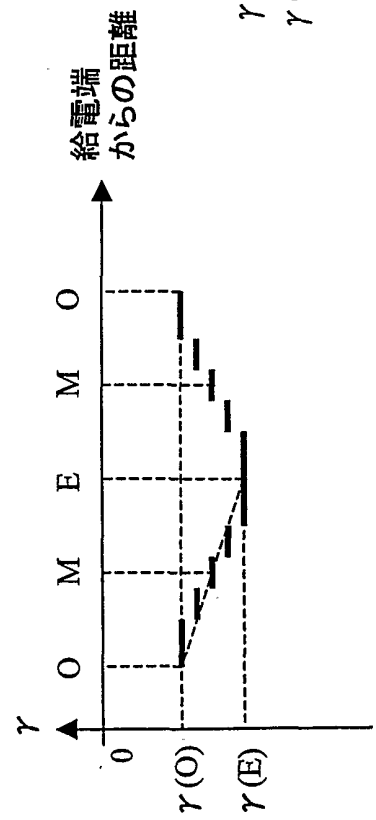


FIG. 20C

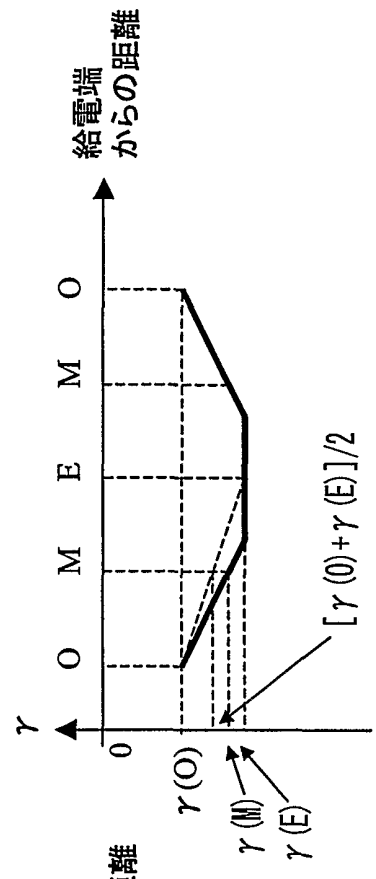


FIG. 20D

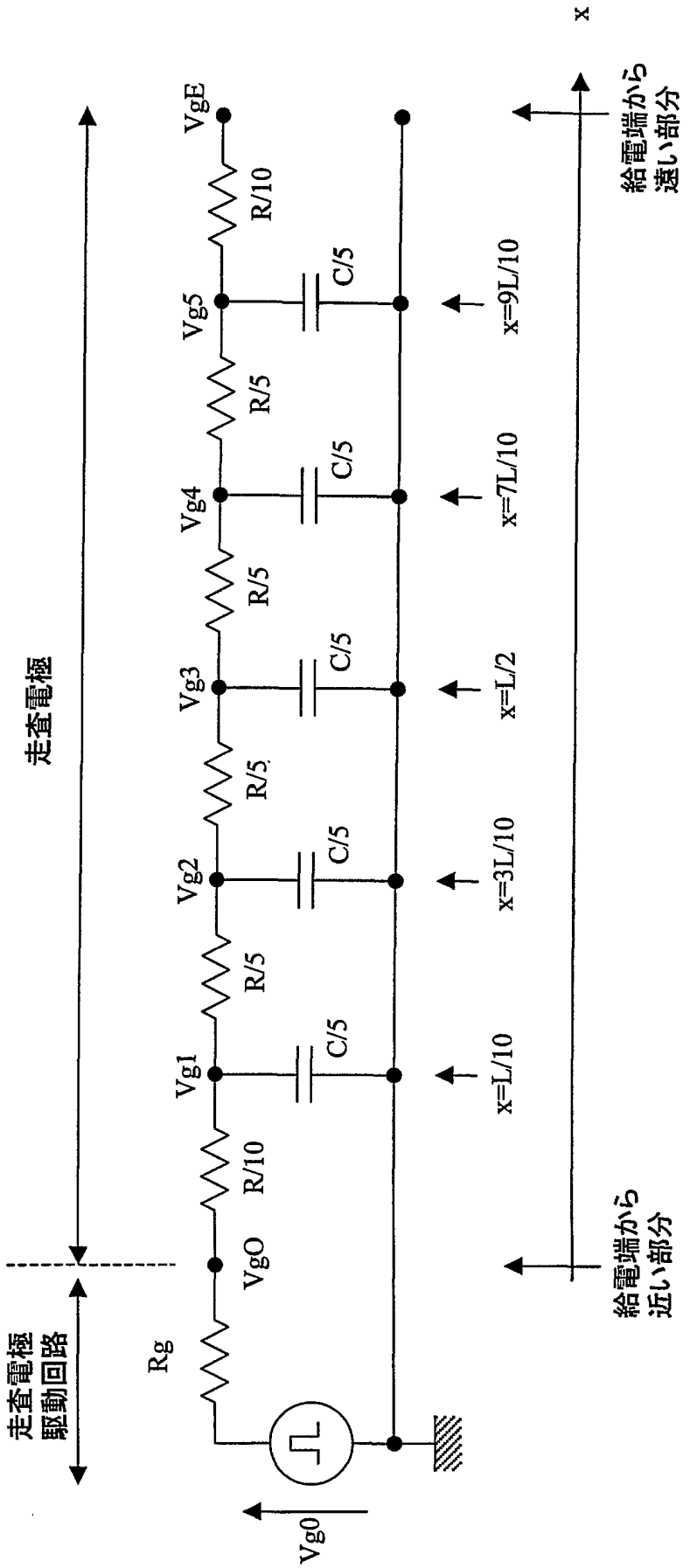

走査電極
走査電極
駆動回路
Rg
VgO
R/10
Vg1
R/5
Vg2
R/5
Vg3
R/5
Vg4
R/5
Vg5
R/10
VgE
C/5
C/5
C/5
C/5
C/5
Vg0
x=L/10
x=3L/10
x=L/2
x=7L/10
x=9L/10
給電端から
近い部分
給電端から
遠い部分
x

FIG. 21

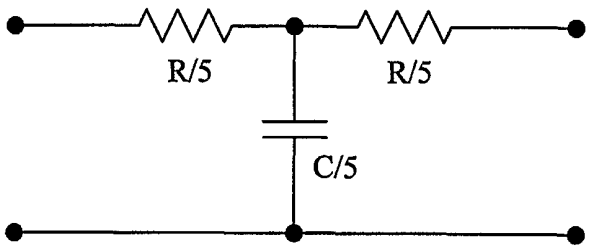


FIG. 22

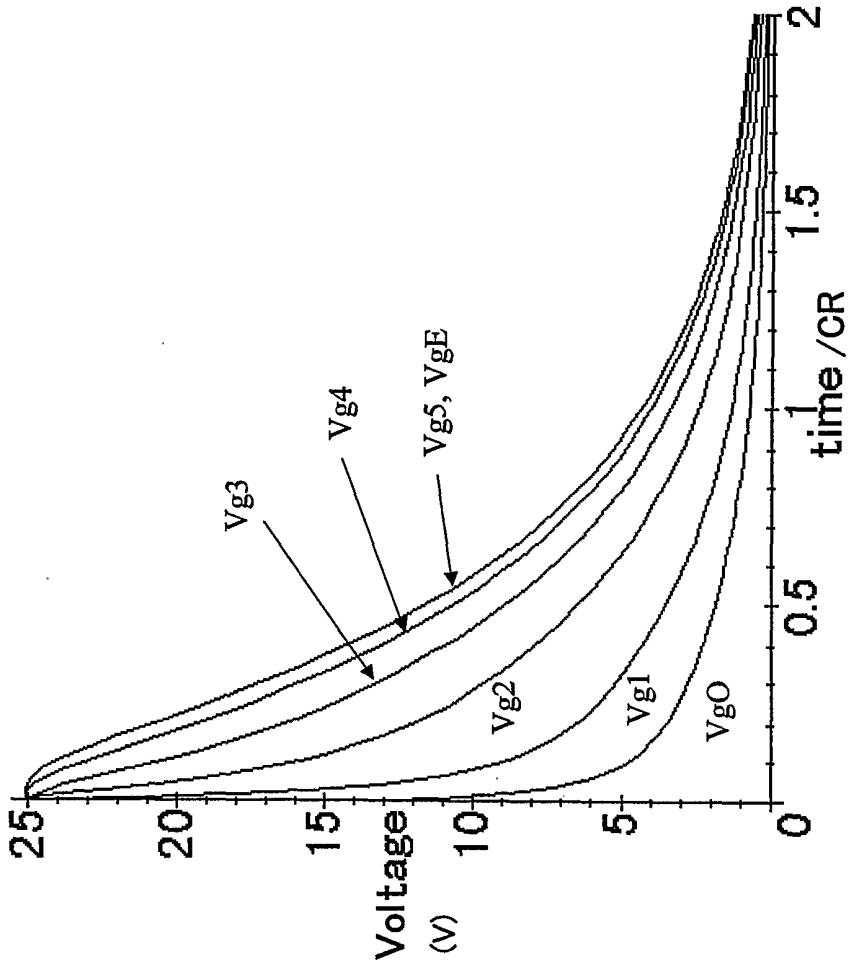

Vg3
Vg4
Vg5, VgE
Vg2
Vg1
VgO
Voltage
(V)
25
20
15
10
5
0
0.5
1
1.5
2
time /CR

FIG. 23

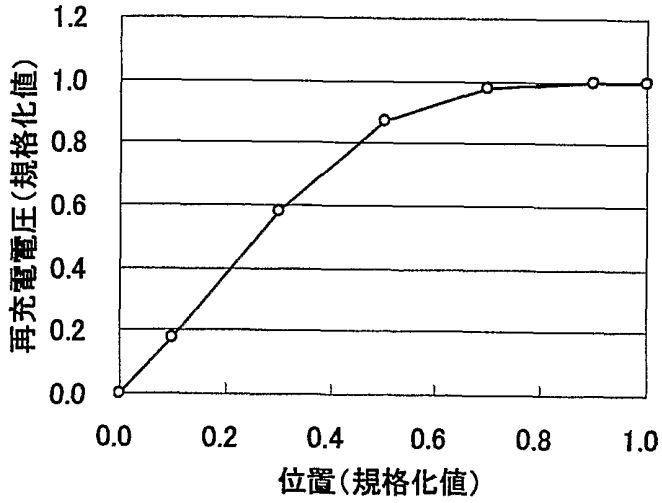


FIG. 24

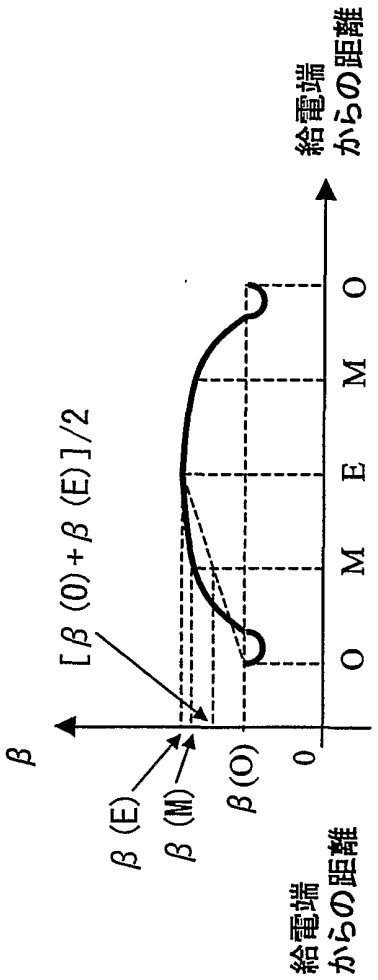


FIG. 25B

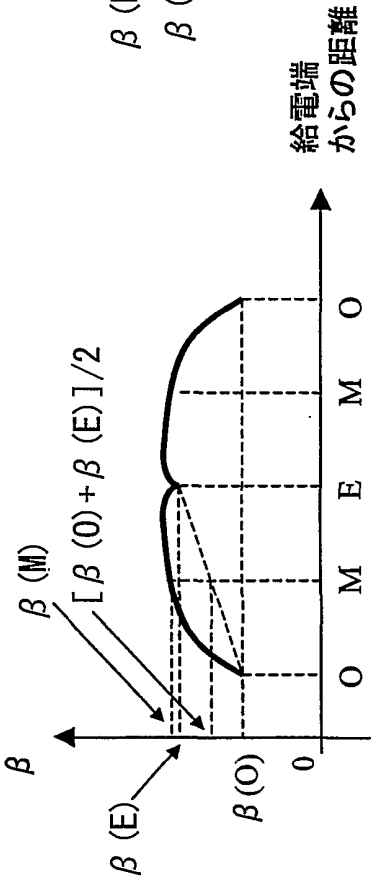


FIG. 25A

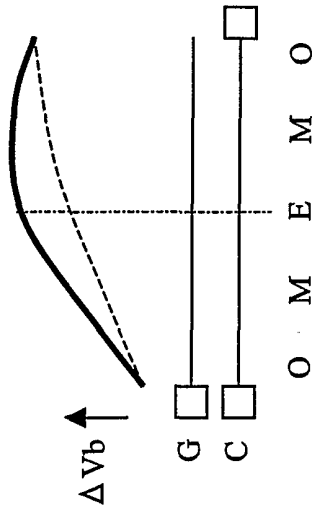


FIG. 26A

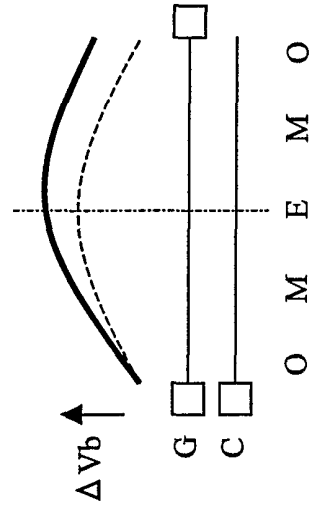


FIG. 26B

FIG. 26C

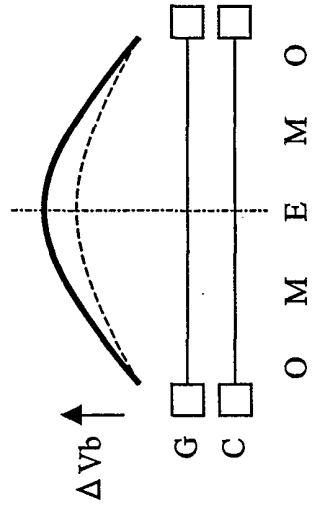


FIG. 26D

FIG. 26E

FIG. 26E'

□は、給電していることを示す

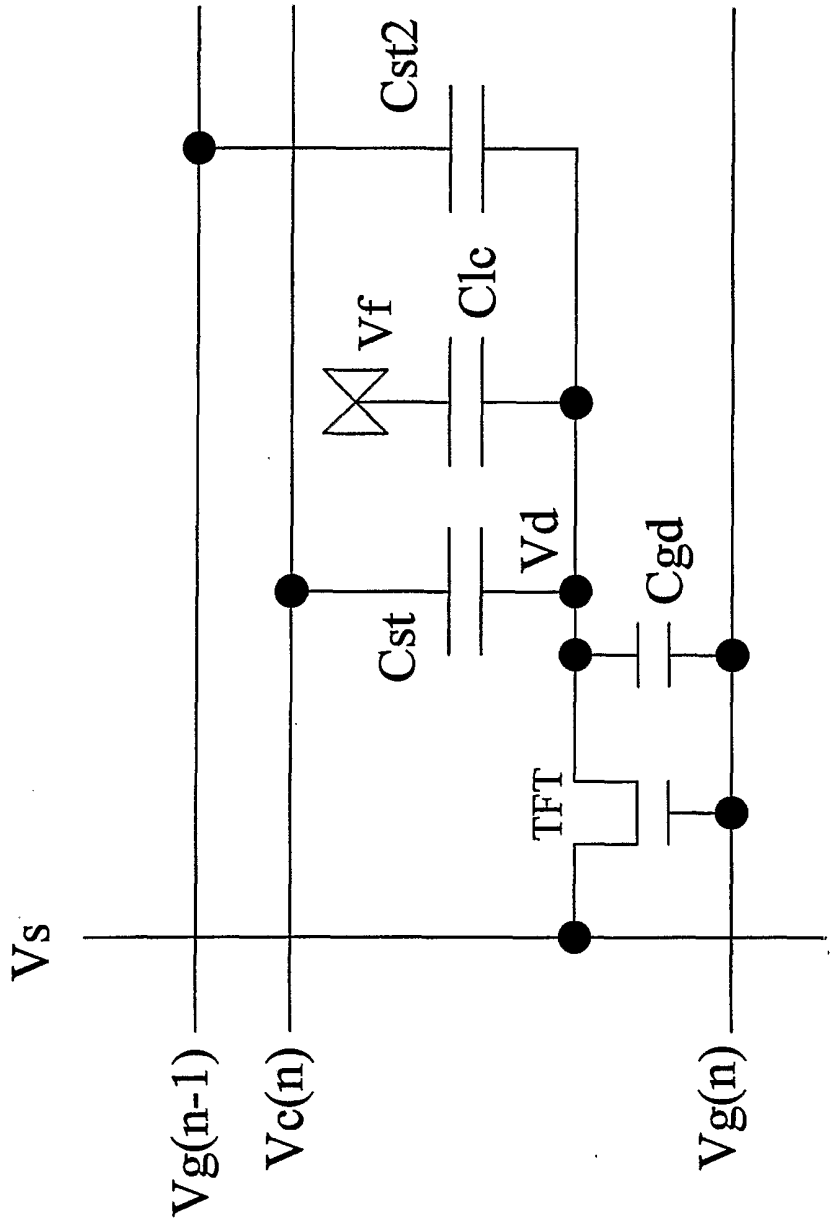


FIG. 27

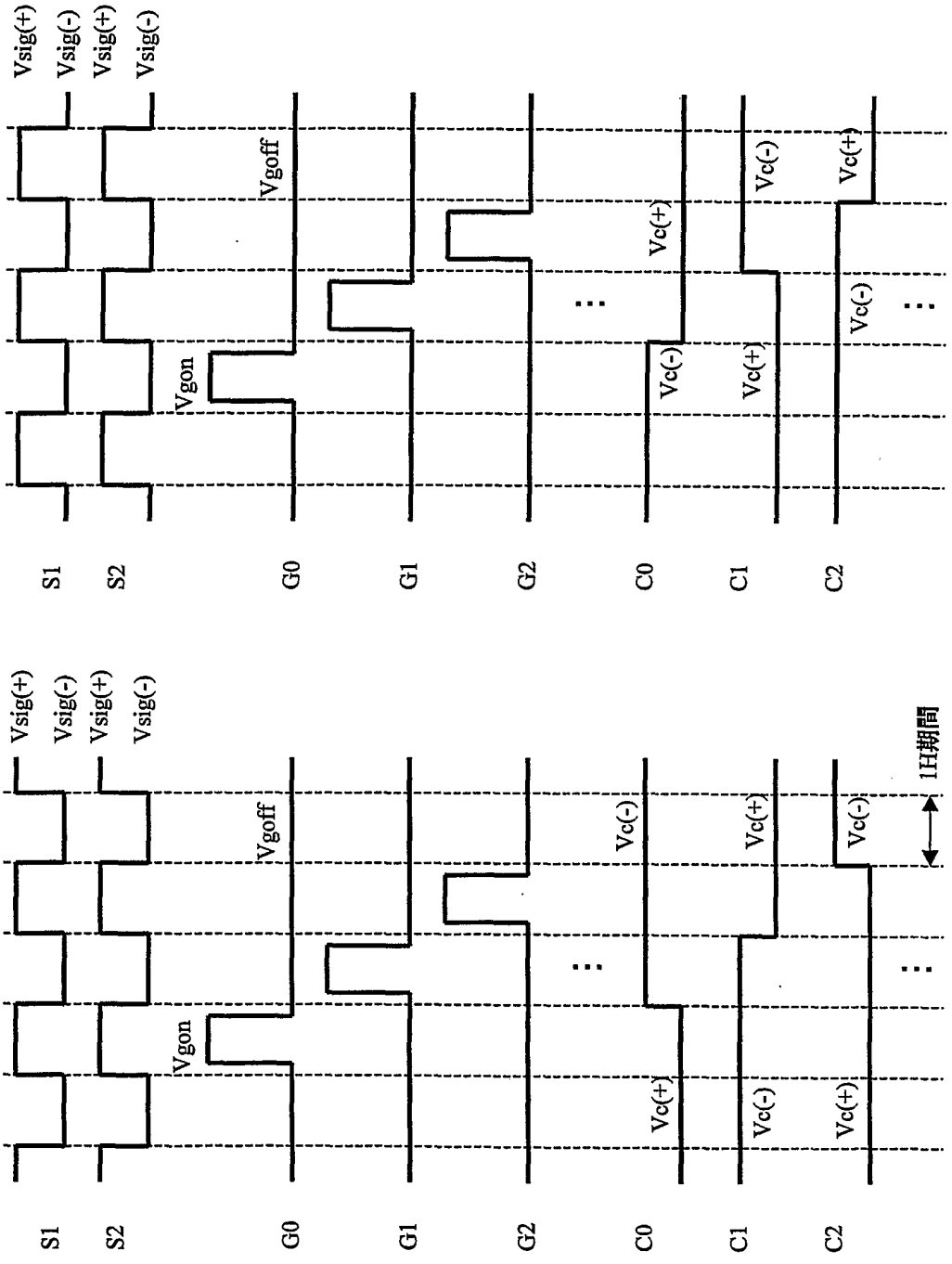


FIG. 28B

FIG. 28A

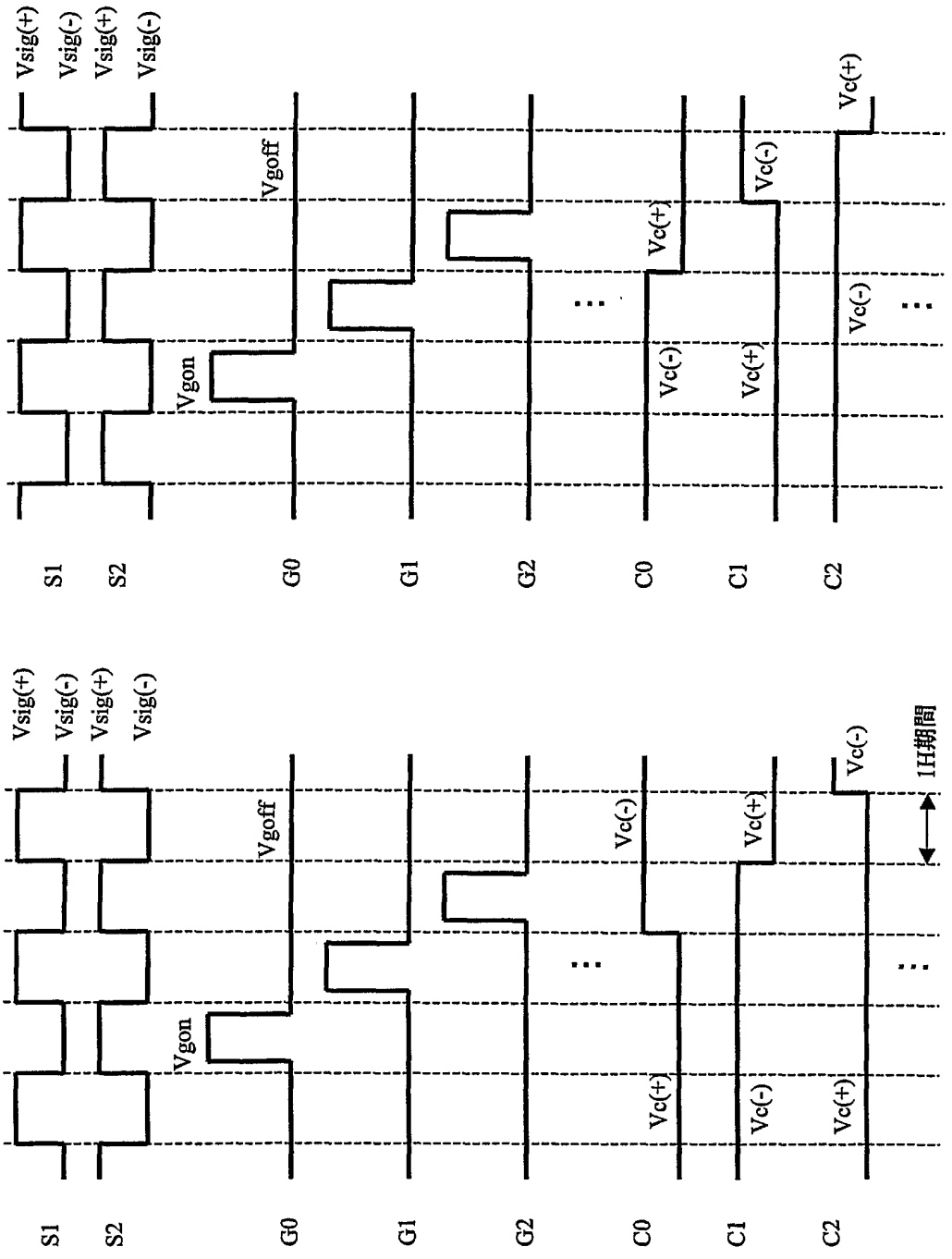


FIG. 29A

FIG. 29B

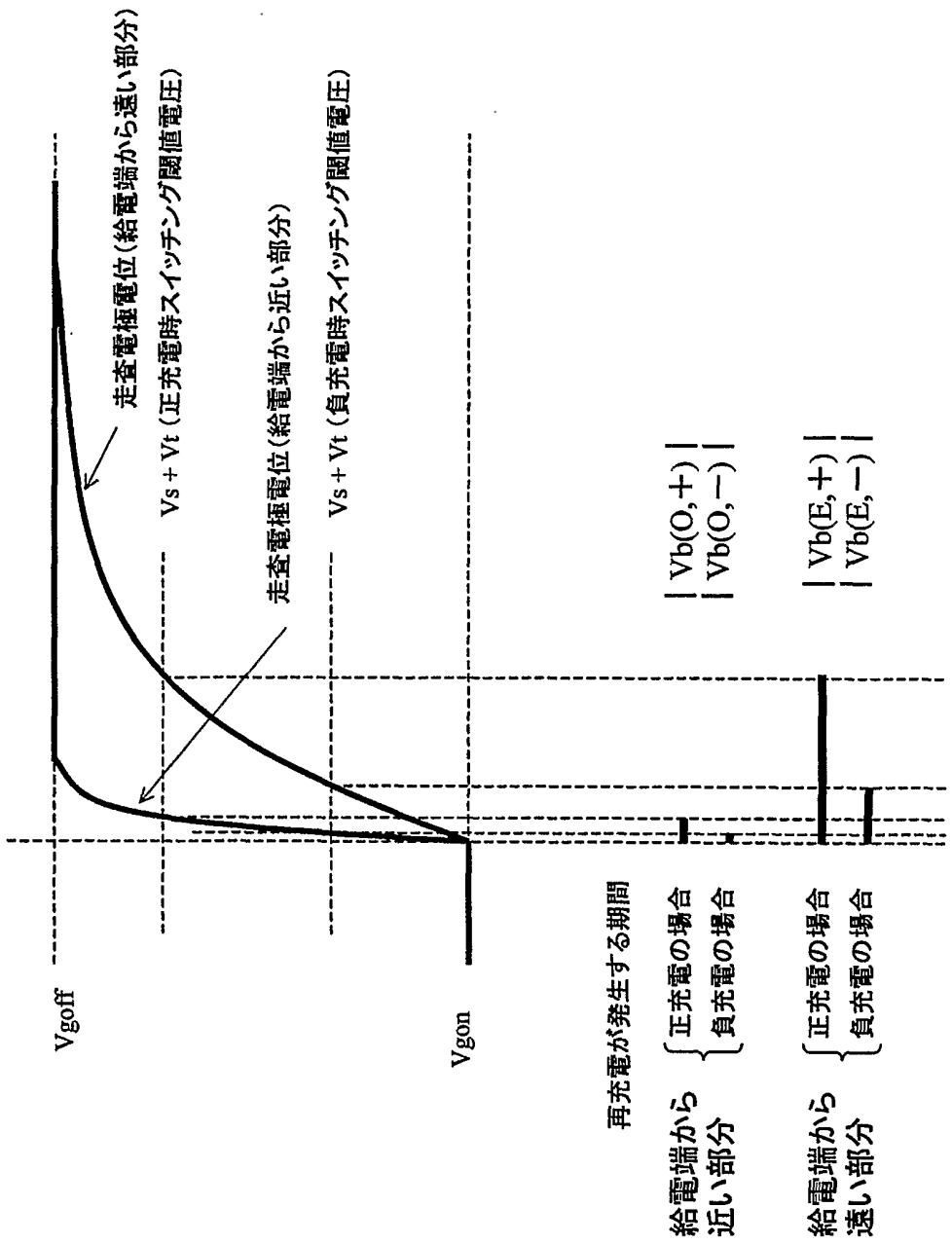

走査電極電位(給電端から遠い部分)
Vs + Vt (正充電時スイッチング閾値電圧)
走査電極電位(給電端から近い部分)
Vs + Vt (負充電時スイッチング閾値電圧)
Vgoff
Vgon
再充電が発生する期間
給電端から近い部分
正充電の場合
負充電の場合
Vb(O,+)
Vb(O,−)
給電端から遠い部分
正充電の場合
負充電の場合
Vb(E,+)
Vb(E,−)

FIG. 30

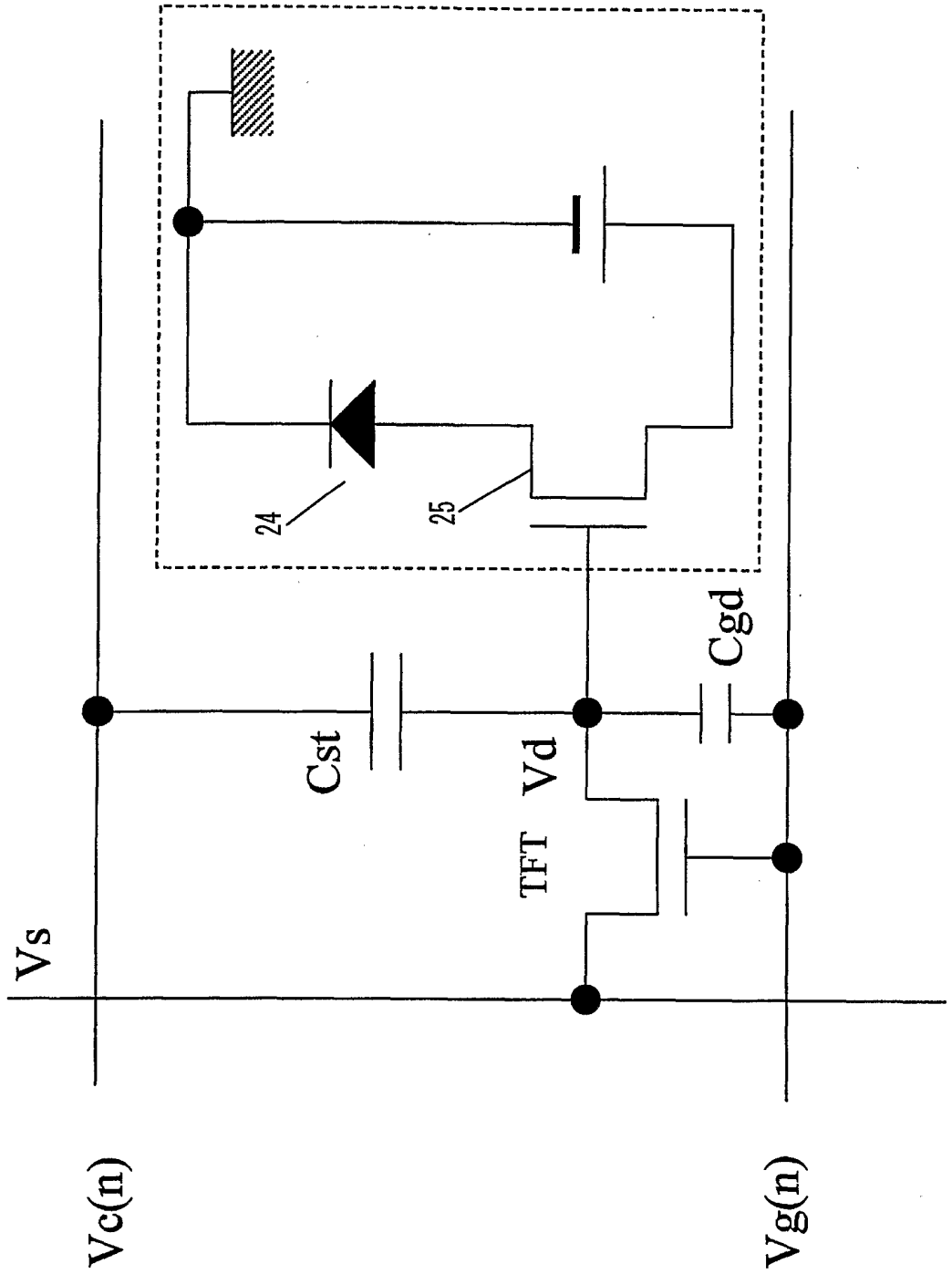


FIG. 31

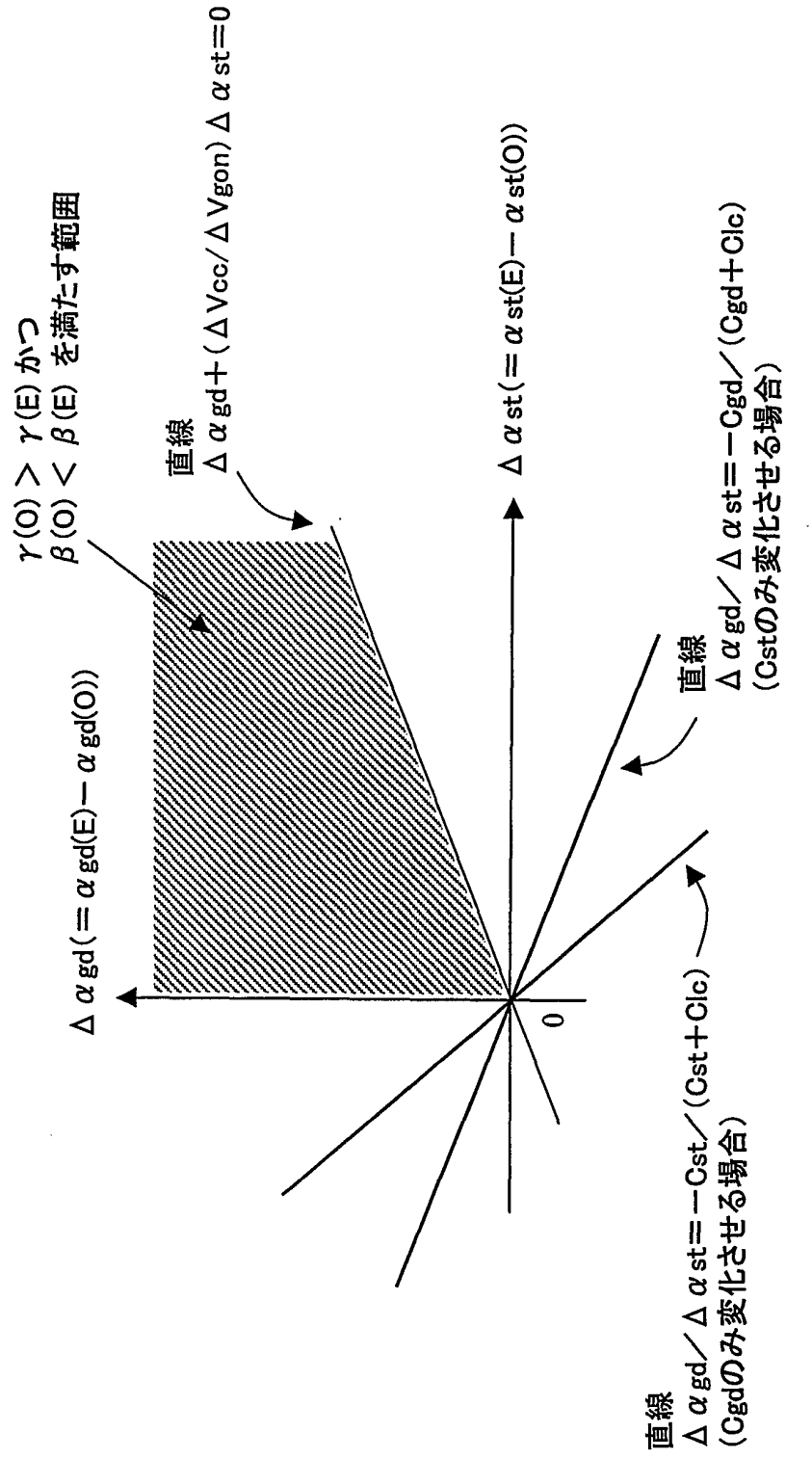

γ(O) > γ(E) かつ
β(O) < β(E) を満たす範囲
直線
Δαgd＋(ΔVcc/ΔVgon)Δαst=0
Δαgd(＝αgd(E)－αgd(O))
Δαst(＝αst(E)－αst(O))
0
直線
Δαgd／Δαst＝－Cgd／(Cgd＋Clc)
(Cstのみ変化させる場合)
直線
Δαgd／Δαst＝－Cst／(Cst＋Clc)
(Cgdのみ変化させる場合)

FIG. 32

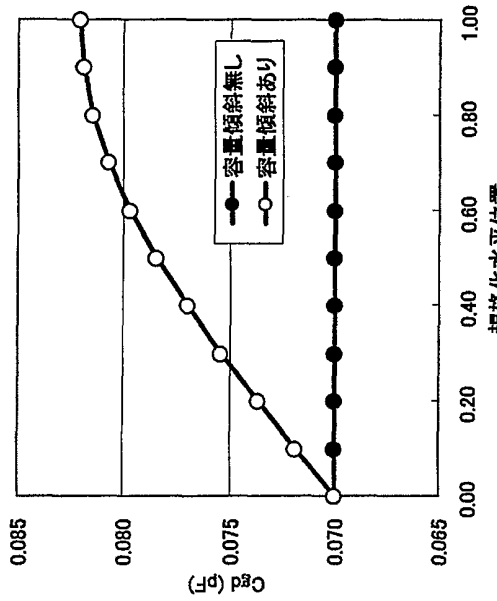


FIG. 33B

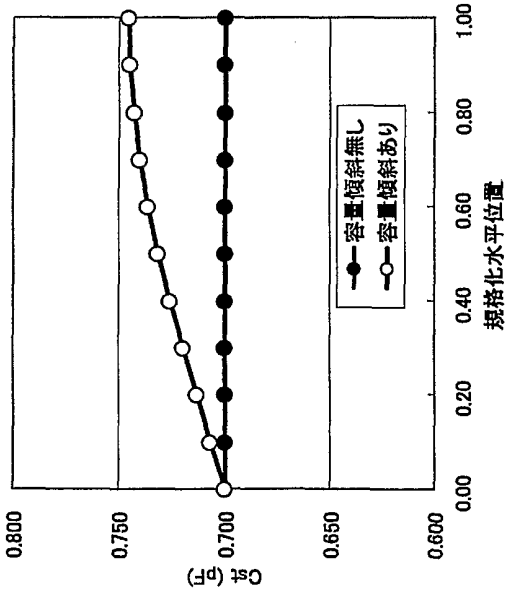


FIG. 33A

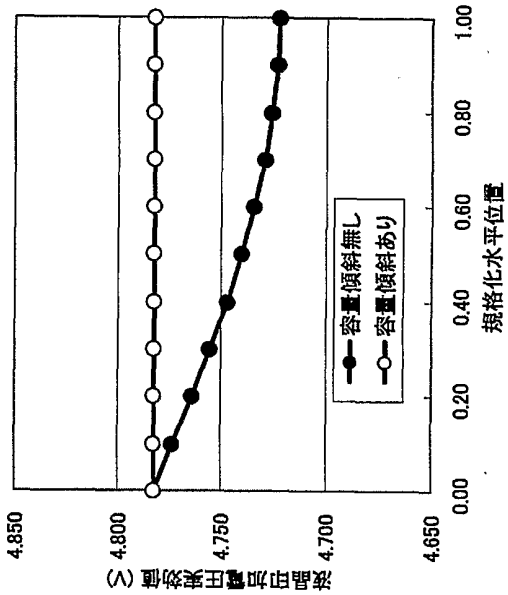


FIG. 33D

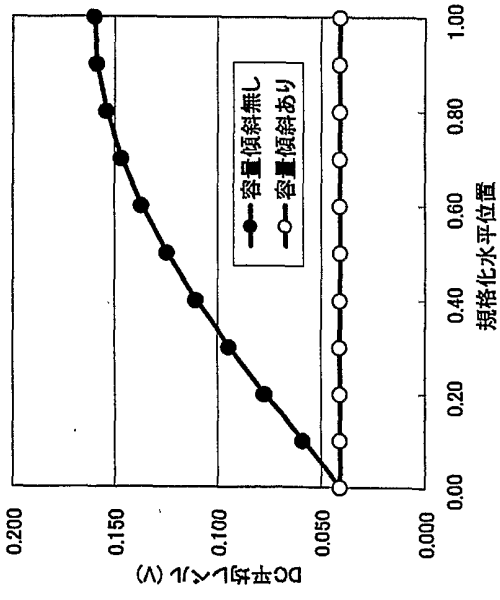


FIG. 33C

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP01/04918

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl[7] G02F1/133, G02F1/1368, G09G3/36

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl[7] G02F1/133, G02F1/1368, G09G3/36

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-2001
Kokai Jitsuyo Shinan Koho 1971-2001 Jitsuyo Shinan Toroku Koho 1996-2001

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 5-232509 A (Sanyo Electric Co., Ltd.), 10 September, 1993 (10.09.93), Par. No. [0012]; Fig. 2 (Family: none)	1-4,14-15, 22-25,32-36, 43,44,47,48, 50,52,62,63
Y		9,10,20,21,30, 31,41,42,46, 54-61,65-69
A		5,8,16,19,26, 29,37,40
X	JP 11-38445 A (NEC Corporation), 12 February, 1999 (12.02.99), Par. No. [0033]; Fig. 2 (Family: none)	6,7,17,18,27, 28,38,39,43, 44,47,48,50, 52,62,63
Y		9,10,20,21,30, 31,41,42,46, 54-61,64-69

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier document but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
03 September, 2001 (03.09.01)	18 September, 2001 (18.09.01)
Name and mailing address of the ISA/ Japanese Patent Office	Authorized officer
Facsimile No.	Telephone No.

Form PCT/ISA/210 (second sheet) (July 1992)

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP01/04918

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A		5,8,16,19,26, 29,37,40
Y	JP 9-73101 A (Hitachi, Ltd.), 18 March, 1997 (18.03.97), Fig. 1 (Family: none)	46,56,57
Y	JP 5-143021 A (Fujitsu Limited), 11 June, 1993 (11.06.93), Fig. 4 (Family: none)	49,51,64

国際調査報告	国際出願番号　ＰＣＴ／ＪＰ０１／０４９１８

A.　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int, Cl[7]　G02F1/133, G02F1/1368, G09G3/36

B.　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int, Cl[7]　G02F1/133, G02F1/1368, G09G3/36

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２００１年
日本国登録実用新案公報	１９９４－２００１年
日本国実用新案登録公報	１９９６－２００１年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C.　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求の範囲の番号
X	ＪＰ　５－２３２５０９　Ａ（三洋電機株式会社） 10.9月.1993(10.09.93),段落番号【0012】，【図２】 (ファミリーなし)	1-4,14-15,22-25,32-36 43,44,47,48,50,52,62,63
Y		9,10,20,21,30,31,41,42 46,54-61,65-69
A		5,8,16,19,26,29,37,40

☒ Ｃ欄の続きにも文献が列挙されている。　　☐ パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
０３．０９．０１	18.09.01

国際調査機関の名称及びあて先	特許庁審査官（権限のある職員）	２Ｘ	７８０９
日本国特許庁（ＩＳＡ／ＪＰ） 郵便番号１００－８９１５ 東京都千代田区霞が関三丁目４番３号	後藤時男 電話番号　０３－３５８１－１１０１　内線　３２９３		

様式ＰＣＴ／ＩＳＡ／２１０（第２ページ）（１９９８年７月）

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ０１／０４９１８

Ｃ（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求の範囲の番号
X	ＪＰ　１１－３８４４５　Ａ（日本電気株式会社） 12.2月.1999(12.02.99),段落番号【0033】，【図２】 (ファミリーなし)	6,7,17,18,27,28,38,39 43,44,47,48,50,52,62,63
Y		9,10,20,21,30,31,41,42 46,54-61,64-69
A		5,8,16,19,26,29,37,40
Y	ＪＰ　９－７３１０１　Ａ（株式会社日立製作所） 18.3月.1997(18.03.97)，【図１】（ファミリーなし）	46,56,57
Y	ＪＰ　５－１４３０２１　Ａ（富士通株式会社） 11.6月.1993(11.06.93)，【図４】（ファミリーなし）	49,51,64