



(12) 发明专利申请

(10) 申请公布号 CN 118749135 A

(43) 申请公布日 2024. 10. 08

(21) 申请号 202380023420.9

(22) 申请日 2023.02.28

(30) 优先权数据

2022-030840 2022.03.01 JP

(85) PCT国际申请进入国家阶段日

2024.08.23

(86) PCT国际申请的申请数据

PCT/JP2023/007193 2023.02.28

(87) PCT国际申请的公布数据

W02023/167161 JA 2023.09.07

(71) 申请人 罗姆股份有限公司

地址 日本

(72) 发明人 幸忠男 木原充知子

(74) 专利代理机构 北京尚诚知识产权代理有限公司 11322

专利代理师 龙淳 徐飞跃

(51) Int.Cl.

H01L 27/06 (2006.01)

H01L 21/336 (2006.01)

H01L 21/822 (2006.01)

H01L 27/04 (2006.01)

H01L 29/78 (2006.01)

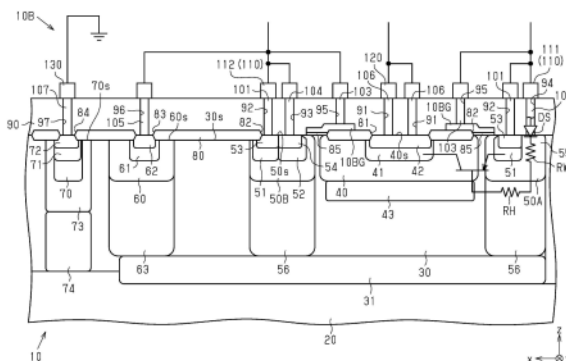
权利要求书3页 说明书36页 附图18页

(54) 发明名称

半导体装置

(57) 摘要

第二MOSFET具有体区域、在y方向延伸的漏极区域、在x方向上与漏极区域隔开距离地形成的第一阱区域、形成于栅极绝缘膜和场氧化膜之上的栅极电极、形成于第一阱区域的表面的源极区域、从z方向观察形成于第一阱区域之中的与源极区域不同的位置的露出区域、与源极区域接合的第一接触部、与露出区域进行肖特基接合的第二接触部、与栅极电极接合的第三接触部以及将第一接触部、第二接触部和第三接触部相互电连接的源极配线。



1. 一种具有MOSFET的半导体装置,其特征在于,具有:
 - 第一导电型的半导体层;
 - 形成于所述半导体层的表面的第二导电型的体区域;
 - 第二导电型的漏极区域,其形成于所述体区域的表面,与所述体区域的周围的所述半导体层隔开距离地配置,在与所述半导体层的厚度方向正交的第一方向延伸;
 - 第一导电型的第一阱区域,其形成于所述半导体层的表面,在与所述半导体层的厚度方向和所述第一方向双方正交的第二方向上与所述漏极区域隔开距离地形成;
 - 栅极绝缘膜,其形成于所述第一阱区域与所述体区域之间的所述半导体层之上;
 - 场氧化膜,其形成于所述体区域的表面中的所述栅极绝缘膜与所述漏极区域之间的部分;
 - 栅极电极,其形成于所述栅极绝缘膜和所述场氧化膜之上;
 - 第二导电型的源极区域,其形成于所述第一阱区域的表面;
 - 露出区域,从所述半导体层的厚度方向观察,所述露出区域形成于所述第一阱区域之中的与所述源极区域不同的位置;
 - 与所述源极区域接合的第一接触部;
 - 与所述露出区域进行肖特基接合的第二接触部;
 - 与所述栅极电极接合的第三接触部;和
 - 配线,其将所述第一接触部、所述第二接触部和所述第三接触部相互电连接。
2. 根据权利要求1所述的半导体装置,其特征在于,还具有:
 - 第二阱区域,其中没有形成所述露出区域,包含所述源极区域和从所述半导体层的厚度方向观察形成于与所述源极区域不同的位置的第一导电型的高浓度区域;和
 - 与所述高浓度区域接合的第四接触部,
 - 所述高浓度区域具有比所述露出区域高的杂质浓度,
 - 所述配线与所述第四接触部电连接。
3. 根据权利要求2所述的半导体装置,其特征在于:
 - 所述第一阱区域、所述第二阱区域和所述体区域在所述第二方向并排设置,
 - 所述第一阱区域和所述第二阱区域在所述第二方向上隔着所述体区域配置。
4. 根据权利要求2所述的半导体装置,其特征在于:
 - 所述第二阱区域配置于形成所述体区域、所述第一阱区域和所述第二阱区域的元件形成区域之中的所述第二方向的两端部,
 - 所述第一阱区域配置于所述元件形成区域之中的所述第二方向的两端部所配置的所述第二阱区域的所述第二方向之间。
5. 根据权利要求2所述的半导体装置,其特征在于:
 - 所述第一阱区域设置有多个,
 - 所述多个第一阱区域、所述第二阱区域和所述体区域在所述第二方向上并排设置,
 - 所述第二阱区域配置于形成所述体区域、所述第一阱区域和所述第二阱区域的元件形成区域之中的所述第二方向的中央,
 - 所述多个第一阱区域在所述第二方向上分散配置于所述第二阱区域的两侧。
6. 根据权利要求2所述的半导体装置,其特征在于:

所述第一阱区域和所述第二阱区域在所述第二方向上隔着所述体区域排列，

所述第一阱区域包含第一导电型的高浓度区域，从所述半导体层的厚度方向观察，所述第一导电型的高浓度区域形成于所述第一阱区域之中的与所述源极区域和所述露出区域双方不同的位置，且具有比所述第一阱区域高的杂质浓度，

所述第一阱区域的高浓度区域和所述第二阱区域的高浓度区域在所述第一方向上配置于相互错开的位置。

7. 根据权利要求2所述的半导体装置，其特征在于：

所述第一阱区域包含第一导电型的高浓度区域，从所述半导体层的厚度方向观察，所述第一导电型的高浓度区域形成于所述第一阱区域之中的与所述源极区域和所述露出区域双方不同的位置，且具有比所述第一阱区域高的杂质浓度，

所述第一阱区域的高浓度区域仅形成于所述第一阱区域的所述第一方向的中央，

所述第二阱区域的高浓度区域仅形成于所述第二阱区域的所述第一方向的中央。

8. 根据权利要求2~7中任一项所述的半导体装置，其特征在于：

所述高浓度区域的杂质浓度为 $1 \times 10^{18} \text{cm}^{-3}$ 以上 $1 \times 10^{20} \text{cm}^{-3}$ 以下，

所述露出区域的杂质浓度为 $1 \times 10^{15} \text{cm}^{-3}$ 以上 $1 \times 10^{17} \text{cm}^{-3}$ 以下。

9. 根据权利要求2~8中任一项所述的半导体装置，其特征在于：

具有中间区域，所述中间区域是形成于所述第二阱区域的表面，杂质浓度比所述第二阱区域的杂质浓度高且比所述高浓度区域低的第一导电型的半导体区域，

所述高浓度区域形成于所述中间区域的表面，

从所述半导体层的厚度方向观察，在所述第一阱区域之中的与所述源极区域不同的位置没有形成所述中间区域，而形成有所述露出区域。

10. 根据权利要求2~9中任一项所述的半导体装置，其特征在于：

所述高浓度区域相对于所述第一方向和所述第二方向双方对称配置。

11. 根据权利要求2~10中任一项所述的半导体装置，其特征在于，还具有：

环状区域，其以包围所述体区域、所述第一阱区域、所述第二阱区域的方式形成环状；

环侧高浓度区域，其形成于所述环状区域的表面，杂质浓度比所述露出区域高；

环侧露出区域，从所述半导体层的厚度方向观察，所述环侧露出区域形成于所述环状区域之中的与所述环侧高浓度区域不同的位置，杂质浓度比所述环侧高浓度区域低；

与所述环侧高浓度区域接合的第一环侧接触部；和

与所述环侧露出区域进行肖特基接合的第二环侧接触部。

12. 根据权利要求11所述的半导体装置，其特征在于：

所述环侧露出区域的杂质浓度与所述露出区域的杂质浓度相等。

13. 一种具有MOSFET的半导体装置，其特征在于，具有：

第二导电型的半导体层；

第一导电型的漏极区域，其形成于所述半导体层的表面，在与所述半导体层的厚度方向正交的第一方向延伸；

第一导电型的源极区域，其形成于所述半导体层的表面，在与所述半导体层的厚度方向及所述第一方向双方正交的第二方向上与所述漏极区域隔开距离地形成；

栅极绝缘膜,其形成于所述漏极区域与所述源极区域之间的所述半导体层之上;

栅极电极,其形成于所述栅极绝缘膜之上;

环状区域,其为以包围所述漏极区域和所述源极区域双方的方式形成为环状的第二导电型的半导体区域;

高浓度区域,其形成于所述环状区域的表面,杂质浓度比所述环状区域高;

露出区域,从所述半导体层的厚度方向观察,所述露出区域形成于所述环状区域之中的与所述高浓度区域不同的位置;

与所述高浓度区域接合的第一环侧接触部;

与所述露出区域进行肖特基接合的第二环侧接触部;和

配线,其将所述第一环侧接触部、所述第二环侧接触部和所述栅极电极相互电连接。

14. 根据权利要求13所述的半导体装置,其特征在于:

从所述半导体层的厚度方向观察的所述环状区域的形状为矩形形状,

所述高浓度区域形成于所述环状区域的四边之中的在所述第一方向上隔开距离的一对边和在所述第二方向上隔开距离的一对边中的任意一对边。

15. 根据权利要求14所述的半导体装置,其特征在于:

所述高浓度区域不形成于所述环状区域的四边之中的在所述第二方向上隔开距离的一对边,而形成于在所述第一方向上隔开距离的一对边之中的与所述源极区域相对的部分。

16. 根据权利要求13所述的半导体装置,其特征在于:

所述源极区域设置有多个,

从所述半导体层的厚度方向观察的所述环状区域的形状为矩形形状,

从所述半导体层的厚度方向观察,在所述环状区域内,所述多个源极区域在所述第二方向上并排排列,

所述源极区域在所述环状区域内配置于所述第二方向的两端部,

所述高浓度区域形成于在所述第一方向上隔开距离的一对边之中的在所述第一方向上与所述源极区域相对的部分,和在所述第二方向上隔开距离的一对边之中的在所述第二方向上与所述源极区域相对的部分双方。

17. 根据权利要求13~16中任一项所述的半导体装置,其特征在于:

所述高浓度区域的杂质浓度为 $1 \times 10^{18} \text{cm}^{-3}$ 以上 $1 \times 10^{20} \text{cm}^{-3}$ 以下,

所述露出区域的杂质浓度为 $1 \times 10^{15} \text{cm}^{-3}$ 以上 $1 \times 10^{17} \text{cm}^{-3}$ 以下。

半导体装置

技术领域

[0001] 本公开涉及一种半导体装置。

背景技术

[0002] 目前,作为进行保护以不受静电放电(ESD:electrostatic discharge)影响的保护电路,已知有一种由MOSFET(metal-oxide-semiconductor field-effect transistor,金属氧化物半导体场效应晶体管)构成的半导体装置(例如参照专利文献1)。

[0003] 现有技术文献

[0004] 专利文献

[0005] 专利文献1:日本特开平11-68038号公报。

发明内容

[0006] 发明所要解决的问题

[0007] 然而,在这样的半导体装置中,要求提高ESD耐性。

[0008] 用于解决问题的技术手段

[0009] 本公开的一方式提供一种具有MOSFET的半导体装置,其具有:第一导电型的半导体层;形成于所述半导体层的表面的第二导电型的体区域;第二导电型的漏极区域,其形成于所述体区域的表面,与所述体区域的周围的所述半导体层隔开距离地配置,在与所述半导体层的厚度方向正交的第一方向延伸;第一导电型的第一阱区域,其形成于所述半导体层的表面,在与所述半导体层的厚度方向和所述第一方向双方正交的第二方向上与所述漏极区域隔开距离地形成;栅极绝缘膜,其形成于所述第一阱区域与所述体区域之间的所述半导体层之上;场氧化膜,其形成于所述体区域的表面中的所述栅极绝缘膜与所述漏极区域之间的部分;栅极电极,其形成于所述栅极绝缘膜和所述场氧化膜之上;第二导电型的源极区域,其形成于所述第一阱区域的表面;露出区域,从所述半导体层的厚度方向观察,所述露出区域形成于所述第一阱区域之中的与所述源极区域不同的位置;与所述源极区域接合的第一接触部;与所述露出区域进行肖特基接合的第二接触部;与所述栅极电极接合的第三接触部;和配线,其将所述第一接触部、所述第二接触部和所述第三接触部相互电连接。

[0010] 本公开的一方式提供一种具有MOSFET的半导体装置,其具有:第二导电型的半导体层;第一导电型的漏极区域,其形成于所述半导体层的表面,在与所述半导体层的厚度方向正交的第一方向延伸;第一导电型的源极区域,其形成于所述半导体层的表面,在与所述半导体层的厚度方向及所述第一方向双方正交的第二方向上与所述漏极区域隔开距离地形成;栅极绝缘膜,其形成于所述漏极区域与所述源极区域之间的所述半导体层之上;栅极电极,其形成于所述栅极绝缘膜之上;环状区域,其为以包围所述漏极区域和所述源极区域双方的方式形成为环状的第二导电型的半导体区域;高浓度区域,其形成于所述环状区域的表面,杂质浓度比所述环状区域高;露出区域,从所述半导体层的厚度方向观察,所述露

出区域形成于所述环状区域之中的与所述高浓度区域不同的位置;与所述高浓度区域接合的第一环侧接触部;与所述露出区域进行肖特基接合的第二环侧接触部;和配线,其将所述第一环侧接触部、所述第二环侧接触部和所述栅极电极相互电连接。

[0011] 发明效果

[0012] 根据上述半导体装置,能够提高ESD耐性。

附图说明

[0013] 图1是表示具有第一实施方式的保护电路的半导体集成电路的电路结构的一例的电路图。

[0014] 图2是示意性地表示保护电路的第二MOSFET的平面结构的一例的俯视图。

[0015] 图3是示意性地表示由图2的F3—F3线切断的第二MOSFET的剖面结构的剖视图。

[0016] 图4是表示第二MOSFET及寄生元件的电路图。

[0017] 图5是示意性地表示比较MOSFET的平面结构的俯视图。

[0018] 图6是示意性地表示由图5的F6—F6线切断的比较MOSFET的剖面结构的剖视图。

[0019] 图7是表示比较MOSFET及寄生元件的电路图。

[0020] 图8是表示第二MOSFET及比较MOSFET的I—V特性的特性图。

[0021] 图9是示意性地表示第一变更例的第二MOSFET的平面结构的一例的俯视图。

[0022] 图10是示意性地表示第二变更例的第二MOSFET的平面结构的一例的俯视图。

[0023] 图11是示意性地表示第三变更例的第二MOSFET的平面结构的一例的俯视图。

[0024] 图12是示意性地表示第四变更例的第二MOSFET的平面结构的一例的俯视图。

[0025] 图13是示意性地表示第五变更例的第二MOSFET的平面结构的一例的俯视图。

[0026] 图14是示意性地表示第六变更例的第二MOSFET的平面结构的一例的俯视图。

[0027] 图15是示意性地表示第七变更例的第二MOSFET的平面结构的一例的俯视图。

[0028] 图16是示意性地表示第八变更例的第二MOSFET的平面结构的一例的俯视图。

[0029] 图17是示意性地表示第二实施方式的保护电路的平面结构的一例的俯视图。

[0030] 图18是示意性地表示图17的保护电路的剖面结构的剖视图。

[0031] 图19是示意性地表示第一变更例的第三MOSFET的平面结构的一例的俯视图。

[0032] 图20是示意性地表示第二变更例的第三MOSFET的平面结构的一例的俯视图。

具体实施方式

[0033] 以下,参照附图对本公开的半导体装置的实施方式进行说明。此外,为了使说明简单且明确,附图所示的构成要素不一定以恒定的比例尺描绘。另外,为了容易理解,在剖视图中,有时省略剖面线。附图仅例示本公开的实施方式,不应被视为限制本公开。

[0034] 以下的详细的记载包含将本公开的示例性的实施方式具体化的装置、系统及方法。该详细的记载仅用于说明,并不旨在限定本公开的实施方式或这样的实施方式的应用及使用。

[0035] [第一实施方式]

[0036] 参照图1~图4,对将第一实施方式的半导体装置设为保护电路10而实施的结构进行说明。

[0037] 如图1所示,保护电路10是与包含形成有例如多个晶体管等的内部电路CIT的半导体集成电路(LSI)1连接,保护内部电路CIT不受ESD影响的电路。半导体集成电路1是用未图示的密封树脂来密封内部电路CIT的封装结构。即,保护电路10与内部电路CIT一起由密封树脂密封。

[0038] 半导体集成电路1包括与内部电路CIT连接的电源电极PE、接地电极PG及输入电极PI。这些电极PE、PG、PI从密封树脂露出。

[0039] 电源电极PE是向内部电路CIT供给电源电压的电极。接地电极PG是用于将内部电路CIT与地线连接的电极。输入电极PI是与外部的控制电路电连接而进行信号向内部电路CIT的输入的电极。

[0040] 半导体集成电路1包括与电源电极PE连接的第一配线W1、与接地电极PG连接的第二配线W2、以及与输入电极PI连接的第三配线W3。各配线W1~W3与内部电路CIT连接。另外,半导体集成电路1包括传输从内部电路CIT输出的信号的第四配线W4。

[0041] 保护电路10是保护内部电路CIT不受要经由电源电极PE和输入电极PI流通到内部电路CIT的ESD引起的电流影响的电路。保护电路10包含连接于输入电极PI与接地电极PG之间的第一MOSFET10A、连接于电源电极PE与输入电极PI之间的第二MOSFET10B、以及连接于电源电极PE与接地电极PG之间的第三MOSFET10C。

[0042] 此外,可以说第一MOSFET10A设置于第三配线W3与第二配线W2之间,也可以说第二MOSFET10B设置于第一配线W1与第三配线W3之间,也可以说第三MOSFET10C设置于第一配线W1与第二配线W2之间。第一MOSFET10A和第三MOSFET10C双方为n型MOSFET,第二MOSFET10B为p型MOSFET。

[0043] 对这些MOSFET10A~10C的连接结构进行说明。

[0044] 第一MOSFET10A和第二MOSFET10B串联连接。更详细而言,第二MOSFET10B的源极与电源电极PE(第一配线W1)连接,第二MOSFET10B的漏极与输入电极PI(第三配线W3)连接。第一MOSFET10A的漏极与输入电极PI(第三配线W3)连接,第一MOSFET10A的源极与接地电极PG(第二配线W2)连接。在第一实施方式中,第二MOSFET10B的源极连接于第一配线W1中的电源电极PE与内部电路CIT之间。第一MOSFET10A的漏极和第二MOSFET10B的漏极连接于第三配线W3中的输入电极PI与内部电路CIT之间。第一MOSFET10A的源极连接于第二配线W2中的接地电极PG与内部电路CIT之间。

[0045] 第三MOSFET10C相对于内部电路CIT配置于与第一MOSFET10A及第二MOSFET10B相反侧。第三MOSFET10C的漏极与第一配线W1连接,第三MOSFET10C的源极与第二配线W2连接。

[0046] 第一MOSFET10A的栅极经由第一电阻元件R1与第一MOSFET10A的源极连接。第二MOSFET10B的栅极经由第二电阻元件R2与第二MOSFET10B的源极连接。第三MOSFET10C的栅极经由第三电阻元件R3与第三MOSFET10C的源极连接。这样,也可以说第一~第三电阻元件R1~R3电连接于对应的第一~第三MOSFET10A~10C的栅极-源极间。另外,在第一实施方式中,第一~第三MOSFET10A~10C的背栅与对应的第一~第三MOSFET10A~10C的源极连接。

[0047] 参照图2及图3,对第一~第三MOSFET10A~10C的详细的结构进行说明。图2表示保护电路10的一部分即第二MOSFET10B的平面结构的一例。图3表示第二MOSFET10B的剖面结构的一例。此外,在图2中,为了便于说明,省略后述的元件分离区域70及其周边的结构而表

示。另外,在图3中,为了便于说明,将后述的源极区域53及高浓度区域54,与源极区域53及后述的露出区域55并列表示。

[0048] 如图3所示,保护电路10具有半导体基板20和形成在半导体基板20上的第一导电型(在第一实施方式中为n型)的半导体层30。

[0049] 半导体基板20例如由包含硅(Si)的材料形成。在第一实施方式中,半导体基板20为Si基板。半导体基板20例如具有100 μm 以上700 μm 以下的厚度。在第一实施方式中,半导体基板20的杂质浓度为 $1 \times 10^{13} \text{cm}^{-3}$ 以上 $1 \times 10^{16} \text{cm}^{-3}$ 以下。

[0050] 半导体层30例如是从半导体基板20通过外延生长而形成的层,例如由包含Si的材料形成。半导体层30例如具有2 μm 以上20 μm 以下的厚度。在第一实施方式中,半导体层30的杂质浓度为 $1 \times 10^{14} \text{cm}^{-3}$ 以上 $1 \times 10^{16} \text{cm}^{-3}$ 以下。

[0051] 在此,在第一实施方式中,将半导体层30的厚度方向设为“z方向”。而且,将从z方向观察保护电路10设为“俯视”。在该情况下,俯视包括“从半导体层30的厚度方向观察”的意思。另外,将与z方向正交的方向之中的相互正交的两个方向分别设为“x方向”及“y方向”。在第一实施方式中,y方向与“第一方向”对应,x方向与“第二方向”对应。

[0052] 第二MOSFET10B形成于半导体基板20上所形成的半导体层30。此外,虽未图示,但第一MOSFET10A及第三MOSFET10C双方也形成于半导体层30。第一MOSFET10A及第三MOSFET10C与第二MOSFET10B比较,除了导电型反转以外,是相同结构。因此,在以下的说明中,对第二MOSFET10B的结构进行说明,省略第一MOSFET10A及第三MOSFET10C的结构的说明。

[0053] 在半导体层30的表面30s设置有第二导电型(在第一实施方式中为p型)的体区域40、第一导电型(在第一实施方式中为n型)的第一阱区域50A、以及与第一阱区域50A相同的第一导电型的第二阱区域50B。另外,在半导体层30的表面30s设置有:以包围体区域40、第一阱区域50A和第二阱区域50B的方式形成为环状的环状区域60;和包围环状区域60的第二导电型(在第一实施方式中为p型)的元件分离区域70。环状区域60是第一导电型(在第一实施方式中为n型)的半导体区域。

[0054] 俯视时,由元件分离区域70包围的部分成为第二MOSFET10B的元件形成区域。可以说元件形成区域是形成有体区域40、第一阱区域50A和第二阱区域50B的区域。在第一实施方式中,在元件形成区域中形成有环状区域60。也可以在元件形成区域中形成有多个体区域40、多个第一阱区域50A、多个第二阱区域50B。如图2所示,在第一实施方式中,在元件形成区域中并排形成有两个体区域40、一个第一阱区域50A以及两个第二阱区域50B。在此,将体区域40、第一阱区域50A以及第二阱区域50B的排列方向设为x方向。换言之,两个体区域40、一个第一阱区域50A以及两个第二阱区域50B以在第二方向上相互分离的方式排列。因此,在x方向上的体区域40与第一阱区域50A及第二阱区域50B之间隔设有半导体层30。在第一实施方式中,第一阱区域50A配置于元件形成区域的第二方向(x方向)的中央。两个第二阱区域50B分散配置于第一阱区域50A的x方向的两侧。体区域40配置于x方向上的第二阱区域50B与第一阱区域50A之间。换言之,两个第二阱区域50B配置于元件形成区域的第二方向(x方向)的两端部。另外,第一阱区域50A和第二阱区域50B在第二方向(x方向)上隔着体区域40配置。此外,元件形成区域内的体区域40、第一阱区域50A和第二阱区域50B各自的个数能够任意变更。

[0055] 体区域40在y方向延伸。即,体区域40沿在俯视时与体区域40、第一阱区域50A和第二阱区域50B的排列方向(x方向、第二方向)正交的第一方向延伸。在第一实施方式中,体区域40的宽度尺寸(x方向的尺寸)大于第一阱区域50A的宽度尺寸(x方向的尺寸)。体区域40具有比半导体层30高的杂质浓度。第一实施方式的体区域40的杂质浓度为 $1 \times 10^{15} \text{cm}^{-3}$ 以上 $1 \times 10^{17} \text{cm}^{-3}$ 以下。

[0056] 在体区域40的表面40s形成有第二导电型(在第一实施方式中为p型)的中间体区域41。中间体区域41与体区域40周围的半导体层30隔开距离地配置。中间体区域41在y方向延伸。中间体区域41具有比体区域40高的杂质浓度。第一实施方式的中间体区域41的杂质浓度为 $1 \times 10^{17} \text{cm}^{-3}$ 以上 $1 \times 10^{19} \text{cm}^{-3}$ 以下。

[0057] 在中间体区域41的表面形成有第二导电型(在第一实施方式中为p⁺型)的漏极区域42。也可以说漏极区域42形成于体区域40的表面40s。漏极区域42与中间体区域41同样,与体区域40周围的半导体层30隔开距离地配置。漏极区域42在y方向(第一方向)延伸。漏极区域42具有比中间体区域41高的杂质浓度。即,漏极区域42的杂质浓度比体区域40的杂质浓度高。第一实施方式的漏极区域42的杂质浓度为 $1 \times 10^{18} \text{cm}^{-3}$ 以上 $1 \times 10^{20} \text{cm}^{-3}$ 以下。这样,第一实施方式的第二MOSFET10B包含如中间体区域41和漏极区域42那样,p型杂质以第一浓度和比第一浓度高的第二浓度双重扩散的源极区域。

[0058] 在元件形成区域中,在与体区域40在z方向相邻的位置形成有埋入体区域43。埋入体区域43形成于在z方向上比体区域40靠半导体基板20的位置。埋入体区域43具有比半导体层30高的杂质浓度。第一实施方式的埋入体区域43的杂质浓度为 $1 \times 10^{15} \text{cm}^{-3}$ 以上 $1 \times 10^{17} \text{cm}^{-3}$ 以下。

[0059] 第一阱区域50A在y方向延伸。第一阱区域50A具有比半导体层30高的杂质浓度。第一阱区域50A例如具有与体区域40相同的杂质浓度。第一实施方式的第一阱区域50A的杂质浓度为 $1 \times 10^{15} \text{cm}^{-3}$ 以上 $1 \times 10^{17} \text{cm}^{-3}$ 以下。

[0060] 在第一阱区域50A的表面50s形成有第二导电型(在第一实施方式中为p型)的源极中间区域51。在第一阱区域50A中形成有多个源极中间区域51。多个源极中间区域51在y方向上相互隔开距离地排列。各源极中间区域51具有比第一阱区域50A高的杂质浓度。第一实施方式各源极中间区域51的杂质浓度为 $1 \times 10^{17} \text{cm}^{-3}$ 以上 $1 \times 10^{19} \text{cm}^{-3}$ 以下。

[0061] 俯视时,在第一阱区域50A中的与源极区域53不同的位置形成有露出区域55。俯视时,露出区域55形成于第一阱区域50A中的与源极中间区域51及源极区域53不同的位置。因此,露出区域55是第一阱区域50A露出到半导体层30的表面30s的区域。即,露出区域55是第一阱区域50A的一部分。因此,露出区域55的杂质浓度与第一阱区域50A的杂质浓度相等,为 $1 \times 10^{15} \text{cm}^{-3}$ 以上 $1 \times 10^{17} \text{cm}^{-3}$ 以下。也可以说露出区域55具有比源极中间区域51低的杂质浓度。

[0062] 在各源极中间区域51的表面形成有第二导电型(在第一实施方式中为p⁺型)的源极区域53。也可以说各源极区域53形成于第一阱区域50A的表面50s。源极区域53具有比源极中间区域51高的杂质浓度。第一实施方式各源极区域53的杂质浓度为 $1 \times 10^{18} \text{cm}^{-3}$ 以上 $1 \times 10^{20} \text{cm}^{-3}$ 以下。这样,第一实施方式的第二MOSFET10B包含如源极中间区域51及源极区域53那样,n型杂质以第三浓度及比第三浓度高的第四浓度双重扩散的源极区域。

[0063] 第二阱区域50B在y方向延伸。第二阱区域50B具有与第一阱区域50A相同的杂质浓

度。在第二阱区域50B的表面50s,与阱区域50A同样地形成有源极中间区域51及源极区域53。在第二阱区域50B的表面50s形成有第一导电型(在第一实施方式中为n型)的中间区域52。在第二阱区域50B中,源极中间区域51和中间区域52在y方向(第一方向)上并排形成。源极中间区域51及中间区域52分别设置有多个。

[0064] 多个中间区域52在y方向上相互隔开距离地排列。各中间区域52具有比第二阱区域50B高的杂质浓度。第一实施方式的各中间区域52的杂质浓度为 $1 \times 10^{17} \text{cm}^{-3}$ 以上 $1 \times 10^{19} \text{cm}^{-3}$ 以下。各中间区域52具有与各源极中间区域51相同的杂质浓度。

[0065] 在各中间区域52的表面形成有第一导电型(在第一实施方式中为 n^+ 型)的高浓度区域54。也可以说各高浓度区域54形成于第二阱区域50B的表面50s。也可以说源极区域53和高浓度区域54在y方向上并排形成。高浓度区域54具有比中间区域52高的杂质浓度。因此,高浓度区域54具有比第二阱区域50B高的杂质浓度。第一实施方式的高浓度区域54的杂质浓度为 $1 \times 10^{18} \text{cm}^{-3}$ 以上 $1 \times 10^{20} \text{cm}^{-3}$ 以下。各高浓度区域54具有与各源极区域53相同的杂质浓度。

[0066] 这样,在第一阱区域50A没有形成高浓度区域54及中间区域52,而形成有源极中间区域51、源极区域53和露出区域55。在第一实施方式中,源极区域53和露出区域55在第一方向(x方向)上并排形成。源极中间区域51形成于在俯视时与源极区域53相同的位置,另一方面,没有形成于与露出区域55相同的位置。在第二阱区域50B没有形成露出区域55,而形成有源极中间区域51、中间区域52、源极区域53和高浓度区域54。在第一实施方式中,源极区域53和高浓度区域54在第一方向(x方向)上并排形成。源极中间区域51和中间区域52在第一方向(x方向)上并排形成。

[0067] 在半导体层30中的与各阱区域50A、50B相同的位置形成有作为深阱区域的第一导电型(在第一实施方式中为n型)的高耐压区域56。高耐压区域56在y方向延伸。高耐压区域56具有比半导体层30高的杂质浓度。第一实施方式的高耐压区域56的杂质浓度为 $1 \times 10^{15} \text{cm}^{-3}$ 以上 $1 \times 10^{17} \text{cm}^{-3}$ 以下。

[0068] 环状区域60在x方向和y方向双方上相对于体区域40、第一阱区域50A和第二阱区域50B隔开距离地形成。环状区域60具有比半导体层30高的杂质浓度。第一实施方式的环状区域60的杂质浓度为 $1 \times 10^{15} \text{cm}^{-3}$ 以上 $1 \times 10^{17} \text{cm}^{-3}$ 以下。环状区域60例如具有与各阱区域50A、50B相同的杂质浓度。

[0069] 在环状区域60的表面60s形成有第一导电型(在第一实施方式中为n型)的环侧中间区域61。在第一实施方式中,环侧中间区域61与环状区域60同样地在俯视时形成为环状。环侧中间区域61具有比环状区域60高的杂质浓度。第一实施方式的环侧中间区域61的杂质浓度为 $1 \times 10^{17} \text{cm}^{-3}$ 以上 $1 \times 10^{19} \text{cm}^{-3}$ 以下。环侧中间区域61例如具有与中间区域52相同的杂质浓度。

[0070] 在环侧中间区域61的表面形成有第一导电型(在第一实施方式中为 n^+ 型)的环侧高浓度区域62。在第一实施方式中,环侧高浓度区域62与环状区域60和环侧中间区域61同样地在俯视时形成为环状。环侧高浓度区域62具有比环侧中间区域61高的杂质浓度。第一实施方式的环侧高浓度区域62的杂质浓度为 $1 \times 10^{18} \text{cm}^{-3}$ 以上 $1 \times 10^{20} \text{cm}^{-3}$ 以下。环侧高浓度区域62例如具有与高浓度区域54相同的杂质浓度。

[0071] 在半导体层30中的与环状区域60相同的位置形成有作为深阱区域的第一导电型

(在第一实施方式中为n型)的环侧高耐压区域63。环侧高耐压区域63与环状区域60同样地在俯视时形成为环状。环侧高耐压区域63具有比半导体层30高的杂质浓度。第一实施方式的环侧高耐压区域63的杂质浓度为 $1 \times 10^{15} \text{cm}^{-3}$ 以上 $1 \times 10^{17} \text{cm}^{-3}$ 以下。环侧高耐压区域63例如具有与高耐压区域56相同的杂质浓度。

[0072] 另外,在元件形成区域中,形成有第一导电型(在第一实施方式中为n型)的埋入层31。埋入层31相对于各阱区域50A、50B在z方向上隔开距离地形成。俯视时,埋入层31遍及元件形成区域的整体而形成。埋入层31形成于半导体基板20与半导体层30的边界部。埋入层31具有比半导体层30高的杂质浓度。第一实施方式的埋入层31的杂质浓度为 $1 \times 10^{16} \text{cm}^{-3}$ 以上 $1 \times 10^{20} \text{cm}^{-3}$ 以下。

[0073] 元件分离区域70在x方向及y方向双方上相对于环状区域60隔开距离地形成。元件分离区域70具有比半导体层30高的杂质浓度。第一实施方式的元件分离区域70的杂质浓度为 $1 \times 10^{15} \text{cm}^{-3}$ 以上 $1 \times 10^{17} \text{cm}^{-3}$ 以下。元件分离区域70例如具有与体区域40相同的杂质浓度。

[0074] 在元件分离区域70的表面70s形成有第二导电型(在第一实施方式中为p型)的元件分离侧中间区域71。在第一实施方式中,元件分离侧中间区域71与元件分离区域70同样地在俯视时形成为环状。元件分离侧中间区域71具有比元件分离区域70高的杂质浓度。第一实施方式的元件分离侧中间区域71的杂质浓度为 $1 \times 10^{17} \text{cm}^{-3}$ 以上 $1 \times 10^{19} \text{cm}^{-3}$ 以下。元件分离侧中间区域71例如具有与中间区域52相同的杂质浓度。

[0075] 在元件分离侧中间区域71的表面形成有第二导电型(在第一实施方式中为p⁺型)的元件分离侧高浓度区域72。在第一实施方式中,元件分离侧高浓度区域72与元件分离区域70及元件分离侧中间区域71同样地在俯视时形成为环状。元件分离侧高浓度区域72具有比元件分离侧中间区域71高的杂质浓度。第一实施方式的元件分离侧高浓度区域72的杂质浓度为 $1 \times 10^{18} \text{cm}^{-3}$ 以上 $1 \times 10^{20} \text{cm}^{-3}$ 以下。元件分离侧高浓度区域72例如具有与高浓度区域54相同的杂质浓度。

[0076] 在半导体层30中的与元件分离区域70相同的位置形成有作为深阱区域的第二导电型(在第一实施方式中为p型)的元件分离侧高耐压区域73。元件分离侧高耐压区域73与元件分离区域70同样地在俯视时形成为环状。元件分离侧高耐压区域73具有比半导体层30高的杂质浓度。第一实施方式的元件分离侧高耐压区域73的杂质浓度为 $1 \times 10^{15} \text{cm}^{-3}$ 以上 $1 \times 10^{17} \text{cm}^{-3}$ 以下。

[0077] 在半导体层30中的俯视时与元件分离区域70重叠的位置形成有元件分离侧埋入层74。元件分离侧埋入层74与元件分离区域70同样地在俯视时形成为环状。元件分离侧埋入层74形成于比元件分离侧高耐压区域73靠半导体基板20的位置。元件分离侧埋入层74具有比元件分离区域70高的杂质浓度。第一实施方式的元件分离侧埋入层74的杂质浓度为 $1 \times 10^{16} \text{cm}^{-3}$ 以上 $1 \times 10^{20} \text{cm}^{-3}$ 以下。

[0078] 在第一实施方式中,由于LOCOS(Local Oxidation of Silicon,硅的局部氧化)而元件分离。因此,在半导体层30的表面30s以埋入的方式形成有场氧化膜80。场氧化膜80构成用于元件分离的绝缘层,例如由包含 SiO_2 的材料形成。场氧化膜80包含第一开口81~第四开口84。

[0079] 第一开口81使漏极区域42露出。第一开口81以在y方向上相互隔开距离的方式设

置有多个。因此,场氧化膜80覆盖漏极区域42的一部分。

[0080] 第二开口82从体区域40的外周缘露出到与该体区域40在x方向上相邻的各阱区域50A、50B的外周缘。因此,也可以说场氧化膜80覆盖体区域40的表面40s。第二开口82以在y方向上相互隔开距离的方式设置有多个。更详细而言,第二开口82使源极区域53、高浓度区域54和露出区域55各自的一部分露出。因此,场氧化膜80覆盖源极区域53、高浓度区域54和露出区域55各自的剩余的一部分。

[0081] 在x方向上的各阱区域50A、50B与体区域40之间的半导体层30上形成有栅极绝缘膜85。即,也可以说场氧化膜80形成于体区域40的表面40s的x方向上的栅极绝缘膜85与漏极区域42之间的部分。栅极绝缘膜85例如由包含SiO₂的材料形成。

[0082] 在栅极绝缘膜85上形成有栅极电极10BG。栅极电极10BG从栅极绝缘膜85上形成到场氧化膜80上的一部分。换言之,栅极电极10BG形成在栅极绝缘膜85和场氧化膜80上。栅极电极10BG例如由包含多晶硅、钴(Co)、铪(Hf)、锆(Zr)、铝(Al)、钛(Ti)、钽(Ta)、钼(Mo)中的至少一种的材料形成。

[0083] 第三开口83使环状区域60的环侧高浓度区域62露出。第三开口83以在环侧高浓度区域62的周向上相互隔开距离的方式形成有多个。场氧化膜80覆盖环状区域60和环侧中间区域61双方,以及x方向上的各阱区域50A、50B与环状区域60之间的半导体层30。另外,场氧化膜80覆盖环侧高浓度区域62的一部分。

[0084] 第四开口84使元件分离区域70的元件分离侧高浓度区域72露出。第四开口84以在元件分离侧高浓度区域72的周向上相互隔开距离的方式形成有多个。场氧化膜80覆盖元件分离区域70和元件分离侧中间区域71双方,以及x方向上的环状区域60与元件分离区域70之间的半导体层30。另外,场氧化膜80覆盖元件分离侧高浓度区域72的一部分。

[0085] 保护电路10具有覆盖场氧化膜80和栅极电极10BG双方的绝缘层90。绝缘层90例如由包含SiO₂的材料形成。绝缘层90包含在z方向贯通绝缘层90的第一开口91~第七开口97。

[0086] 第一开口91在俯视时形成于第一开口81内。第一开口91形成于俯视时与漏极区域42重叠的位置。因此,漏极区域42通过第一开口91从绝缘层90露出。绝缘层90形成在第一开口81内。

[0087] 第二开口92~第四开口94分别在俯视时形成于第二开口82内。绝缘层90形成于第二开口82内。

[0088] 第二开口92形成于俯视时与源极区域53重叠的位置。因此,源极区域53通过第二开口92从绝缘层90露出。

[0089] 第三开口93形成于俯视时与高浓度区域54重叠的位置。因此,高浓度区域54通过第三开口93从绝缘层90露出。

[0090] 第四开口94形成于俯视时与露出区域55重叠的位置。因此,露出区域55通过第四开口94从绝缘层90露出。

[0091] 第五开口95形成于俯视时与栅极电极10BG重叠的位置。因此,栅极电极10BG的一部分通过第五开口95从绝缘层90露出。

[0092] 第六开口96在俯视时形成于第三开口83内。第六开口96形成于俯视时与环侧高浓度区域62重叠的位置。因此,环侧高浓度区域62通过第六开口96从绝缘层90露出。

[0093] 第七开口97在俯视时形成于第四开口84内。第七开口97形成于俯视时与元件分离

侧高浓度区域72重叠的位置。因此,元件分离侧高浓度区域72通过第七开口97从绝缘层90露出。

[0094] 保护电路10具有第一~第七接触部101~107作为与半导体区域接合的接触部。第一~第七接触部101~107例如由包含Cu(铜)、Al、Ti中的至少一种的导电材料形成。第一~第七接触部101~107贯通绝缘层90。

[0095] 第一接触部101与源极区域53接合。更详细而言,第一接触部101通过在第二开口92中埋入导电材料而形成。第一接触部101与源极区域53构成欧姆接触。在此,在第一实施方式中,第一接触部101与“源极接点”对应。

[0096] 第二接触部102与露出区域55进行肖特基接合。更详细而言,第二接触部102通过在第四开口94中埋入导电材料而形成。因为露出区域55的杂质浓度低,所以在第二接触部102与露出区域55相接的部分形成肖特基势垒。

[0097] 第三接触部103与栅极电极10BG接合。更详细而言,第三接触部103通过在第五开口95中埋入导电材料而形成。第三接触部103与栅极电极10BG构成欧姆接触。在此,在第一实施方式中,第三接触部103与“栅极接点”对应。

[0098] 第四接触部104与高浓度区域54接合。更详细而言,第四接触部104通过在第三开口93中埋入导电材料而形成。第四接触部104与高浓度区域54构成欧姆接触。

[0099] 第五接触部105与环侧高浓度区域62接合。更详细而言,第五接触部105通过在第六开口96中埋入导电材料而形成。第五接触部105与环侧高浓度区域62构成欧姆接触。

[0100] 第六接触部106与漏极区域42接合。更详细而言,第六接触部106通过在第一开口91中埋入导电材料而形成。第六接触部106与漏极区域42构成欧姆接触。

[0101] 第七接触部107与元件分离侧高浓度区域72接合。更详细而言,第七接触部107通过第七开口97中埋入导电材料而形成。第七接触部107与元件分离侧高浓度区域72构成欧姆接触。

[0102] 在绝缘层90上形成有源极配线110、漏极配线120和最外周配线130。这些配线110、120、130例如由包含Cu、Al、Ti中的至少一种的材料形成。在此,在第一实施方式中,源极配线110与“配线”对应。

[0103] 源极配线110构成第二MOSFET10B的源极。源极配线110包含内侧源极配线111及外侧源极配线112。内侧源极配线111和外侧源极配线112相互电连接。

[0104] 内侧源极配线111将第一接触部101、第二接触部102和第三接触部103相互电连接。因此,源极区域53、露出区域55和栅极电极10BG通过内侧源极配线111、第一接触部101、第二接触部102和第三接触部103相互电连接。内侧源极配线111和第一接触部101、第二接触部102及第三接触部103构成欧姆接触。

[0105] 外侧源极配线112将第一接触部101和第三接触部103相互电连接。此外,外侧源极配线112与第四接触部104电连接。而且,外侧源极配线112与第五接触部105电连接。因此,源极区域53、栅极电极10BG、高浓度区域54和环侧高浓度区域62通过外侧源极配线112、第一接触部101、第三接触部103、第四接触部104和第五接触部105相互电连接。外侧源极配线112和第一接触部101、第三接触部103、第四接触部104及第五接触部105构成欧姆接触。

[0106] 漏极配线120与第六接触部106连接。即,漏极配线120与漏极区域42电连接。漏极配线120构成第二MOSFET10B的漏极。漏极配线120和第六接触部106构成欧姆接触。

[0107] 最外周配线130与第七接触部107连接。即,最外周配线130与元件分离侧高浓度区域72电连接。另外,最外周配线130与地线连接。因此,元件分离区域70经由第七接触部107及最外周配线130与地线电连接。最外周配线130和第七接触部107构成欧姆接触。

[0108] 接下来,参照图2,对源极区域53、高浓度区域54和露出区域55的配置方式和接点的配置方式进行说明。此外,在图2中,为了方便,在高浓度区域54和环侧高浓度区域62分别标注点。

[0109] 如图2所示,在各第二阱区域50B中形成有多个(在第一实施方式中为三个)源极区域53及多个(在第一实施方式中为四个)高浓度区域54。在各第二阱区域50B中,在第一方向(y方向)上源极区域53和高浓度区域54交替配置。在第一实施方式中,在各第二阱区域50B的y方向的两端部形成有高浓度区域54,在各第二阱区域50B的y方向的中央形成有源极区域53。在此,将各第二阱区域50B的y方向的两端部的高浓度区域54设为“端部高浓度区域54A”,将各第二阱区域50B的y方向的中央的源极区域53设为“中央源极区域53A”。

[0110] 端部高浓度区域54A的y方向的尺寸大于形成于比端部高浓度区域54A靠y方向的中央的位置的高浓度区域54的y方向的尺寸。因为端部高浓度区域54A及其他高浓度区域54的x方向的尺寸彼此相等,所以俯视时的端部高浓度区域54A的面积大于俯视时的其他高浓度区域54的面积。

[0111] 如图2所示,形成于各第二阱区域50B的多个高浓度区域54(端部高浓度区域54A)在x方向及y方向上对称配置。在第一实施方式中,多个高浓度区域54(端部高浓度区域54A)被配置为相对于元件形成区域的中心(x方向的中央且y方向的中央)点对称。

[0112] 中央源极区域53A的y方向的尺寸大于形成于比中央源极区域53A靠y方向的端部的位置的源极区域53的y方向的尺寸。因为中央源极区域53A及其他源极区域53的x方向的尺寸彼此相等,所以俯视时的中央源极区域53A的面积大于俯视时的其他源极区域53的面积。

[0113] 第一接触部101在各第二阱区域50B中的与中央源极区域53A及其他源极区域53分别接合。在第一实施方式中,在中央源极区域53A中接合有两个第一接触部101。这两个第一接触部101以在x方向上相互对齐的状态在y方向上相互隔开距离地排列。

[0114] 第四接触部104未与端部高浓度区域54A接合。另一方面,第四接触部104在各第二阱区域50B中与端部高浓度区域54A以外的高浓度区域54接合。在第一实施方式中,在各第二阱区域50B中,两个第四接触部104与两个高浓度区域54单独地接合。因此,也可以说第二MOSFET10B具有四个第四接触部104。

[0115] 第一阱区域50A形成有多个(在第一实施方式中为三个)源极区域53和多个(在第一实施方式中为四个)露出区域55。第一阱区域50A在第一方向(y方向)上并排形成有露出区域55和源极区域53。在第一实施方式中,在第一阱区域50A中,在y方向上交替配置有源极区域53和露出区域55。在第一实施方式中,第一阱区域50A的多个源极区域53的第一方向(y方向)的位置和各第二阱区域50B的多个源极区域53的第一方向(y方向)的位置相互对齐。第一阱区域50A的多个露出区域55的第一方向(y方向)的位置和各第二阱区域50B的多个高浓度区域54的第一方向(y方向)的位置相互对齐。在此,将第一阱区域50A的y方向的两端部的露出区域55设为“端部露出区域55A”。

[0116] 第一阱区域50A中的多个源极区域53与各第二阱区域50B同样地包含中央源极区

域53A。

[0117] 端部露出区域55A的y方向的尺寸大于第一阱区域50A中的其他露出区域55的y方向的尺寸。因为端部露出区域55A的x方向的尺寸和其他露出区域55的y方向的尺寸彼此相等,所以俯视时的端部露出区域55A的面积大于俯视时的其他露出区域55的面积。

[0118] 在第一实施方式中,形成于第一阱区域50A的露出区域55(端部露出区域55A)在x方向上对称配置。因为露出区域55(端部露出区域55A)仅形成在元件形成区域的x方向的中央所形成的第一阱区域50A中,所以也可以说露出区域55(端部露出区域55A)在x方向及y方向上对称配置。露出区域55(端部露出区域55A)形成于在x方向上与源极区域53(中央源极区域53A)相邻的位置。即,在各第二阱区域50B中,露出区域55(端部露出区域55A)与源极区域53(中央源极区域53A)之间的距离相等。

[0119] 这样,可以说在第一阱区域50A中取代高浓度区域54而形成有露出区域55。因此,在第二MOSFET10B中,与未形成第一阱区域50A而形成有第二阱区域50B的结构比较,高浓度区域54的面积变少。换言之,在第二MOSFET10B中,与未形成第一阱区域50A而形成有第二阱区域50B的结构比较,高浓度区域54的个数变少。

[0120] 第一接触部101在第一阱区域50A中与中央源极区域53A及其他源极区域53分别接合。在第一实施方式中,在中央源极区域53A,与各第二阱区域50B同样地接合有两个第一接触部101。

[0121] 第二接触部102未与端部露出区域55A接合。另一方面,第二接触部102在第一阱区域50A中与端部露出区域55A以外的露出区域55接合(肖特基接合)。在第一实施方式中,在第一阱区域50A,两个第二接触部102与两个露出区域55单独地接合。因此,第二MOSFET10B也可以具有两个第二接触部102。即,在第一实施方式中,与露出区域55进行肖特基接合的第二接触部102的个数比与高浓度区域54进行欧姆接触的第四接触部104的个数少。

[0122] 如图2所示,与栅极电极10BG(参照图3)接合的第三接触部103在元件形成区域的y方向的两端部设置有多个。

[0123] 与环侧高浓度区域62接合的第五接触部105在环侧高浓度区域62的周向上相互隔开距离地设置有多个。

[0124] 与漏极区域42接合的第六接触部106在比漏极区域42的y方向的两端部靠中央的位置设置有多个。多个第六接触部106以在x方向上相互对齐的状态在y方向上相互隔开距离地排列。此外,第三接触部103、第五接触部105和第六接触部106各自的个数能够任意变更。

[0125] 在这样的结构的第二MOSFET10B中,如图3所示,在第二MOSFET10B的背栅—源极间形成有寄生PNP晶体管。寄生PNP晶体管的发射极与源极区域53电连接,集电极与漏极区域42电连接,基极与露出区域55或高浓度区域54电连接。

[0126] (作用)

[0127] 参照图4~图8,对第一实施方式的作用进行说明。

[0128] 图5表示比较例的保护电路的一个MOSFET(以下,称为“比较MOSFET10X”)的平面结构,图6表示比较MOSFET10X的剖面结构,图7表示比较MOSFET10X及第四接触部104中的等效电路图。

[0129] 图8是表示比较例的保护电路及第一实施方式的保护电路10中的I—V特性的特性

图。在以下的说明中,对比较MOSFET10X和第一实施方式的保护电路10的第二MOSFET10B的共同的构成要素标注共同的符号,并省略其说明。图8的实线表示第一实施方式的第二MOSFET10B的I-V特性,图8的双点划线表示比较MOSFET10X的I-V特性。

[0130] 如图5及图6所示,将比较MOSFET10X与第一实施方式的第二MOSFET10B进行比较时,高浓度区域54的配置方式和未形成露出区域55这一点不同。更详细而言,在比较MOSFET10X中,未形成第一阱区域50A,而形成有第二阱区域50B。第一接触部101与源极区域53欧姆接触,第四接触部104与高浓度区域54欧姆接触。

[0131] 比较MOSFET10X的背栅经由第二阱区域50B、中间区域52、高浓度区域54和第四接触部104,与比较MOSFET10X的源极电连接。因此,图7所示的比较MOSFET10X的寄生PNP晶体管的基极-发射极间实质上仅包含第二阱区域50B的深部的电阻成分RH。

[0132] 图4表示第二MOSFET10B及第二接触部102中的等效电路图。在第二MOSFET10B中,寄生PNP晶体管的基极与高浓度区域54和露出区域55(均参照图3)连接。由此,能够使基极-发射极间电压与比较MOSFET10X相比更大。更详细而言,在基极与露出区域55连接的部分,如图4所示,第二MOSFET10B的寄生PNP晶体管的基极-发射极间包括第一阱区域50A的深部(在z方向上第一阱区域50A中靠半导体基板20的部分)的电阻成分RH、第一阱区域50A(露出区域55)的浅部(在z方向上第一阱区域50A中靠半导体层30的表面30s的部分)的电阻成分RW、以及基于露出区域55与第二接触部102的肖特基接合的二极管成分DS。因此,基极与露出区域55连接的第一实施方式的第二MOSFET10B与比较MOSFET10X相比,基极-发射极间电压变大。

[0133] 在第二MOSFET10B中,如果寄生PNP的集电极-发射极间电压上升,则由于基极-集电极的PN结的反偏压引起的电场而产生齐纳击穿。通过由此产生的电子空穴对被基极及集电极回收,产生基极-集电极电流。由于该电流而产生基极-发射极间电压,因此,发射极-集电极间的多数载流子传导成为主导,在集电极-发射极间流通大的集电极电流。另外,如果基极-发射极间电压变大,则发射极与基极之间的电位势垒变小,因此,发射极的p型的多数载流子容易向集电极移动。其结果,集电极电流增加,因此,第二MOSFET10B的导通电阻变小。

[0134] 然而,第一配线W1与第二配线W2(均参照图1)之间的电压V由于ESD而变动。保护电路10保护内部电路CIT(参照图1)免受该变动的电压V影响。更详细而言,如图8所示,保护电路10需要进行动作,以使电压V低于内部电路CIT被破坏的电压的下限值即第一电压值VDL。另外,保护电路10需要以比第二电压值VS高的电压动作,以不在内部电路CIT的动作区域的电压范围内动作,上述第二电压值VS比该电压范围的上限值高。即,保护电路10需要在比第二电压值VS高且比第一电压值VDL低的电压范围内动作。从图8的I-V特性可知,第二MOSFET10B和比较MOSFET10X双方在上述电压范围中随着电压V变大而电流I变大。

[0135] 如上所述,第二MOSFET10B的寄生PNP晶体管的基极-发射极间电压高于比较MOSFET10X的寄生PNP晶体管的基极-发射极间电压。由此,第二MOSFET10B的导通电阻小于比较MOSFET10X的导通电阻。因此,如图8的I-V特性所示,第二MOSFET10B的电流的增加程度大于比较MOSFET10X的电流的增加程度。因此,例如在因ESD而上述电压范围内的电压VQ供给至第二MOSFET10B及比较MOSFET10X的情况下,第二MOSFET10B流通比在比较MOSFET10X中流通的电流Ix大的电流Ia。由此,与比较MOSFET10X相比,第二MOSFET10B更难以在内部电

路CIT中流通电流,因此,保护了内部电路CIT。其结果,第二MOSFET10B与比较MOSFET10X相比,ESD试验中的HBM(Human Body Model,人体放电模式)法的ESD耐压变高。在此,HBM法是模拟从人体对器件放出静电的情况的试验。HBM法例如依据ANSI/ESDA/JEDEC JS-001-2017。

[0136] 以下记载ESD耐压的结果的一例。在以下的说明中,正极性的ESD耐压是将电压施加到正侧时的ESD耐压,负极性的ESD耐压是将电压施加到负侧时的ESD耐压。

[0137] 在HBM法的ESD试验中,在比较MOSFET10X中,正极性的ESD耐压为5000V,负极性的ESD耐压为-12000V。另一方面,在第二MOSFET10B中,正极性的ESD耐压为5750V,负极性的ESD耐压为-6750V。

[0138] 根据上述ESD耐压的结果,在比较MOSFET10X中,HBM法的负极性的ESD耐压的绝对值充分大于正极性的ESD耐压的绝对值。即,在比较MOSFET10X中,负极性的ESD耐压变得过高,与正极性的ESD耐压的平衡较差。

[0139] 另一方面,第二MOSFET10B与比较MOSFET10X相比,HBM法正极性的ESD耐压变高。另一方面,第二MOSFET10B与比较MOSFET10X相比,HBM法负极性的ESD耐压变低。因此,在第二MOSFET10B中,在HBM法中正极性的ESD耐压的绝对值与负极性的ESD耐压的绝对值之差变小。即,在第二MOSFET10B中,负极性的ESD耐压与正极性的ESD耐压的平衡良好。

[0140] 通过如第二MOSFET10B那样减少高浓度区域54,换句话说通过形成与第二接触部102进行肖特基接合的露出区域55,能够提高正极性的ESD耐压。另一方面,由于减少高浓度区域54而负极性的ESD耐压变低,但原本负极性的ESD耐压足够高,负极性的ESD耐压的绝对值仍比正极性的ESD耐压高,因此,对于ESD耐压,能够抑制其出现故障。

[0141] (效果)

[0142] 根据第一实施方式,获得以下的效果。

[0143] (1-1)具有第一~第三MOSFET10A、10B、10C的保护电路10具有:第一导电型的半导体层30;形成于半导体层30的表面30s的第二导电型的体区域40;第二导电型的漏极区域42,其形成于体区域40的表面40s,与体区域40周围的半导体层30隔开距离地配置,在y方向延伸;第一导电型的第一阱区域50A,其形成于半导体层30的表面30s,在x方向上与漏极区域42隔开距离地形成;栅极绝缘膜85,其形成于第一阱区域50A与体区域40之间的半导体层30上;场氧化膜80,其形成于体区域40的表面40s上的栅极绝缘膜85与漏极区域42之间的部分;栅极电极10BG,其形成于栅极绝缘膜85和场氧化膜80上;形成于第一阱区域50A的表面50s的第二导电型的源极区域53;露出区域55,从z方向观察,上述露出区域55形成于第一阱区域50A中的与源极区域53不同的位置;与源极区域53接合的第一接触部101;与露出区域55进行肖特基接合的第二接触部102;与栅极电极10BG接合的第三接触部103;源极配线110,其将第一接触部101、第二接触部102和第三接触部103相互电连接。

[0144] 根据该结构,由于露出区域55与第二接触部102之间的肖特基势垒(二极管成分)、第一阱区域50A的电阻成分和露出区域55的电阻成分,从而寄生PNP晶体管的基极-发射极间电压变大。由此,能够增大ESD引起的在第二MOSFET10B中流通的电流。另外,第一MOSFET10A及第三MOSFET10C也是与第二MOSFET10B同样的结构,因此,能够增大ESD引起的在第一及第三MOSFET10A、10C中流通的电流。因此,能够提高保护电路10的ESD耐性。

[0145] (1-2)保护电路10还具有:第二阱区域50B,其中没有形成露出区域55,包含源极

区域53和在俯视时形成于与源极区域53不同的位置的高浓度区域54;与高浓度区域54接合的第四接触部104。高浓度区域54具有比露出区域55高的杂质浓度。源极配线110与第四接触部104电连接。

[0146] 根据该结构,例如通过增加第二MOSFET10B的露出区域55的数量和减少高浓度区域54的数量,能够提高正极性的ESD耐压,通过减少露出区域55的数量和增加高浓度区域54的数量,能够提高负极性的ESD耐压。这样,通过第二MOSFET10B包含露出区域55和高浓度区域54双方,能够调整正极性的ESD耐压和负极性的ESD耐压。因此,能够取得第二MOSFET10B的正极性的ESD耐压和负极性的ESD耐压的平衡。因此,能够容易地实现保护电路10所需的ESD耐压。

[0147] (1-3) 高浓度区域54在x方向及y方向上对称配置。

[0148] 根据该结构,例如在集电极电流通过第二MOSFET10B的寄生PNP晶体管从环状区域60及多个源极区域53向多个漏极区域42流通的情况下,能够抑制在多个漏极区域42中流通的集电极电流的大小不一致。

[0149] (1-4) 保护电路10具有中间区域52,其为形成于第二阱区域50B的表面50s,比第二阱区域50B的杂质浓度高且比高浓度区域54的杂质浓度低的第一导电型的半导体区域。高浓度区域54形成于中间区域52的表面。露出区域55是第二阱区域50B的表面50s中的与中间区域52不同的区域。

[0150] 根据该结构,露出区域55具有比中间区域52低的杂质浓度。因此,能够增大露出区域55与第二接触部102的肖特基势垒。另外,能够通过中间区域52抑制栅极电极10BG中的电场集中。

[0151] [第一实施方式的变更例]

[0152] 第一实施方式能够如下变更而实施。另外,以下的变更例在技术上不产生矛盾的范围内部能够相互组合。此外,在图9~图15中,为了便于说明,作为半导体区域,仅示出第一阱区域50A、第二阱区域50B、漏极区域42、源极区域53、高浓度区域54、露出区域55和环状区域60。

[0153] • 保护电路10中的元件分离的结构能够任意变更。在一例中,也可以使用STI (Shallow Trench Isolation,浅沟槽绝缘)作为元件分离。

[0154] • 也可以从第一~第三MOSFET10A~10C中的至少一个省略埋入层31、埋入体区域43、高耐压区域56、环侧高耐压区域63、元件分离侧高耐压区域73、元件分离侧埋入层74中的至少一个。

[0155] • 多个高浓度区域54也可以在x方向或y方向上为非对称的配置。

[0156] • 多个露出区域55也可以在x方向或y方向上为非对称的配置。

[0157] • 源极区域53及漏极区域42各自的个数能够任意变更。在一例中,如图9~图15所示,保护电路10也可以具有第一阱区域50A及第二阱区域50B中的至少一方和四个体区域40(漏极区域42)。在图9~图15的保护电路10中的元件形成区域的x方向的中央部和两端部双方形成有第一阱区域50A或第二阱区域50B。在x方向上交替配置有漏极区域42和第一阱区域50A或第二阱区域50B。在x方向上的漏极区域42和与漏极区域42在x方向上相邻的第一阱区域50A或第二阱区域50B之间形成有栅极电极10BG。在图示的例子中,栅极电极10BG形成在俯视时在y方向延伸的带状。此外,在图9~图15中,对漏极区域42标注“D”,对各阱区域

50A、50B标注“S”，对栅极电极10BG标注“G”来表示。

[0158] <阱区域的变更例>

[0159] • 高浓度区域54及露出区域55的配置方式能够任意变更。高浓度区域54及露出区域55的配置方式例如也可以如图9~图12所示的第一~第四变更例那样变更。此外，在第一~第四变更例中，漏极区域42及第六接触部106(参照图2)的配置方式与第一实施方式的漏极区域42及第六接触部106的配置方式同样。另外，在第一~第四变更例中，环侧高浓度区域62及第五接触部105(参照图2)的配置方式与第一实施方式的环侧高浓度区域62及第五接触部105的配置方式同样。因此，以下省略漏极区域42及第六接触部106的说明。另外，在图9~图12中，省略第五接触部105及第六接触部106来表示。

[0160] (第一变更例)

[0161] 如图9所示，在第一变更例中，第二阱区域50B为一个，形成于元件形成区域的第二方向(x方向)的中央。另一方面，第一阱区域50A形成有多个(在第一变更例中为四个)。四个第一阱区域50A中的两个第一阱区域50A形成于元件形成区域的第二方向(x方向)的两端部。剩余的两个阱区域50A形成于元件形成区域的第二方向(x方向)的两端部的第一阱区域50A与第二阱区域50B的x方向之间。

[0162] 在第二阱区域50B中形成有多个高浓度区域54及多个源极区域53。在第二阱区域50B中，在第一方向(y方向)上并排形成有高浓度区域54及源极区域53。在图9所示的例子中，在第二阱区域50B中，在y方向上交替配置有高浓度区域54及源极区域53。

[0163] 在各第一阱区域50A中形成有多个源极区域53及多个露出区域55。源极区域53及露出区域55的配置方式与第一实施方式的第一阱区域50A中的源极区域53及露出区域55的配置方式同样。

[0164] 这样，在第一变更例中，因为第一阱区域50A的个数比第二阱区域50B多，所以多个露出区域55的总面积比多个高浓度区域54的总面积大。换言之，露出区域55的个数比高浓度区域54的个数多。

[0165] 第一阱区域50A中的第一接触部101及第二接触部102的配置方式与第一实施方式的第一阱区域50A中的第一接触部101及第二接触部102的配置方式同样。第二阱区域50B中的第一接触部101及第四接触部104的配置方式与第一实施方式的第二阱区域50B中的第一接触部101及第四接触部104的配置方式同样。因此，在第一变更例中，第二接触部102的个数比第四接触部104的个数多。

[0166] 如图9所示，多个高浓度区域54(端部高浓度区域54A)在y方向上对称配置。因为第二阱区域50B形成于元件形成区域的x方向的中央，所以可以说多个高浓度区域54(端部高浓度区域54A)在x方向及y方向上对称配置。另外，多个露出区域55(端部露出区域55A)在x方向及y方向上对称配置。

[0167] 另外，在第一变更例中，也可以将四个第一阱区域50A中的一个~三个变更为第二阱区域50B。在一例中，也可以是，在元件形成区域的x方向的中央和元件形成区域的x方向的两端部形成有第二阱区域50B，在元件形成区域的x方向的两端部与中央之间分别形成有第一阱区域50A。

[0168] 根据第一变更例的结构，因为与露出区域55进行肖特基接合的第二接触部102的个数比与高浓度区域54接合的第四接触部104的个数多，所以能够实现第二MOSFET10B的正

极性的ESD耐压的提高。

[0169] (第二变更例)

[0170] 如图10所示,在第二变更例中,在第一阱区域50A中形成有高浓度区域54。高浓度区域54在俯视时形成于第一阱区域50A中的与源极区域53及露出区域55不同的位置。在第二变更例中,没有形成第二阱区域50B。

[0171] 第一阱区域50A的高浓度区域54形成于各第一阱区域50A的y方向的中央。更详细而言,各第一阱区域50A包含多个(在第二变更例中为四个)源极区域53、多个(在第二变更例中为两个)露出区域55和一个高浓度区域54。多个源极区域53形成于高浓度区域54的y方向的两侧和第一阱区域50A的y方向的两端部。露出区域55形成于在y方向上相邻的源极区域53之间。如图10所示,多个高浓度区域54在x方向上对称配置。多个高浓度区域54在x方向及y方向上对称配置。在第二变更例中,在各第一阱区域50A中,露出区域55的个数比高浓度区域54的个数多。另一方面,在各第一阱区域50A中,高浓度区域54的面积大于各露出区域55的面积。因此,在各第一阱区域50A中,露出区域55的面积与高浓度区域54的面积相等。在第二MOSFET10B中,没有形成第二阱区域50B(参照图9),而形成有第一阱区域50A,因此,第二MOSFET10B中的多个露出区域55的总面积与多个高浓度区域54的总面积相等。

[0172] 在各第一阱区域50A中,第一接触部101与比各第一阱区域50A的y方向的两端靠中央的源极区域53接合。第二接触部102与各露出区域55进行肖特基接合。两个第四接触部104与高浓度区域54接合。即,在各第一阱区域50A中,第二接触部102及第四接触部104均为两个。因此,在第二变更例中,在第二MOSFET10B中,第二接触部102的个数与第四接触部104的个数相等。

[0173] 此外,在第二变更例中,也可以将五个第一阱区域50A中的一个~四个变更为第二阱区域50B。第二阱区域50B在其y方向的中央形成有高浓度区域54。而且,第二阱区域50B交替配置有多个(三个)高浓度区域54和多个(三个)源极区域53。

[0174] 根据第二变更例的结构,因为与露出区域55进行肖特基接合的第二接触部102的个数和与高浓度区域54接合的第四接触部104的个数相等,所以能够取得第二MOSFET10B的正极性的ESD耐压和负极性的ESD耐压的平衡。

[0175] (第三变更例)

[0176] 如图11所示,在第三变更例中,在元件形成区域中形成有多个(在第三变更例中为两个)第一阱区域50A和多个(在第三变更例中为三个)第二阱区域50B。第二阱区域50B分别形成于元件形成区域的第二方向(x方向)的两端部及中央。第一阱区域50A形成于在第二方向(x方向)上相邻的第二阱区域50B之间。即,在第二方向(x方向)上,交替配置有第一阱区域50A和第二阱区域50B。

[0177] 在第二阱区域50B中形成有两个高浓度区域54和三个源极区域53。高浓度区域54和源极区域53在第一方向(y方向)上交替配置。源极区域53配置于第一阱区域50A的y方向的中央和y方向的两端部。俯视时的各源极区域53的面积大于俯视时的各高浓度区域54的面积。高浓度区域54形成于y方向的两端部的源极区域53与中央部的源极区域53的y方向之间。

[0178] 在第一阱区域50A中形成有三个高浓度区域54、两个源极区域53和两个露出区域55。在y方向上并排形成有源极区域53、高浓度区域54和露出区域55。高浓度区域54分别形

成于第一阱区域50A的y方向的两端部和第一阱区域50A的y方向的中央部。因此,第一阱区域50A的高浓度区域54和第二阱区域50B的高浓度区域54形成于在y方向上互不相同的位置。

[0179] 如图11所示,多个高浓度区域54(端部高浓度区域54A)在x方向及y方向上对称配置。另外,多个露出区域55在x方向及y方向上对称配置。

[0180] 另外,在第三变更例中,第二MOSFET10B中的多个高浓度区域54(端部高浓度区域54A)的总面积大于多个露出区域55的总面积。换言之,第二MOSFET10B中的高浓度区域54(端部高浓度区域54A)的个数比露出区域55的个数多。

[0181] 在第二阱区域50B中,第一接触部101能够相对于各源极区域53接合两个。在中央的源极区域53接合有两个第一接触部101。另一方面,在端部的源极区域53接合有一个第一接触部101。第四接触部104与各高浓度区域54接合。各第二阱区域50B中的第四接触部104为两个。

[0182] 在第一阱区域50A中,第一接触部101与各源极区域53接合。第二接触部102与各露出区域55进行肖特基接合。第四接触部104与各高浓度区域54接合。各第二阱区域50B中的第四接触部104为两个,第二接触部102为两个。因此,在第二MOSFET10B中,第四接触部104的个数比第二接触部102的个数多。

[0183] 根据第三变更例的结构,在集电极电流通过第二MOSFET10B的寄生PNP晶体管从环状区域60及多个源极区域53向多个漏极区域42流通的情况下,能够抑制在多个漏极区域42中流通的集电极电流的大小不一致。

[0184] 另外,因为与高浓度区域54接合的第四接触部104的个数比与露出区域55进行肖特基接合的第二接触部102的个数多,所以能够实现第二MOSFET10B的负极性的ESD耐压的提高。

[0185] (第四变更例)

[0186] 如图12所示,在第四变更例中,在元件形成区域中没有形成第二阱区域50B。即,在元件形成区域中形成有五个第一阱区域50A。

[0187] 在第一阱区域50A中形成有多个(在第四变更例中为三个)源极区域53和多个(在第四变更例中为四个)露出区域55。源极区域53和露出区域55在第一方向(y方向)上交替配置。在第一阱区域50A中,在其中央形成有源极区域53,在其两端部形成有露出区域55(端部露出区域55A)。在图12所示的例子中,露出区域55在x方向及y方向上对称配置。此外,在第四变更例中,例如各第一阱区域50A中的接点的配置方式与第一实施方式的第一阱区域50A中的接点的配置方式同样。根据第四变更例的结构,能够进一步提高第二MOSFET10B的正极性的ESD耐压。

[0188] <环状区域的变更例>

[0189] • 环侧高浓度区域62的配置方式能够任意变更。在一例中,例如,也可以如图13~图16所示的第五~第八变更例那样变更。此外,在第五~第七变更例中,各阱区域50A、50B的结构与第四变更例同样。因此,省略各阱区域50A、50B的说明。

[0190] (第五变更例)

[0191] 如图13所示,环侧高浓度区域62以在环状区域60的周向上相互分离的方式设置有多个。在环状区域60的周向上相邻的环侧高浓度区域62之间的部分没有形成环侧中间区域

61(参照图3)。环侧中间区域61在俯视时形成于与环侧高浓度区域62相同的位置。即,在环状区域60的周向上相邻的环侧高浓度区域62之间的部分形成有露出环状区域60的环侧露出区域64。因此,环侧露出区域64形成有多个。环侧高浓度区域62及环侧露出区域64在环状区域60的周向上交替配置。

[0192] 俯视时的各环状区域60的形状为矩形形状。各环状区域60包含在y方向上隔开距离的一对边SA和在x方向上隔开距离的一对边SB。一对边SA沿着x方向延伸。一对边SA可以沿着漏极区域42及各阱区域50A、50B的排列方向延伸。一对边SB沿着y方向延伸。一对边SB可以沿着漏极区域42及各阱区域50A、50B分别延伸的方向延伸。

[0193] 在各边SA上形成有多个(在第五变更例中为五个)环侧高浓度区域62。各环侧高浓度区域62形成于在y方向上与第一阱区域50A相对的位置。在各边SA延伸的方向(x方向)上相邻的环侧高浓度区域62之间的部分形成有环侧露出区域64。在图13所示的例子中,在各边SA延伸的方向上交替配置有环侧高浓度区域62及环侧露出区域64。因此,环侧露出区域64形成于在y方向上与漏极区域42相对的位置。另外,环侧露出区域64形成于在y方向上与栅极电极10BG相对的位置。

[0194] 在各边SB上形成有多个(在第五变更例中为四个)环侧高浓度区域62。各环侧高浓度区域62形成于元件形成区域中的与形成于第二方向(x方向)的两端部的第一阱区域50A在第二方向(x方向)相对的位置。各边SB的多个环侧高浓度区域62在y方向上相互隔开距离地排列。因此,在各边SB上形成有多个环侧露出区域64。多个环侧露出区域64包含形成于元件形成区域中的与形成于第二方向(x方向)的两端部的第一阱区域50A在第二方向(x方向)相对的位置的环侧露出区域。另外,多个环侧露出区域64包含形成于各边SB中的在y方向上从第一阱区域50A错开的位置的环侧露出区域。在第五变更例中,在环状区域60的四角的位置形成有环侧露出区域64。

[0195] 如图13所示,在第五变更例中,各边SA上的各环侧露出区域64的面积大于各环侧高浓度区域62的面积。另外,各边SB上的多个环侧露出区域64的总面积比多个环侧高浓度区域62的总面积大。因此,在第二MOSFET10B中,环侧露出区域64的总面积大于环侧高浓度区域62的总面积。

[0196] 在各环侧高浓度区域62中接合有第一环侧接触部105A。在各环侧露出区域64中肖特基接合有第二环侧接触部105B。在图示的例子中,第二环侧接触部105B的个数比第一环侧接触部105A的个数多。

[0197] 根据第五变更例的结构,因为与环侧露出区域64进行肖特基接合的第二环侧接触部105B的个数比与环侧高浓度区域62接合的第一环侧接触部105A的个数多,所以能够提高第二MOSFET10B的正极性的ESD耐压。

[0198] 此外,环侧高浓度区域62的个数能够任意变更。另外,第一环侧接触部105A及第二环侧接触部105B各自的个数能够任意变更。在一例中,第一环侧接触部105A的个数也可以与第二环侧接触部105B的个数相等。另外,在一例中,第二环侧接触部105B的个数也可以比第一环侧接触部105A的个数少。

[0199] (第六变更例)

[0200] 如图14所示,在环状区域60中形成有多个环侧高浓度区域62及多个环侧露出区域64。多个环侧高浓度区域62及多个环侧露出区域64的配置方式与第五变更例不同。各边SA

上的环侧高浓度区域62及环侧露出区域64的配置方式与第五变更例同样。

[0201] 在各边SB上没有形成环侧高浓度区域62。即,各边SB由环侧露出区域64形成。因此,环侧露出区域64的总面积大于环侧高浓度区域62的总面积。环侧露出区域64的总面积与环侧高浓度区域62的总面积之差大于第五变更例。

[0202] 在图示的例子中,第一环侧接触部105A与各环侧高浓度区域62接合。第二环侧接触部105B与各环侧露出区域64进行肖特基接合。在第六变更例中,第二环侧接触部105B的个数比第一环侧接触部105A的个数多。在第六变更例中,第二环侧接触部105B的个数比第五变更例的第二环侧接触部105B的个数多。根据第六变更例的结构,与第五变更例比较,能够进一步提高正极性的ESD耐压。

[0203] (第七变更例)

[0204] 如图15所示,在环状区域60中形成有多个环侧高浓度区域62及多个环侧露出区域64。多个环侧高浓度区域62及多个环侧露出区域64的配置方式与第五变更例及第六变更例不同。

[0205] 在第七变更例中,环侧高浓度区域62仅形成于各边SB的y方向的中央。因此,环侧露出区域64的总面积大于环侧高浓度区域62的总面积。环侧露出区域64的总面积与环侧高浓度区域62的总面积之差大于第六变更例。

[0206] 在图示的例子中,第一环侧接触部105A与各环侧高浓度区域62接合。第二环侧接触部105B与各环侧露出区域64进行肖特基接合。在第七变更例中,第二环侧接触部105B的个数比第一环侧接触部105A的个数多。在第七变更例中,第二环侧接触部105B的个数比第六变更例的第二环侧接触部105B的个数多。根据第七变更例的结构,与第六变更例比较,能够进一步提高正极性的ESD耐压。

[0207] 如图13~图15所示,在第五~第七变更例中,多个环侧高浓度区域62在x方向及y方向上对称配置。在第五变更例中,多个环侧高浓度区域62被配置为相对于元件形成区域的中心点对称。多个环侧露出区域64在x方向及y方向上对称配置。在第五变更例中,多个环侧露出区域64被配置为相对于元件形成区域的中心点对称。

[0208] (第八变更例)

[0209] 高浓度区域54及露出区域55的配置方式和环侧高浓度区域62及环侧露出区域64的配置方式能够任意变更。在一例中,也可以如图16所示的第八变更例那样变更。

[0210] 如图16所示,在元件形成区域中没有形成第一阱区域50A。即,在元件形成区域中形成有五个第二阱区域50B。各第二阱区域50B中的源极区域53及高浓度区域54的配置方式与第一变更例的第二阱区域50B中的源极区域53及高浓度区域54的配置方式同样。另外,各第二阱区域50B中的第一接触部101及第四接触部104的配置方式与第一变更例的第二阱区域50B中的第一接触部101及第四接触部104的配置方式同样。

[0211] 另外,在环状区域60中形成有多个环侧高浓度区域62及多个环侧露出区域64。第八变更例中的环侧高浓度区域62及环侧露出区域64的配置方式与第五变更例中的环侧高浓度区域62及环侧露出区域64的配置方式同样。

[0212] 第一环侧接触部105A及第二环侧接触部105B的配置方式与第五变更例中的第一环侧接触部105A及第二环侧接触部105B的配置方式同样。

[0213] 根据第八变更例的结构,因为具有环侧露出区域64和与环侧露出区域64进行肖特

基接合的第二环侧接触部105B,所以能够提高第二MOSFET10B中的寄生PNP晶体管的基极—发射极间电压。由此,能够增大由ESD引起的在第二MOSFET10B中流通的电流。因此,能够提高第二MOSFET10B的正极性的ESD耐压。

[0214] 另外,因为第二环侧接触部105B的个数比与环侧高浓度区域62接合的第一环侧接触部105A的个数多,所以能够提高第二MOSFET10B的正极性的ESD耐压。

[0215] • 在第五~第八变更例中,第一环侧接触部105A也可以仅与多个环侧高浓度区域62中的一部分环侧高浓度区域62接合。即,多个环侧高浓度区域62也可以包含与第一环侧接触部105A接合的环侧高浓度区域62和与第一环侧接触部105A不接合的环侧高浓度区域62。

[0216] • 在第五~第八变更例中,第二环侧接触部105B也可以仅与多个环侧露出区域64中的一部分环侧露出区域64进行肖特基接合。即,多个环侧露出区域64也可以包含与第二环侧接触部105B进行肖特基接合的环侧露出区域64和与第二环侧接触部105B不进行肖特基接合的环侧露出区域64。

[0217] • 在第五~第八变更例中,也可以将比环状区域60靠内侧的结构变更为第一~第四变更例中的任一个。

[0218] • 在第五~第七变更例中,也可以将比环状区域60靠内侧的结构变更为第八变更例的各阱区域50B。

[0219] • 在第一~第三及第八变更例中,多个高浓度区域54(端部高浓度区域54A)也可以在x方向或y方向上为非对称的配置。

[0220] • 在第一~第七变更例中,多个露出区域55(端部露出区域55A)也可以在x方向或y方向上为非对称的配置。

[0221] <漏极区域及阱区域的配置方式的变更例>

[0222] • 在第一~第八变更例中,漏极区域42(体区域40)的配置方式能够任意变更。在一例中,也可以在元件形成区域中的x方向的两端部形成有漏极区域42。

[0223] [第二实施方式]

[0224] 参照图17及图18,对第二实施方式的保护电路200进行说明。在第二实施方式的保护电路200中,与第一实施方式的保护电路10比较,MOSFET的结构不同。此外,图17表示保护电路200的第一~第三MOSFET210A~210C的配置方式的一例,图18表示第一~第三MOSFET210A~210C的剖面结构的一例。

[0225] 如图17所示,保护电路200具有第一MOSFET210A、第二MOSFET210B和第三MOSFET210C。第一MOSFET210A和第三MOSFET210C为n型MOSFET,第二MOSFET210B为p型MOSFET。保护电路200中的各MOSFET210A~210C的连接结构与第一实施方式的各MOSFET10A~10C的连接结构(参照图1)同样。

[0226] 如图17所示,第一MOSFET210A、第二MOSFET210B和第三MOSFET210C在x方向上并排排列。第一MOSFET210A配置于x方向上的第二MOSFET210B与第三MOSFET210C之间。

[0227] 如图18所示,保护电路200具有第二导电型(在第二实施方式中为p型)的半导体基板220和形成在半导体基板220上的第二导电型(在第二实施方式中为p型)的半导体层230。半导体基板220的杂质浓度例如与第一实施方式同样。此外,在第二实施方式中,z方向成为半导体层230的厚度方向。另外,“俯视”包含“从z方向观察”的意思。因此,“俯视”包含“从半

导体层的厚度方向观察”的意思。

[0228] 在半导体层230的表层部形成有第一~第五外延层230A~230E。第一外延层230A是与第一MOSFET210A对应的第一导电型(在第二实施方式中为n型)的半导体层。第二外延层230B是与第二MOSFET210B对应的第二导电型(在第二实施方式中为p型)的半导体层,形成于在x方向上与第一外延层230A相邻的位置。第三外延层230C是与第三MOSFET210C对应的第二导电型(在第二实施方式中为p型)的半导体层,形成于在x方向上相对于第一外延层230A在与第二外延层230B相反侧相邻的位置。第四外延层230D是在俯视时形成于第一外延层230A的第二导电型(在第二实施方式中为p型)的半导体层。第四外延层230D与第二外延层230B及第三外延层230C的双方在x方向上隔开距离地形成。第五外延层230E是形成于第二外延层230B的第一导电型(在第二实施方式中为n型)的半导体层。第五外延层230E与第一外延层230A在x方向上隔开距离地形成。

[0229] 各外延层230A~230E具有比半导体层230中的比各外延层230A~230E靠半导体基板220的部分高的杂质浓度。半导体层230中的比各外延层230A~230E靠半导体基板220的部分的杂质浓度例如与第一实施方式的半导体层30(参照图3)的杂质浓度同样。各外延层230A~230E的杂质浓度例如与第一实施方式的体区域40(参照图3)的杂质浓度同样。

[0230] 在半导体层230的表面230s(第三~第五外延层230C~230E的表面)形成有多个漏极区域231、多个源极区域232、以及包围多个漏极区域231及多个源极区域232的环状的环状区域233。与第一MOSFET210A及第三MOSFET210C对应的各漏极区域231和各源极区域232为第一导电型(在第二实施方式中为n⁺型),环状区域233为第二导电型(在第二实施方式中为p⁺型)。另一方面,与第二MOSFET210B对应的漏极区域231和源极区域232为第二导电型(在第二实施方式中为p⁺型),环状区域233为第一导电型(在第二实施方式中为n⁺型)。漏极区域231、源极区域232和环状区域233各自的杂质浓度例如与第一实施方式同样。

[0231] 在半导体层230的表面230s上形成有栅极绝缘膜234。在栅极绝缘膜234上形成有栅极电极235。栅极绝缘膜234例如由包含氧化硅(SiO₂)的材料形成。栅极绝缘膜234以露出各漏极区域231及各源极区域232的方式形成。即,栅极绝缘膜234形成在x方向上的漏极区域231与源极区域232之间的半导体层230上。因此,各栅极绝缘膜234上的栅极电极235在x方向上相互隔开距离地配置。俯视时,栅极电极235配置于x方向上的漏极区域231与源极区域232之间。

[0232] 如图18所示,第一MOSFET210A形成于第四外延层230D的表面。第二实施方式的第一MOSFET210A包含一个漏极区域231、两个源极区域232、两个栅极电极235、以及包围这些漏极区域231和源极区域232的环状区域233。

[0233] 一个漏极区域231和两个源极区域232在x方向上相互分离地排列。漏极区域231配置于x方向上的源极区域232之间。因此,各源极区域232配置于在x方向上与环状区域233相邻的位置。俯视时,栅极电极235配置于漏极区域231与源极区域232之间。漏极区域231、各源极区域232和各栅极电极235形成在俯视时y方向成为长边方向的带状。即,漏极区域231、各源极区域232和各栅极电极235分别在y方向延伸。各源极区域232在x方向上与漏极区域231隔开距离地形成。漏极区域231的宽度尺寸(x方向的尺寸)大于各源极区域232的宽度尺寸(x方向的尺寸)。在此,在第二实施方式中,y方向与“第一方向”对应,x方向与“第二方向”对应。

[0234] 在第一MOSFET210A的周围形成有包围环状区域233的第一外周区域236A。第一外周区域236A是将第一MOSFET210A和第三MOSFET210C分离的半导体区域。第一外周区域236A为第一导电型(在第二实施方式中为 n^+ 型)。第一外周区域236A形成于第一外延层230A的表面。第一外周区域236A以包围第四外延层230D的方式形成。第一外周区域236A例如与漏极区域231电连接。

[0235] 第二MOSFET210B形成于第五外延层230E的表面。第二实施方式的第二MOSFET210B与第一MOSFET210A同样地包含一个漏极区域231、两个源极区域232、两个栅极电极235和环状区域233。这些区域及栅极电极235的配置方式与第一MOSFET210A同样。

[0236] 在第二MOSFET210B的周围形成有包围环状区域233的第二外周区域236B。第二外周区域236B是将第二MOSFET210B和第一MOSFET210A分离的半导体区域。第二外周区域236B为第二导电型(在第二实施方式中为 p^+ 型)。第二外周区域236B形成于第二外延层230B的表面。第二外周区域236B以包围第五外延层230E的方式形成。第二外周区域236B包含与第一外周区域236A相邻的部分。第二外周区域236B例如与源极区域232电连接。

[0237] 第三MOSFET210C形成于第三外延层230C的表面。第二实施方式的第三MOSFET210C与第一MOSFET210A同样地包含一个漏极区域231、两个源极区域232、两个栅极电极235和环状区域233。这些区域及栅极电极235的配置方式与第一MOSFET210A同样。

[0238] 在半导体层230的表面230s形成有多个元件分离带237。多个元件分离带237形成于各MOSFET210A~210C中的源极区域232与环状区域233之间、第一MOSFET210A与第三MOSFET210C之间、第一MOSFET210C与第二MOSFET210B之间、及各外周区域236A、236B与环状区域233之间。

[0239] 在半导体层230的表面230s以覆盖栅极电极235及元件分离带237的方式形成有绝缘层240。绝缘层240例如由包含 SiO_2 的材料形成。绝缘层240包含多个第一开口241、多个第二开口242和多个第三开口243。

[0240] 多个第一开口241以使第一MOSFET210A的漏极区域231、源极区域232、栅极电极235、环状区域233和第一外周区域236A单独地从绝缘层240露出的方式形成。

[0241] 多个第二开口242以使第二MOSFET210B的漏极区域231、源极区域232、栅极电极235、环状区域233和第二外周区域236B单独地从绝缘层240露出的方式形成。

[0242] 多个第三开口243以使第三MOSFET210C的漏极区域231、源极区域232、栅极电极235和环状区域233单独地从绝缘层240露出的方式形成。

[0243] 保护电路200包含与第一MOSFET210A接合的第一~第四接触部251~254、与第二MOSFET210B接合的第一~第四接触部261~264和与第三MOSFET210C接合的第一~第三接触部271~273。

[0244] 第一~第四接触部251~254分别被单独地埋入多个第一开口241。第一接触部251与第一MOSFET210A的漏极区域231接合。第二接触部252与第一MOSFET210A的源极区域232接合。第三接触部253与第一MOSFET210A的栅极电极235接合。第四接触部254与第一外周区域236A接合。

[0245] 第一~第四接触部261~264分别被单独地埋入多个第二开口242。第一接触部261与第二MOSFET210B的漏极区域231接合。第二接触部262与第二MOSFET210B的源极区域232接合。第三接触部263与第二MOSFET210B的栅极电极235接合。第四接触部264与第二外周区

域236B接合。

[0246] 第一~第三接触部271~273分别被单独地埋入多个第三开口243。第一接触部271与第三MOSFET210C的漏极区域231接合。第二接触部272与第三MOSFET210C的源极区域232接合。第三接触部273与第三MOSFET210C的栅极电极235接合。

[0247] 第一接触部251、261、271与漏极区域231构成欧姆接触。第二接触部252、262、272与源极区域232构成欧姆接触。第三接触部253、263、273与栅极电极235构成欧姆接触。第四接触部254与第一外周区域236A构成欧姆接触。第四接触部264与第二外周区域236B构成欧姆接触。

[0248] 接下来,对第一~第三MOSFET210A~210C的环状区域233进行说明。此外,为了便于说明,在图17中,省略设置于环状区域233的接点以外的接触部来表示。

[0249] 如图17所示,在第二实施方式中,在第一~第三MOSFET210A~210C的环状区域233各自的表面233s形成有多个高浓度区域233A。多个高浓度区域233A在环状区域233的周向上相互隔开距离地配置。因此,在各环状区域233的表面233s上,在俯视时与高浓度区域233A不同的位置形成有露出区域233B。即,在环状区域233中,在其周向上交替配置有高浓度区域233A和露出区域233B。

[0250] 高浓度区域233A的杂质浓度比环状区域233的杂质浓度高。换言之,高浓度区域233A的杂质浓度比露出区域233B的杂质浓度高。在第二实施方式中,高浓度区域233A的杂质浓度为 $1 \times 10^{18} \text{cm}^{-3}$ 以上 $1 \times 10^{20} \text{cm}^{-3}$ 以下。露出区域233B的杂质浓度为 $1 \times 10^{15} \text{cm}^{-3}$ 以上 $1 \times 10^{17} \text{cm}^{-3}$ 以下。高浓度区域233A例如具有与源极区域232相同的杂质浓度。露出区域233B具有与环状区域233相同的杂质浓度。

[0251] 俯视时的各环状区域233的形状为矩形形状。各环状区域233包含在y方向上隔开距离的一对边SA和在x方向上隔开距离的一对边SB。一对边SA沿着x方向延伸。一对边SA可以沿着漏极区域231及源极区域232的排列方向延伸。一对边SB沿着y方向延伸。一对边SB可以沿着漏极区域231及源极区域232各自延伸的方向延伸。

[0252] 在各边SA上形成有多个(在第二实施方式中为两个)高浓度区域233A。各高浓度区域233A形成于在y方向上与源极区域232相对的位置。换言之,露出区域233B形成于在y方向上与漏极区域231相对的位置。另外,露出区域233B形成于在y方向上与栅极电极235相对的位置。

[0253] 在各边SB上形成有多个(在第二实施方式中为四个)高浓度区域233A。各高浓度区域233A形成于在x方向上与源极区域232相对的位置。各边SB的多个高浓度区域233A在y方向上相互分离地排列。因此,在各边SB上形成有多个露出区域233B。多个露出区域233B包含形成于在x方向上与源极区域232相对的位置的露出区域。另外,多个露出区域233B包含形成于各边SB中的在y方向上从源极区域232错开的位置的露出区域。在第二实施方式中,在环状区域233的四角的位置形成有露出区域233B。

[0254] 如图17所示,各边SA上的各露出区域233B的面积大于各高浓度区域233A的面积。各MOSFET210A~210C中的多个露出区域233B的总面积大于多个高浓度区域233A的总面积。

[0255] 在第一MOSFET210A的各高浓度区域233A中接合有第一环侧接触部255A。第一环侧接触部255A与高浓度区域233A构成欧姆接触。在第一MOSFET210A的各露出区域233B中肖特基接合有第二环侧接触部255B。第一环侧接触部255A及第二环侧接触部255B分别被埋入对

应的第一开口241。在第二实施方式中,第二环侧接触部255B的个数比第一环侧接触部255A的个数多。

[0256] 多个第二环侧接触部255B的一部分与在y方向上从源极区域232错开的位置的露出区域233B接合。另外,多个第二环侧接触部255B的一部分和在y方向上与漏极区域231相对的位置的露出区域233B接合。

[0257] 在第二MOSFET210B的各高浓度区域233A中接合有第一环侧接触部265A。第一环侧接触部265A与高浓度区域233A欧姆接触。在第二MOSFET210B的各露出区域233B中肖特基接合有第二环侧接触部265B。此外,这些环侧接触部265A、265B的配置方式与第一环侧接触部255A及第二环侧接触部255B的配置方式同样。

[0258] 在第三MOSFET210C的各高浓度区域233A中接合有第一环侧接触部274A。第一环侧接触部274A与高浓度区域233A欧姆接触。在第三MOSFET210C的各露出区域233B中肖特基接合有第二环侧接触部274B。此外,这些环侧接触部274A、274B的配置方式与第一环侧接触部255A及第二环侧接触部255B的配置方式同样。

[0259] 此外,高浓度区域233A的个数能够任意变更。另外,第一环侧接触部255A及第二环侧接触部255B各自的个数能够任意变更。在一例中,第二环侧接触部255B的个数也可以与第一环侧接触部255A的个数相等。另外,在一例中,第二环侧接触部255B的个数也可以比第一环侧接触部255A的个数少。此外,第一环侧接触部265A、274A的个数及第二环侧接触部265B、274B的个数也能够任意变更,也可以与第一环侧接触部255A及第二环侧接触部255B同样地变更。

[0260] 如图18所示,保护电路200具有漏极配线281A~281C及源极配线282A~282C。这些配线281A~281C、282A~282C形成在绝缘层240上。另外,这些配线281A~281C、282A~282C例如由包含Cu、Al、Ti中的至少一种的材料形成。在此,在第二实施方式中,源极配线282A~282C与“配线”对应。

[0261] 漏极配线281A与第一接触部251接合,漏极配线281B与第一接触部261接合,漏极配线281C与第一接触部271接合。这样,漏极配线281A与第一MOSFET210A的漏极区域231电连接,漏极配线281B与第二MOSFET210B的漏极区域231电连接,漏极配线281C与第三MOSFET210C的漏极区域231电连接。

[0262] 源极配线282A将第一环侧接触部255A、第二环侧接触部255B和第一MOSFET210A的栅极电极235相互电连接。更详细而言,源极配线282A与第二接触部252、第三接触部253、第一环侧接触部255A、及第二环侧接触部255B接合。因此,源极配线282A与第一MOSFET210A的源极区域232、栅极电极235以及环状区域233的高浓度区域233A及露出区域233B电连接。

[0263] 源极配线282B将第一环侧接触部265A、第二环侧接触部265B和第二MOSFET210B的栅极电极235相互电连接。更详细而言,源极配线282B与第二接触部262、第三接触部263、第一环侧接触部265A和第二环侧接触部255B接合。因此,源极配线282B与第二MOSFET210B的源极区域232、栅极电极235以及环状区域233的高浓度区域233A及露出区域233B电连接。

[0264] 源极配线282C将第一环侧接触部274A、第二环侧接触部274B和第三MOSFET210C的栅极电极235相互电连接。更详细而言,源极配线282C与第二接触部272、第三接触部273、第一环侧接触部274A和第二环侧接触部274B接合。因此,源极配线282C与第三MOSFET210C的源极区域232、栅极电极235以及环状区域233的高浓度区域233A及露出区域233B电连接。

[0265] 在这样的结构的保护电路200中,在第一MOSFET210A及第三MOSFET210C各自的漏极—源极间形成有寄生NPN晶体管。寄生NPN晶体管的集电极与漏极区域231电连接,发射极与源极区域232电连接,基极与露出区域233B或高浓度区域233A电连接。在基极与露出区域233B连接的情况下,因为各MOSFET210A、210C的寄生NPN晶体管的基极—发射极间包含露出区域233B的电阻成分、与基于露出区域233B和第二环侧接触部255B、274B的肖特基接合的二极管成分,所以基极—发射极间电压容易变大。而且,如果基极—发射极间电压变大,则集电极电流容易流通。

[0266] 另外,在第二MOSFET210B的漏极—源极间形成有寄生PNP晶体管。寄生PNP晶体管的发射极与源极区域232电连接,集电极与漏极区域231电连接,基极与露出区域233B或高浓度区域233A电连接。在基极与露出区域233B连接的情况下,因为第二MOSFET210B的寄生PNP晶体管的基极—发射极间包含露出区域233B的电阻成分,和基于露出区域233B与第二环侧接触部265B的肖特基接合的二极管成分,所以基极—发射极间电压容易变大。而且,如果基极—发射极间电压变大,则集电极电流容易流通。

[0267] (效果)

[0268] 根据第二实施方式,获得以下的效果。

[0269] (2-1)具有第一~第三MOSFET210A、210B、210C的保护电路200具有:第二导电型的半导体层230;第一导电型的漏极区域231,其形成于半导体层230的表面230s,在y方向延伸;第一导电型的源极区域232,其形成于半导体层230的表面230s,在x方向上与漏极区域231隔开距离地形成;栅极绝缘膜234,其形成在漏极区域231与源极区域232之间的半导体层230上;栅极电极235,其形成在栅极绝缘膜234上;环状区域233,其为以包围漏极区域231及源极区域232双方的方式形成为环状的第二导电型的半导体区域;高浓度区域233A,其形成于环状区域233的表面233s,杂质浓度比环状区域233高;露出区域233B,从z方向观察,上述露出区域233B形成于环状区域233中的与高浓度区域233A不同的位置;与高浓度区域233A接合的第一环侧接触部255A、265A、274A;与露出区域233B进行肖特基接合的第二环侧接触部255B、265B、274B;源极配线282A~282C,其将第一环侧接触部255A、265A、274A、第二环侧接触部255B、265B、274B和栅极电极235相互电连接。

[0270] 根据该结构,因为形成于各MOSFET210A~210C的寄生晶体管的基极与露出区域233B电连接,所以能够增大寄生晶体管的集电极电流。由此,能够增大ESD引起的在各MOSFET210A~210C中流通的电流。因此,能够提高保护电路200的ESD耐性。

[0271] 另外,保护电路200构成为能够调整与高浓度区域233A接合的第一环侧接触部255A、265A、274A的个数和与露出区域233B进行肖特基接合的第二环侧接触部255B、265B、274B的个数。即,在想要提高保护电路200的正极性的ESD耐压的情况下,增加与露出区域233B进行肖特基接合的第二环侧接触部255B、265B、274B的个数,在想要提高保护电路200的负极性的ESD耐压的情况下,增加与高浓度区域233A接合的第一环侧接触部255A、265A、274A的个数。这样,能够根据各环侧接触部255A、265A、274A、255B、265B、274B的个数调整保护电路200的正极性的ESD耐压和负极性的ESD耐压。

[0272] [第二实施方式的变更例]

[0273] 第二实施方式能够如下变更而实施。另外,以下的变更例在技术上不产生矛盾的范围之内能够相互组合。

[0274] • 俯视时,第一~第三MOSFET210A~210C的排列方向与源极区域232和漏极区域231的排列方向也可以互不相同。在一例中,俯视时,第一~第三MOSFET210A~210C的排列方向与源极区域232和漏极区域231的排列方向也可以相互正交。

[0275] (高浓度区域的配置方式)

[0276] • 环状区域233中的高浓度区域233A的配置方式能够任意变更。例如,也可以如图19所示的第一变更例及图20所示的第二变更例那样变更。此外,在图19及图20中,省略第一~第三接触部271~273来表示。

[0277] (第一变更例)

[0278] 如图19所示,在第一变更例中,在环状区域233的各边SB上没有形成高浓度区域233A。因此,环状区域233的各边SB仅由露出区域233B形成。环状区域233的各边SA上的高浓度区域233A的配置方式与第二实施方式同样。

[0279] 如图19所示,第一变更例中的露出区域233B的个数比第二实施方式少。因此,各MOSFET210A~210C中的多个露出区域233B的总面积与多个高浓度区域233A的总面积之差大于第二实施方式。

[0280] 在环状区域233的各边SB上,多个(在第一变更例中为六个)第二环侧接触部274B与露出区域233B进行肖特基接合。因此,在第一变更例中,第二环侧接触部274B的个数比第一环侧接触部274A的个数多。

[0281] (第二变更例)

[0282] 如图20所示,在第二变更例中,在环状区域233的各边SA上没有形成高浓度区域233A。因此,环状区域233的各边SA仅由露出区域233B形成。在环状区域233的各边SB上,在各边SB的y方向的中央部形成有高浓度区域233A。

[0283] 如图20所示,第一变更例中的露出区域233B的个数比第一变更例少。因此,各MOSFET210A~210C中的多个露出区域233B的总面积与多个高浓度区域233A的总面积之差大于第一变更例。

[0284] 在环状区域233的各边SA上,多个(在第二变更例中为四个)第二环侧接触部274B与露出区域233B进行肖特基接合。另外,在环状区域233的各边SB上,多个(在第二变更例中为四个)第二环侧接触部274B与露出区域233B进行肖特基接合。因此,在第二变更例中,第二环侧接触部274B的个数比第一环侧接触部274A的个数多。此外,也可以将图19所示的第一变更例和图20所示的第二变更例组合。

[0285] [与各实施方式共同的变更例]

[0286] 上述各实施方式能够如下变更而实施。另外,上述各实施方式及以下的变更例在技术上不产生矛盾的范围内能够相互组合而实施。

[0287] • 在各实施方式中,第一~第三MOSFET10A~10C(210A~210C)中的一个或两个MOSFET也可以是没有形成露出区域55、233B的结构。

[0288] • 在各实施方式中,第一~第三MOSFET10A~10C(210A~210C)中的一个或两个MOSFET也可以是没有形成高浓度区域54、233A的结构。

[0289] • 在各实施方式中,也可以使第一~第三MOSFET10A~10C(210A~210C)的导电型反转。即,也可以是,第一MOSFET10A(210A)及第三MOSFET10C(210C)为p型MOSFET,第二MOSFET10B(210B)为n型MOSFET。

[0290] • 在各实施方式中,保护电路10、200的结构能够任意变更。在一例中,也可以从保护电路10、200省略第三MOSFET10C、210C。

[0291] 在本说明书中,“A和B中的至少一个”应被理解是指“仅A、或仅B、或A和B双方”。

[0292] 在本公开中使用的“在~上”这一术语包含“在~上”和“在~的上方”双方的意思,除非由上下文清楚地表示并非如此。因此,“第一部件形成在第二部件上”这一表达用意为:在某实施方式中第一部件可与第二部件接触地直接配置在第二部件上,但在其他实施方式中第一部件可不与第二部件接触地配置在第二部件的上方。即,“在~上”这一术语不排除在第一部件和第二部件之间形成其他部件的结构。

[0293] 在本公开中使用的z方向不一定必须为垂直方向,也不需要与垂直方向完全一致。因此,本公开的各种结构不限于在本说明书中说明的z方向的“上”及“下”为垂直方向的“上”及“下”。例如,x方向也可以是垂直方向,或y方向也可以是垂直方向。

[0294] [附记]

[0295] 以下记载能够从上述实施方式及变更例掌握的技术思想。此外,不是为了限定而是为了帮助理解,对于在附记中记载的结构,写上括弧来表示实施方式中的对应的符号。符号是为了帮助理解而作为例子示出的,在各附记中记载的构成要素应限定于符号所示的构成要素。

[0296] (附记1)

[0297] 一种具有MOSFET(10A~10C)的半导体装置(10),其具有:

[0298] 第一导电型的半导体层(30);

[0299] 形成于上述半导体层(30)的表面(30s)的第二导电型的体区域(40);

[0300] 第二导电型的漏极区域(42),其形成于上述体区域(40)的表面(40s),与上述体区域(40)周围的上述半导体层隔开距离地配置,在与上述半导体层(30)的厚度方向(z方向)正交的第一方向(y方向)延伸;

[0301] 第一导电型的第一阱区域(50A),其形成于上述半导体层(30)的表面(30s),在与上述半导体层(30)的厚度方向(z方向)和上述第一方向(y方向)双方正交的第二方向(x方向)上与上述漏极区域(42)隔开距离地形成;

[0302] 栅极绝缘膜(85),其形成在上述第一阱区域(50A)和上述体区域(40)之间的上述半导体层(30)上;

[0303] 场氧化膜(80),其形成于上述体区域(40)的表面(40s)上的上述栅极绝缘膜(85)与上述漏极区域(42)之间的部分;

[0304] 栅极电极(10BG),其形成在上述栅极绝缘膜(85)和上述场氧化膜(80)上;

[0305] 第二导电型的源极区域(53),其形成于上述第一阱区域(50A)的表面(50s);

[0306] 露出区域(55),从上述半导体层(30)的厚度方向(z方向)观察,上述露出区域(55)形成于上述第一阱区域(50A)中的与上述源极区域(53)不同的位置;

[0307] 与上述源极区域(53)接合的第一接触部(101);

[0308] 与上述露出区域(55)进行肖特基接合的第二接触部(102);

[0309] 与上述栅极电极(10BG)接合的第三接触部(103);和

[0310] 配线(110),其将上述第一接触部(101)、上述第二接触部(102)和上述第三接触部(103)相互电连接。

[0311] (附记2)

[0312] 根据附记1所述的半导体装置,其中,还具有:

[0313] 第二阱区域(50B),其中没有形成上述露出区域(55),包含上述源极区域(53)和从上述半导体层(30)的厚度方向(z方向)观察形成于与上述源极区域(53)不同的位置的第一导电型的高浓度区域(54);和

[0314] 与上述高浓度区域(54)接合的第四接触部(104),

[0315] 上述高浓度区域(54)具有比上述露出区域(55)高的杂质浓度,

[0316] 上述配线(110)与上述第四接触部(104)电连接。

[0317] (附记3)

[0318] 根据附记2所述的半导体装置,其中,

[0319] 上述第一阱区域(50A)、上述第二阱区域(50B)和上述体区域(40)在上述第二方向(x方向)并排设置,

[0320] 上述第一阱区域(50A)和上述第二阱区域(50B)在上述第二方向(x方向)上隔着上述体区域(40)配置。

[0321] (附记4)

[0322] 根据附记2所述的半导体装置,其中,

[0323] 上述第二阱区域(50B)配置于形成上述体区域(40)、上述第一阱区域(50A)和上述第二阱区域(50B)的元件形成区域之中的上述第二方向(x方向)的两端部,

[0324] 上述第一阱区域(50A)配置于上述元件形成区域之中的上述第二方向(x方向)的两端部所配置的上述第二阱区域(50B)的上述第二方向(x方向)之间。

[0325] (附记5)

[0326] 根据附记2所述的半导体装置,其中,

[0327] 上述第一阱区域(50A)设置有多个,

[0328] 上述多个第一阱区域(50A)、上述第二阱区域(50B)和上述体区域(40)在上述第二方向(x方向)上并排设置,

[0329] 上述第二阱区域(50B)配置于形成上述体区域(40)、上述第一阱区域(50A)和上述第二阱区域(50B)的元件形成区域之中的上述第二方向(x方向)的中央,

[0330] 上述多个第一阱区域(50A)在上述第二方向(x方向)上分散配置于上述第二阱区域(50B)的两侧。

[0331] (附记6)

[0332] 根据附记2所述的半导体装置,其中,

[0333] 上述第一阱区域(50A)和上述第二阱区域(50B)在上述第二方向(x方向)上隔着上述体区域(40)排列,

[0334] 上述第一阱区域(50A)包含第一导电型的高浓度区域(54),从上述半导体层(30)的厚度方向(z方向)观察,上述第一导电型的高浓度区域(54)形成于上述第一阱区域(50A)中的与上述源极区域(53)及上述露出区域(55)双方不同的位置,且具有比上述第一阱区域(50A)高的杂质浓度,

[0335] 上述第一阱区域(50A)的高浓度区域(54)和上述第二阱区域(50B)的高浓度区域(54)在上述第一方向(y方向)上配置于相互错开的位置。

[0336] (附记7)

[0337] 根据附记2所述的半导体装置,其中,

[0338] 上述第一阱区域(50A)包含第一导电型的高浓度区域(54),从上述半导体层(30)的厚度方向(z方向)观察,上述第一导电型的高浓度区域(54)形成于上述第一阱区域(50A)中的与上述源极区域(53)及上述露出区域(55)双方不同的位置,且具有比上述第一阱区域(50A)高的杂质浓度,

[0339] 上述第一阱区域(50A)的高浓度区域(54)仅形成于上述第一阱区域(50A)的上述第一方向(y方向)的中央,

[0340] 上述第二阱区域(50B)的高浓度区域(54)仅形成于上述第二阱区域(50B)中的上述第一方向(y方向)的中央。

[0341] (附记8)

[0342] 根据附记2~7中任一项所述的半导体装置,其中,

[0343] 上述高浓度区域(54)的杂质浓度为 $1 \times 10^{18} \text{cm}^{-3}$ 以上 $1 \times 10^{20} \text{cm}^{-3}$ 以下,

[0344] 上述露出区域(55)的杂质浓度为 $1 \times 10^{15} \text{cm}^{-3}$ 以上 $1 \times 10^{17} \text{cm}^{-3}$ 以下。

[0345] (附记9)

[0346] 根据附记2~8中任一项所述的半导体装置,其中,

[0347] 具有中间区域(51),其为形成于上述第二阱区域(50B)的表面(50s),杂质浓度比上述第二阱区域(50B)的杂质浓度高且比上述高浓度区域(54)低的第一导电型的半导体区域,

[0348] 上述高浓度区域(54)形成于上述中间区域(51)的表面,

[0349] 从上述半导体层(30)的厚度方向(z方向)观察,在上述第一阱区域(50A)中的与上述源极区域(53)不同的位置没有形成上述中间区域(51),而形成有上述露出区域(55)。

[0350] (附记10)

[0351] 根据附记2~9中任一项所述的半导体装置,其中,

[0352] 上述高浓度区域(54)相对于上述第一方向(y方向)和上述第二方向(x方向)双方对称配置。

[0353] (附记11)

[0354] 根据附记2~10中任一项所述的半导体装置,其中,还具有:

[0355] 环状区域(60),其以包围上述体区域(40)、上述第一阱区域(50A)、上述第二阱区域(50B)的方式形成为环状;

[0356] 环侧高浓度区域(62),其形成于上述环状区域(60)的表面(60s),杂质浓度比上述露出区域(55)高;

[0357] 环侧露出区域(64),从上述半导体层(30)的厚度方向(z方向)观察,上述环侧露出区域(64)形成于上述环状区域(60)中的与上述环侧高浓度区域(62)不同的位置,杂质浓度比上述环侧高浓度区域(62)低;

[0358] 与上述环侧高浓度区域(62)接合的第一环侧接触部(105A);

[0359] 与上述环侧露出区域(64)进行肖特基接合的第二环侧接触部(105B)。

[0360] (附记12)

[0361] 根据附记11所述的半导体装置,其中,

- [0362] 上述环侧露出区域(64)的杂质浓度与上述露出区域(55)的杂质浓度相等。
- [0363] (附记13)
- [0364] 一种具有MOSFET(210A~210C)的半导体装置(200),其具有:
- [0365] 第二导电型的半导体层(230);
- [0366] 第一导电型的漏极区域(231),其形成于上述半导体层(230)的表面(230s),在与上述半导体层(230)的厚度方向(z方向)正交的第一方向(y方向)延伸;
- [0367] 第一导电型的源极区域(232),其形成于上述半导体层(230)的表面(230s),在与上述半导体层(230)的厚度方向(z方向)和上述第一方向(y方向)双方正交的第二方向(x方向)上与上述漏极区域(231)隔开距离地形成;
- [0368] 栅极绝缘膜(234),其形成于上述漏极区域(231)与上述源极区域(232)之间的上述半导体层(230)上;
- [0369] 栅极电极(235),其形成于上述栅极绝缘膜(234)上;
- [0370] 环状区域(233),其为以包围上述漏极区域(231)和上述源极区域(232)双方的方式形成为环状的第二导电型的半导体区域;
- [0371] 高浓度区域(233A),其形成于上述环状区域(233)的表面,杂质浓度比上述环状区域高;
- [0372] 露出区域(233B),从上述半导体层(230)的厚度方向(z方向)观察,上述露出区域(233B)形成于上述环状区域(233)中的与上述高浓度区域(233A)不同的位置;
- [0373] 与上述高浓度区域(233A)接合的第一环侧接触部(255A、265A、274A);
- [0374] 与上述露出区域(233B)进行肖特基接合的第二环侧接触部(255B、265B、274B);
- [0375] 配线(282A、282B、282C),其将上述第一环侧接触部(255A、265A、274A)、上述第二环侧接触部(255B、265B、274B)和上述栅极电极(235)相互电连接。
- [0376] (附记14)
- [0377] 根据附记13所述的半导体装置,其中,
- [0378] 从上述半导体层(230)的厚度方向(z方向)观察的上述环状区域(233)的形状为矩形形状,
- [0379] 上述高浓度区域(233A)形成于上述环状区域(233)的四边中的在上述第一方向(y方向)上隔开距离的一对边(SA)和在上述第二方向(x方向)上隔开距离的一对边(SB)中的任意边。
- [0380] (附记15)
- [0381] 根据附记14所述的半导体装置,其中,
- [0382] 上述高浓度区域(233A)没有形成于上述环状区域(233)的四边中的在上述第二方向(x方向)上隔开距离的一对边(SB),而形成于在上述第一方向(x方向)上隔开距离的一对边(SA)中的与上述源极区域(232)相对的部分。
- [0383] (附记16)
- [0384] 根据附记13所述的半导体装置,其中,
- [0385] 上述源极区域(232)设置有多个,
- [0386] 从上述半导体层(230)的厚度方向(z方向)观察的上述环状区域(233)的形状为矩形形状,

[0387] 从上述半导体层(230)的厚度方向(z方向)观察,在上述环状区域(233)内,上述多个源极区域(232)在上述第二方向(x方向)并排排列,

[0388] 上述源极区域(232)在上述环状区域(233)内配置于上述第二方向(x方向)的两端部,

[0389] 上述高浓度区域(233A)形成于在上述第一方向(y方向)上隔开距离的一对边(SA)中的在上述第一方向(y方向)上与上述源极区域(232)相对的部分、和在上述第二方向(x方向)上隔开距离的一对边(SB)中的在上述第二方向(x方向)上与上述源极区域(232)相对的部分这两个部分。

[0390] (附记17)

[0391] 根据附记13~16中任一项所述的半导体装置,其中,

[0392] 上述高浓度区域(233A)的杂质浓度为 $1 \times 10^{18} \text{cm}^{-3}$ 以上 $1 \times 10^{20} \text{cm}^{-3}$ 以下,

[0393] 上述露出区域(233B)的杂质浓度为 $1 \times 10^{15} \text{cm}^{-3}$ 以上 $1 \times 10^{17} \text{cm}^{-3}$ 以下。

[0394] (附记18)

[0395] 根据附记1~10中任一项所述的半导体装置,其中,

[0396] 上述露出区域(55)在上述第一方向(y方向)及上述第二方向(x方向)上对称配置。

[0397] (附记19)

[0398] 根据附记2~9中任一项所述的半导体装置,其中,

[0399] 上述露出区域(55)和上述高浓度区域(54)双方在上述第一方向(y方向)和上述第二方向(x方向)上对称配置。

[0400] (附记20)

[0401] 根据附记11或12所述的半导体装置,其中,

[0402] 上述环侧高浓度区域(62)在上述第一方向(y方向)和上述第二方向(x方向)上对称配置。

[0403] (附记21)

[0404] 根据附记2~12中任一项所述的半导体装置,其中,

[0405] 上述第二接触部(102)的个数比上述第四接触部(104)的个数多。

[0406] (附记22)

[0407] 根据附记2~12中任一项所述的半导体装置,其中,

[0408] 上述第四接触部(104)的个数比上述第二接触部(102)的个数多。

[0409] (附记23)

[0410] 根据附记2~12中任一项所述的半导体装置,其中,

[0411] 上述第二接触部(102)的个数与上述第四接触部(104)的个数相等。

[0412] (附记24)

[0413] 根据附记11或12所述的半导体装置,其中,

[0414] 上述第二环侧接触部(105B)的个数比上述第一环侧接触部(105A)的个数多。

[0415] (附记25)

[0416] 根据附记11或12所述的半导体装置,其中,

[0417] 上述第一环侧接触部(105A)的个数比上述第二环侧接触部(105B)的个数多。

[0418] (附记26)

- [0419] 根据附记11或12所述的半导体装置,其中,
- [0420] 上述第一环侧接触部(105A)的个数与上述第二环侧接触部(105B)的个数相等。
- [0421] (附记27)
- [0422] 根据附记13~17中任一项所述的半导体装置,其中,
- [0423] 上述第二环侧接触部(255B、265B、274B)的个数比上述第一环侧接触部(255A、265A、274A)的个数多。
- [0424] (附记28)
- [0425] 根据附记13~17中任一项所述的半导体装置,其中,
- [0426] 上述第一环侧接触部(255A、265A、274A)的个数比上述第二环侧接触部(255B、265B、274B)的个数多。
- [0427] (附记29)
- [0428] 根据附记13~17中任一项所述的半导体装置,其中,
- [0429] 上述第一环侧接触部(255A、265A、274A)的个数与上述第二环侧接触部(255B、265B、274B)的个数相等。
- [0430] (附记30)
- [0431] 一种具有MOSFET(10A~10C)的半导体装置(10),其具有:
- [0432] 第一导电型的半导体层(30);
- [0433] 形成于上述半导体层(30)的表面(30s)的第二导电型的体区域(40);
- [0434] 第二导电型的漏极区域(42),其形成于上述体区域(40)的表面(40s),与上述体区域(40)周围的上述半导体层(30)隔开距离地配置,在与上述半导体层(30)的厚度方向(z方向)正交的第一方向(y方向)延伸;
- [0435] 第一导电型的阱区域(50B),其形成于上述半导体层(30)的表面(30s),在与上述半导体层(30)的厚度方向(z方向)和上述第一方向(y方向)双方正交的第二方向(x方向)上与上述漏极区域(42)隔开距离地形成;
- [0436] 栅极绝缘膜(85),其形成于上述阱区域(50B)与上述体区域(40)之间的上述半导体层(30)上;
- [0437] 场氧化膜(80),其形成于上述体区域(40)的表面(40s)上的上述栅极绝缘膜(85)与上述漏极区域(42)之间的部分;
- [0438] 栅极电极(10BG),其形成于上述栅极绝缘膜(85)和上述场氧化膜(80)上;
- [0439] 第二导电型的源极区域(53),其形成于上述阱区域(50B)的表面(50s);
- [0440] 第一导电型的高浓度区域(54),其形成于上述阱区域(50B)中的从上述半导体层(30)的厚度方向(z方向)观察与上述源极区域(53)不同的位置;
- [0441] 环状区域(60),其以包围上述体区域(40)及上述阱区域(50B)的方式形成为环状;
- [0442] 环侧高浓度区域(62),其形成于上述环状区域(60)的表面(60s),杂质浓度比上述露出区域(55)高;
- [0443] 环侧露出区域(64),从上述半导体层(30)的厚度方向(z方向)观察,上述环侧露出区域(64)形成于上述环状区域(60)中的与上述环侧高浓度区域(62)不同的位置,杂质浓度比上述环侧高浓度区域(62)低;
- [0444] 与上述环侧高浓度区域(62)接合的第一环侧接触部(105A);

- [0445] 与上述环侧露出区域(64)进行肖特基接合的第二环侧接触部(105B)；
- [0446] 与上述源极区域(53)接合的源极接触部(101)；
- [0447] 与上述栅极电极(10BG)接合的栅极接触部(103)；
- [0448] 配线(110)，其将上述源极接触部(101)、上述栅极接触部(103)、上述第一环侧接触部(105A)和上述第二环侧接触部(105B)相互电连接。
- [0449] (附记31)
- [0450] 根据附记30所述的半导体装置，其中，
- [0451] 上述第一环侧接触部(105A)的个数比上述第二环侧接触部(105B)的个数多。
- [0452] (附记32)
- [0453] 根据附记30所述的半导体装置，其中，
- [0454] 上述第二环侧接触部(105B)的个数比上述第一环侧接触部(105A)的个数多。
- [0455] (附记33)
- [0456] 根据附记30所述的半导体装置，其中，
- [0457] 上述第一环侧接触部(105A)的个数与上述第二环侧接触部(105B)的个数相等。
- [0458] 以上的说明仅为例示。除了为了对本公开的技术进行说明而列举的构成要素及方法(制造过程)以外，本领域技术人员可以认识到能够进行更多的可考虑到的组合及置换。本公开旨在包括技术方案及附记的本公开的范围所包含的全部代替、变形和变更。
- [0459] 附图标记说明
- [0460] 1…半导体集成电路
- [0461] 10…保护电路(半导体装置)
- [0462] 10A…第一MOSFET
- [0463] 10B…第二MOSFET
- [0464] 10C…第三MOSFET
- [0465] 10BG…栅极电极
- [0466] 20…半导体基板
- [0467] 30…半导体层
- [0468] 30s…表面
- [0469] 31…埋入层
- [0470] 40…体区域
- [0471] 40s…表面
- [0472] 41…中间体区域
- [0473] 42…漏极区域
- [0474] 43…埋入体区域
- [0475] 50A…第一阱区域
- [0476] 50B…第二阱区域
- [0477] 50s…表面
- [0478] 51…源极中间区域
- [0479] 52…中间区域
- [0480] 53…源极区域

- [0481] 53A…中央源极区域
- [0482] 54…高浓度区域
- [0483] 54A…端部高浓度区域
- [0484] 55…露出区域
- [0485] 56…高耐压区域
- [0486] 60…环状区域
- [0487] 60s…表面
- [0488] 61…环侧中间区域
- [0489] 62…环侧高浓度区域
- [0490] 63…环侧高耐压区域
- [0491] 64…环侧露出区域
- [0492] 70…元件分离区域
- [0493] 70s…表面
- [0494] 71…元件分离侧中间区域
- [0495] 72…元件分离侧高浓度区域
- [0496] 73…元件分离侧高耐压区域
- [0497] 74…元件分离侧埋入层
- [0498] 80…场氧化膜
- [0499] 81…第一开口
- [0500] 82…第二开口
- [0501] 83…第三开口
- [0502] 84…第四开口
- [0503] 85…栅极绝缘膜
- [0504] 90…绝缘层
- [0505] 91…第一开口
- [0506] 92…第二开口
- [0507] 93…第三开口
- [0508] 94…第四开口
- [0509] 95…第五开口
- [0510] 96…第六开口
- [0511] 97…第七开口
- [0512] 101…第一接触部
- [0513] 102…第二接触部
- [0514] 103…第三接触部
- [0515] 104…第四接触部
- [0516] 105…第五接触部
- [0517] 105A…第一环侧接触部
- [0518] 105B…第二环侧接触部
- [0519] 106…第六接触部

- [0520] 107…第七接触部
- [0521] 110…源极配线(配线)
- [0522] 111…内侧源极配线
- [0523] 112…外侧源极配线
- [0524] 120…漏极配线
- [0525] 130…最外周配线
- [0526] 200…保护电路
- [0527] 210A…第一MOSFET
- [0528] 210B…第二MOSFET
- [0529] 210C…第三MOSFET
- [0530] 220…半导体基板
- [0531] 230…半导体层
- [0532] 230s…表面
- [0533] 230A…第一外延层
- [0534] 230B…第二外延层
- [0535] 230C…第三外延层
- [0536] 230D…第四外延层
- [0537] 230E…第五外延层
- [0538] 231…漏极区域
- [0539] 232…源极区域
- [0540] 233…环状区域
- [0541] 233A…高浓度区域
- [0542] 233B…露出区域
- [0543] 233s…表面
- [0544] 234…栅极绝缘膜
- [0545] 235…栅极电极
- [0546] 236A…第一外周区域
- [0547] 236B…第二外周区域
- [0548] 237…元件分离带
- [0549] 240…绝缘层
- [0550] 241…第一开口
- [0551] 242…第二开口
- [0552] 243…第三开口
- [0553] 251…第一接触部
- [0554] 252…第二接触部
- [0555] 253…第三接触部
- [0556] 254…第四接触部
- [0557] 255A…第一环侧接触部
- [0558] 255B…第二环侧接触部

- [0559] 261…第一接触部
- [0560] 262…第二接触部
- [0561] 263…第三接触部
- [0562] 264…第四接触部
- [0563] 265A…第一环侧接触部
- [0564] 265B…第二环侧接触部
- [0565] 271…第一接触部
- [0566] 272…第二接触部
- [0567] 273…第三接触部
- [0568] 274A…第一环侧接触部
- [0569] 274B…第二环侧接触部
- [0570] 281A、281B、281C…漏极配线
- [0571] 282A、282B、282C…源极配线
- [0572] CIT…内部电路
- [0573] R1…第一电阻元件
- [0574] R2…第二电阻元件
- [0575] R3…第三电阻元件
- [0576] PE…电源电极
- [0577] PG…接地电极
- [0578] PI…输入电极
- [0579] W1…第一配线
- [0580] W2…第二配线
- [0581] W3…第三配线
- [0582] W4…第四配线
- [0583] RH、RW…电阻成分
- [0584] DS…二极管成分
- [0585] SA、SB…一边。

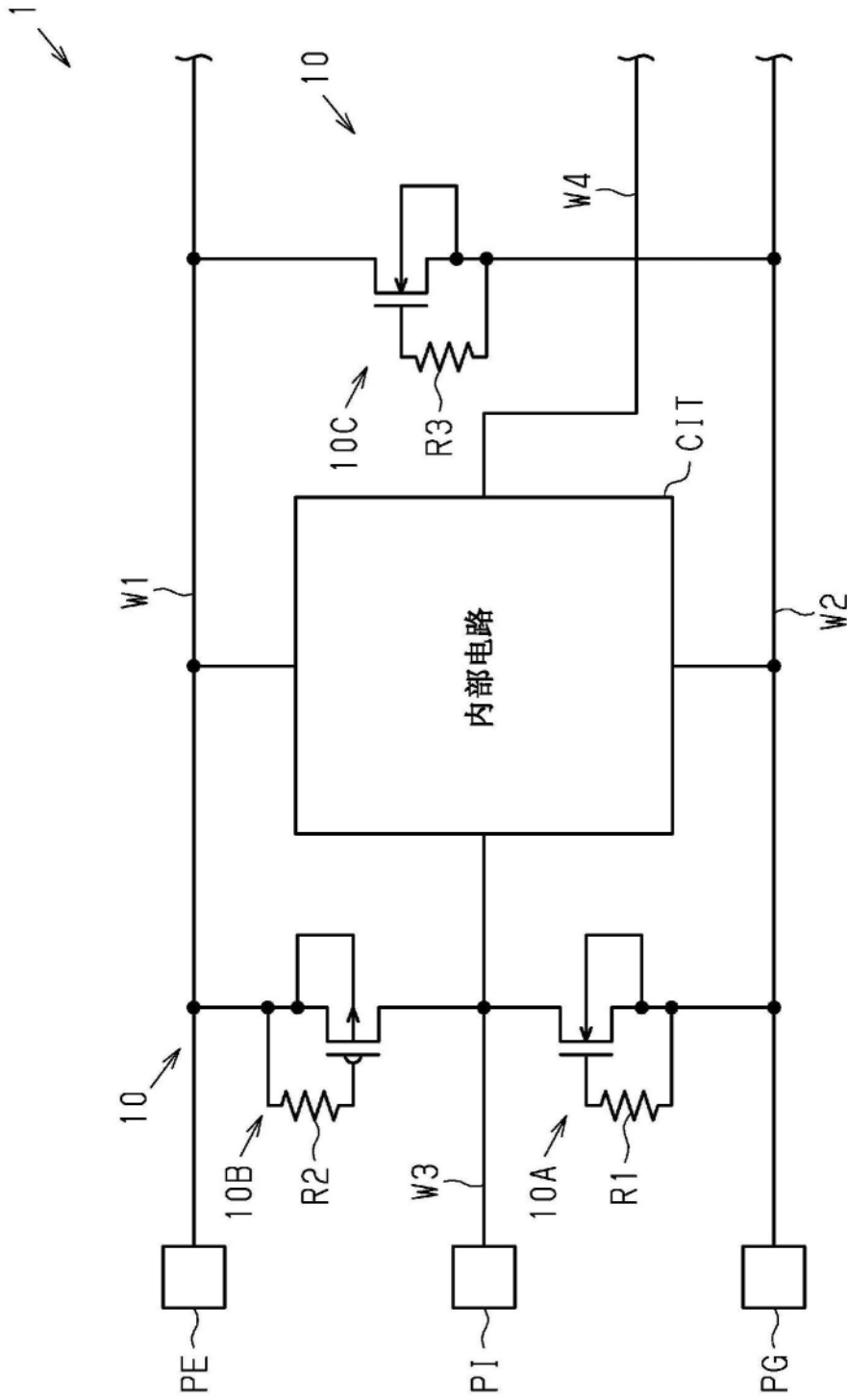


图1

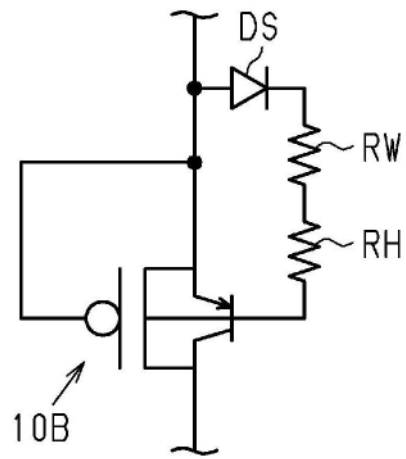


图4

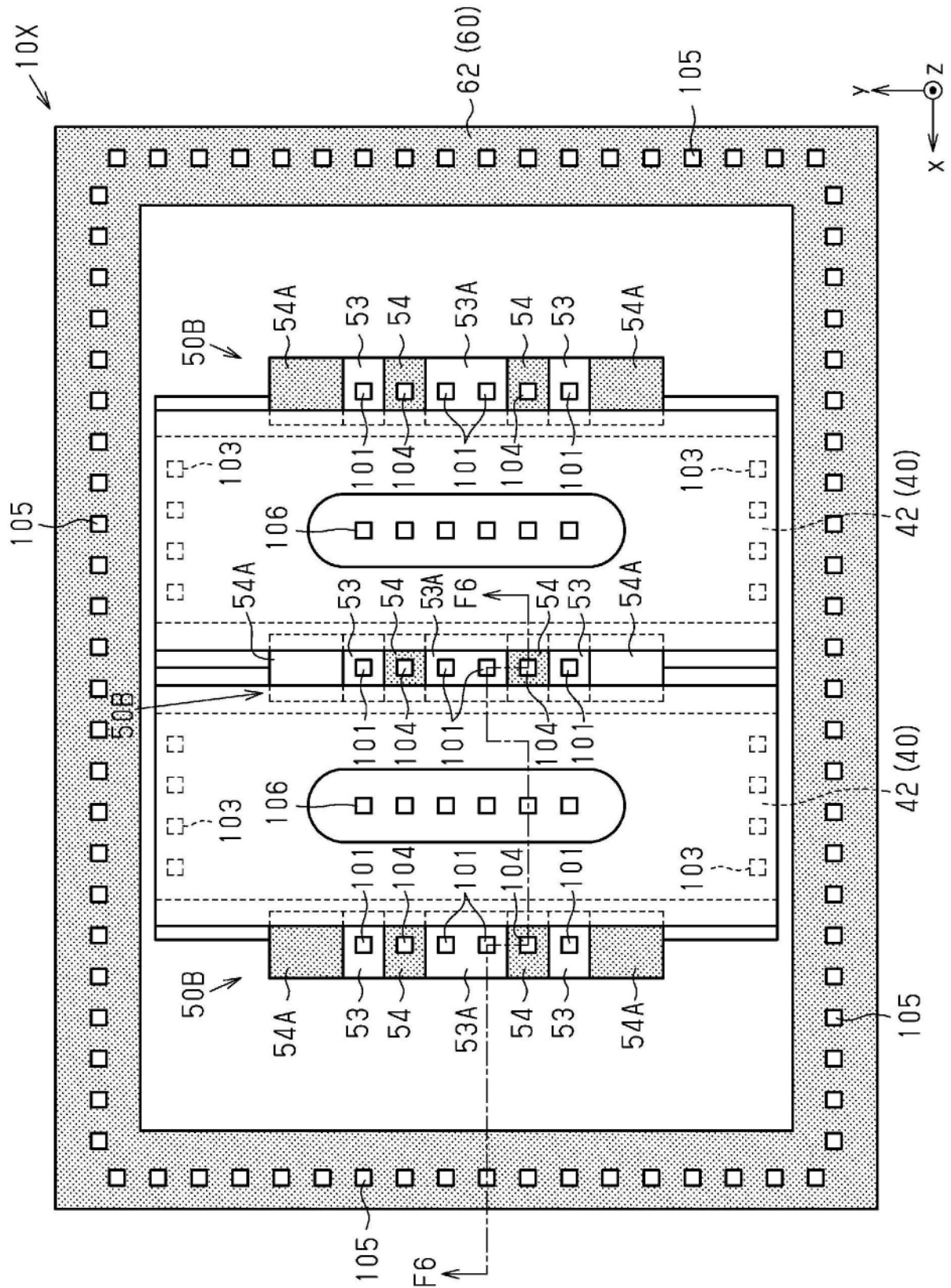


图5

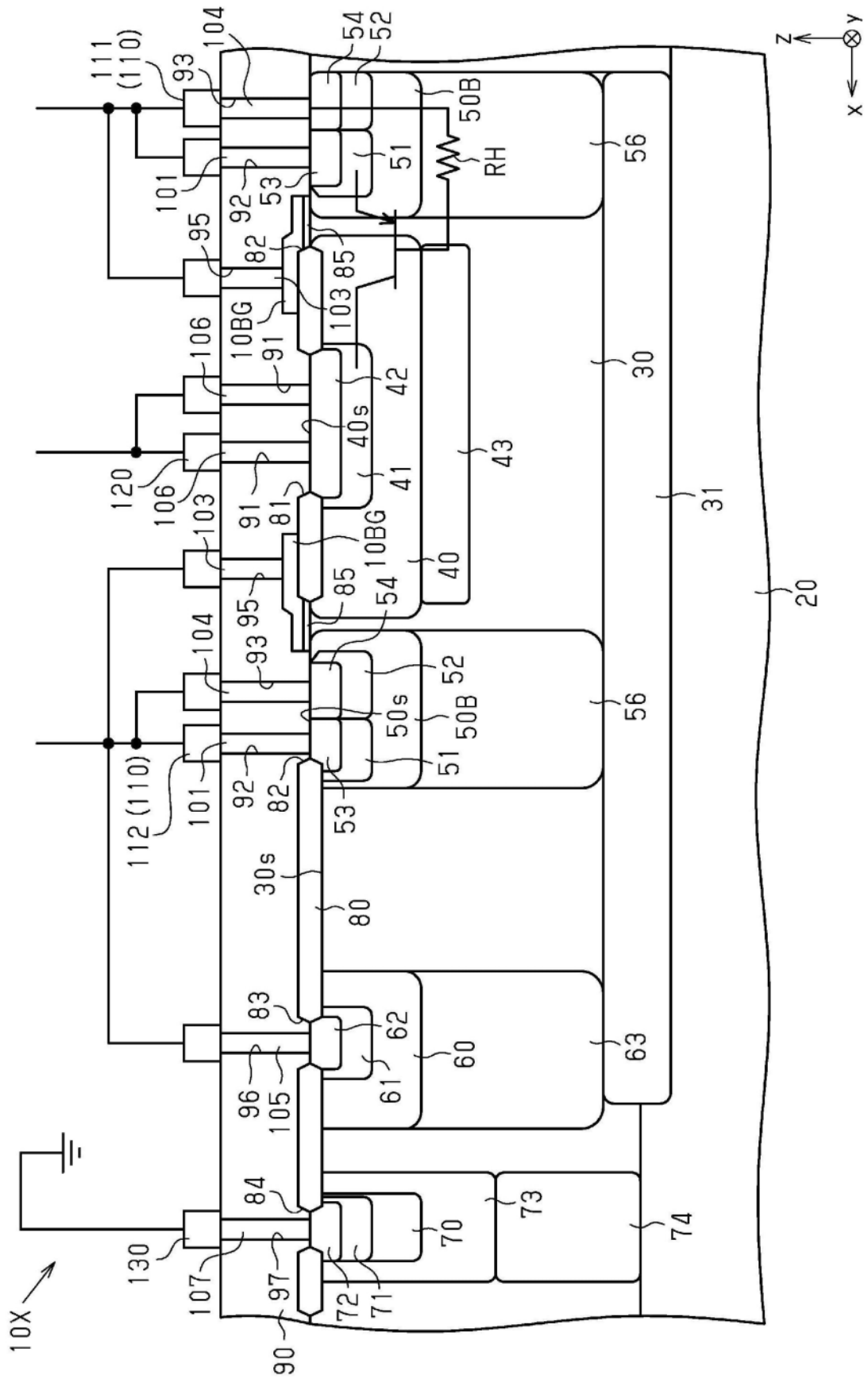


图6

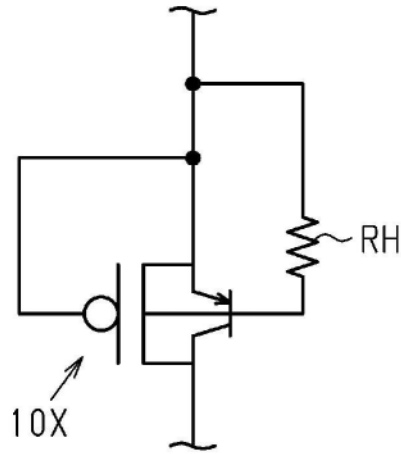


图7

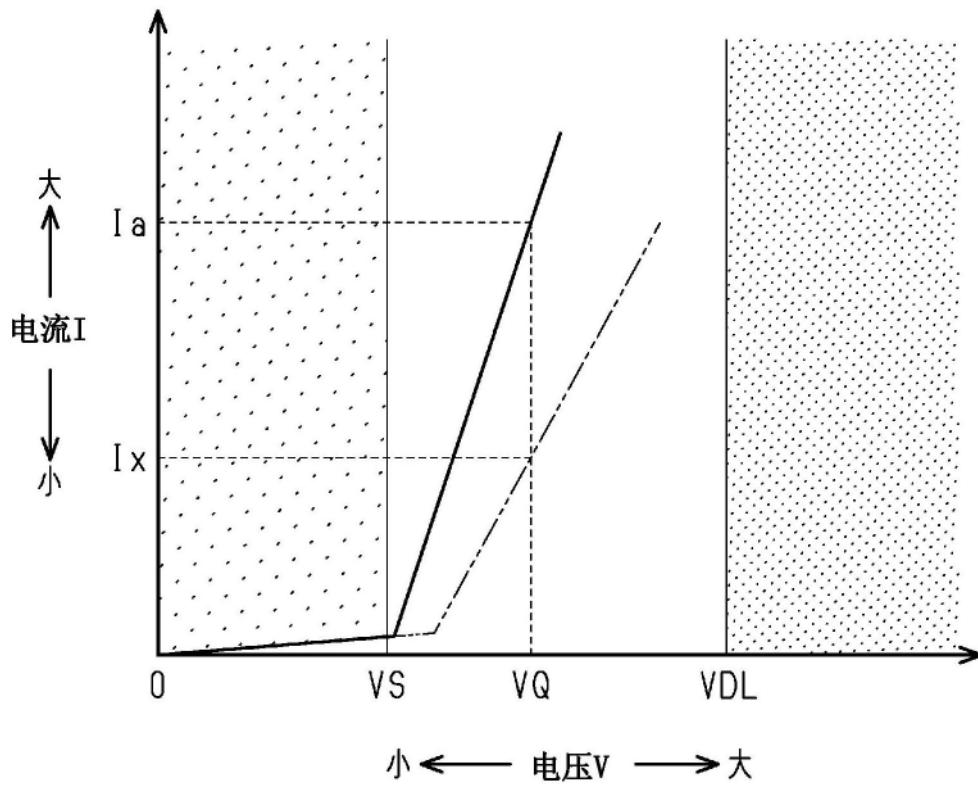


图8

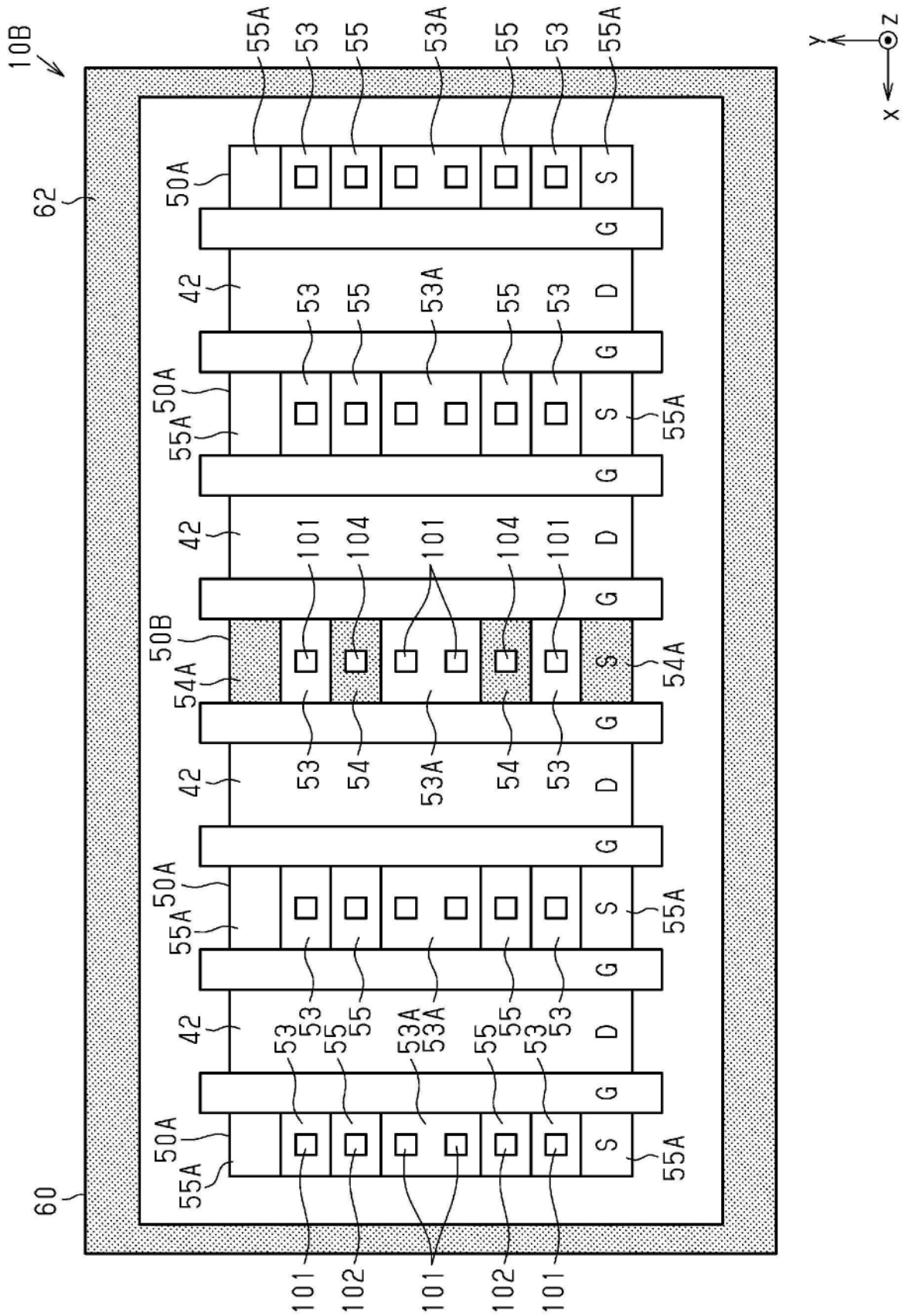


图9

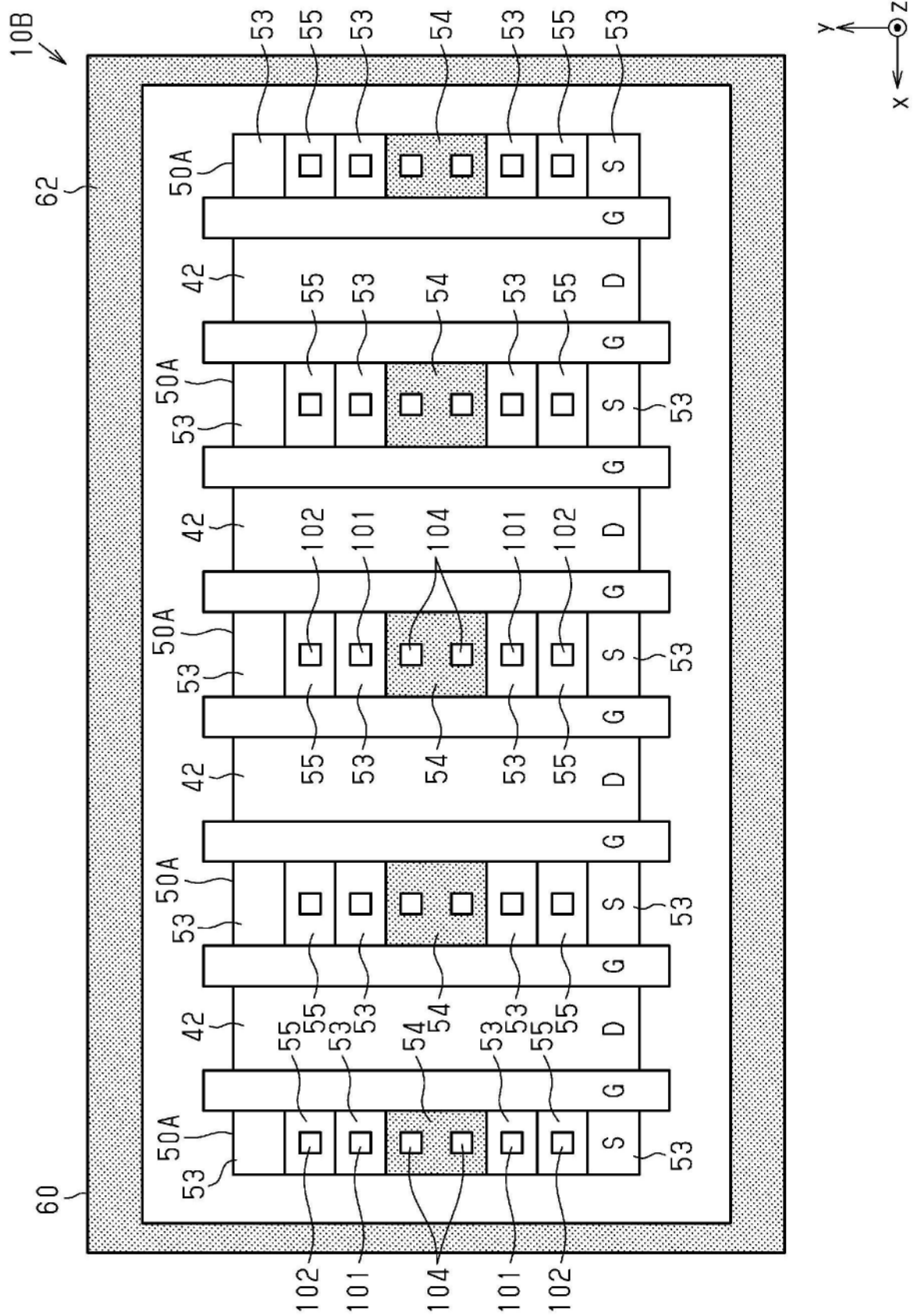


图10

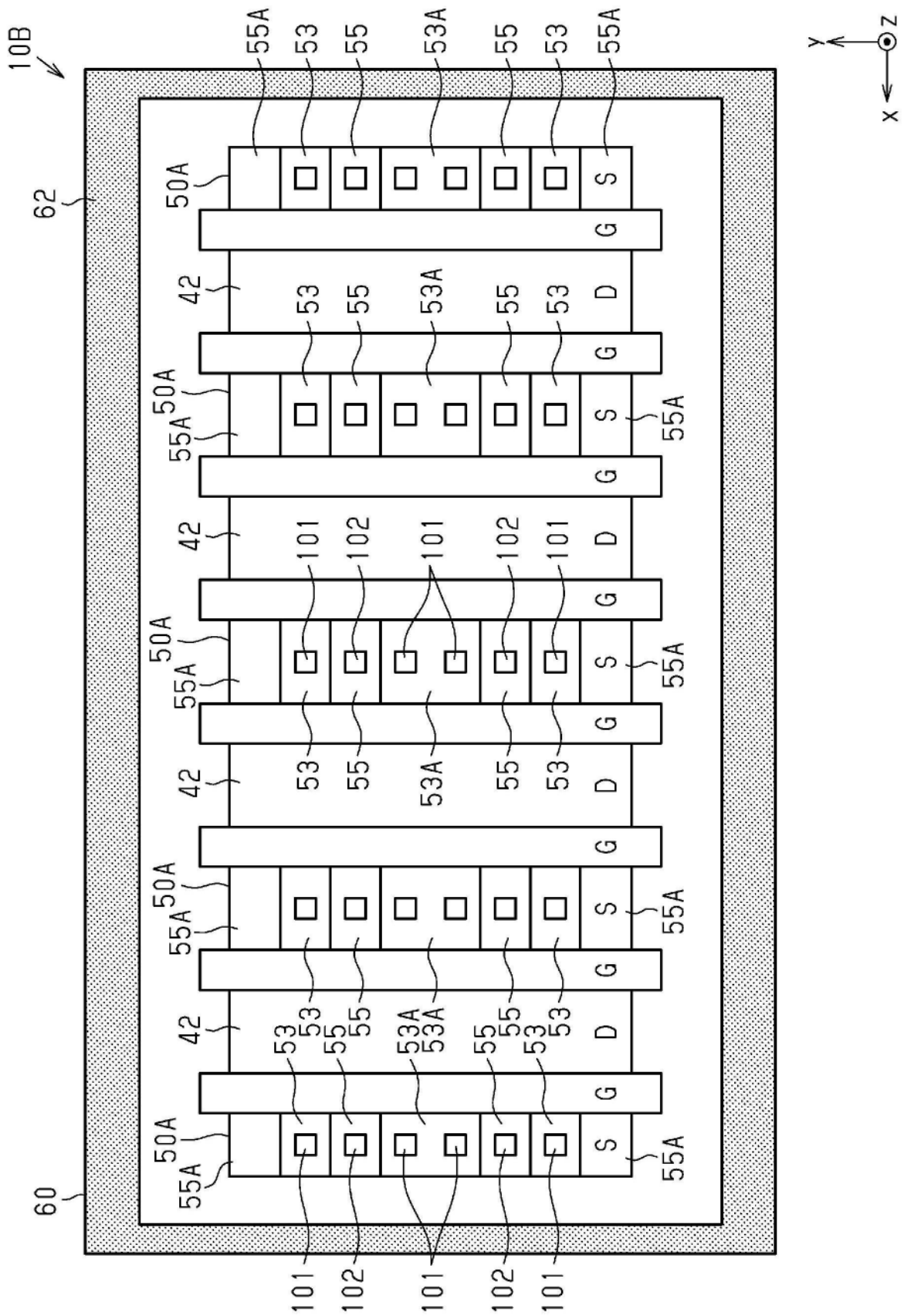


图12

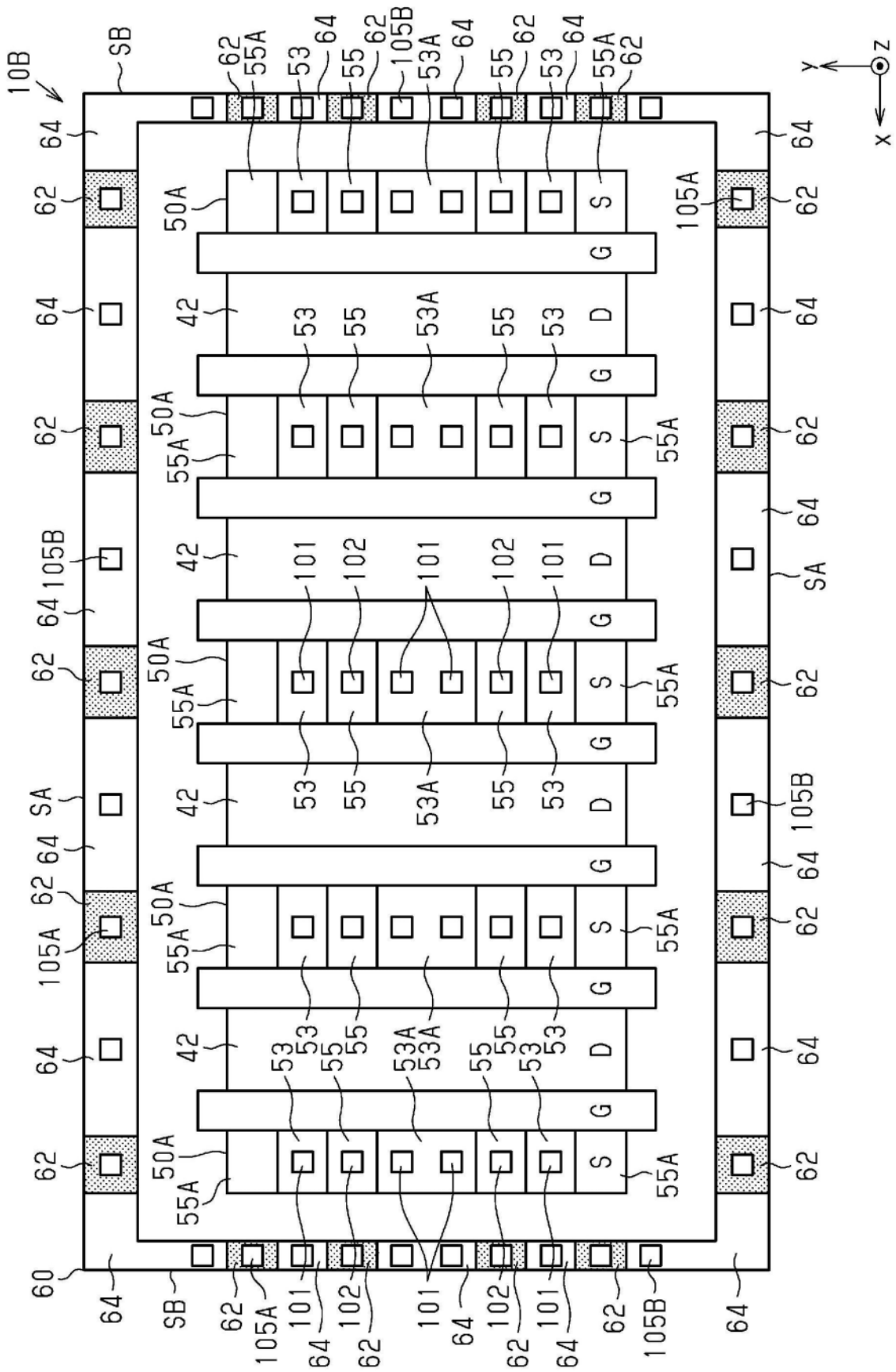


图13

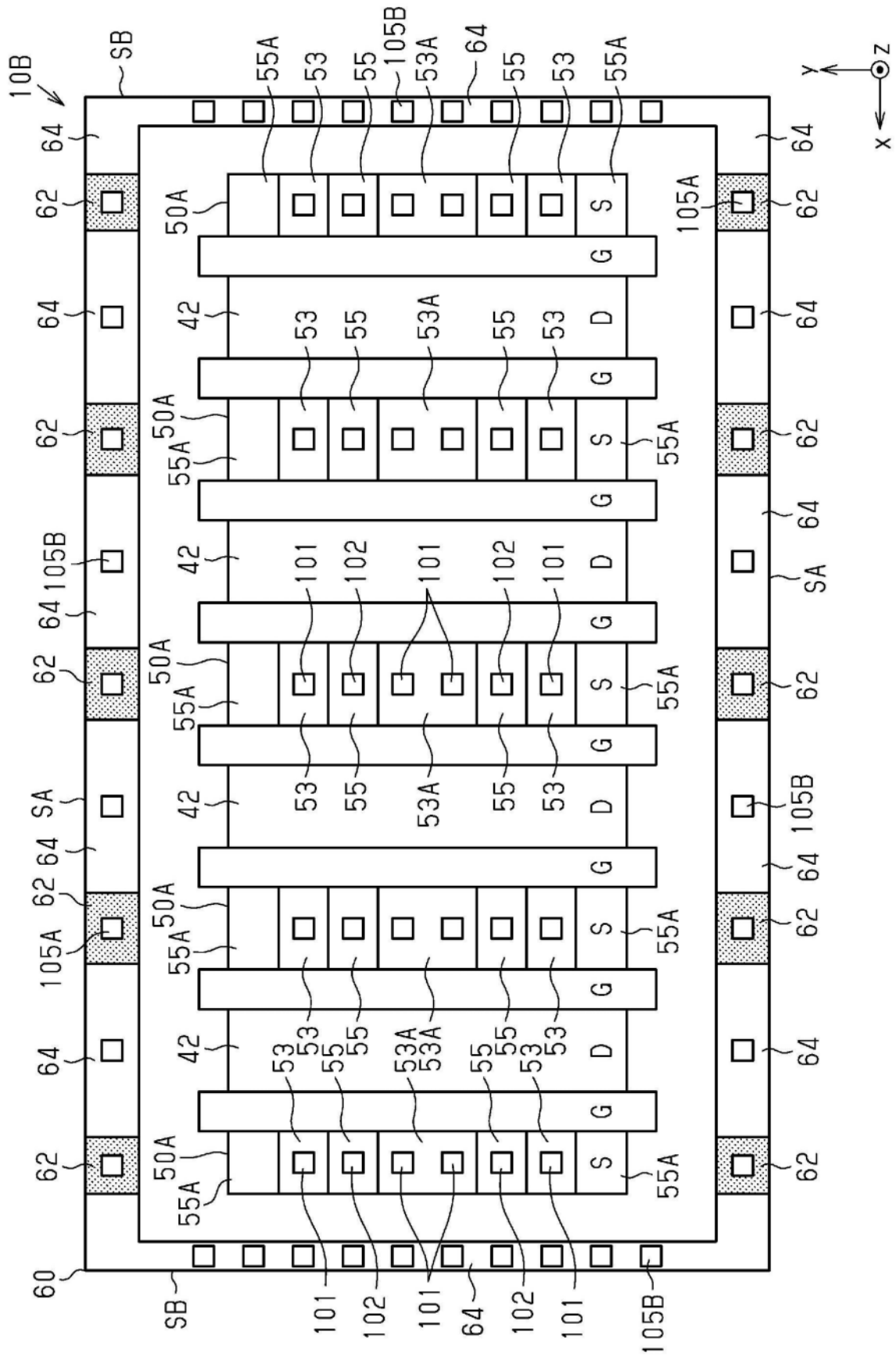


图14

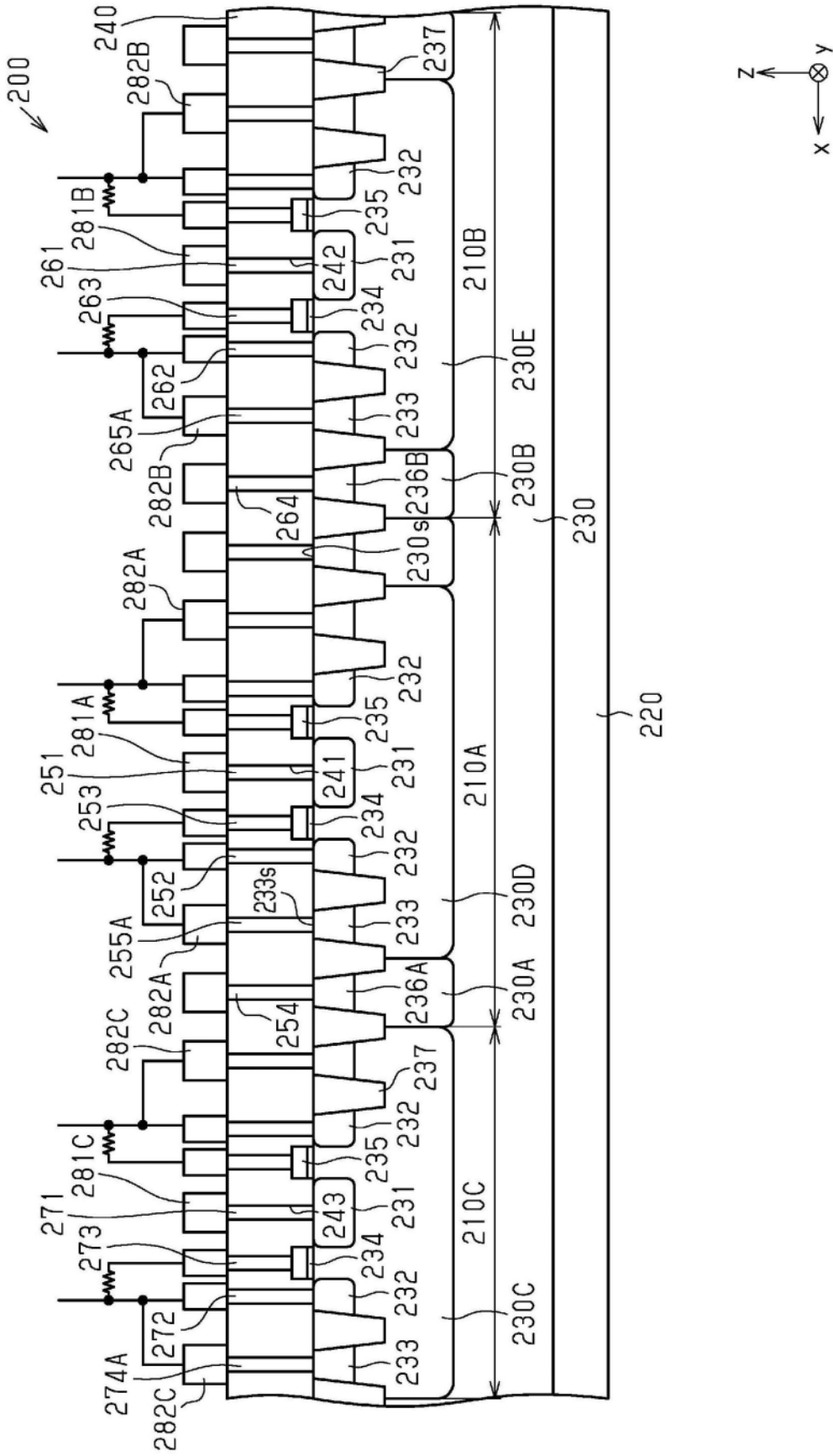


图18

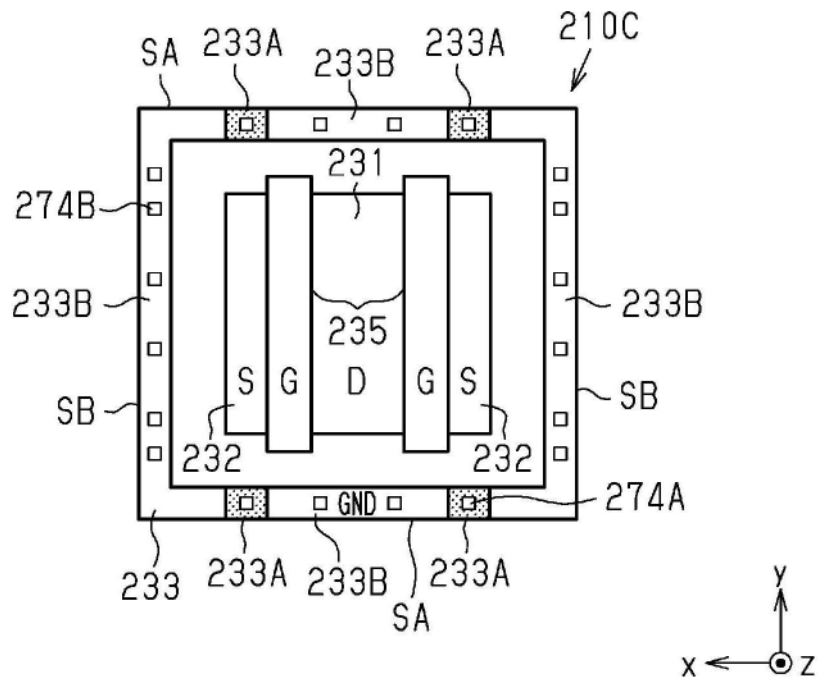


图19

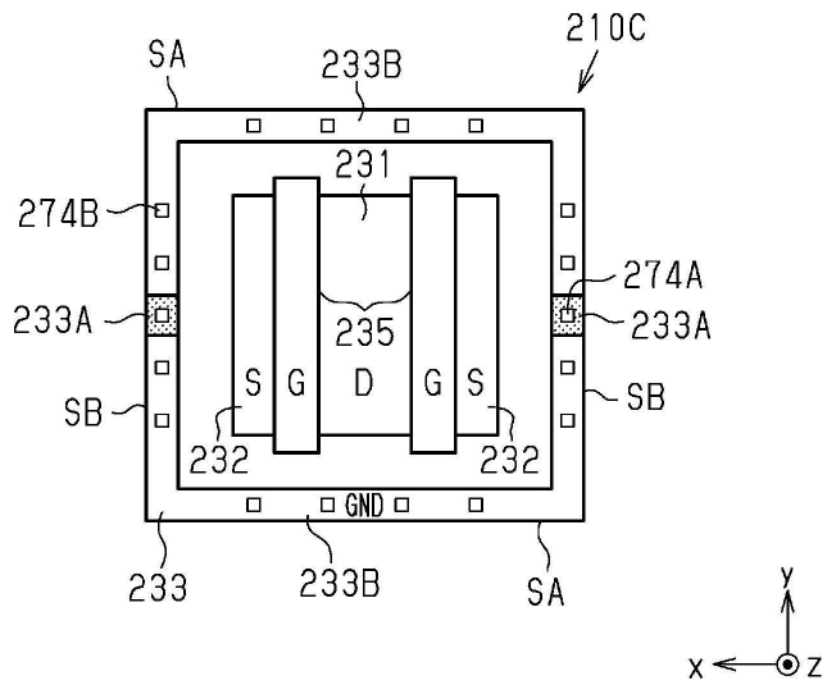


图20