

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局



(10) 国际公布号
WO 2023/231122 A1

(43) 国际公布日
2023年12月7日 (07.12.2023)

- (51) 国际专利分类号:
H01L 21/66 (2006.01) H01L 23/544 (2006.01)
- (21) 国际申请号: PCT/CN2022/102515
- (22) 国际申请日: 2022年6月29日 (29.06.2022)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
202210619084.1 2022年6月1日 (01.06.2022) CN
- (71) 申请人: 长鑫存储技术有限公司 (CHANGXIN MEMORY TECHNOLOGIES, INC.) [CN/CN]; 中国安徽省合肥市经济技术开发区空港工业园兴业大道388号, Anhui 230601 (CN)。

- (72) 发明人: 田凯 (TIAN, Kai); 中国安徽省合肥市经济技术开发区空港工业园兴业大道388号, Anhui 230601 (CN)。李红文 (LI, Hongwen); 中国安徽省合肥市经济技术开发区空港工业园兴业大道388号, Anhui 230601 (CN)。全昌镐 (QUAN, Changhao); 中国安徽省合肥市经济技术开发区空港工业园兴业大道388号, Anhui 230601 (CN)。陈亮 (CHEN, Liang); 中国安徽省合肥市经济技术开发区空港工业园兴业大道388号, Anhui 230601 (CN)。汪玉霞 (WANG, Yuxia); 中国安徽省合肥市经济技术开发区空港工业园兴业大道388号, Anhui 230601 (CN)。郭迎冬 (GUO, Yingdong); 中国安徽省合肥市经济技术开发区空港工业园兴业大道388号, Anhui 230601 (CN)。
- (74) 代理人: 北京派特恩知识产权代理有限公司 (CHINA PAT INTELLECTUAL PROPERTY

(54) Title: PACKAGING STRUCTURE, MANUFACTURING METHOD THEREFOR AND SEMICONDUCTOR DEVICE

(54) 发明名称: 封装结构及其制作方法、半导体器件

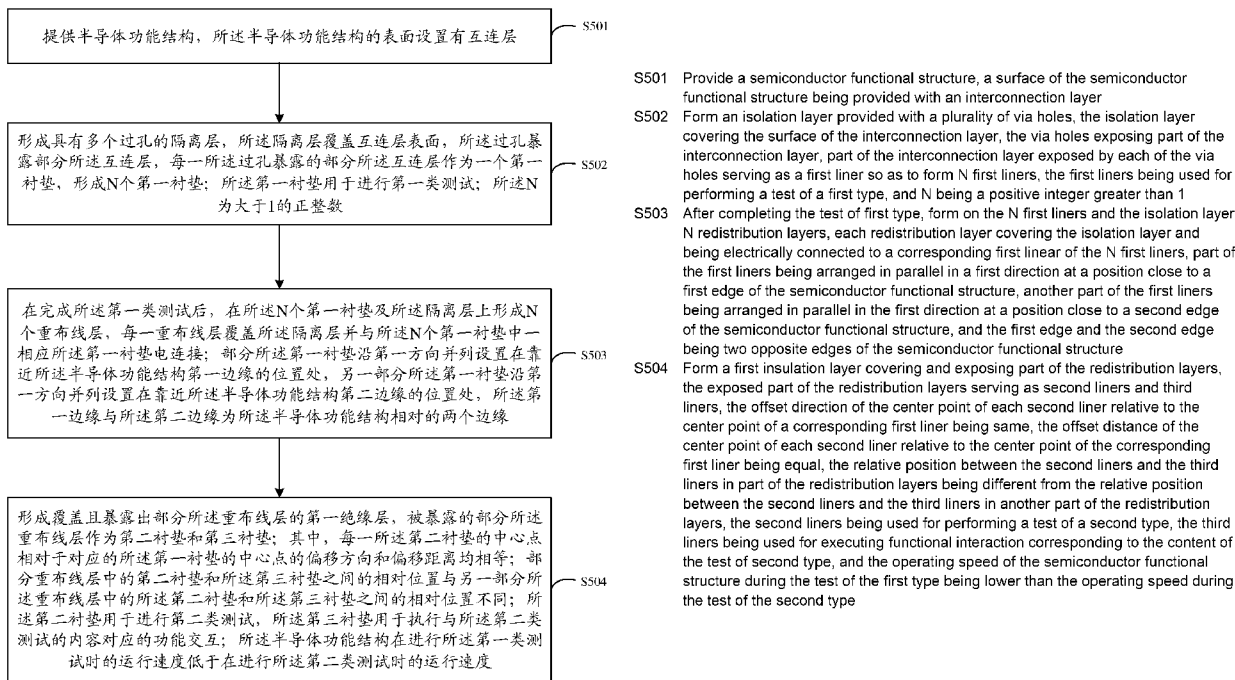


图 5

(57) Abstract: Provided in the embodiments of the present disclosure are a packaging structure, a manufacturing method therefor and a semiconductor device. The packaging structure comprises N first liners, each first liner consisting of an interconnection layer exposed by a via hole; and N redistribution layers, each redistribution layer covering an isolation layer and being electrically connected to a corresponding first liner of the N first liners, part of the first liners being arranged in parallel in a first direction at a position close to a first edge of a semiconductor functional structure; another part of the first liners being arranged in parallel in the first direction at a position close to a second edge of the semiconductor functional structure; part of areas exposed of each redistribution layer comprising

WO 2023/231122 A1

OFFICE): 中国北京市海淀区海淀南路21号中关村
知识产权大厦B座2层, Beijing 100080 (CN)。

- (81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。
- (84) 指定国(除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第21条(3))。

second liners and third liners; the offset direction of the center point of each second liner relative to the center point of a corresponding first liner being same, and the offset distance of the center point of each second liner relative to the center point of the corresponding first liner being equal; and the relative position between the second liners and the third liners in part of the redistribution layers being different from the relative position between the second liners and the third liners in another part of the redistribution layers.

(57) 摘要: 本公开实施例提出了一种封装结构及其制作方法、半导体器件, 封装结构包括: N个第一衬垫, 每一第一衬垫由一个过孔暴露的互连层构成; N个重布线层, 每一重布线层覆盖隔离层并与N个第一衬垫中一相应第一衬垫电连接; 部分第一衬垫沿第一方向并列设置在靠近半导体功能结构第一边缘的位置处, 另一部分第一衬垫沿第一方向并列设置在靠近半导体功能结构第二边缘的位置处; 每一重布线层被暴露出的部分区域均包括第二衬垫和第三衬垫; 其中, 每一第二衬垫的中心点相对于对应的第一衬垫的中心点的偏移方向和偏移距离均相等; 部分重布线层中第二衬垫和第三衬垫之间的相对位置与另一部分重布线层中的第二衬垫和第三衬垫之间的相对位置不同。

封装结构及其制作方法、半导体器件

相关的交叉引用

本公开基于申请号为 202210619084.1、申请日为 2022 年 06 月 01 日、发明名称为“封装结构及其制作方法、半导体器件”的中国专利申请提出，并要求该中国专利申请的优先权，该中国专利申请的全部内容在此引入本公开作为参考。

技术领域

本公开涉及半导体技术领域，涉及但不限于一种封装结构及其制作方法、半导体器件。

10 背景技术

随着电子设备普及率快速提升、电子设备市场的蓬勃发展，越来越要求电子产品在具有高性能、多功能、高可靠性以及便捷性的同时要向着小型化、薄型化的方向演进。这样的需求对半导体器件的封装提出了更好、更轻、更薄、封装密度更高、更好的电性能和热性能、更高的可靠性以及更高的性价比要求。

为保证半导体器件的性能满足对应要求，需要在封装结构上制备用于测试和执行功能交互的端口。

发明内容

基于此，为解决相关技术问题中的一个或多个，本公开实施例提出了一种封装结构及其制作方法、半导体器件。

根据本公开实施例的一方面，提供一种封装结构，包括：

具有多个过孔的隔离层，所述隔离层覆盖互连层表面，所述过孔暴露部分所述互连层，所述互连层设置在半导体功能结构的表面；

N 个第一衬垫，每一第一衬垫由一个所述过孔暴露的所述互连层构成；所述 N 为大于 1 的正整数；

N 个重布线层，每一重布线层覆盖所述隔离层并与所述 N 个第一衬垫中一相应所述第一衬垫电连接；部分所述第一衬垫沿第一方向并列设置在靠近所述半导体功能结构第一边缘的位置处，另一部分所述第一衬垫沿第一方向并列设置在靠近所述半导体功能结构第二边缘的位置处，所述第一边缘与所述第二边缘为所述半导体功能结构相对的两个边缘；

第一绝缘层，覆盖且暴露出每一所述重布线层的部分区域；

每一所述重布线层被暴露出的部分区域均包括第二衬垫和第三衬垫；

其中，每一所述第二衬垫的中心点相对于对应的所述第一衬垫的中心点的偏移方向和偏移距离均相等；部分所述重布线层中所述第二衬垫和所述第三衬垫之间的相对位置与另一部分所述重布线层中的所述第二衬垫和所述第三衬垫之间的相对位置不同；所述第一衬垫和第二衬垫分别用于所述半导体功能结构处于不同运行速度时的测试，所述第三衬垫用于执行与所述第二衬垫测试的内容对应的功能交互。

上述方案中，所述 N 个重布线层中每一所述重布线层包括的所述第二衬垫与所述第三衬垫均沿第二方向并列设置，所述第二方向与所述第一方向垂直。

上述方案中，每一所述第二衬垫的中心点在所述互连层所在平面的正投影相对于对应的所述第一衬垫的中心点向所述第二方向偏移第一距离。

上述方案中，每一所述重布线层在所述互连层所在平面的正投影的形状均包括长条状。

上述方案中，部分所述第一衬垫靠近所述第一边缘的第一端与部分所述重布线层靠近所述第一边缘的第二端沿第三方向基本齐平，第三方向与所述第一方向 and 所述第二方向均垂直；

另一部分所述第一衬垫靠近所述第二边缘的第三端与另一部分所述重布线层靠近所述第二边缘的第四端沿所述第三方向基本齐平。

上述方案中，部分所述重布线层中的所述第二衬垫位于靠近所述第二端的位置处，所述第三衬垫位于远离所述第二端的位置处；

另一部分所述重布线层中的所述第二衬垫位于靠近所述第四端的位置处，所述第三衬垫位于远离所述第四端的位置处。

上述方案中，每一所述重布线层还包括用于与所述第一衬垫进行导电连接的第一区域；

部分所述重布线层中的所述第二衬垫和所述第三衬垫均位于所述第一区域的一侧；另一部分所述重布线层中的所述第二衬垫和所述第三衬垫均位于所述第一区域的两侧。

上述方案中，所述重布线层与对应的所述第一衬垫直接接触；

或者，

所述封装结构还包括：导电柱，位于所述重布线层与对应的所述第一衬垫之间，所述重布线层通过所述导电柱与所述互连层导电连接。

上述方案中，所述封装结构包括所述导电柱，所述导电柱的数量多括多个，多个导电柱沿第一方向并列设置。

上述方案中，所述重布线层与对应的所述第一衬垫直接接触，所述封装结构还包括：

第二绝缘层，位于每一所述重布线层围成的凹槽内，所述第二绝缘层

的材料的硬度小于所述重布线层的材料的硬度。

根据本公开实施例的另一方面，提供了一种半导体器件，包括：半导体功能结构及如本公开上述实施例中所述的封装结构。

上述方案中，所述半导体器件还包括：

5 基板；

多个堆叠设置的裸片；每一所述裸片包括半导体功能结构及位于所述半导体功能结构上的封装结构；

每一裸片通过所述封装结构中的第三衬垫上的引线电连接到所述基板上。

10 根据本公开实施例的又一方面，提供了一种封装结构的制作方法，包括：

提供半导体功能结构，所述半导体功能结构的表面设置有互连层；

15 形成具有多个过孔的隔离层，所述隔离层覆盖互连层表面，所述过孔暴露部分所述互连层，每一所述过孔暴露的部分所述互连层作为一个第一衬垫，形成 N 个第一衬垫；所述第一衬垫用于进行第一类测试；所述 N 为大于 1 的正整数；

20 在完成所述第一类测试后，在所述 N 个第一衬垫及所述隔离层上形成 N 个重布线层，每一重布线层覆盖所述隔离层并与所述 N 个第一衬垫中一相应所述第一衬垫电连接；部分所述第一衬垫沿第一方向并列设置在靠近所述半导体功能结构第一边缘的位置处，另一部分所述第一衬垫沿第一方向并列设置在靠近所述半导体功能结构第二边缘的位置处，所述第一边缘与

25 所述第二边缘为所述半导体功能结构相对的两个边缘；
形成覆盖且暴露出部分所述重布线层的第一绝缘层，被暴露的部分所述重布线层作为第二衬垫和第三衬垫；其中，每一所述第二衬垫的中心点相对于对应的所述第一衬垫的中心点的偏移方向和偏移距离均相等；部分重布线层中的第二衬垫和所述第三衬垫之间的相对位置与另一部分所述重布线层中的所述第二衬垫和所述第三衬垫之间的相对位置不同；所述第二衬垫用于进行第二类测试，所述第三衬垫用于执行与所述第二类测试的内容对应的功能交互；所述半导体功能结构在进行所述第一类测试时的运行速度低于在进行所述第二类测试时的运行速度。

30 本公开各实施例中，通过在顶层金属层中设置 N 个第一衬垫，用于对所述半导体功能结构执行处于第一种运行速度时的测试；其中，部分所述第一衬垫沿第一方向并列设置在靠近所述半导体功能结构第一边缘的位置处，另一部分所述第一衬垫沿第一方向并列设置在靠近所述半导体功能结构第二边缘的位置处；在第一种运行速度时的测试完成后，在第一衬垫上的重布线层中设置与第一衬垫一一对应的第二衬垫，用于对所述半导体功能结构执行处于第二种运行速度时的测试；其中，部分所述重布线层中所述第二衬垫和所述第三衬垫之间的相对位置与另一部分所述重布线层中的

所述第二衬垫和所述第三衬垫之间的相对位置不同；这里，通过将每一第二衬垫的中心点设置为相对于对应的第一衬垫的中心点偏移相同的方向和偏移相等的距离，使得N个第一衬垫和N个第二衬垫保持完全相同的相对位置；同时，通过将位于不同边缘位置处的第二衬垫和第三衬垫之间的位置设置为不同，使得位于两个边缘位置处的重布线层保有较大的容错率，均可以靠近边缘但不超出边缘，如此，可以保证第一衬垫和第二衬垫均处于有利于节省总面积的有利位置，同时还可以利用同一套探针卡来实现上述两种不同运行速度的测试，相较于使用两套探针卡分别进行测试，节省了测试成本和测试时间，降低了生产周期和制造成本。

附图说明

图1为本公开实施例中提供的一种封装结构的剖面示意图；

图2a为本公开实施例中提供的另一种封装结构的剖面示意图；

图2b为图2a的俯视示意图；

图2c为本公开实施例中提供的一种具有导电柱的封装结构的剖面示意图；

图3本公开实施例中提供的第一衬垫和第二衬垫的相对位置示意图；

图4为本公开实施例中提供的第二衬垫和第三衬垫的相对位置示意图；

图5为本公开实施例中提供的一种封装结构的制造方法的流程示意图；

图6a-6d为本公开实施例中提供的一种封装结构的制造过程的示意图。

附图标记说明

101-顶层金属层；102-第一类衬垫；103-重布线层；104-第二类衬垫；105-第三类衬垫；200-半导体功能结构；201-半导体功能层；202-互连层；203-隔离层；204-过孔；205-第一衬垫；2051-第一部分第一衬垫；2052-第二部分第一衬垫；2051a-第一衬垫的第一端；2052a-第一衬垫的第三端；206-重布线层；206a-重布线层的第二端；206b-重布线层的第四端；207-导电柱；208-第一绝缘层；209-凹槽；210-第二绝缘层；211-第二衬垫；212-第三衬垫；213-第一区域；600-半导体功能结构；601-半导体功能层；602-互连层；603-隔离层；604-过孔；605-第一衬垫；606-重布线层；608-第一绝缘层；609-凹槽；610-第二绝缘层；611-第二衬垫；612-第三衬垫。

在上述附图（其不一定是按比例绘制的）中，相似的附图标记可在不同的视图中描述相似的部件。具有不同字母后缀的相似附图标记可表示相似部件的不同示例。附图以示例而非限制的方式大体示出了本文中所讨论的各个实施例。

具体实施方式

下面将结合附图和实施例对本公开的技术方案进一步详细阐述。虽然

附图中显示了本公开的示例性实施方法，然而应当理解，可以以各种形式实现本公开而不应被这里阐述的实施方式所限制。相反，提供这些实施方式是为了能够更透彻的理解本公开，并且能够将本公开的范围完整的传达给本领域的技术人员。

5 在下列段落中参照附图以举例方式更具体的描述本公开各实施例。根据下面说明和权利要求书，本公开的优点和特征将更清楚。需说明的是，附图均采用非常简化的形式且均使用非精准的比例，仅用以方便、明晰地辅助说明本公开实施例的目的。

可以理解的是，本公开的“在……上”、“在……之上”和“在……上方”
10 的含义应当以最宽方式被解读，以使得“在……上”不仅表示其“在”某物“上”且其间没有居间特征或层（即直接在某物上）的含义，而且还包括在某物“上”且其间有居间特征或层的含义。

在本公开实施例中，术语“A与B相连”包含A、B两者直接接触的情形，或者A和B通过中间导电结构间接接触的情形；术语“第一”、“第二”
15 等是用于区别类似的对象，而不必用于描述特定的顺序或先后次序。

在本公开实施例中，术语“层”是指包括具有厚度的区域的材料部分。层可以在结构的下方表面或上方表面上延伸，其面积可以小于等于所在的延伸表面。需要说明的是，本公开实施例所记载的技术方案之间，在不冲突的情况下，可以任意组合。

20 本公开实施例涉及的半导体功能结构是将被用于后续制程以形成最终的半导体器件的一部分，是实现半导体器件的主要功能的核心部分。这里，所述最终的半导体器件可以包括但不限于存储器。

在半导体器件如，动态随机存取存储器（DRAM，Dynamic Random Access Memory）的封装结构的设计中，衬垫（还可以被称为焊盘，英文表达为 PAD）
25 有两种设置方式：一种是顶层金属开窗的方式；另一种是重布线层（RDL，Redistribution Layer）开窗的方式。

所述顶层金属开窗是指在半导体功能结构的顶层金属层上形成钝化层（Passivation）或绝缘层，以保护半导体功能结构不被破坏；然后，在所述钝化层或绝缘层上形成开窗区域，以暴露部分顶层金属层，形成衬垫。其中，可以在该衬垫上进行探针卡扎针测试，以实现
30 对半导体功能结构的电学性能的测试；也可以在该衬垫上进行键合线（Bonding wire）的引出，以实现
对半导体功能结构的电引出。

所述重布线层开窗是指在半导体功能结构的顶层金属层上形成重布线层，在重布线层上形成钝化层或绝缘层，然后，在所述钝化层或绝缘层上
35 形成开窗区域，以暴露出部分重布线层，形成并列设置的两个衬垫。其中，该两个衬垫中的一个用于进行探针卡扎针测试，另一个用于在该衬垫上进行键合线的引出。这里，重布线层在半导体器件中可以起到调整衬垫位置的作用，还能起到增强电源地的供电网络的作用。

可以理解的是，顶层金属层比较薄，且下面有垫片结构，能够支持在同一片开窗的金属区域上，先经过探针卡扎针测试，再到封装厂进行键合线封装，而不影响封装打线的成品率；重布线层的材料一般是金属，重布线层相较于顶层金属层比较厚，经过探针卡扎针会有比较深且表面粗糙的针痕，这个针痕会影响封装打线的成品率，因此重布线层中用于测试和用于引出键合线的衬垫需要分开。封装结构中无论采用上述哪种开窗方式对半导体器件的功能并没有太大的影响，重布线层开窗有利于性能的提升，但需要增加生产周期和生产成本。

相关技术中，一般会根据半导体器件的实际需求选择以上两种开窗方式中的一种来设计封装结构。然而，实际应用中，在半导体器件的生产过程中，需求并不是单一的，经常存在多需求的情况。以下给出几种多需求的示例：

示例性的，在半导体器件（或称为“产品”）量产化之前，有较长的功能调试过程，在该调试过程中，测试是在半导体功能结构运行速度较低的情况下完成的，此时，仅需要采用顶层金属开窗方式，即可以完成对半导体功能结构的封装、测试。而在产品的制程工艺成熟后，需要测试半导体功能结构在高速运行下的状态时，则需要采用重布线层开窗方式进行封装测试。

基于此，本公开实施例提供了一种封装结构，参考图 1，所述封装结构中包括顶层金属开窗方式和重布线层开窗方式；其中，顶层金属开窗方式中，在顶层金属层 101 中设置有第一类衬垫 102；该第一类衬垫 102 可以用于执行低速测试和引出键合线；重布线层开窗方式中，在重布线层 103 中设置有两类衬垫（第二类衬垫 104 和第三类衬垫 105），第二类衬垫 104 用于执行高速测试，第三类衬垫 105 用于引出键合线。

这里，一方面，在利用第一类衬垫 102 执行低速测试时，测试探针卡需要同时打在所有第一类衬垫 102 的中心点上，在利用第二类衬垫 104 执行高速测试时，测试探针卡需要同时打在所有第二类衬垫 104 的中心点上。然而，从图 1 可以看出第一类衬垫 102 和第二衬垫 104 处于封装结构不同的层，不同层中的各第一类衬垫 102 和各第二衬垫 104 的相对位置不同。这样，为了满足低速测试和高速测试的需求，不得不制作两套测试探针卡，而制作两套测试探针卡将大大的增加测试成本和测试时间。

另一方面，在测试的点比较多时，靠近半导体功能结构的一个边缘的位置处可能摆放不下所有的第一类衬垫 102，此时需要将第一类衬垫分别设置在半导体功能结构的相对设置的两个边缘的位置处，相应地，重布线层 103 也需要分别设置在半导体功能结构的相对的两个边缘的位置处，但由于第二类衬垫 104 和第三类衬垫 105 一起占用的面积比第一类衬垫 102 占用的面积大。此时，至少一个边缘的位置处的重布线层 103 容易超出边缘。

基于此，为了进一步解决上述问题，本公开实施例中又提供了一种封

装结构及其制作方法以及半导体器件，其中，所述封装结构，包括：具有多个过孔的隔离层，所述隔离层覆盖互连层表面，所述过孔暴露部分所述互连层，所述互连层设置在半导体功能结构的表面；N个第一衬垫，每一第一衬垫由一个所述过孔暴露的所述互连层构成；所述N为大于1的正整数；N个重布线层，每一重布线层覆盖所述隔离层并与所述N个第一衬垫中一相应所述第一衬垫电连接；部分所述第一衬垫沿第一方向并列设置在靠近所述半导体功能结构第一边缘的位置处，另一部分所述第一衬垫沿第一方向并列设置在靠近所述半导体功能结构第二边缘的位置处，所述第一边缘与所述第二边缘为所述半导体功能结构相对的两个边缘；第一绝缘层，覆盖且暴露出每一所述重布线层的部分区域；每一所述重布线层被暴露出的部分区域均包括第二衬垫和第三衬垫；其中，每一所述第二衬垫的中心点相对于对应的所述第一衬垫的中心点的偏移方向和偏移距离均相等；部分所述重布线层中所述第二衬垫和所述第三衬垫之间的相对位置与另一部分所述重布线层中的所述第二衬垫和所述第三衬垫之间的相对位置不同；所述第一衬垫和第二衬垫分别用于所述半导体功能结构处于不同运行速度时的测试，所述第三衬垫用于执行与所述第二衬垫测试的内容对应的功能交互。

需要说明的是，本公开实施例中涉及的第一方向与半导体功能结构的表面平行，本公开实施例中涉及的第二方向平行于所述半导体功能结构，且垂直于所述第一方向，本公开实施例中涉及的第三方向与第一方向和第二方向均垂直。在一些实施例中，第一方向可以与X轴方向平行，第二方向可以与Y轴方向平行，第三方向与Z轴方向平行。

这里，参考图2a，所述封装结构包括：基底（图2a中未示出），所述基底的组成材料可以包括硅（Si）、锗（Ge）、锗化硅（SiGe）、绝缘体上硅（Silicon on Insulator, SOI）或者绝缘体上锗（Germanium on Insulator, GOI）。

半导体功能结构200，所述半导体功能结构200位于基底上；具体地，所述半导体功能结构200包括半导体功能层201和位于所述半导体功能层201表面上的互连层202，根据实际需求，在所述半导体功能层201中可以设置多种功能结构；相应地，所述互连层202用于将半导体功能层201中功能结构的电信号引出，以运行所述功能结构。在一些实施例中，互连层202包括顶层金属层，顶层金属层不仅用于将功能结构的电信号引出，还用于支撑半导体功能结构200。

需要说明的是，后续制程中形成的重布线层连接的任何信号都均连接于所述互连层202，即保证在没有重布线层的情况下，半导体功能结构200的功能是完整的。图2a中展示的互连层202是被去除部分后的某一截面的剖面效果图，实际应用中，互连层中的各部分并不是截断的，而是互连的，即在其他截面上，互连层中的各部分可能是连续的。

隔离层203，覆盖互连层202表面，用于在部分区域隔离互连层202和

后续形成的重布线层 206。隔离层 203 中设置有过孔 204，过孔 204 暴露部分互连层 202。其中，过孔 204 的形状可以是圆柱形，也可以是倒梯形，或者是任何合适的形状；隔离层 203 的组成材料包括但不限于正硅酸乙酯 (TEOS)。

5 由一个所述过孔 204 暴露的所述互连层 202 构成的第一衬垫 205；隔离层 203 内可包含多个过孔 204，从而形成多个被过孔 204 暴露的所述第一衬垫 205 的数量包括多个。这里，所述第一衬垫 205 一方面可以用于进行第一类测试；另一方面还可以用于执行与所述第一类测试的内容对应的功能交互。

10 示例性的，所述第一类测试可以理解为对半导体功能结构执行较低运行速度时的一些测试。需要说明的是，在存储器中，所述运行速度指的是存储器的读写速度。所述执行与所述第一类测试的内容对应的功能交互可以理解为在第一衬垫上引出键合线。也就是说，在执行第一类测试时，第一衬垫 205 可以用于与探针卡接触，且探针卡中的多个探针与 N 个第一衬垫

15 一一一对应，以实现互连层与其他测试系统的电连接。

实际应用中，在测试的点比较多时，靠近半导体功能结构的一个边缘的位置处可能摆放不下所有的第一衬垫 205，此时可以将第一衬垫 205 分别设置在半导体功能结构的相对设置的两个边缘的位置处，参考图 2b，N 个第一衬垫 205 中，N 个所述第一衬垫分为两个部分，即第一部分第一衬垫

20 2051 和第二部分第一衬垫 2052；其中，第一部分第一衬垫 2051 包括 M1 个第一衬垫，M1 个第一衬垫沿第一方向并列设置在靠近所述半导体功能结构第一边缘 20a 的位置处；第二部分第一衬垫 2052 包括 M2 个第一衬垫，M2 个第一衬垫沿所述第一方向并列设置在靠近所述半导体功能结构第二边缘 20b 的位置处，所述第一边缘 20a 与所述第二边缘 20b 为所述半导体

25 功能结构相对的两个边缘。这里， $M1+M2=N$ 。

需要说明的是，图 2a 为第一衬垫 205 与重布线层 206 直接接触的封装结构的局部剖面示意图；图 2b 为一种封装结构的俯视图的示例，其中，在图 2b 中为了更清楚的展示第一衬垫的位置排布，隐去了其它层；图 2c 为第一衬垫 205 通过导电柱 207 与重布线层 206 间接接触的封装结构的局部

30 剖面示意图。

在一些实施例中，第一部分第一衬垫 2051 的数量和第二部分第一衬垫 2052 的数量可以相同，也可以不同。

具体地，图 2b 中六个第一衬垫分为第一部分第一衬垫 2051 和第二部分第一衬垫 2052，第一部分第一衬垫 2051 包括三个第一衬垫，沿第一方向

35 并列设置在靠近所述半导体功能结构第一边缘 20a 的位置处；第二部分第一衬垫 2052 包括三个第一衬垫，沿所述第一方向并列设置在靠近所述半导体功能结构第二边缘 20b 的位置处。

参考图 2a，位于所述隔离层 203 表面上和所述过孔 204 上的 N 个重布

线层 206。这里，每一重布线层 206 覆盖所述隔离层 203；并且，N 个重布线层 206 与所述 N 个第一衬垫 205 中相应所述第一衬垫 205 直接接触。

重布线层 206 和第一衬垫 205 之间既可以直接接触（参考图 2a）；也可以间接接触，即在重布线层 206 与第一衬垫 205 之间设置导电材料层（参考图 2b、图 2c，例如，导电柱 207）。所述导电柱 207 的组成材料可以与重布线层 206 的组成材料相同，也可以不同。需要说明的是，所述导电柱 207 的高度可以小于或等于所述过孔 204 的深度，图 2c 中示出的导电柱 207 的高度等于所述过孔 204 的深度的情况。

在一些实施例中，所述封装结构包括所述导电柱 207，所述导电柱的数量包括多个，多个导电柱沿第一方向并列设置。

上述实施例中，同一个过孔 204 内的所述导电柱 207 的数量可以包括一个，也可以包括多个，相邻导电柱 207 之间被绝缘材料隔离；相应地，每一所述导电柱 207 对应一第一衬垫 205，也就是说，当导电柱 207 的数量为多个时，同一过孔 204 的底部具有多个第一衬垫 205。

可以理解的是，导电柱 207 的数量包括多个时，多个导电柱 207 均与所述重布线层 206 以及互连层 202 连接，这样，可以增加重布线层 206 与互连层 202 电连接的可靠性。

可以理解的是，通过在过孔的底面积不变的情况下，设置多个第一衬垫 205，有利于减小同一过孔 204 底部所有第一衬垫 205 的总面积，进而减小第一衬垫 205 与周边导电材料之间的寄生电容，有利于进一步优化信号传输性能。

参考图 2a，位于所述重布线层 206 上的第一绝缘层 208。

所述第一绝缘层 208 覆盖重布线层 206 的表面，被暴露的部分所述互连层 202 上的重布线层 206 的厚度与隔离层 203 表面上的重布线层 206 的厚度可以相同。在一些实施例中，过孔 204 的径宽大于两倍重布线层 206 的厚度时，重布线层 206 覆盖过孔 204 的侧壁和底部，重布线层 206 围成有凹槽 209。

在一些实施例中，参考图 2a，所述重布线层 206 与对应的所述第一衬垫 205 直接接触，所述封装结构还包括：第二绝缘层 210，位于每一所述重布线层围成的凹槽 209 内，所述第二绝缘层 210 的材料的硬度小于所述重布线层 206 的材料的硬度，如此，一方面可以减小封装结构的应力，增加封装结构的可靠性；另一方面相较于采用重布线层 206 填充凹槽 209，利用第二绝缘层 210 材料填充凹槽 209 可以避免产生更多的寄生电容。

在一些实施例中，第二绝缘层 210 与第一绝缘层 208 可以为一体结构，也可以为分体结构，当两者为分体结构时，两者的材料可以不同。图 2a 中示出的是第二绝缘层 210 与第一绝缘层 208 为一体结构的情况。所述第二绝缘层 210 的组成材料包括但不限于聚酰亚胺（PI）。

参考图 2a，N 个重布线层 206 中至少部分所述重布线层 206 被暴露出

的部分区域包括第二衬垫 211 和第三衬垫 212。

这里，N 个重布线层 206 中的每一个重布线层 206 中均设置一个第二衬垫 211 和一个第三衬垫 212；换言之，N 个第二衬垫 211 和 N 个第三衬垫 212 一一对应。第二衬垫 211 用于进行第二类测试，所述第三衬垫 212 用于
5 执行与所述第二类测试的内容对应的功能交互。所述第二类测试可以理解为对半导体功能结构在较高运行速度时执行的一些测试。所述执行与第二类测试的内容对应的功能交互可以理解为在第三衬垫上引出键合线并进行信号交互。

需要说明的是，第二衬垫 211 与第三衬垫 212 之间可以是连续设置的，
10 即第二衬垫 211 与第三衬垫 212 之间并未设置隔墙；也可以是间隔设置的，即第二衬垫 211 与第三衬垫 212 之间设置有隔墙。

这里，在第二衬垫 211 与第三衬垫 212 之间为连续设置时，可以在执行测试的过程中，避免探针出现未瞄准的情况下，隔墙对探针卡造成的损伤，从而延长了探针卡的使用寿命；同时，减少杂质的产生，从而提高了
15 测试效率；另外，减少探针卡对隔墙的破坏，进而从整体上提高了封装结构的可靠性。

而在第二衬垫 211 与第三衬垫 212 之间设置有隔墙时，可以在执行测试的过程中，提高机台对每个衬垫的识别精度。

以下实施例中，以第二衬垫 211 与第三衬垫 212 之间设置有隔墙为例
20 进行说明，但可以理解的是，以下关于隔墙的描述仅用于说明本公开，并不用来限制本公开的范围。

为了便于探针卡在执行第二类测试时，探针卡中的每一探针均能与第二衬垫相对应，本公开实施例中，将每一所述第二衬垫 211 的中心点相对于对应的所述第一衬垫 205 的中心点，偏移相同的方向和偏移相等距离，
25 这样，可以使得 N 个第一衬垫和 N 个第二衬垫保持完全相同的相对位置，如此，可以使得同一套探针卡在执行第一类测试后，从第一衬垫 205 的中心点向一定的方向移动一定的距离后能够与全部的第二衬垫 211 的中心点均对准，即探针卡可以直接对全部需要测试的第二衬垫执行第二类测试，而无需更换新的探针卡。

同时，通过将位于不同边缘位置处的第二衬垫 211 和第三衬垫 212 之间的位置设置为不同，可实现均可以靠近边缘但不超出边缘。以下，通过一个示例具体说明第一衬垫和第二衬垫的位置设置方式。

在一些实施例中，所述 N 个重布线层中每一所述重布线层包括的所述第二衬垫与所述第三衬垫均沿第二方向并列设置，所述第二方向与所述第一方向垂直。
35

这里，第一衬垫 205 分布在半导体功能结构的相对设置的两个边缘的位置处，示例性的，参考图 3，图 3 中箭头的左边示出了第一衬垫 205 的排布示例，该示例与图 2b 相同，这里不再赘述。

同样，N 个所述第二衬垫分为两个部分，即第三部分和第四部分；其中，第三部分包括 M1 个第二衬垫；第四部分包括 M2 个第二衬垫；该第三部分中的 M1 个第二衬垫沿第一方向并列设置在靠近所述半导体功能结构第一边缘的位置处；该第四部分中的 M2 个第二衬垫沿所述第二方向并列设置在靠近所述半导体功能结构第二边缘的位置处。同样，N 个所述第三衬垫分为两个部分，即第五部分和第六部分；其中，第五部分包括 M1 个第三衬垫；第六部分包括 M2 个第三衬垫；该第五部分中的 M1 个第三衬垫与 M1 个第二衬垫沿第二方向并列设置在靠近所述半导体功能结构第一边缘的位置；该第六部分中的 M2 个第三衬垫和 M2 个第二衬垫沿第二方向并列设置在靠近所述半导体功能结构第二边缘的位置处。

示例性的，图 3 中箭头的右边示出了重布线层 206 的排布示例，具体地：六个重布线层 206 分为两个部分，每个部分中包括三个重布线层，每一部分中的三个重布线层 206 均沿 X 轴方向并列排布，每一个重布线层 206 中包括一个第二衬垫 211 与对应的第三衬垫 212，该第二衬垫 211 和第三衬垫 212 均沿 Y 轴方向并列设置；图 3 中的虚线示出了第一衬垫 205 的中心点所在的直线。

在一些实施例中，所述第一衬垫 205、所述第二衬垫 211、第三衬垫 212 均为长条状，每一所述重布线层 206 在所述互连层所在平面的正投影的形状包括长条状。每一第一衬垫 205 沿第一方向上的宽度与每一第二衬垫 211、第三衬垫 212 沿第一方向上的宽度可以相同，每一所述第一衬垫 205 沿第二方向上的长度与每一所述第二衬垫 211、第三衬垫 212 沿第二方向上的长度可以不同。

在一些实施例中，每一所述第二衬垫的中心点在所述互连层所在平面的正投影相对于对应的所述第一衬垫的中心点向所述第二方向偏移第一距离。

示例性的，参考图 3，第一边缘 20a 处的每一所述第二衬垫的中心点 O_2 相对于对应的所述第一衬垫的中心点 O_1 的沿 Y 轴方向偏移第一距离 H1；同时，第二边缘 20b 处的每一所述第二衬垫的中心点 O_2 相对于对应的所述第一衬垫的中心点 O_1 的沿 Y 轴方向偏移第一距离 H1。

在一些实施例中，部分所述第一衬垫靠近所述第一边缘的第一端与部分所述重布线层靠近所述第一边缘的第二端沿第三方向基本齐平，第三方向与所述第一方向和所述第二方向均垂直；

另一部分所述第一衬垫靠近所述第二边缘的第三端与另一部分所述重布线层靠近所述第二边缘的第四端沿所述第三方向基本齐平。

在一些实施例中，部分所述重布线层中的所述第二衬垫位于靠近所述第二端的位置处，所述第三衬垫位于远离所述第二端的位置处；

另一部分所述重布线层中的所述第二衬垫位于靠近所述第四端的位置处，所述第三衬垫位于远离所述第四端的位置处。

在另一些实施例中，部分所述重布线层中的所述第三衬垫位于靠近所述第二端的位置处，所述第二衬垫位于远离所述第二端的位置处；另一部分所述重布线层中的所述第三衬垫位于靠近所述第四端的位置处，所述第二衬垫位于远离所述第四端的位置处。

5 也就是说，满足每一所述第二衬垫的中心点相对于对应的所述第一衬垫的中心点的偏移方向和偏移距离均相等的前提下，第二衬垫也可以设置在离第一衬垫较远的距离处。

可以理解的是，部分所述重布线层中的第二衬垫位于靠近所述第二端的位置处且另一部分所述重布线层中的第二衬垫位于靠近所述第四端的位置处，相较于部分所述重布线层中的第二衬垫位于远离所述第二端的位置处且另一部分所述重布线层中的第二衬垫位于靠近所述第四端的位置处，在进行第二测试时，探针移动的距离更短，更能提高测试效率和降低错误发生的概率。在一些实施例中，每一所述重布线层还包括用于与所述第一衬垫进行导电连接的第一区域；

10 部分所述重布线层中的所述第二衬垫和所述第三衬垫均位于所述第一区域的一侧；另一部分所述重布线层中的所述第二衬垫和所述第三衬垫均位于所述第一区域的两侧。

应当理解的是，在所述封装结构中设置导电柱 207 时，参考图 3、图 4，第一区域 213 与所述导电柱 207 接触，且位于所述导电柱的周围，用于实现第一衬垫和重布线层电性连接。在所述封装结构中未设置导电柱 207 时，第一区域 213 位于过孔 204 内。所述第一区域 213 的材料可以与重布线层 206 的材料相同，也可不同，还可以是任何合适的导电材料。

本公开实施例中，第二衬垫和第三衬垫的相对位置关系不同，如图 4 中示出的一部分封装结构中第二衬垫位于导电柱与第三衬垫之间，另一部分封装结构中导电柱 207 位于第二衬垫 211 和第三衬垫 212 之间，基于此，第一区域 213 的位置可以设置在对应的第二衬垫 211 和第三衬垫 212 之间，也可以设置在对应的第二衬垫 211 和第三衬垫 212 的一侧。

另外，应当理解的是，在导电柱 207 和/或第一区域 213 设置在对应的第二衬垫 211 和第三衬垫 212 之间时，该对应的第二衬垫 211 和第三衬垫 212 之间可以设置隔墙。

需要说明的是，为了更清楚的展示第一衬垫、第二衬垫和第三衬垫之间的相对位置关系，图 4 中仅表示出了靠近第一边缘 20a 位置处的一个重布线层，以及靠近第二边缘 20b 位置处的一个重布线层；并且，图 3、图 4 中仅示意性的示出了靠近第一边缘 20a 位置处的重布线层，与对应的靠近第二边缘 20b 位置处的重布线层之间的距离不代表实际应用中二者的距离，其实际距离可以根据实际需求进行设置。

本公开各实施例中，通过将位于不同边缘位置处的第二衬垫和第三衬垫之间的位置设置为不同，实现可以利用同一套探针卡来实现上述两种不

同运行速度的测试，相较于使用两套探针卡分别进行测试，节省了测试成本和测试时间，降低了生产周期和制造成本。

根据本公开实施例的另一方面，提供了一种半导体器件，包括：半导体功能结构及如本公开上述实施例中所述的封装结构。

5 在一些实施例中，所述半导体器件还包括：基板；多个堆叠设置的裸片；每一所述裸片包括半导体功能结构及位于所述半导体功能结构上的封装结构；每一裸片通过所述封装结构中的第三衬垫上的引线电连接到所述基板上。

10 根据本公开实施例的又一方面，提供了一种封装结构的制作方法，如图 5 所示，本公开实施例提供的封装结构的制造方法包括以下步骤：

步骤 S501：提供半导体功能结构，所述半导体功能结构的表面设置有互连层；

15 步骤 S502：形成具有多个过孔的隔离层，所述隔离层覆盖互连层表面，所述过孔暴露部分所述互连层，每一所述过孔暴露的部分所述互连层作为一个第一衬垫，形成 N 个第一衬垫；所述第一衬垫用于进行第一类测试；所述 N 为大于 1 的正整数；

20 步骤 S503：在完成所述第一类测试后，在所述 N 个第一衬垫及所述隔离层上形成 N 个重布线层，每一重布线层覆盖所述隔离层并与所述 N 个第一衬垫中一相应所述第一衬垫电连接；部分所述第一衬垫沿第一方向并列设置在靠近所述半导体功能结构第一边缘的位置处，另一部分所述第一衬垫沿第一方向并列设置在靠近所述半导体功能结构第二边缘的位置处，所述第一边缘与所述第二边缘为所述半导体功能结构相对的两个边缘；

25 步骤 S504：形成覆盖且暴露出部分所述重布线层的第一绝缘层，被暴露的部分所述重布线层作为第二衬垫和第三衬垫；其中，每一所述第二衬垫的中心点相对于对应的所述第一衬垫的中心点的偏移方向和偏移距离均相等；部分重布线层中的第二衬垫和所述第三衬垫之间的相对位置与另一部分所述重布线层中的所述第二衬垫和所述第三衬垫之间的相对位置不同；所述第二衬垫用于进行第二类测试，所述第三衬垫用于执行与所述第二类测试的内容对应的功能交互；所述半导体功能结构在进行所述第一类测试时的运行速度低于在进行所述第二类测试时的运行速度。

30 应当理解，图 5 中所示的步骤并非排他的，也可以在所示操作中的任何步骤之前、之后或之间执行其他步骤；图 5 中所示的各步骤可以根据实际需求进行顺序调整。图 6a 至图 6d 为本公开实施例提供的一种封装结构的制作过程的剖面示意图。下面结合图 5、图 6a 至图 6d，对本公开实施例提供的封装结构的制作方法进行详细地说明。

在步骤 S501 中，参考图 6a，提供半导体功能结构 600，所述半导体功能结构 600 包括半导体功能层 601 和互连层 602。所述提供半导体功能结构 600 包括：提供基底（图 6a 中未示出），在所述基底上形成半导体功能层

601, 在所述半导体功能层上形成互连层 602。

具体地, 所述半导体功能层 601 包括单层或多层薄膜, 半导体功能层具有导电层和/或介电层, 根据实际需求, 所述半导体功能层 601 中可以设置多种功能结构; 相应地, 所述互连层 602 用于将半导体功能层 601 中功能结构的电信号引出, 以运行所述功能结构。在一些实施例中, 互连层 602 包括顶层金属层, 顶层金属层不仅用于将功能结构的电信号引出, 还用于支撑半导体功能结构 600。

在一些实施例中, 所述方法还包括: 去除部分互连层 602, 减小互连层的面积, 以减小由所述互连层产生的寄生电容。图 6a 中展示的是互连层 602 被去除部分后的某一截面的剖面效果图, 实际应用中, 互连层中的各部分并不是截断的, 而是互连的, 即在其他截面上, 互连层中的各部分可能是连续的。

在步骤 S502 中, 参考图 6b, 在所述互连层 602 上形成隔离层 603。所述隔离层的组成材料包括但不限于正硅酸乙酯。

接下来, 去除部分所述隔离层, 以形成多个过孔 604。所述过孔暴露部分所述互连层, 每一所述过孔暴露的部分所述互连层作为一个第一衬垫 605, 形成 N 个第一衬垫 605。其中, 所述过孔 604 可以是圆柱形, 也可以是倒梯形, 或者是任何合适的形状, 所述过孔的横截面积包括所述过孔在所互连层所在平面的正投影的面积, 例如, 过孔是个倒梯形时, 则所述第一衬垫的横截面积为所述过孔的最小横截面积。

所述第一衬垫 605 可以用于执行第一类测试; 还可以用于执行与所述第一类测试的内容对应的功能交互, 例如引出键合线并进行信号交互。所述第一类测试可以理解为对半导体功能结构执行较低运行速度时的一些测试。需要说明的是, 在存储器中, 所述运行速度指的是存储器的读写速度。

在步骤 S503 中, 参考图 6c, 在所述隔离层 603 和所述过孔 604 中形成重布线层 606。

其中, 在所述隔离层 603 上形成重布线层 606 的具体方式包括: 以曝光显影的方式在所述隔离层上形成新的导线图案, 然后, 利用电镀技术按照所述新的导线图案形成重布线层, 所述重布线层包括新的导线路径, 该新的导线路径与所述互连层导电连接。

这里, 每一重布线层 606 覆盖所述隔离层 603 并与所述 N 个第一衬垫中一相应所述第一衬垫 605 电连接; 需要说明的是, 第一衬垫 605 包括第一部分第一衬垫和第二部分第一衬垫, 第一部分所述第一衬垫沿第一方向并列设置在靠近所述半导体功能结构第一边缘的位置处, 第二部分所述第一衬垫沿第一方向并列设置在靠近所述半导体功能结构第二边缘的位置处, 所述第一边缘与所述第二边缘为所述半导体功能结构相对的两个边缘。

在步骤 S504 中, 参考图 6d, 在所述重布线层 606 上形成第一绝缘层 608。

接下来，去除部分所述第一绝缘层 608，暴露出部分重布线层 606，这里，被暴露出的部分所述重布线层包括第二衬垫 611 和第三衬垫 612，其中，所述第二衬垫 611 用于进行第二类测试，所述第三衬垫 612 用于执行与所述第二类测试的内容对应的功能交互，所述第二类测试可以理解为对半导体功能结构在较高运行速度时执行的一些测试。这里，第二衬垫 611 和第三衬垫 612 的位置可以根据实际需求进行选择设置。

需要说明的是，在本实施例中，参考图 6d，第一绝缘层除了暴露部分所述重布线层以构成第二衬垫和第三衬垫以外，还暴露位于第一衬垫上方的重布线层，以在重布线层构成的凹槽 609 内填充后续的第二绝缘层 610，此时，第二绝缘层的密度可以小于等于第一绝缘层；在其他实施例中，第一绝缘层还覆盖重布线层构成的凹槽 609 的底面和侧壁，后续第二绝缘层 610 形成于第一绝缘层构成的凹槽 609 内。

在另一些实施例中，所述封装结构还包括导电柱，对应的，所述方法还包括：在完成所述第一类测试后，在所述第一衬垫上形成导电柱；所述在所述第一衬垫及所述隔离层上形成重布线层，包括：在所述导电柱及所述隔离层上形成重布线层，所述重布线层通过所述导电柱与所述互连层导电连接。

本公开实施例中，第二衬垫和第三衬垫的相对位置关系可以根据实际需求进行设置，例如，封装结构中第二衬垫位于导电柱与第三衬垫之间，和/或，封装结构中导电柱位于第二衬垫 611 和第三衬垫 612 之间，基于此，部分重布线层 606 中的第二衬垫 611 和所述第三衬垫 612 之间的相对位置与另一部分所述重布线层 606 中的所述第二衬垫 611 和所述第三衬垫 612 之间的相对位置可以相同也可以不同，前已述及，这里不再赘述。

每一所述第二衬垫的中心点相对于对应的所述第一衬垫的中心点的偏移方向和偏移距离均相等，如此，可以使得同一套探针卡在执行第一类测试后，从第一衬垫的中心点向一定的方向移动一定的距离后能够与全部的第二衬垫的中心点均对准，即探针卡可以直接对全部的第二衬垫执行第二类测试，而无需更换新的探针卡。

另外，需要说明的是，本公开上述实施例中，采用兼容两种类型测试的封装结构，满足半导体功能结构在不同制程阶段能够进行不同类型的测试；然而，需要注意的是，在对封装结构进行布局设计时，需要在顶层金属层上预留重布线层的过孔位置，保证在需要增加重布线层的时候，不用改动顶层金属层或其他任何光刻板及工艺制程。

在本公开所提供的几个实施例中，应该理解到，所揭露的设备和方法，可以通过非目标的方式实现。以上所描述的设备实施例仅仅是示意性的，例如，所述单元的划分，仅仅为一种逻辑功能划分，实际实现时可以有另外的划分方式，如：多个单元或组件可以结合，或可以集成到另一个系统，或一些特征可以忽略，或不执行。另外，所显示或讨论的

各组成部分相互之间的耦合、或直接耦合。

上述作为分离部件说明的单元可以是、或也可以不是物理上分开的，作为单元显示的部件可以是、或也可以不是物理单元，即可以位于一个地方，也可以分布到多个网络单元上；可以根据实际的需要选择其中的部分或全部单元来实现本实施例方案的目的。

本公开所提供的几个方法或设备实施例中揭露的特征，在不冲突的情况下可以任意组合，得到新的方法实施例或设备实施例。

以上所述，仅为本公开的具体实施方式，但本公开的保护范围并不局限于此，任何熟悉本技术领域的技术人员在本公开揭露的技术范围内，可轻易想到变化或替换，都应涵盖在本公开的保护范围之内。因此，本公开的保护范围应以所述权利要求的保护范围为准。

工业实用性

本公开各实施例中，通过在顶层金属层中设置 N 个第一衬垫，用于对所述半导体功能结构执行处于第一种运行速度时的测试；其中，部分所述第一衬垫沿第一方向并列设置在靠近所述半导体功能结构第一边缘的位置处，另一部分所述第一衬垫沿第一方向并列设置在靠近所述半导体功能结构第二边缘的位置处；在第一种运行速度时的测试完成后，在第一衬垫上的重布线层中设置与第一衬垫一一对应的第二衬垫，用于对所述半导体功能结构执行处于第二种运行速度时的测试；其中，部分所述重布线层中所述第二衬垫和所述第三衬垫之间的相对位置与另一部分所述重布线层中的所述第二衬垫和所述第三衬垫之间的相对位置不同；这里，通过将每一第二衬垫的中心点设置为相对于对应的第一衬垫的中心点偏移相同的方向和偏移相等的距离，使得 N 个第一衬垫和 N 个第二衬垫保持完全相同的相对位置；同时，通过将位于不同边缘位置处的第二衬垫和第三衬垫之间的位置设置为不同，使得位于两个边缘位置处的重布线层保有较大的容错率，均可以靠近边缘但不超出边缘，如此，可以保证第一衬垫和第二衬垫均处于有利于节省总面积的有利位置，同时还可以利用同一套探针卡来实现上述两种不同运行速度的测试，相较于使用两套探针卡分别进行测试，节省了测试成本和测试时间，降低了生产周期和制造成本。

权利要求书

1.一种封装结构,包括:

具有多个过孔的隔离层,所述隔离层覆盖互连层表面,所述过孔暴露部分所述互连层,所述互连层设置在半导体功能结构的表面;

5 N个第一衬垫,每一第一衬垫由一个所述过孔暴露的所述互连层构成;所述N为大于1的正整数;

N个重布线层,每一重布线层覆盖所述隔离层并与所述N个第一衬垫中一相应所述第一衬垫电连接;部分所述第一衬垫沿第一方向并列设置在靠近所述半导体功能结构第一边缘的位置处,另一部分所述第一衬垫沿第一方向并列设置在靠近所述半导体功能结构第二边缘的位置处,所述第一边缘与

10 所述第二边缘为所述半导体功能结构相对的两个边缘;

第一绝缘层,覆盖且暴露出每一所述重布线层的部分区域;

每一所述重布线层被暴露出的部分区域均包括第二衬垫和第三衬垫;其中,每一所述第二衬垫的中心点相对于对应的所述第一衬垫的中心点的

15 偏移方向和偏移距离均相等;部分所述重布线层中所述第二衬垫和所述第三衬垫之间的相对位置与另一部分所述重布线层中的所述第二衬垫和所述第三衬垫之间的相对位置不同;所述第一衬垫和第二衬垫分别用于所述半导体功能结构处于不同运行速度时的测试,所述第三衬垫用于执行与

20 所述第二衬垫测试的内容对应的功能交互。

2.根据权利要求1所述的封装结构,其中,

所述N个重布线层中每一所述重布线层包括的所述第二衬垫与所述第三衬垫均沿第二方向并列设置,所述第二方向与所述第一方向垂直。

3.根据权利要求2所述的封装结构,其中,每一所述第二衬垫的中心点在所述互连层所在平面的正投影相对于对应的所述第一衬垫的中心点向所述

25 第二方向偏移第一距离。

4.根据权利要求3所述的封装结构,其中,每一所述重布线层在所述互连层所在平面的正投影的形状均包括长条状。

5.根据权利要求4所述的封装结构,其中,

部分所述第一衬垫靠近所述第一边缘的第一端与部分所述重布线层靠近所述第一边缘的第二端沿第三方向基本齐平,第三方向与所述第一方向

30 和所述第二方向均垂直;

另一部分所述第一衬垫靠近所述第二边缘的第三端与另一部分所述重布线层靠近所述第二边缘的第四端沿所述第三方向基本齐平。

6.根据权利要求5所述的封装结构,其中,

部分所述重布线层中的所述第二衬垫位于靠近所述第二端的位置处,所述第三衬垫位于远离所述第二端的位置处;

另一部分所述重布线层中的所述第二衬垫位于靠近所述第四端的位置处,所述第三衬垫位于远离所述第四端的位置处。

7.根据权利要求6所述的封装结构,其中,每一所述重布线层还包括用于与所述第一衬垫进行导电连接的第一区域;

部分所述重布线层中的所述第二衬垫和所述第三衬垫均位于所述第一区域的一侧;另一部分所述重布线层中的所述第二衬垫和所述第三衬垫均位于所述第一区域的两侧。

8.根据权利要求1所述的封装结构,其中,
所述重布线层与对应的所述第一衬垫直接接触;
或者,

所述封装结构还包括:导电柱,位于所述重布线层与对应的所述第一衬垫之间,所述重布线层通过所述导电柱与所述互连层导电连接。

9.根据权利要求8所述的封装结构,其中,所述封装结构包括所述导电柱,所述导电柱的数量多括多个,多个导电柱沿第一方向并列设置。

10.根据权利要求8所述的封装结构,其中,所述重布线层与对应的所述第一衬垫直接接触,所述封装结构还包括:

第二绝缘层,位于每一所述重布线层围成的凹槽内,所述第二绝缘层的材料的硬度小于所述重布线层的材料的硬度。

11.一种半导体器件,包括:半导体功能结构及如权利要求1至10中任一项所述的封装结构。

12.根据权利要求11所述的半导体器件,其中,所述半导体器件还包括:
基板;

多个堆叠设置的裸片;每一所述裸片包括半导体功能结构及位于所述半导体功能结构上的封装结构;

每一裸片通过所述封装结构中的第三衬垫上的引线电连接到所述基板上。

13.一种封装结构的制作方法,包括:

提供半导体功能结构,所述半导体功能结构的表面设置有互连层;

形成具有多个过孔的隔离层,所述隔离层覆盖互连层表面,所述过孔暴露部分所述互连层,每一所述过孔暴露的部分所述互连层作为一个第一衬垫,形成N个第一衬垫;所述第一衬垫用于进行第一类测试;所述N为大于1的正整数;

在完成所述第一类测试后,在所述N个第一衬垫及所述隔离层上形成N个重布线层,每一重布线层覆盖所述隔离层并与所述N个第一衬垫中一相应所述第一衬垫电连接;部分所述第一衬垫沿第一方向并列设置在靠近所述半导体功能结构第一边缘的位置处,另一部分所述第一衬垫沿第一方向并列设置在靠近所述半导体功能结构第二边缘的位置处,所述第一边缘与所述第二边缘为所述半导体功能结构相对的两个边缘;

形成覆盖且暴露出部分所述重布线层的第一绝缘层,被暴露的部分所述重布线层作为第二衬垫和第三衬垫;其中,每一所述第二衬垫的中心点

- 相对于对应的所述第一衬垫的中心点的偏移方向和偏移距离均相等；部分重布线层中的第二衬垫和所述第三衬垫之间的相对位置与另一部分所述重布线层中的所述第二衬垫和所述第三衬垫之间的相对位置不同；所述第二衬垫用于进行第二类测试，所述第三衬垫用于执行与所述第二类测试的内容对应的功能交互；所述半导体功能结构在进行所述第一类测试时的运行速度低于在进行所述第二类测试时的运行速度。
- 5

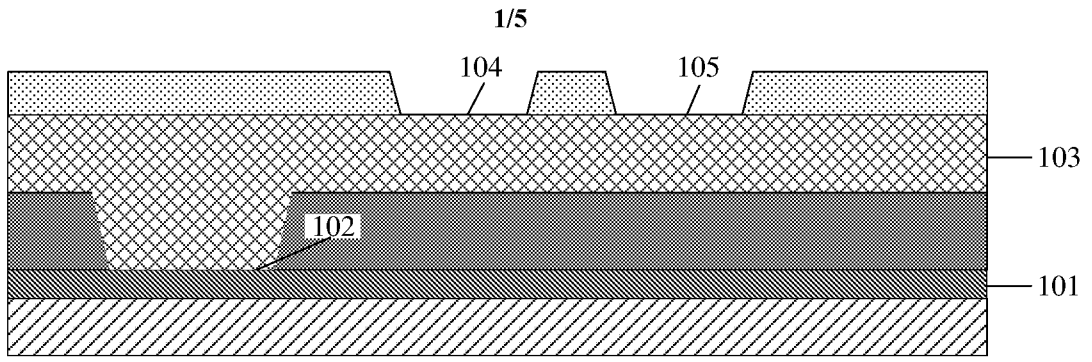


图 1

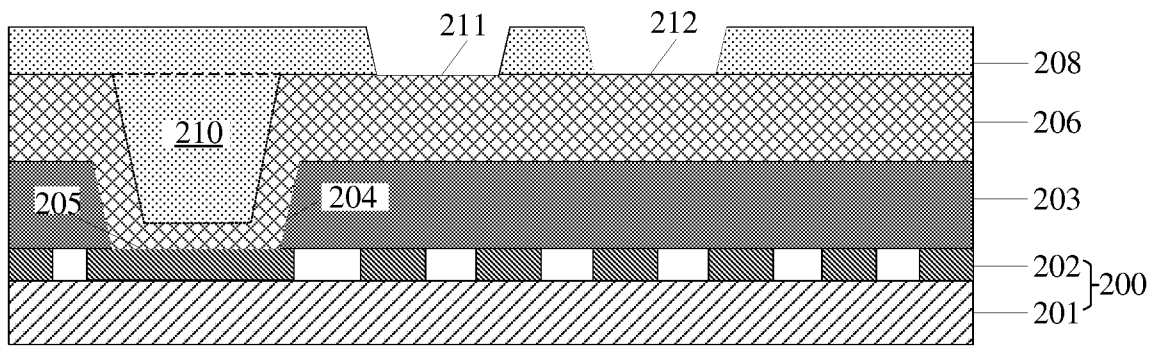


图 2a

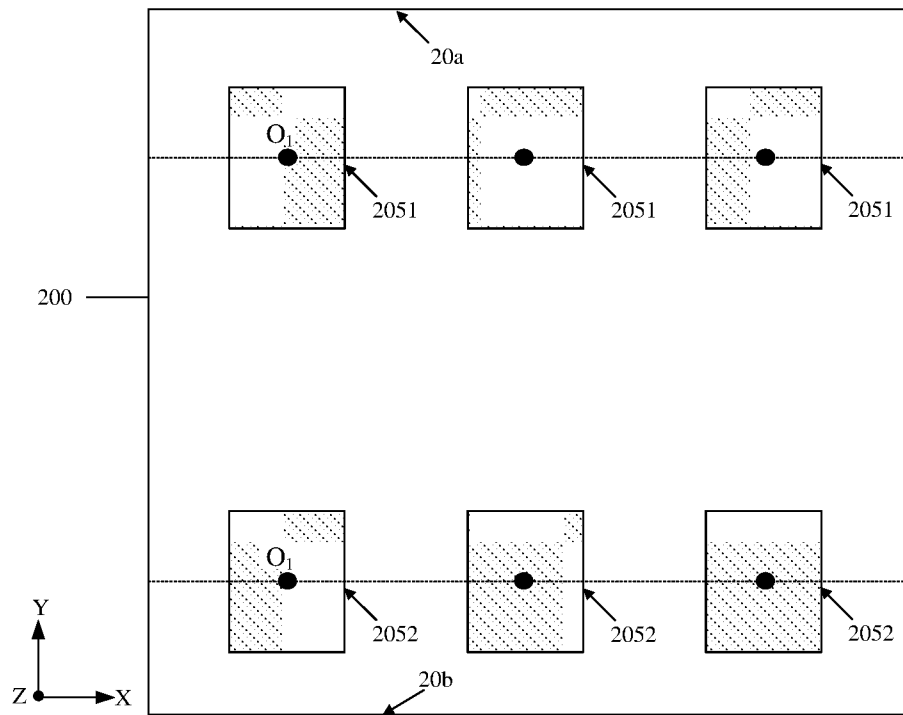


图 2b

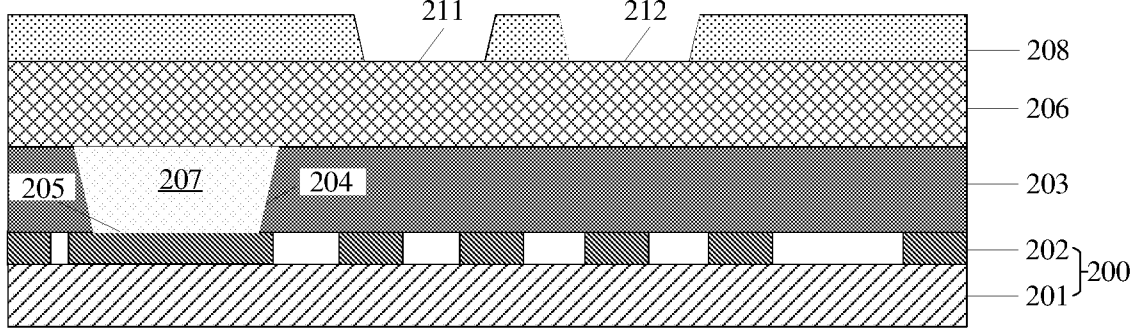


图 2c

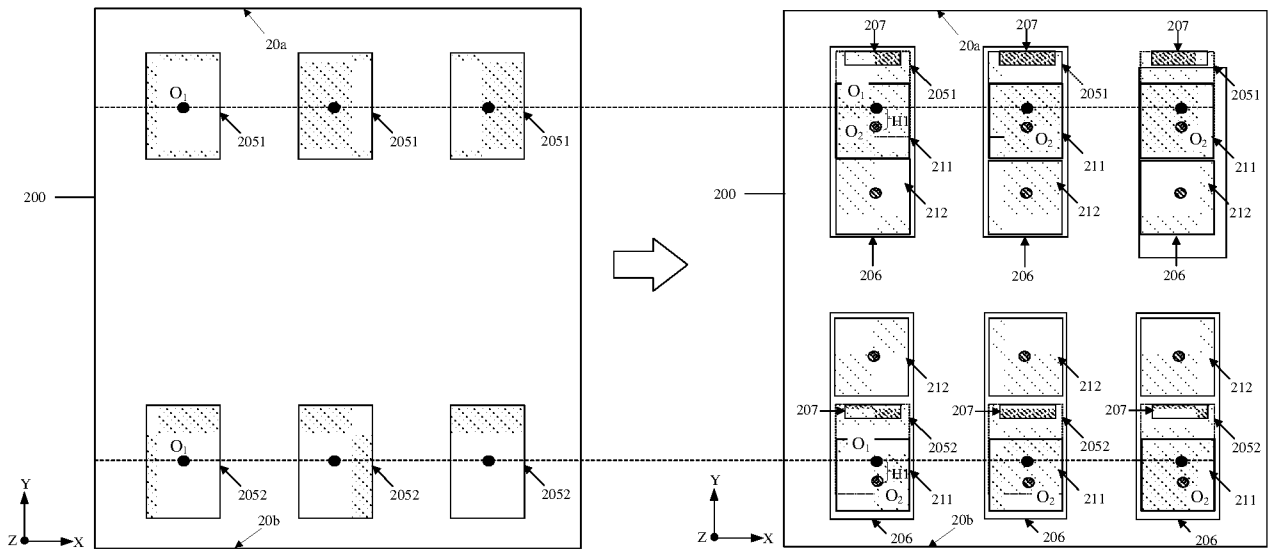


图 3

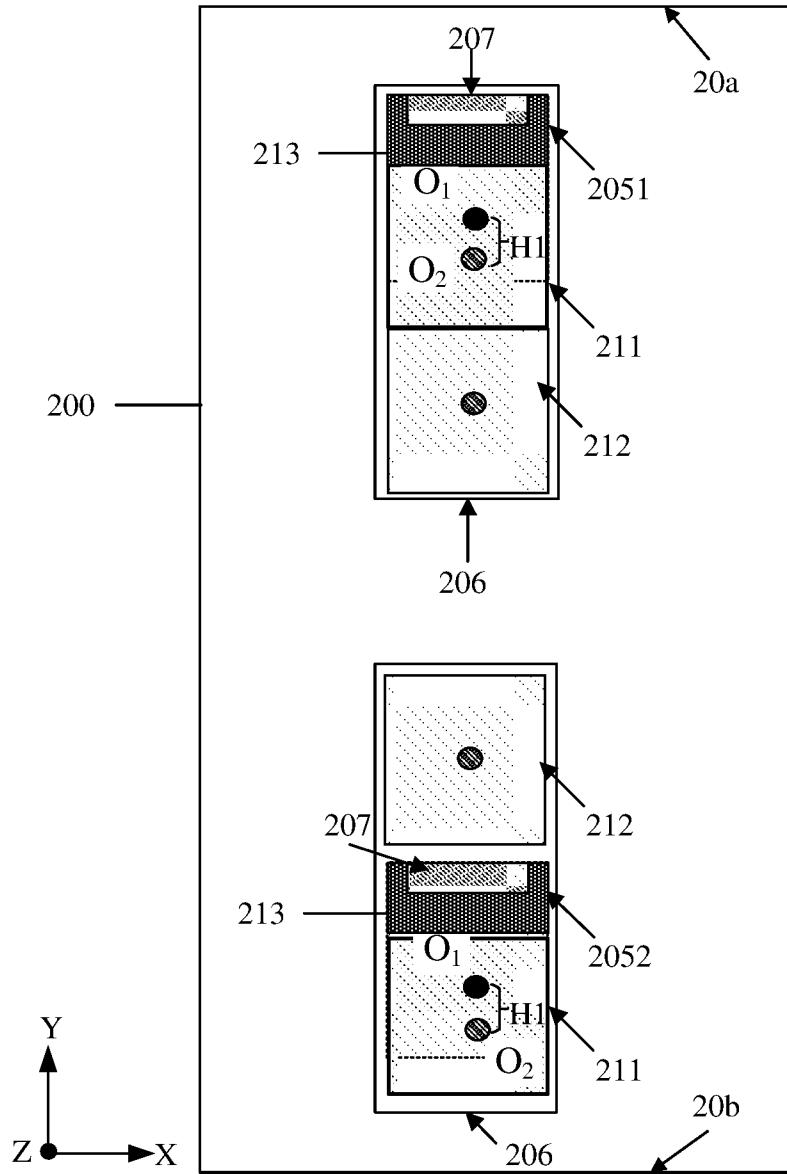


图 4

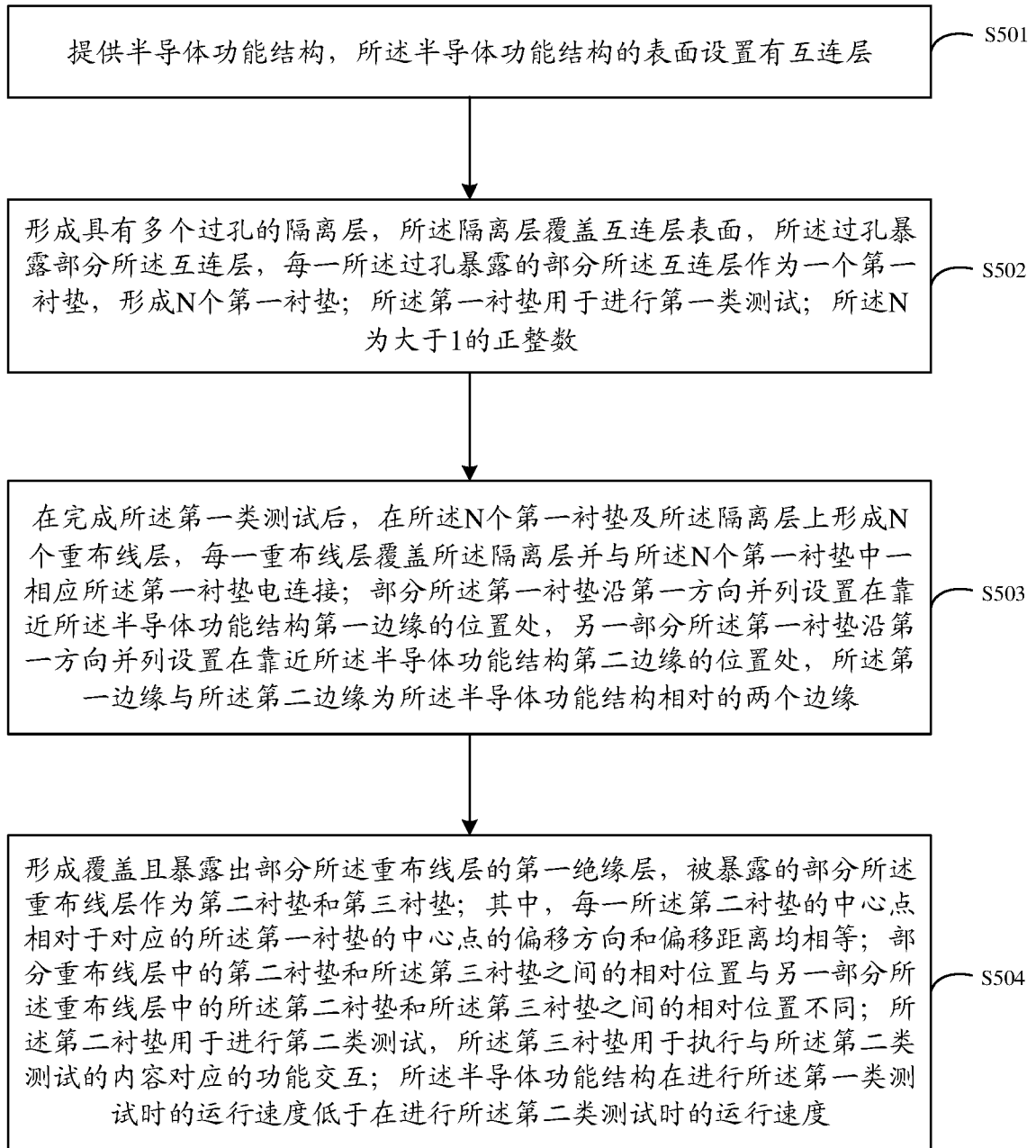


图 5

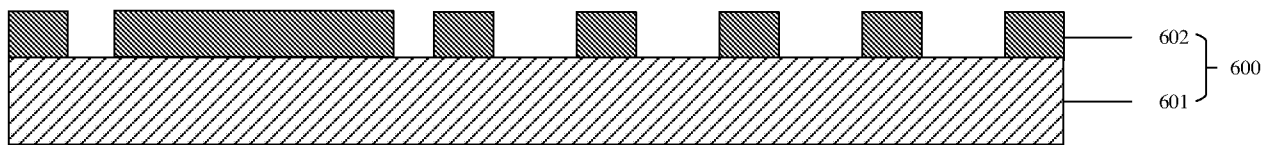


图 6a

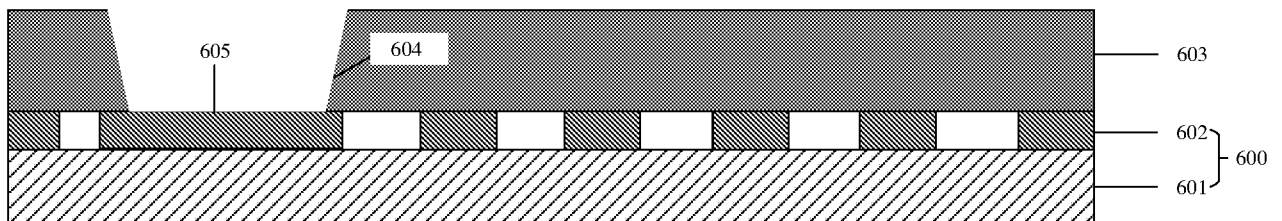


图 6b

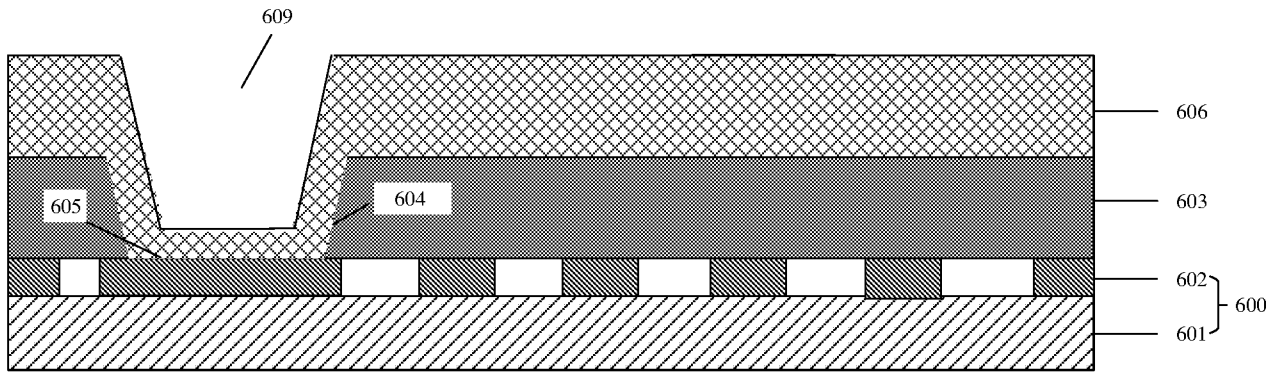


图 6c

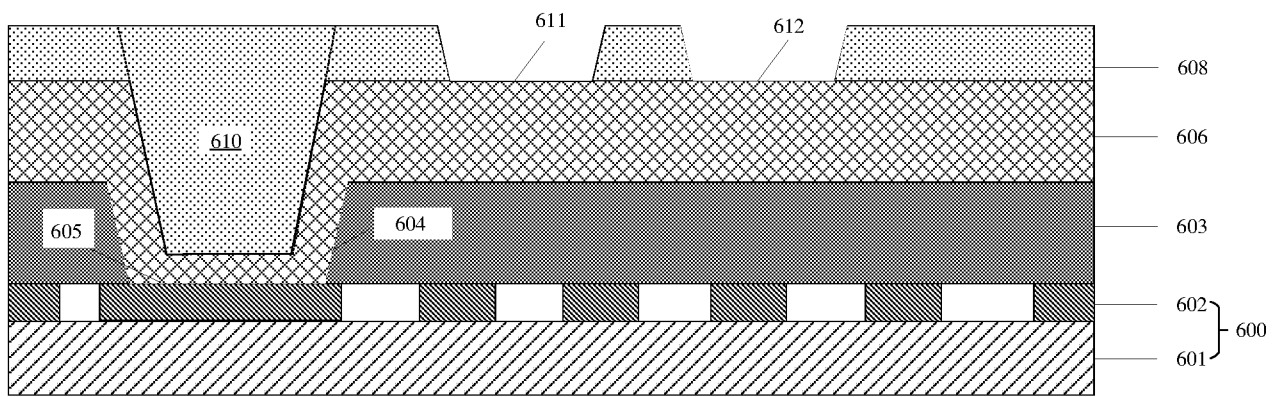


图 6d

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2022/102515

A. CLASSIFICATION OF SUBJECT MATTER		
H01L21/66(2006.01);H01L23/544(2006.01)		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols)		
H01L		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
VEN, CNABS, CNTXT, WOTXT, EPTXT, USTXT, CNKI, IEEE: 封装, 隔离层, 衬垫, 互连层, 边缘, 测试, 探针, 偏移, 距离, encapsulat+, isolated, pad, interconnect, edge, test, probe, distance		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 112582365 A (TAIWAN SEMICONDUCTOR MANUFACTURING CO., LTD.) 30 March 2021 (2021-03-30) description, paragraphs [0018]-[0079], and figures 1-22	1-13
A	CN 105548851 A (SAMSUNG ELECTRONICS CO., LTD.) 04 May 2016 (2016-05-04) entire document	1-13
A	CN 106920797 A (YANGTZE MEMORY TECHNOLOGIES CO., LTD.) 04 July 2017 (2017-07-04) entire document	1-13
A	CN 107424970 A (ADVANCED SEMICONDUCTOR ENGINEERING INC.) 01 December 2017 (2017-12-01) entire document	1-13
A	CN 112864130 A (SHANGHAI HUAHONG GRACE SEMICONDUCTOR MANUFACTURING CORPORATION) 28 May 2021 (2021-05-28) entire document	1-13
A	US 2010314619 A1 (KALTALIOGLU, Erdem et al.) 16 December 2010 (2010-12-16) entire document	1-13
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "D" document cited by the applicant in the international application "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search		Date of mailing of the international search report
18 February 2023		22 February 2023
Name and mailing address of the ISA/CN		Authorized officer
China National Intellectual Property Administration (ISA/CN) China No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing 100088		
Facsimile No. (86-10)62019451		Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2022/102515

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	112582365	A	30 March 2021	US	2022302009	A1	22 September 2022
				DE	102020105134	A1	01 April 2021
				TW	202114086	A	01 April 2021
				TWI	754359	B	01 February 2022
CN	105548851	A	04 May 2016	US	2016047857	A1	18 February 2016
				US	10067180	B2	04 September 2018
				KR	20160021375	A	25 February 2016
				KR	102317023	B1	26 October 2021
CN	106920797	A	04 July 2017	TW	201842601	A	01 December 2018
				TWI	644379	B	11 December 2018
				JP	2020510312	A	02 April 2020
				JP	6918959	B2	11 August 2021
				US	2020265913	A1	20 August 2020
				US	10998079	B2	04 May 2021
				KR	20190122794	A	30 October 2019
				KR	102286338	B1	05 August 2021
				WO	2018161841	A1	13 September 2018
				US	2019057756	A1	21 February 2019
				US	10679721	B2	09 June 2020
				CN	107424970	A	01 December 2017
US	10446411	B2	15 October 2019				
JP	2017204635	A	16 November 2017				
JP	6557701	B2	07 August 2019				
US	2017330870	A1	16 November 2017				
US	10049893	B2	14 August 2018				
CN	112864130	A	28 May 2021	None			
US	2010314619	A1	16 December 2010	DE	102010017371	A1	16 December 2010
				US	8748295	B2	10 June 2014

<p>A. 主题的分类</p> <p>H01L21/66(2006.01)i;H01L23/544(2006.01)i</p> <p>按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类</p>																																					
<p>B. 检索领域</p> <p>检索的最低限度文献(标明分类系统和分类号)</p> <p>H01L</p> <p>包含在检索领域中的除最低限度文献以外的检索文献</p> <p>在国际检索时查阅的电子数据库(数据库的名称,和使用的检索词(如使用))</p> <p>VEN, CNABS, CNTXT, WOTXT, EPTXT, USTXT, CNKI, IEEE: 封装, 隔离层, 衬垫, 互连层, 边缘, 测试, 探针, 偏移, 距离, encapsulat+, isolated, pad, interconnect, edge, test, probe, distance</p>																																					
<p>C. 相关文件</p> <table border="1"> <thead> <tr> <th>类型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>A</td> <td>CN 112582365 A (台湾积体电路制造股份有限公司) 2021年3月30日 (2021 - 03 - 30) 说明书第[0018]-[0079]段, 图1-22</td> <td>1-13</td> </tr> <tr> <td>A</td> <td>CN 105548851 A (三星电子株式会社) 2016年5月4日 (2016 - 05 - 04) 全文</td> <td>1-13</td> </tr> <tr> <td>A</td> <td>CN 106920797 A (长江存储科技有限责任公司) 2017年7月4日 (2017 - 07 - 04) 全文</td> <td>1-13</td> </tr> <tr> <td>A</td> <td>CN 107424970 A (日月光半导体制造股份有限公司) 2017年12月1日 (2017 - 12 - 01) 全文</td> <td>1-13</td> </tr> <tr> <td>A</td> <td>CN 112864130 A (上海华虹宏力半导体制造有限公司) 2021年5月28日 (2021 - 05 - 28) 全文</td> <td>1-13</td> </tr> <tr> <td>A</td> <td>US 2010314619 A1 (KALTALIOGLU, Erdem等) 2010年12月16日 (2010 - 12 - 16) 全文</td> <td>1-13</td> </tr> </tbody> </table> <p><input type="checkbox"/> 其余文件在C栏的续页中列出。 <input checked="" type="checkbox"/> 见同族专利附件。</p> <table border="0"> <tr> <td>* 引用文件的具体类型:</td> <td>“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件</td> </tr> <tr> <td>“A” 认为不特别相关的表示了现有技术一般状态的文件</td> <td>“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性</td> </tr> <tr> <td>“D” 申请人在国际申请中引证的文件</td> <td>“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性</td> </tr> <tr> <td>“E” 在国际申请日的当天或之后公布的在先申请或专利</td> <td>“&” 同族专利的文件</td> </tr> <tr> <td>“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)</td> <td></td> </tr> <tr> <td>“O” 涉及口头公开、使用、展览或其他方式公开的文件</td> <td></td> </tr> <tr> <td>“P” 公布日先于国际申请日但迟于所要求的优先权日的文件</td> <td></td> </tr> </table>			类型*	引用文件, 必要时, 指明相关段落	相关的权利要求	A	CN 112582365 A (台湾积体电路制造股份有限公司) 2021年3月30日 (2021 - 03 - 30) 说明书第[0018]-[0079]段, 图1-22	1-13	A	CN 105548851 A (三星电子株式会社) 2016年5月4日 (2016 - 05 - 04) 全文	1-13	A	CN 106920797 A (长江存储科技有限责任公司) 2017年7月4日 (2017 - 07 - 04) 全文	1-13	A	CN 107424970 A (日月光半导体制造股份有限公司) 2017年12月1日 (2017 - 12 - 01) 全文	1-13	A	CN 112864130 A (上海华虹宏力半导体制造有限公司) 2021年5月28日 (2021 - 05 - 28) 全文	1-13	A	US 2010314619 A1 (KALTALIOGLU, Erdem等) 2010年12月16日 (2010 - 12 - 16) 全文	1-13	* 引用文件的具体类型:	“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件	“A” 认为不特别相关的表示了现有技术一般状态的文件	“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性	“D” 申请人在国际申请中引证的文件	“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性	“E” 在国际申请日的当天或之后公布的在先申请或专利	“&” 同族专利的文件	“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)		“O” 涉及口头公开、使用、展览或其他方式公开的文件		“P” 公布日先于国际申请日但迟于所要求的优先权日的文件	
类型*	引用文件, 必要时, 指明相关段落	相关的权利要求																																			
A	CN 112582365 A (台湾积体电路制造股份有限公司) 2021年3月30日 (2021 - 03 - 30) 说明书第[0018]-[0079]段, 图1-22	1-13																																			
A	CN 105548851 A (三星电子株式会社) 2016年5月4日 (2016 - 05 - 04) 全文	1-13																																			
A	CN 106920797 A (长江存储科技有限责任公司) 2017年7月4日 (2017 - 07 - 04) 全文	1-13																																			
A	CN 107424970 A (日月光半导体制造股份有限公司) 2017年12月1日 (2017 - 12 - 01) 全文	1-13																																			
A	CN 112864130 A (上海华虹宏力半导体制造有限公司) 2021年5月28日 (2021 - 05 - 28) 全文	1-13																																			
A	US 2010314619 A1 (KALTALIOGLU, Erdem等) 2010年12月16日 (2010 - 12 - 16) 全文	1-13																																			
* 引用文件的具体类型:	“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件																																				
“A” 认为不特别相关的表示了现有技术一般状态的文件	“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性																																				
“D” 申请人在国际申请中引证的文件	“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性																																				
“E” 在国际申请日的当天或之后公布的在先申请或专利	“&” 同族专利的文件																																				
“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)																																					
“O” 涉及口头公开、使用、展览或其他方式公开的文件																																					
“P” 公布日先于国际申请日但迟于所要求的优先权日的文件																																					
国际检索实际完成的日期	国际检索报告邮寄日期																																				
2023年2月18日	2023年2月22日																																				
ISA/CN的名称和邮寄地址	授权官员																																				
中国国家知识产权局 中国北京市海淀区蓟门桥西土城路6号 100088	王光军																																				
传真号 (86-10)62019451	电话号码 (+86) 010-53961225																																				

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2022/102515

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	112582365	A	2021年3月30日	US	2022302009	A1	2022年9月22日
				DE	102020105134	A1	2021年4月1日
				TW	202114086	A	2021年4月1日
				TWI	754359	B	2022年2月1日
CN	105548851	A	2016年5月4日	US	2016047857	A1	2016年2月18日
				US	10067180	B2	2018年9月4日
				KR	20160021375	A	2016年2月25日
				KR	102317023	B1	2021年10月26日
CN	106920797	A	2017年7月4日	TW	201842601	A	2018年12月1日
				TWI	644379	B	2018年12月11日
				JP	2020510312	A	2020年4月2日
				JP	6918959	B2	2021年8月11日
				US	2020265913	A1	2020年8月20日
				US	10998079	B2	2021年5月4日
				KR	20190122794	A	2019年10月30日
				KR	102286338	B1	2021年8月5日
				WO	2018161841	A1	2018年9月13日
				US	2019057756	A1	2019年2月21日
				US	10679721	B2	2020年6月9日
CN	107424970	A	2017年12月1日	US	2018350626	A1	2018年12月6日
				US	10446411	B2	2019年10月15日
				JP	2017204635	A	2017年11月16日
				JP	6557701	B2	2019年8月7日
				US	2017330870	A1	2017年11月16日
				US	10049893	B2	2018年8月14日
CN	112864130	A	2021年5月28日	无			
US	2010314619	A1	2010年12月16日	DE	102010017371	A1	2010年12月16日
				US	8748295	B2	2014年6月10日