

[19] 中华人民共和国国家知识产权局



[12] 发明专利说明书

专利号 ZL 200510072898.4

[51] Int. Cl.

H01L 21/20 (2006.01)

H01L 21/205 (2006.01)

H01L 21/336 (2006.01)

H01L 21/8234 (2006.01)

H01L 29/78 (2006.01)

[45] 授权公告日 2008 年 2 月 13 日

[11] 授权公告号 CN 100369199C

[22] 申请日 2005.5.17

[21] 申请号 200510072898.4

[30] 优先权

[32] 2004.5.21 [33] US [31] 10/851,821

[73] 专利权人 国际商业机器公司

地址 美国纽约

[72] 发明人 陈国仕 罗伯特·J·米勒

艾林·C·琼斯 阿图尔·阿伊梅拉

[56] 参考文献

US 3902936 A 1975.9.2

US 5250452 A 1993.10.5

US 5246886 A 1993.9.21

US 6352942 B1 2002.3.5

JP 1248668 A 1989.10.4

审查员 陈 龙

[74] 专利代理机构 中国国际贸易促进委员会专利
商标事务所

代理人 付建军

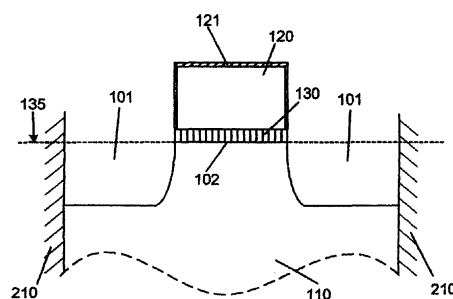
权利要求书 3 页 说明书 6 页 附图 2 页

[54] 发明名称

形成多晶硅的方法和在硅基材料中的 MOSFET
器件

[57] 摘要

本发明公开了一种具有多晶 SiGe 结的 MOSFET 器件的结构和制造方法。Ge 在 Si 上选择性地生长，Si 在 Ge 上选择性地生长。Ge 和 Si 层的交替淀积形成 SiGe 结。所述淀积的层进行掺杂，随后掺杂剂向外扩散入器件本体中。位于所述多晶 Ge 和 Si 层之间的薄的、多孔氧化物层提高了 SiGe 结的各向同性。



1. 一种形成多晶Si的方法，包含步骤：

提供表面，其中所述表面包含至少一个Ge区域；

在所述至少一个Ge区域上淀积多孔氧化物层；以及

对所述表面进行多晶Si淀积，其中所述多晶Si在所述淀积有多孔氧化物层的至少一个Ge区域上形成。

2. 如权利要求1所述的方法，其特征在于所述多晶Si淀积利用Si前驱物通过化学气相淀积实现。

3. 如权利要求2所述的方法，其特征在于所述Si前驱物是从包含 SiH_4 ， SiH_2Cl_2 及其混和物形成的组中选择的。

4. 如权利要求2所述的方法，其特征在于所述Si前驱物是气体混和物的一部分，其中所述气体混合物还包含HCl。

5. 如权利要求1所述的方法，其特征在于淀积多孔氧化物层的步骤是通过包含Si前驱物和带氧气体的化学气相淀积完成的。

6. 如权利要求5所述的方法，其特征在于淀积所述多孔氧化物层的步骤还包含将HCl添加至所述Si前驱物和所述带氧气体的步骤。

7. 如权利要求1所述的方法，其特征在于所述多孔氧化物层淀积的厚度在0.1nm和1nm之间。

8. 如权利要求1所述的方法，其特征在于所述多晶Si具有直径介于1.5nm至15nm之间的晶粒。

9. 如权利要求1所述的方法，其特征在于所述多晶Si淀积的厚度在2nm至15nm之间。

10. 一种形成多晶SiGe层的方法，包含步骤：

提供表面，其中所述表面包含至少一个第一区域，多晶硅占据了所述至少一个第一区域；

对所述表面进行多晶Ge淀积，其中所述多晶Ge层在所述多晶Si上形成，而在所述至少一个第一区域上形成所述多晶SiGe层，

在所述多晶Ge层上淀积多孔氧化物层；以及

在所述多孔氧化物层上进一步进行Si淀积。

11. 如权利要求10所述的方法，其特征在于所述多晶Ge淀积利用Ge前驱物通过化学气相淀积实现。

12. 如权利要求11所述的方法，其特征在于所述Ge前驱物是从包含 GeH_4 、 GeH_2Cl_2 及其混和物形成的组中选择的。

13. 如权利要求11所述的方法，其特征在于所述Ge前驱物是气体混和物的一部分，所述气体混合物还包含HCl。

14. 如权利要求10所述的方法，其特征在于所述多晶Ge是具有直径在约1.5nm至15nm的范围内的晶粒。

15. 如权利要求10所述的方法，其特征在于所述多晶Ge淀积的厚度在约2nm至15nm之间。

16. 一种在Si基单晶上形成多晶SiGe层的方法，包含步骤：

提供第一表面，其中所述第一表面包含至少一个第一区域，所述Si基单晶占据了所述至少一个第一区域；

对所述第一表面进行多晶Ge淀积，其中多晶Ge层在所述Si基单晶上形成，形成第二表面，所述第二表面包含所述至少一个第一区域，并且在所述第二表面中所述多晶Ge占据所述形成有所述Si基单晶的第一区域；

在所述多晶Ge层上淀积多孔氧化物层；以及

在所述多孔氧化物层上进行多晶Si淀积，其中所述多晶Si层在所述淀积有多孔氧化物层的多晶Ge层上形成，形成第三表面，所述第三表面包含所述至少一个第一区域，并且在所述第三表面中所述多晶Si占据所述已形成有所述Si基单晶、多晶Ge和多孔氧化物层的第一区域，由此在所述至少一个第一区域上形成所述多晶SiGe层。

17. 如权利要求16所述的方法，其特征在于所述Si基单晶选择为是Si单晶。

18. 如权利要求16所述的方法，其特征在于所述多晶Ge层形成的厚度在2nm至15nm之间，且所述多晶Si层形成的厚度在2nm至15nm之间。

19. 如权利要求18所述的方法, 其特征在于还包含步骤:

对所述第三表面进行多晶Ge淀积, 其中多晶Ge层在被所述多晶Si占据的所述至少一个第一区域上形成, 而形成第二层多晶Ge的表面。

20. 如权利要求19所述的方法, 其特征在于还包含步骤:

重复在多晶Ge的表面上多晶Si淀积和在多晶Si的表面上多晶Ge淀积多次, 直到达到所述多晶SiGe层的所需厚度。

21. 一种在Si基材料中形成用于MOSFET器件的结的方法, 包含步骤:

在所述结的位置去除一定体积的所述Si基材料; 以及

淀积多晶Ge层、在所述多晶Ge层上淀积多孔氧化物层然后淀积多晶Si层, 用形成的SiGe多晶材料填充所述体积。

22. 如权利要求21所述的方法, 其特征在于还包含步骤:

使掺杂剂从所述SiGe多晶材料扩散入所述Si基材料中。

23. 如权利要求22所述的方法, 其特征在于所述掺杂剂选择为硼。

24. 如权利要求21所述的方法, 其特征在于所述淀积是通过化学气相淀积完成的。

25. 如权利要求22所述的方法, 其特征在于所述Ge和Si多晶层是在所述淀积过程中原位置掺杂的。

26. 如权利要求21所述的方法, 其特征在于每个所述多晶Ge层具有直径在1.5nm至15nm范围内的晶粒。

27. 如权利要求21所述的方法, 其特征在于每个所述多晶Ge层淀积的厚度在2nm至15nm之间。

28. 如权利要求21所述的方法, 其特征在于每个所述多晶Si层具有直径在1.5nm至15nm范围内的晶粒。

29. 如权利要求21所述的方法, 其特征在于每个所述多晶Si层淀积的厚度在2nm至15nm之间。

30. 如权利要求21所述的方法, 其特征在于所述Si基材料选择为是硅材料。

形成多晶硅的方法和在 硅基材料中的MOSFET器件

技术领域

本发明涉及集成电路及其制造方法领域。具体而言，本发明涉及需要浅的、高导电性的结的先进场效应半导体器件。

背景技术

目前的集成电路包括大量器件。较小的器件对于提高性能和改善可靠性非常关键。随着MOSFET（金属氧化物半导体场效应晶体管，通常具有历史意义的名称为绝缘门极场效应晶体管）器件的不断缩小，技术变得更加复杂。对于亚微米级的器件来说，保持性能的改善存在很大的困难。正在探索保持器件性能善的途径。在寻求更高器件性能的道路上，MOSFET器件的小型化是已经确立的指导原则。

尺寸小型化自然导致更浅和更低的掺杂器件（源极和漏极）结，从而增大器件的寄生电阻。这在性能正好相反时出现，即结的寄生电阻减小，尤其是源极结。在硅和金属硅化物界面上的扩展电阻、结延伸边缘电阻、接触电阻都是结的寄生电阻的组成部分。为了减小这些电阻，需要急剧变化的掺杂剂分布和较高的电活性，同时保持浅的结剖面。

本领域中获得浅结的通常技术包括大剂量、超低能量的必要掺杂剂注入，比如硼（B），砷（As），磷（P）等，随后进行峰值快速热退火（spike - RTA）来激活这些掺杂剂。然而，spike - RTA退火的高热能将导致在结内产生大量缺陷，导致掺杂剂通过这些缺陷快速扩散。结果，结不再是浅的，且变得漏电。

发明内容

鉴于上述问题，本发明公开了一种形成具有高导电性、低接触电阻，浅剖面 and 锐边缘的器件结的方法。这一公开内容打算用多晶材料代替传统的源极/漏极结材料，即单晶器件本体材料。在多晶材料中的掺杂剂实现了通过晶粒边界的快速扩散，且在适当的退火条件下，通常掺杂剂还在沟道区域和器件本体上形成锐变的型面。

因此，本发明公开了一种MOSFET器件结构，具有包含多晶硅锗（SiGe）的结。本发明还公开了制造这种包含多晶SiGe的结的方法。多晶SiGe结的意义在于两个基本的概念。首先是沿晶粒边界的快速掺杂剂扩散。其次是相对于Si在Ge内有更高的掺杂剂固溶度。

可取的是，所述制造方法基于化学气相淀积（CVD）工艺。为实现优选的结果且为了简化制造工艺，必须以选择性的方式生长或淀积多晶结。然而，多晶硅，或多晶硅合金，对于电介质是没有选择性的。为了获得对任何电介质的选择性，首先在优选的Si区域生长对于电介质具有选择性的Ge纳米晶，或晶种。然后，在优选的Si区域已经生长多晶Ge之后，人们可以切换为Si淀积，其中Si晶核在Ge晶种上比在Si上更快地择优生长，因为Ge-H键弱于Si-H键。Si核在电介质上的生长不如在Ge晶种上快，因为在电介质上Si具有较长的形核时间。在淀积了一薄层多晶硅后，人们切换回Ge。然后重复这些步骤：交替地生长Ge核和Si核，这样该技术以选择性方式实现了SiGe的多晶生长。

本发明还提供了一种通过在连续的多晶Si淀积的最初阶段生长通常0.2nm厚度范围内的非连续多孔氧化物，形成SiGe合金的高度各向同性的多晶相的方法。这种多孔氧化物帮助Si晶粒相对于Ge晶种定向变异。

在现有技术中，已经有多种方案试图获得类似的结果。例如，Grider的美国专利US5818100和US5646073公开了一种用于在单晶Si上选择性地形成多晶Si的方法，但它们并没有公开本发明。在Demirlioglu的美国专利US5571744中，公开了从一种使掺杂剂从多晶SiGe向结中扩散的方法，但该专利也没有公开本发明。

附图说明

从下面的详细描述和附图中，本发明的这些和其他特征将更为明显，其中：

图1示出了具有多晶SiGe结的MOSFET器件的剖面示意图；

图2示出了多晶层淀积顺序的剖面示意图。

具体实施方式

图1示出了具有多晶SiGe结的MOSFET器件的剖面示意图。MOSFET器件在硅基材料110中形成主体。在微电子技术中，在小型化方面前进最远的材料是硅。硅基材料是基本技术成分与Si相同的多种硅合金。对于微电子技术来说重要的一种硅基材料是单晶硅锗合金。在本发明的内容中，如果Ge是合金材料，术语Si基材料是指Ge含量低于50%的化合物。术语使器件成为主体是指所述器件的关键部分在主体材料上，所述关键部分对于载流子特性非常敏感的部分，比如MOSFET的沟道102。通常，在MOSFET器件上成为主体的材料110基本上是Si。

图1示出了在两个制造阶段的MOSFET器件。在图1A中，示出了准备阶段，图1B中示出了已经执行了所公开的步骤的器件，其中结101由多晶SiGe制成，或更准确地说，由多晶Ge10和多晶Si11的交替层制成。

MOSFET的加工遵循本领域已知的制造方法，且继续本文公开的步骤。图1A示出了除结101以外这种已知的制造方法的结果。本发明在从结101处去除一定体积的硅基材料110，实际上在本体110上留下空位的步骤，偏离了已知的器件加工技术。这样，这种从结的位置101去除本体材料110的去除过程可以利用材料去除领域的任何已知方法完成，比如反应离子蚀刻（RIE）。在图1中，源极和漏极没有互相区别，因此，使用一个附图标记101来表示两个结的位置。虚线135指示所述器件的表面平面，在此门极绝缘体130与沟道102接触。该平面135是本体材料110顶部通常的自然平面。图1A示意地示出了MOSFET器

件的其他标准部分。它们是门极120，和本领域公知的隔离结构210，用于将器件互相隔开。通常，在制造过程中的这一阶段，门极120被绝缘体121围绕。该绝缘体121可以由单种材料制成，或者可以由一种以上的材料制成。例如，在门极侧面和门极顶面可以不包含相同的材料，且还可以在制造过程的不同阶段形成。什么种类的绝缘体围绕门极，或者甚至在制造工艺的这一阶段是否出现门极从本发明的观点来看并不重要。重要的是，在制造过程的这一阶段，如图1A所示，唯一暴露硅基材料的位置是在结101中，其中在从结去除了Si基材料后，暴露出单晶Si基材料110。在图1A中，器件的制造进行到已经形成所谓的第一表面的阶段。该第一表面具有至少暴露了Si基单晶的第一区域。该第一区域是中空结的暴露表面。在示例性实施例中，硅基材料110基本上是硅。

图2示出了多晶层淀积顺序的剖面示意图。首先，多晶Ge 10利用锗酸盐(GeH_4)作为前驱物，通过CVD在Si基单晶材料110上淀积。在CVD工艺中，Ge将不在绝缘体上淀积，或以与在硅上淀积的速度相比非常慢的速度淀积。例如，对于 SiO_2 绝缘体层，可能发生下述连续反应： $\text{Ge} + \text{SiO}_2 \rightarrow \text{GeO}_2 + \text{Si}$ ； $\text{GeO}_2 + \text{Ge} \rightarrow 2\text{GeO}$ ：因为当温度超过 700°C 时GeO升华，所以Ge不会停留在氧化物表面上。或者，在Ge淀积中CVD的前驱物可以是 GeH_2Cl_2 ，或可以是 GeH_4 和 GeH_2Cl_2 的混和物。而且，Ge的前驱物可以是气体混和物的一部分，该气体混和物也可以包含HCl，因为HCl促进了选择性。在示例性实施例中，多晶Ge的淀积通常持续几秒钟。

多晶Ge在第一表面上的CVD淀积将在该第一区域上形成多晶Ge层，其中第一表面具有暴露出单晶Si基材料的第一区域。用直径表示，多晶Ge层10的晶粒尺寸在约1.5nm至15nm的范围内。多晶Ge层10的厚度通常介于2nm到15nm之间。所述CVD Ge淀积过程在暴露的硅基材料区域上方产生Ge的淀积，无论该区域是单晶材料或基本上是多晶材料。

在单晶Si基材料110上方，如图2所示，以及在图1B的结空位区域，

选择性形成多晶Ge 10的过程形成第二表面。第一表面和第二表面的差别在于现在第一区域被多晶Ge 10占据，而不是暴露的单晶Si基材料110。

现在，可以通过CVD在第二表面上淀积多晶硅11，因为Si在暴露的多晶Ge的第一区域上方择优地形成。多晶硅11通过CVD淀积，使用硅酸盐(SiH_4)作为前驱物。在该工艺中，Si将不在绝缘体上淀积，或以与在Ge上淀积的速度相比非常慢的速度淀积。或者，在Si淀积中CVD的前驱物可以是 SiH_2Cl_2 ，或可以是 SiH_4 和 SiH_2Cl_2 的混和物。而且，Si的前驱物可以是气体混和物的一部分，该气体混和物也可以包含HCl，因为HCl促进了选择性。在示例性实施例中，在Si淀积期间，CVD工艺的温度约在600℃和750℃之间，Si淀积通常持续约20至60秒钟。

在第二表面上Si的CVD淀积将在第一区域上方形成多晶Si层11，其中第二表面具有暴露的多晶Ge第一区域。多晶Si 11的晶粒尺寸的直径约1.5nm至15nm。多晶Si 11层的厚度通常介于2nm和15nm之间。所述的CVD Si淀积工艺在暴露的Ge区域上方产生了选择性Si淀积，无论该区域是否是单晶材料或基本上是多晶材料。

在多晶Ge 10层上方，如图2所示，以及在图1B的结空位中，选择性形成多晶Si 11的过程形成第三表面。第二表面和第三表面的差别在于现在第一区域被多晶Si 11占据，代替多晶Ge 10。

多晶Ge在Si上的淀积，以及多晶Si在Ge上的淀积已经利用本领域已知的技术原子显微镜(AFM)加以试验确认。

在形成所需厚度的SiGe多晶层的过程中，人们重复将Si淀积在第二表面上和将Ge淀积在第三表面上的步骤，直到所需的次数。多晶Ge 10和Si 11形成的薄交替层提供了MOSFET器件制造的所需的结性能，比如高导电性和高掺杂剂扩散。

在Ge和Si淀积的交替过程中，在示例性实施例中，也可以在Si层生长的初级阶段淀积薄的多孔含氧层20。该薄的多孔含氧层20用于额外地使Si晶粒相对于Ge晶粒定向变异。这样，所形成的SiGe层变得更

加各向同性，在结的导电性和掺杂剂扩散性能方面具有优势。

多孔含氧层20的淀积是通过在Si淀积步骤的最初阶段向Si前驱物添加带氧气体完成的，例如，仅O₂，可能混有HCl。多孔氧化物层20通常厚度仅在约0.1nm至1nm之间。在图1B和图2中，该多孔氧化物层20示为十字线，表示多孔和薄。

图1B示出了在已经完成了本发明的步骤之后的MOSFET器件，具有包含多晶SiGe的新结结构。在图1A示意地示出的器件加工状态之后，去除Si基材料后剩余的空位101填充有多晶Ge 10和多晶Si 11形成的交替层。第一Ge层10是与Si基材料本体110接触的层。如图1B所示，选择性淀积的层类似地共形覆盖暴露的表面。在示例性实施例中，在Si层11淀积之前，先选择性地淀积多孔含氧层20。所公开的方法的这些连续步骤已经利用本领域已知的技术扫描电镜(SEM)进行了验证。

在示例性实施例中，在淀积过程中，Ge10层和Si11层利用本领域公知的称为原位置掺杂的技术进行掺杂。在典型的应用中，当制造的MOSFET是PMOS时，原位置掺杂剂是硼(B)。在已经形成SiGe结之后，使掺杂剂扩散50进入Si基本体材料110中。在图1B中，这种向外扩散如短箭头50所示。在示例性实施例中，这种向外扩散步骤的条件是：约1000℃保持1秒的RTA。利用掺杂剂快速扩散到多晶SiGe外，并进入本体材料内，获得了所需的浅的、高导电性结。在示例性实施例中，源极和漏极结都以所述的方式制造。然而，如果需要，本发明可以应用于仅一个结的情况，例如，源极结。示出了SiGe多晶材料制成的源极和漏极结的附图不应解释为限制性的。

空位填充有多晶SiGe的高度取决于用于任何特定器件结构的实施例的具体需求。在示例性实施例中，多晶SiGe可以升高到器件135的自然表平面上方，可能有利于在本领域已知的后续制造步骤，比如结的自对准硅化。

根据上述启示，可以作出本发明的许多改进和变化，且对于本领域的技术人员来说是显而易见的。本发明的范围由所附的权利要求限定。

图 1A

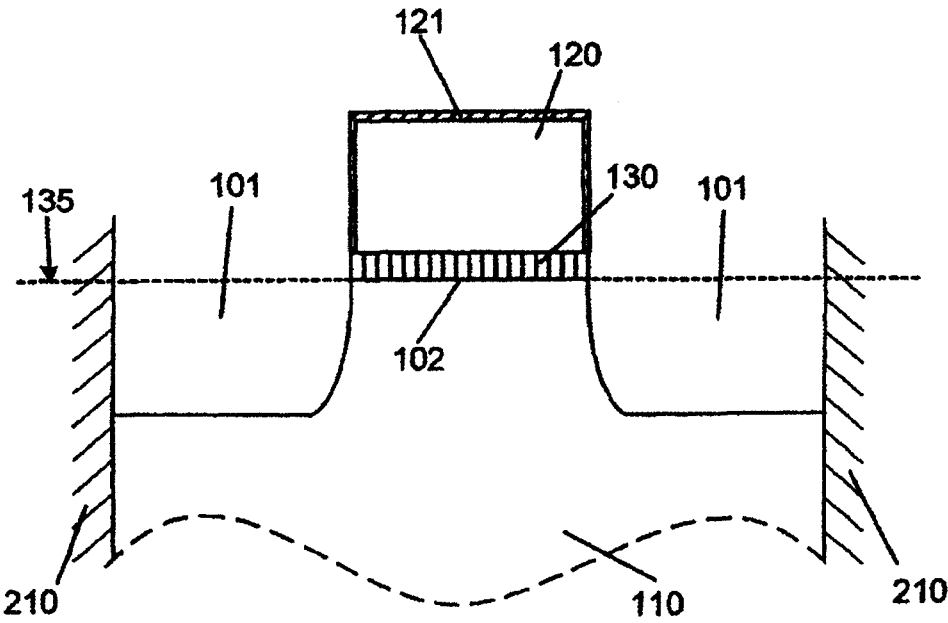


图1B

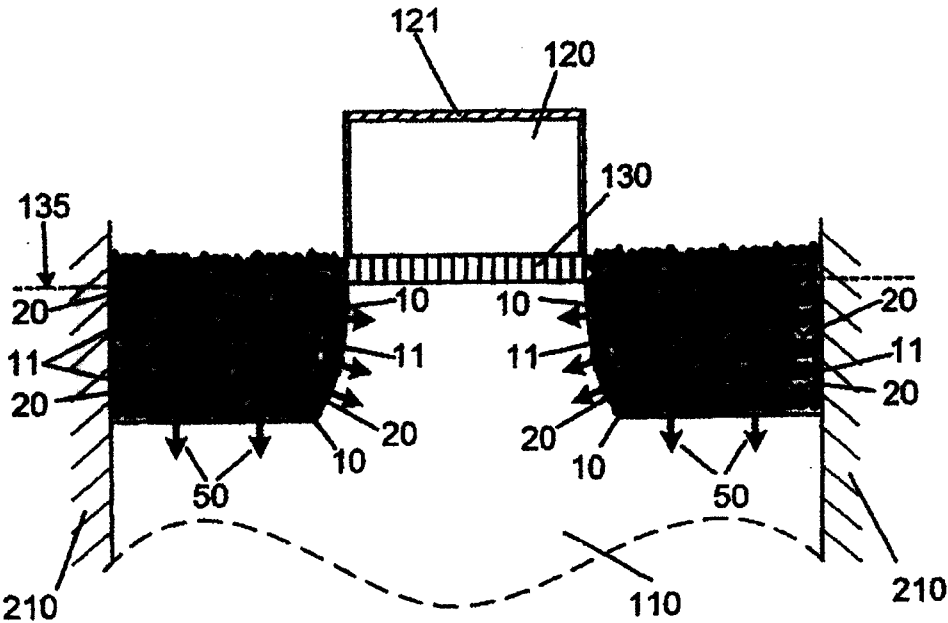


图2

