

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5042031号
(P5042031)

(45) 発行日 平成24年10月3日(2012. 10. 3)

(24) 登録日 平成24年7月20日(2012. 7. 20)

(51) Int.Cl.

F I

H03F 3/217 (2006.01)

H03F 3/217

請求項の数 14 (全 15 頁)

(21) 出願番号	特願2007-544310 (P2007-544310)	(73) 特許権者	500035487
(86) (22) 出願日	平成17年11月28日 (2005. 11. 28)		クリエイティブ テクノロジー リミテッ ド
(65) 公表番号	特表2008-522544 (P2008-522544A)		CREATIVE TECHNOLOGY LTD
(43) 公表日	平成20年6月26日 (2008. 6. 26)		シンガポール シンガポール 60992 1 クリエイティブ リソース インター ナショナル ビジネス パーク 31
(86) 国際出願番号	PCT/SG2005/000406		
(87) 国際公開番号	W02006/059956	(74) 代理人	100101454
(87) 国際公開日	平成18年6月8日 (2006. 6. 8)		弁理士 山田 卓二
審査請求日	平成20年10月22日 (2008. 10. 22)	(74) 代理人	100081422
(31) 優先権主張番号	11/001, 723		弁理士 田中 光雄
(32) 優先日	平成16年12月1日 (2004. 12. 1)	(74) 代理人	100125874
(33) 優先権主張国	米国 (US)		弁理士 川端 純市

最終頁に続く

(54) 【発明の名称】 電力乗算器装置及び方法

(57) 【特許請求の範囲】

【請求項 1】

所定の振幅を有する入力信号が受信される電力乗算器装置において、前記電力乗算器装置は、

増幅器段に関連するピーク振幅入力を有する増幅器段を備え、前記ピーク振幅入力は前記増幅器段の線形動作範囲と関連し、

前記電力乗算器装置は、

前記増幅器段に接続された電力乗算器制御段を備え、前記電力乗算器制御段は、前記入力信号の振幅が所定の数で乗算されかつ当該電力乗算器制御段において照合される入力信号を受信し、前記入力信号の振幅は、当該入力信号の振幅がピーク振幅入力を超えるか否かを決定する方法で照合される乗算された振幅を生成するように、前記所定の数で乗算され、前記乗算された振幅は前記増幅器段で受信可能であり、

前記電力乗算器装置は、

前記電力乗算器制御段に接続可能な第1のスイッチング段を備え、前記第1のスイッチング段は前記乗算された振幅が前記ピーク振幅入力を超えるときに前記乗算された振幅を低減させるように構成され、

前記乗算された振幅が前記ピーク振幅入力を超えたとき、前記第1のスイッチング段は、前記乗算された振幅が前記ピーク振幅入力を超えたレベルに対応するレベルだけかつ前記乗算された振幅が前記ピーク振幅入力を超えないように、前記乗算された振幅を低減し、これによって、前記増幅器段の線形動作範囲内を保持する電力乗算器装置。

10

20

【請求項 2】

前記増幅器段は、
前記電力乗算器制御段に接続可能なパルス幅変調器段と、
前記パルス幅変調器段に接続可能な電力ドライバ段と、
前記電力ドライバ段に接続可能な第 2 のスイッチング段とを備え、
前記第 2 のスイッチング段は、前記第 1 及び第 2 の出力端子の間に接続可能な負荷を駆動するために前記第 2 の出力端子に接続可能である請求項 1 記載の電力乗算器装置。

【請求項 3】

前記第 2 のスイッチング段とグラウンドとの間に接続可能な低域通過フィルタをさらに備える請求項 2 記載の電力乗算器装置。

【請求項 4】

前記第 2 のスイッチング段は直列に接続可能な少なくとも 2 つの MOSFET を備える請求項 2 又は 3 記載の電力乗算器装置。

【請求項 5】

前記所定の数 は 3 又は 5 である請求項 1 ~ 4 のうちのいずれか 1 つに記載の電力乗算器装置。

【請求項 6】

前記第 1 のスイッチング段は、1 つ又は複数の数の予め決められた直流電圧レベルを選択するセレクタを備え、当該選択は、前記乗算された振幅が前記ピーク振幅入力及び前記乗算された振幅が前記ピーク振幅入力を超えるときのレベルを超えるか否かに基づいて実行される請求項 1 ~ 5 のうちのいずれか 1 つに記載の電力乗算器装置。

【請求項 7】

前記第 1 のスイッチング段は、パルス幅変調信号発生器を備える請求項 1 記載の電力乗算器装置。

【請求項 8】

第 1 の出力端子と第 2 の出力端子とを有するデジタル増幅器システムから出力される電力を増幅する方法であって、前記方法は、

所定の振幅を有する入力信号を、前記 1 つ又は複数の信号を生成可能な範囲で電力乗算器制御段に印加するステップと、

前記 1 つ又は複数の信号のうちの 1 つ又は複数を使用して増幅器段を制御するステップとを含み、前記増幅器段は当該増幅器段に関連するピーク振幅入力を有し、前記ピーク振幅入力は前記増幅器段の線形動作範囲に関連し、

前記方法は、

前記電力乗算器制御段において前記入力信号の振幅を所定の数で乗算して乗算された振幅を生成するステップと、

前記電力乗算器制御段において前記乗算された振幅が前記ピーク振幅入力を超えるか否かを決定する方法で前記乗算された振幅を照合するステップと、

前記乗算された振幅が前記ピーク振幅入力を超えたときに前記乗算された振幅を低減する方法で前記電力乗算器制御段からの 1 つ又は複数を使用して第 1 のスイッチング段を制御するステップとを含み、

前記乗算された振幅が前記ピーク振幅入力を超えたとき、前記第 1 のスイッチング段を制御するステップは、前記乗算された振幅が前記ピーク振幅入力を超えたレベルに対応するレベルだけかつ前記乗算された振幅が前記ピーク振幅入力を超えないように、前記乗算された振幅を低減し、これによって、前記増幅器段の線形動作範囲内を保持する方法。

【請求項 9】

前記増幅器段を制御するステップは、

前記 1 つ又は複数の信号のうち 1 つ又は複数を使用してパルス幅変調段を制御することによって幅を変調されたパルスのトレースを生成するステップと、

前記増幅器段を介して前記第 1 の出力端子を駆動するステップとを含み、

前記第 2 の出力端子を駆動するステップは、第 2 のスイッチング段を介して、前記幅を

10

20

30

40

50

変調されたパルスのトレーンを使用して前記第 2 の出力端子を駆動するステップを含む請求項 8 記載の方法。

【請求項 10】

前記パルスのトレーンを前記第 1 の出力端子に印加する前に、低域通過フィルタ内で前記幅を変調されたパルスのトレーンを前記第 1 のスイッチング段から濾波するステップをさらに含む請求項 9 記載の方法。

【請求項 11】

前記第 2 のスイッチング段において前記第 2 の出力端子を駆動するステップは、直列に接続可能な少なくとも 2 つの MOSFET を駆動するステップを含む請求項 9 又は 10 記載の方法。

10

【請求項 12】

前記第 1 のスイッチング段を介し、前記電力ドライバ段及び前記第 1 のスイッチング段に接続可能な第 3 のスイッチング段を使用して、複数の切り替え可能な DC 電圧レベルを前記第 1 の出力端子に供給するステップをさらに含む請求項 9 記載の方法。

【請求項 13】

前記複数のレベルを供給するステップは、直列に接続可能な少なくとも 2 つの MOSFET を使用するステップを含む請求項 12 記載の方法。

【請求項 14】

前記所定の数は 3 又は 5 である請求項 8 ~ 13 のうちのいずれか 1 つに記載の方法。

【発明の詳細な説明】

20

【技術分野】

【0001】

本発明は電力乗算器装置及び方法に関し、特に、D 級デジタル増幅器に使用するための装置に関する。

【背景技術】

【0002】

現在、4 オームの負荷に対して従来の D 級デジタル増幅器から導出され得る典型的な最大出力電力は約 100 ワットから 200 ワットまでである。この最大出力電力には、増幅器に使用される半導体に起因して限界がある。

【発明の開示】

30

【発明が解決しようとする課題】

【0003】

増幅器を小型化して小型の製品設計を容易にするためには、使用される集積回路のサイズを保持することが望ましいが、同時に、特にその高効率に起因して D 級デジタル増幅器にとって望ましい、より高い出力電力に対する需要も存在する。

【課題を解決するための手段】

【0004】

概して、本発明が提供する電力乗算器装置及び方法において、パルス幅変調段に印加される信号の範囲を制限し、第 1 のスイッチング段の出力を本装置の出力端子に印加し、切り替えされた電位を本装置の別の出力に印加して実質的に歪みのない出力信号を生成することによって、本装置の電力が増大される。

40

【0005】

本発明の第 1 の態様によれば、増幅器のための電力乗算器装置が提供される。上記装置は、

電力乗算器制御段と、

増幅器段と、

上記電力乗算器制御段に接続可能な第 1 のスイッチング段とを備え、上記増幅器段は上記電力乗算器制御段に接続可能であり、上記電力乗算器装置は第 1 の出力端子と第 2 の出力端子とを有し、上記増幅器段は上記第 1 及び第 2 の出力端子の間に接続可能な負荷を駆動するために上記第 2 の出力端子に接続可能であり、

50

上記第 1 のスイッチング段は、切り替え可能な DC 電圧レベルを上記第 1 の出力端子に印加するために上記第 1 の出力端子に接続可能である。

【 0 0 0 6 】

本発明の第 2 の態様によれば、第 1 の出力端子と第 2 の出力端子とを有するデジタル増幅器システムから出力される電力を増幅する方法が提供される。上記方法は、

電力乗算器制御段に入力信号を印加するステップと、

上記電力乗算器制御段において 1 つ又は複数の信号を生成するステップと、

上記 1 つ又は複数の信号のうち 1 つ又は複数を使用して増幅器段を制御するステップと

、

上記増幅器段を介して上記第 2 の出力端子を駆動するステップと、

上記電力乗算器制御段からの 1 つ又は複数の信号を使用して、第 1 のスイッチング段を制御するステップと、

上記第 1 のスイッチング段において、複数の電圧レベルから 1 つ又は複数の切り替え可能な DC 電圧レベルを選択するステップと、

上記 1 つ又は複数の選択された電圧レベルを上記第 1 の出力端子に印加して、上記第 1 及び第 2 の出力端子の間に接続可能な負荷を通して実質的に歪みのない波形を生成するステップとを含む。

【発明を実施するための最良の形態】

【 0 0 0 7 】

以下、添付の図面を参照して、本発明の好適な特徴を、例示のみを目的として説明する。

【 0 0 0 8 】

図 1 は、BTL 構成内部の単一チャネルにおける、スピーカ負荷を駆動する従来の D 級デジタル増幅器システムを示す概略ブロック図である。

【 0 0 0 9 】

本システムは、パルス幅変調器集積回路 4 と、電力段ドライバ集積回路 5 と、負荷 7 を駆動する MOSFET Hブリッジ段 6 とを備える。デジタル音声入力信号はパルス幅変調器回路 4 に供給され、パルス幅変調器回路 4 から出力されるパルス幅変調された信号は電力段ドライバ 5 に印加される。電力段ドライバ 5 の出力は MOSFET Hブリッジ段 6 を駆動し、MOSFET Hブリッジ段 6 は負荷 7 を駆動する。

【 0 0 1 0 】

負荷 7 への歪みのない最大出力を生成する、図 1 のシステムにおけるデジタル入力信号のピーク振幅 (V_{cc} ピークツーピークボルト) を A で示す。この構成では、出力電力に対する主たる制限は、電力段ドライバ IC 5 の電力処理能力に起因する。

【 0 0 1 1 】

図 2 は、本発明の第 1 の好適な実施形態に係るシステムを示し、本システムは、電力乗算器制御段 10 と、スイッチング段 11 と、パルス幅変調器段 12 と、電力ドライバ段 13 と、2 つのパワー MOSFET M1、M2 と、インダクタ L1 と、キャパシタ C1 と、負荷 20 とを備える。パルス幅変調器段 12、電力ドライバ段 13 及び 2 つのパワー MOSFET M1 及び M2 は、増幅器段を形成する。

【 0 0 1 2 】

図 2 のシステムにおいて、デジタル音声入力信号 30 は電力乗算器制御段 10 に印加され、電力乗算器制御段 10 はこの信号の振幅を、例えば 3 倍にして上記信号のレベルをチェックする。従来の D 級増幅器において供給電圧 V_{cc} に対して歪みのない最大ピークツーピーク出力を生成するデジタル入力信号のピーク振幅である A を信号が下回る場合、好適にはマルチウェイスイッチであるスイッチング段 11 は電圧 $1/2 V_{cc}$ を選択する。

【 0 0 1 3 】

信号レベルが A を超える場合、マルチウェイスイッチ 11 はグラウンド (GND) に切り換え、3 倍にされた入力信号の結果からレベル A が減算される。上記レベルが 2 A を超える場合、スイッチ 11 は電圧 $-1/2 V_{cc}$ を選択し、3 倍にされた信号結果からレベ

10

20

30

40

50

ル 2 A が減算される。何れの場合も、この結果は、好適には P W M プロセッサ I C であるパルス幅変調器段 1 2 に送られる。従って、P W M プロセッサ I C 1 2 への入力の振幅は、オーバーフローが発生しないように常に A 未満に維持され、信号はシステムの線形動作範囲内に留まる。

【 0 0 1 4 】

乗算された信号はパルス幅変調器 1 2 に印加されて帯域幅を変調されたパルスのトレーンが生成され、次いで上記トレーンは電力ドライバ段 1 3 に印加される。

【 0 0 1 5 】

同様に、入力信号 3 0 の負のピークの場合、信号のレベルが - A 又は 2 A を超えると、マルチウェイスイッチ 1 1 はそれぞれ V_{cc} 又は $3/2 V_{cc}$ に切り換える。また、3 倍された信号の結果から - A 又は 2 A が減算され、この結果が P W M プロセッサ I C 1 2 に送られる。

10

【 0 0 1 6 】

電力ドライバ段 1 3 は、電源 V_{cc} を通して直列に接続される 2 つの M O S F E T M 1 及び M 2 を駆動する。2 つの M O S F E T M 1 及び M 2 の接続部は、インダクタ L 1 の第 1 の端に接続される。L 1 の出力は、ノード 2 においてキャパシタ C 1 の片側に接続され、かつ負荷 2 0 の 1 つの端子にも接続される。キャパシタ C 1 の他の側は接地される。電力乗算器制御 1 0 からのデジタル出力は、電圧源 V_{cc} 、 $3/2 V_{cc}$ 、 $1/2 V_{cc}$ 、グラウンド及び $-1/2 V_{cc}$ の範囲にも接続されるスイッチング段 1 1 に印加される。

20

【 0 0 1 7 】

スイッチング段 1 1 は、電力乗算器制御ユニット 1 0 による決定に従って電圧源の 1 つを選択し、選択された電圧レベルはノード 1 において負荷 2 0 の第 2 の側に印加される。インダクタ L 1 及びキャパシタ C 1 は、低域通過フィルタを形成する。

【 0 0 1 8 】

図 3 は、音声入力信号 3 0 として振幅 A の正弦波入力信号が印加される場合の、図 2 の回路のノード 2 における信号をプロットしたものである。

【 0 0 1 9 】

図 4 は、ノード 1 における対応する信号をプロットしたものである。図 5 は、図 2 のシステムの負荷 2 0 を通る対応する全体の信号のプロット、及び従来のブリッジ接続負荷 (B T L) 増幅器からの信号の波形を示す。図 6 は、図 2 のシステムを使用するプロットにおけるノード 1、ノード 2 及び負荷 2 0 を通る信号を表す。

30

【 0 0 2 0 】

図 5 に示すように、双方で同じ集積回路を使用したとき、図 1 に示すタイプの従来システムではピーク振幅 V_{cc} が達成されるのに対して、図 2 のシステムを使用すれば、 $1.5 V_{cc}$ のピーク振幅が達成される。電力に関して言えば、図 2 のシステムを使用すると、出力電力を、図 1 に示すタイプの従来システムからの電力の例えば 2.25 倍に増加することができる。これは、下記の計算式によって表される。

【 0 0 2 1 】

もとの出力電力は、次式で表される。

40

【 0 0 2 2 】

【数 1】

$$P_O = \frac{V_O^2}{R}$$

【 0 0 2 3 】

電力増幅器の出力電力は、次式で表される。

【 0 0 2 4 】

【数 2】

$$\begin{aligned}
 P_X &= \frac{V_X^2}{R} \\
 &= \frac{\left(\frac{3}{2}V_O\right)^2}{R} \\
 &= \frac{9V_O^2}{4R} \\
 &= 2.25P_O
 \end{aligned}$$

10

【0025】

電力乗算器制御段 10 はデジタル信号プロセッサを使用して実装してよいことから、図 2 のシステムは、適切なアルゴリズムを使用して容易に実装してもよい。また、必要な集積回路の数を減らすことから、PWM プロセッサ 12 内に電力乗算器制御段 10 を包含することも可能かつ望ましい場合がある。

20

【0026】

入力信号 30 は、本明細書では純粋な正弦波であるものとして説明しかつ図示しているが、任意の形式の入力信号を使用してよい。

【0027】

本発明の別の好適な実施形態に係るシステムの代替実施形態を図 7 に示す。図 7 の回路は図 2 に示すものと同じであるが、切り替えされる電圧の数が 3 つ、即ち $-1/2 V_{CC}$ 、 $1/2 V_{CC}$ 及び $3/2 V_{CC}$ に減少している点異なる。

【0028】

図 7 の実施形態では、電力乗算器制御段 10 はこの入力信号を 5 倍にし、信号のレベルをチェックする。信号が A を下回る場合、マルチウェイスイッチ 11 は、負荷 20 の第 1 の側に印加されるべき電圧 $1/2 V_{CC}$ を選択する。信号レベルが A を超える場合、マルチウェイスイッチ 11 は $-1/2 V_{CC}$ に切り換え、同時に 5 倍にされた信号の結果から 2 A が減算される。この結果は、PWM プロセッサ IC 12 に送られる。

30

【0029】

負の側についても同様に、信号レベルが $-A$ を超える場合、マルチウェイスイッチ 11 は電圧 $3/2 V_{CC}$ を選択し、5 倍された信号の結果から $-2 A$ が減算され、この結果が PWM プロセッサ IC 12 に送られる。

【0030】

図 8 は、デジタル音声入力信号 30 として振幅 A の正弦波入力信号が印加される場合の、図 7 のシステムのノード 2 における信号をプロットしたものである。

40

【0031】

図 9 は、図 7 のシステムのノード 1 における対応する信号のプロットを示し、図 10 は、あるプロットにおける図 7 のシステムのノード 1、ノード 2 及び負荷 20 を通る信号を示す。

【0032】

図 11 は、本発明の別の好適な実施形態を示し、当該実施形態は、MOSFET ドライブがフルブリッジを包含する点で図 2 及び図 7 の実施形態とは異なる。これに対して、図 2 に示す最初に記述した実施形態では、H ブリッジの半分しか使用されないことが分かる。また、図 11 の実施形態が有するスイッチング電圧のステップ数は、図 2 の実施形態より少ない。

50

【 0 0 3 3 】

図 1 1 のシステムでは、デジタル入力信号 3 0 は電力乗算器制御段 1 0 に印加され、ここで乗算されてサンプリングされる。図 2 のシステムの場合のように、信号レベルの振幅は、要求に応じてチェックされかつ調整されて、上記レベルを PWM プロセッサ IC 1 2 の動作範囲内に維持する。乗算された出力信号は PWM プロセッサ IC 1 2 に印加され、次に、PWM プロセッサ IC 1 2 から出力される幅を変調されたパルスは電力ドライバ段 1 3 の入力に印加される。この段 1 3 からの出力は、M O S F E T M 1 及び M 2 に印加されると同時に、別の 2 つの M O S F E T M 3 及び M 4 にも印加される。M 1 及び M 2 は電源 V_{cc} を通してグラウンドに直列に接続され、接続部はインダクタ L 1 に取り込まれ、インダクタ L 1 の第 2 の端子はノード 2 においてキャパシタ C 1 の第 1 の端子及び負荷 2 0 の第 1 の端子に接続される。M O S F E T M 3 及び M 4 は、電源 V_{cc} を通して直列に接続されて接地される。M 3 と M 4 との間の接続部はインダクタ L 2 の第 1 の端子に接続され、インダクタ L 2 の第 2 の端子はキャパシタ C 2 に接続される。キャパシタ C 1 及び C 2 のもう一方の端子は接地される。L 2 の第 2 の端子は、さらにノード 3 においてスイッチングユニット 1 4 の入力に接続される。スイッチングユニット 1 4 への他の電圧入力は、 $-1/2 V_{cc}$ 及び $3/2 V_{cc}$ である。スイッチング段動作は、電力乗算器段 1 0 によって制御される。

10

【 0 0 3 4 】

図 1 1 のシステムにおいて、動作原理は、図 2 の実施形態と同じであるが、図 1 1 に示す構成では、GND、 $1/2 V_{cc}$ 及び V_{cc} の DC 電圧は 3 ウェイスイッチ 1 4 に接続される Hブリッジ側への負荷のノード 1 に供給される。DC 電圧は、電力ドライバ段 1 3 から L 2 及び C 2 により形成される低域通過フィルタを介して M 3 及び M 4 に印加されるパルス幅変調器 (PWM) 信号の幅を制御することによって、3 ウェイスイッチ 1 4 を介して印加される。これらの DC 電圧を生成するための PWM 信号を図 1 2 に示す。

20

【 0 0 3 5 】

本発明の別の好適な代替実施形態を図 1 3 に示す。この実施形態では、入力信号 3 0 は電力乗算器制御 1 0 に印加され、電力乗算器制御 1 0 の出力はパルス幅変調器 1 2 に印加される。パルス幅変調器 1 2 からのパルス幅を変調されたパルスは、電力ドライバ段 1 3 に印加され、この段の出力は、電源を通して直列に接続される M O S F E T M 1 及び M 2 を制御する。M O S F E T M 1 及び M 2 の接続部はインダクタ L 1 の第 1 の端子に接続され、インダクタ L 1 の第 2 の端子は負荷 2 0 の第 1 の端子及びキャパシタ C 1 の第 1 の端子に接続されてノード 2 を形成する。電力乗算器制御段 1 0 からの制御出力はパルス幅変調信号発生器段 1 5 に印加され、パルス幅変調信号発生器段 1 5 の出力は、電源 $3/2 V_{cc}$ 及び $-1/2 V_{cc}$ 間に直列に接続される別の M O S F E T M 3 及び M 4 の対を駆動する。M O S F E T M 3 及び M 4 の接続部はインダクタ L 2 の第 1 の端子に接続され、インダクタ L 2 の第 2 の端子は、キャパシタ C 2 の第 1 の端子及び負荷 2 0 の第 2 の端子に接続されてノード 1 を形成する。C 1 及び C 2 の第 2 の端子は、共に接地される。

30

【 0 0 3 6 】

図 1 3 の実施形態では、ノード 1 への DC 電圧 $-1/2 V_{cc}$ 、GND、 $1/2 V_{cc}$ 、 V_{cc} 及び $3/2 V_{cc}$ 間の切り替えは、PWM 信号発生器 1 5 により、L 2 及び C 2 で形成される低域通過フィルタを介し、図 1 4 に関して以下に示す PWM 信号の幅を制御することによってもたらされる。

40

【 0 0 3 7 】

図 1 4 は、様々なスイッチング電圧に対する、図 1 3 のシステムの M 3 及び M 4 にそれぞれ印加されるパルス幅変調信号を示す。

【 0 0 3 8 】

$-1/2 V_{cc}$ のスイッチング電圧を得るためには、上側のトランジスタ M 3 がオフにされ、下側のトランジスタ M 4 がオンにされる。

【 0 0 3 9 】

50

接地状態を得るためには、 $1/3$ のサイクルに渡って上側のトランジスタM3がオンにされて下側のトランジスタM4がオフにされ、次いで残りの $2/3$ のサイクルに渡ってM3がオフにされてM4がオンにされる。

【0040】

スイッチング電圧 $1/2 V_{cc}$ を得るためには、半サイクルに渡ってM3がオンにされてM4がオフにされ、次いで残りの半サイクルに渡ってM3がオフにされ、M4がオンにされる。

【0041】

スイッチング電圧 V_{cc} を得るためには、 $2/3$ のサイクルに渡ってM3がオンにされてM4がオフにされ、次いで残りの $1/3$ のサイクルに渡ってM4がオンにされ、M3が

10

【0042】

スイッチング電圧 $3/2 V_{cc}$ を得るためには、サイクルの持続時間に渡ってM3がオンにされ、M4がオフにされる。

【0043】

本発明の別の好適な実施形態を図15に示す。スイッチングモード電源は、DC電圧間を切り替えるために使用される。図2のシステムの場合のように、信号レベルの振幅は、必要に応じてチェックされかつ調整されて、上記レベルをPWMプロセッサ12の動作範囲内に維持する。デジタル音声入力信号30は電力乗算器制御段10に印加されて乗算され、乗算された出力は次にパルス幅変調器段12に印加される。パルス幅変調器段12から出力されるパルス幅を変調されたパルスは、電源を通して直列に接続されるMOSFETトランジスタM1及びM2の対を駆動する電力ドライバ段13に印加される。MOSFETトランジスタM1及びM2の接続部はインダクタL1の第1の端子に接続され、インダクタL1の第2の端子はキャパシタC1の第1の端子及び負荷20の第1の端子に接続されてノード2を形成する。

20

【0044】

電力乗算器制御段10のスイッチング出力はスイッチングモード電源16に印加され、その出力電圧は $-1/2 V_{cc}$ 、グラウンド、 $1/2 V_{cc}$ 及び $3/2 V_{cc}$ 間で切り替えられる。

【0045】

30

スイッチングモード電源16の出力電圧は負荷20の第2の端子に印加されてノード1を形成し、キャパシタC1の第2の端子は接地される。図15に示すスイッチングモード電源16からの別の出力電圧 V_1 、 V_2 及び V_3 は、例えばマイクロコントローラである本機器内の他のデバイスに供給される他の電圧である。

【0046】

電力乗算器制御段10はデジタル信号プロセッサを使用して実装されてもよいことから、図2、図7、図11、図13及び図15のシステムは適切な従来の制御アルゴリズムを使用して容易に実装してもよい。

【0047】

図16は、デジタルモードで動作する図2、図7、図11、図13及び図15の実施形態とは対照的である、アナログモードで動作する本発明の別の好適な実施形態を示す。図16のシステムは、第1(正)の入力及び第2(負)の入力を有するD級アナログ増幅器23と、スイッチング段24と、比較器段25と、別のインタフェース段26と、負荷27と、増幅器23の利得の逆数に等しい分圧比を有する抵抗器R9及びR10で形成される抵抗分圧器ネットワークとを含む。比較器段25及び別のインタフェース段26は、電力乗算器制御段を形成する。

40

【0048】

図16のシステムでは、アナログ入力信号19が利得 G_v を有するD級アナログ増幅器23の負の入力に印加される。アナログ入力信号19は比較器段25にも印加され、ここで正の電圧供給 V_{ref} 及び負の電圧供給 $-V_{ref}$ から得られる複数のDC電圧と比較

50

される。比較器段 25 内には、 V_{ref} と $-V_{ref}$ との間に、連続する 6 つの抵抗器 $R_1 \sim R_6$ のチェーンが接続されて、複数の DC 電圧を提供する。抵抗器 R_3 及び R_4 間の接続部は接地される。比較器段 25 内には、また 4 つの比較器が存在する。アナログ入力信号 19 は各比較器の一方の入力に印加され、各比較器の他の入力 は抵抗器 $R_1 \sim R_6$ のチェーンにおける接続部に接続される。上記接続部は、 R_1 と R_2 の間、 R_2 と R_3 の間、 R_4 と R_5 の間及び R_5 と R_6 の間に存在する。好適には、抵抗器 $R_1 \sim R_6$ の抵抗値は等しい。従って、信号は電圧 $\pm 1/3 V_{ref}$ 及び $\pm 2/3 V_{ref}$ と比較される。

【0049】

比較器の出力は、スイッチング段 24 を制御する制御回路を備えてもよい、別の段 26 に接続される。段 26 の出力は、スイッチング段 24 に接続される。

10

【0050】

スイッチング段 24 の出力は、負荷 27 の第 1 (正) の端子に接続され、かつ抵抗器 R_9 及び R_{10} で形成される分圧器の抵抗器 R_9 にも接続される。 R_9 と R_{10} の間の接続部は、D 級アナログ増幅器 23 の第 1 (正) の端子に接続される。 R_{10} の他の端子は接地される。負荷 27 の第 2 (負) の端子の出力は、D 級アナログ増幅器 23 の出力に接続される。

【0051】

図 16 のシステムでは、D 級増幅器 23 への供給電圧は、合計出力電圧振幅 (ピークツーピーク) の 3 分の 1 しか必要としない。従って、歪みのない合計出力電圧が $\pm V_{cc}$ であれば、 V_{ref} は、 $\pm V_{ref}$ の入力振幅 (ピークツーピーク) が歪みのない出力 $\pm V_{cc}$ を発生するように選ばれる。

20

【0052】

入ってくる信号 19 の正の偏位が $1/3 V_{ref}$ のレベルを超える場合、 R_2 と R_3 の接続部に接続される比較器は、段 26 を介して $1/3 V_{cc}$ に相当する出力 V_{cc1} を発生するようにスイッチング段 24 を設定する出力を発生する。

【0053】

正の偏位が $2/3 V_{ref}$ を超える場合、 R_1 と R_2 の接続部に接続される比較器は、 $2/3 V_{cc}$ に等しい出力 V_{cc2} を発生するようにスイッチング段 24 を設定する出力を生成する。

【0054】

30

入ってくる信号 19 の負の偏位が $-1/3 V_{ref}$ のレベルを超える場合、 R_4 と R_5 の接続部に接続される比較器は、 $-1/3 V_{cc}$ に相当する出力 $-V_{cc1}$ を発生すべくスイッチング段 24 を設定するために段 26 が使用する出力を発生する。

【0055】

負の偏位が $-2/3 V_{ref}$ を超える場合、 R_5 と R_6 の接続部に接続される比較器は、 $-2/3 V_{cc1}$ に等しい出力 $-V_{cc2}$ を発生するようにスイッチング段 24 を設定する出力を生成する。

【0056】

図 16 には、負荷 27 の第 1 (正) 及び第 2 (負) の端子における波形も示されている。図 16 の実施形態では、D 級増幅器 23 は上記増幅器が単独で生成するように設計されているものより高い出力電力を達成することができる。図 2 から図 15 までの実施形態におけるように、増幅器に印加される電圧を増大することなく従来の増幅器設計より高い出力電力を生成すること、又は、より低い供給電圧で同じ出力電力を生成することが可能である。

40

【0057】

抵抗器 R_9 及び R_{10} 間の接続部は D 級アナログ増幅器 23 の正の端子に接続されることから、増幅器 23 から出力される信号の結果的なレベルが増幅器 23 の線形動作範囲内にあるように、入力信号レベルからこの接続部における信号レベルが減算される。

【0058】

これまでに説明した本発明の実施形態には、様々な修正が行われてもよい。例えば、先

50

に述べた実施形態に対しては、他の構成要素及び方法ステップを追加すること、これらで置換すること、従って、本明細書では特定の実施形態を使用して本発明を説明しているが、当業者である読者には明らかとなるように、本発明の精神及び範囲を逸脱することなく、クレームの範囲内で多くの変形が可能である。

【図面の簡単な説明】

【 0 0 5 9 】

【図 1】従来の D 級デジタル増幅器構成を示す概略ブロック図である。

【図 2】本発明の好適な一実施形態に係る増幅器を示す概略回路図である。

【図 3】図 2 の回路のノード 2 における出力信号の波形を示す。

【図 4】図 2 の回路のノード 1 における信号の波形を示す。

10

【図 5】図 2 の回路の負荷を通して存在する信号の波形、及び従来のブリッジ接続負荷 (B T L) 増幅器からの信号の波形を示す。

【図 6】図 2 の回路のノード 2 及びノード 1 における負荷を通る波形を表す。

【図 7】本発明の別の好適な実施形態に係る増幅器を示す概略回路図である。

【図 8】図 7 の回路のノード 2 における出力信号の波形を示す。

【図 9】図 7 の回路のノード 1 における信号の波形を示す。

【図 10】図 7 の回路のノード 2 及びノード 1 における負荷を通る波形を表す。

【図 11】本発明の別の好適な実施形態に係る増幅器を示す概略回路図である。

【図 12】図 11 の回路におけるパルス幅変調器からの D C 変調電圧に対するパルス幅変調信号を略示したものである。

20

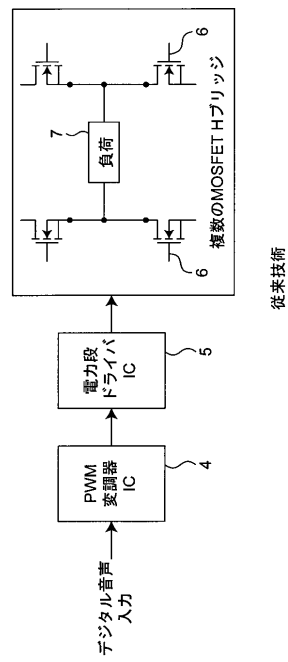
【図 13】本発明の別の好適な実施形態に係る増幅器を示す概略回路図である。

【図 14】図 13 の回路におけるパルス幅変調器からの D C 変調電圧のパルス幅変調信号を略示したものである。

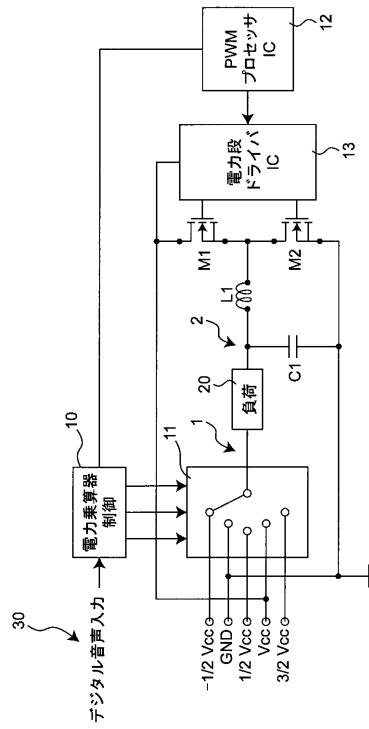
【図 15】本発明のさらに別の好適な実施形態に係る増幅器を示す概略回路図である。

【図 16】アナログモードで動作する本発明の別の好適な実施形態を示す概略回路図である。

【図 1】



【図 2】



【図 3】

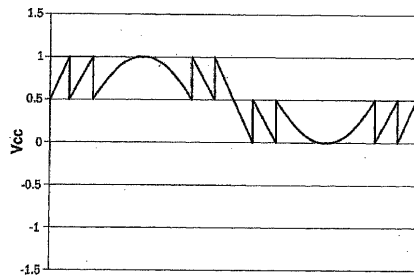


Fig. 3

【図 4】

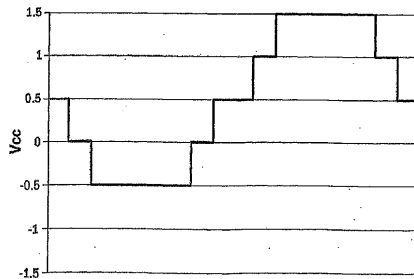
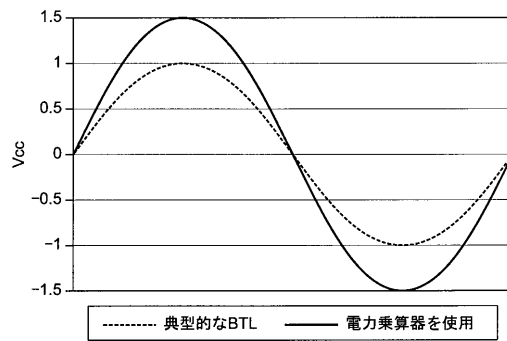
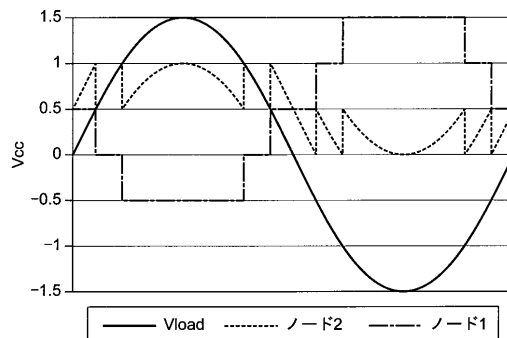


Fig. 4

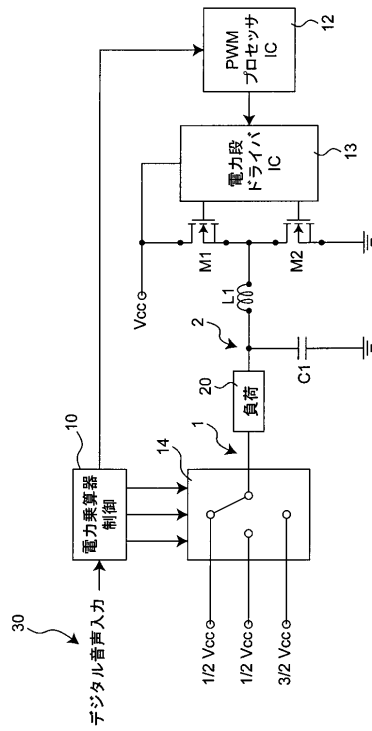
【図 5】



【図 6】



【図 7】



【図 8】

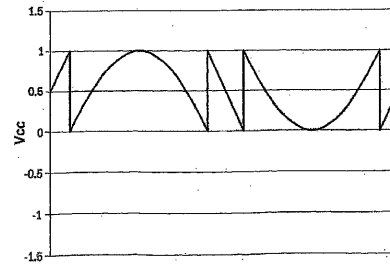


Fig. 8

【図 9】

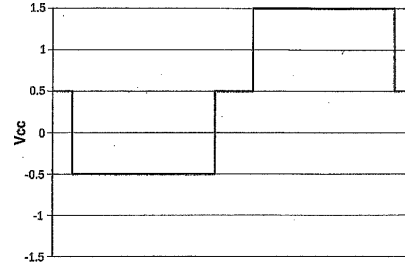
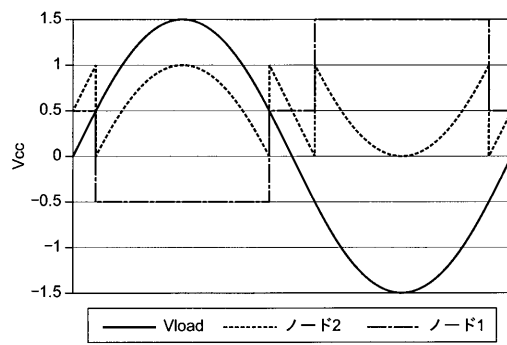
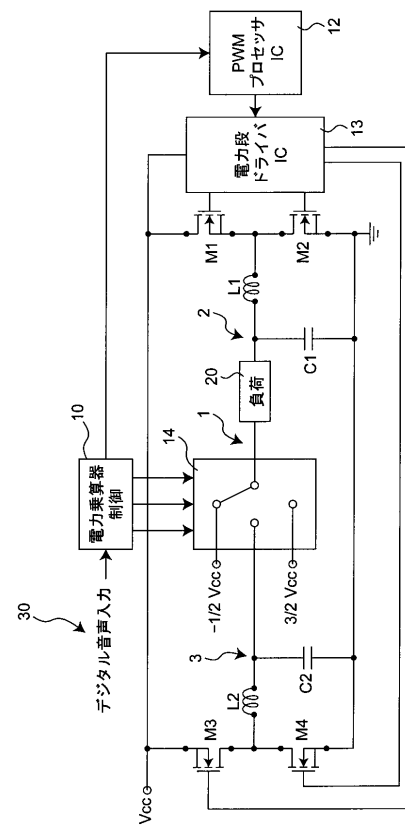


Fig. 9

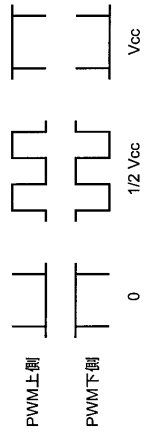
【図 10】



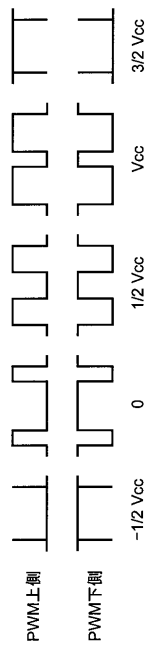
【図 11】



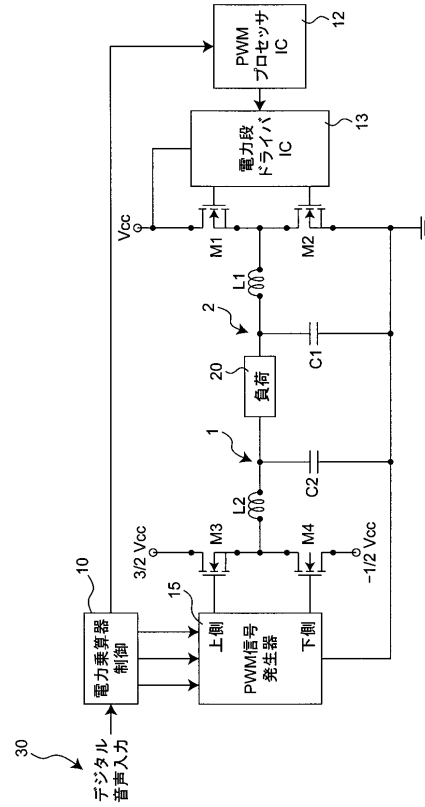
【図 1 2】



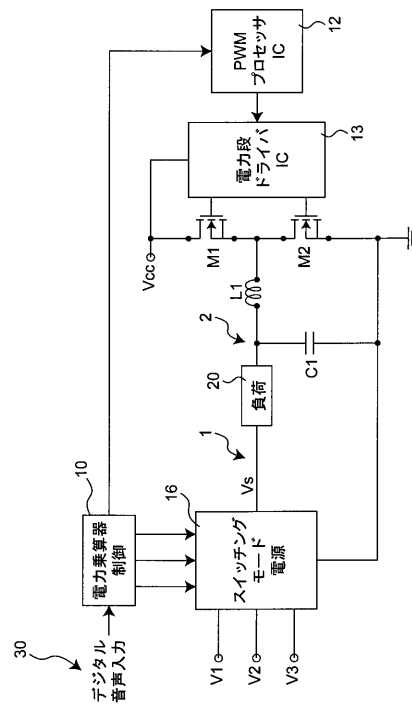
【図 1 4】



【図 1 3】



【図 1 5】



[illegible]

フロントページの続き

(72)発明者 牧野 潤

シンガポール 6 6 9 5 5 5 シンガポール、ヒルビュー・パーク・ナンバー 1 2 - 0 5、ヒルビュー・アベニュー・ブロック 1 9 ビー番

(72)発明者 プン・ジェー・ティン

シンガポール 5 4 1 3 0 5 シンガポール、アンカーベイル・リンク・ナンバー 1 3 - 1 5・ブロック 3 0 5 エイ番

審査官 儀同 孝信

(56)参考文献 特開平 0 9 - 2 6 0 9 7 7 (J P , A)

特開 2 0 0 3 - 1 1 0 4 2 8 (J P , A)

特開 2 0 0 3 - 0 4 6 3 4 2 (J P , A)

特開 2 0 0 3 - 3 4 8 8 2 6 (J P , A)

国際公開第 0 0 / 0 7 0 7 5 2 (W O , A 1)

特開 2 0 0 3 - 0 9 2 5 1 5 (J P , A)

特開平 1 0 - 2 2 4 1 5 9 (J P , A)

特開 2 0 0 2 - 3 7 4 1 2 8 (J P , A)

米国特許第 0 5 3 2 9 2 4 5 (U S , A)

(58)調査した分野(Int.Cl. , D B 名)

H03F 1/00 - 3/72