(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2017 年 4 月 20 日(20.04.2017)

WIPO | PCT

(10) 国際公開番号
WO 2017/064949 A1

(51) 国際特許分類:
H01L 29/78 (2006.01) *H01L 29/12* (2006.01)
H01L 29/06 (2006.01)

(21) 国際出願番号: PCT/JP2016/076419

(22) 国際出願日: 2016 年 9 月 8 日(08.09.2016)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2015-204672 2015 年 10 月 16 日(16.10.2015) JP

(71) 出願人: 富士電機株式会社(FUJI ELECTRIC CO., LTD.) [JP/JP]; 〒2109530 神奈川県川崎市川崎区田辺新田１番１号 Kanagawa (JP). 国立研究開発法人産業技術総合研究所(NATIONAL INSTITUTE OF ADVANCED INDUSTRIAL SCIENCE AND TECHNOLOGY) [JP/JP]; 〒1008921 東京都千代田区霞が関１丁目３番１号 Tokyo (JP).

(72) 発明者: 木下　明将(KINOSHITA, Akimasa); 〒2109530 神奈川県川崎市川崎区田辺新田１番１号　富士電機株式会社内 Kanagawa (JP). 原田　信介(HARADA, Shinsuke); 〒3058568 茨城県つくば市梅園１－１－１　中央第２　国立研究開発法人産業技術総合研究所内 Ibaraki (JP). 田中　保宣(TANAKA, Yasunori); 〒3058568 茨城県つくば市梅園１－１－１　中央第２　国立研究開発法人産業技術総合研究所内 Ibaraki (JP).

(74) 代理人: 酒井　昭徳(SAKAI, Akinori); 〒1020094 東京都千代田区紀尾井町３番１２号　紀尾井町ビル７階　酒井総合特許事務所 Tokyo (JP).

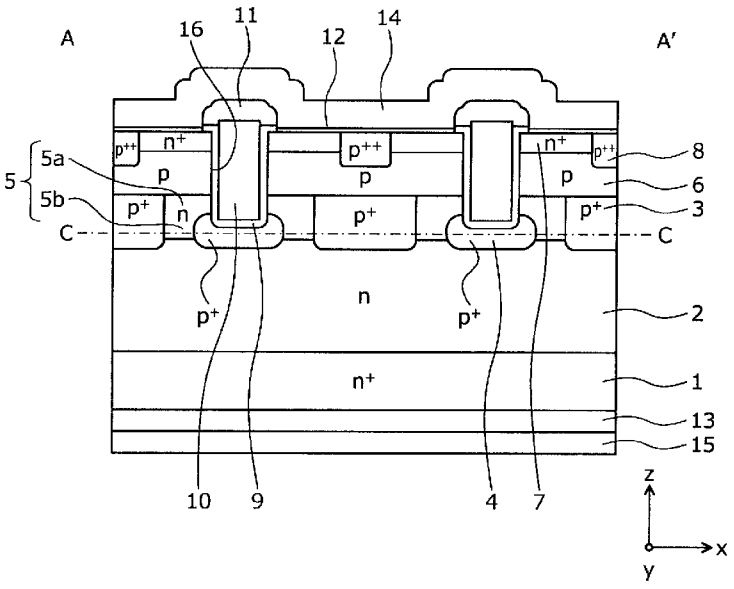
(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

[続葉有]

(54) **Title**: SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE

(54) 発明の名称 : 半導体装置および半導体装置の製造方法



(57) **Abstract**: According to the present invention, a trench (16) is formed in a first main surface of a silicon carbide semiconductor base; a second base region (4) of a second conductivity type is arranged at a position where the second base region (4) faces the trench (16) in the depth direction; and the drain electrode (13)-side end of the second base region (4) of the second conductivity type and the drain electrode (13)-side end of a first base region (3) of the second conductivity type reach a deeper position than the drain electrode (13)-side end of a region (5) of a first conductivity type. Consequently, the electric field intensity of a gate insulating film at the trench bottom is relaxed and the withstand voltage design of a withstand voltage structure part is able to be made easier by suppressing the withstand voltage of an active part. In addition, this semiconductor device is able to be formed by a simple production method according to the present invention.

(57) 要約:

[続葉有]

WO 2017/064949 A1

添付公開書類:

— 国際調査報告（条約第 21 条(3)）

炭化珪素半導体基体の第１主面側には、トレンチ（１６）が形成され、第２導電型の第２ベース領域（４）は、トレンチ（１６）と深さ方向に対向する位置に配置され、第２導電型の第２ベース領域（４）のドレイン電極（１３）側端部、および、第２導電型の第１ベース領域（３）のドレイン電極（１３）側端部は、第１導電型の領域（５）のドレイン電極（１３）側端部のよりも深い位置に達する。このようにすることで、トレンチ底部のゲート絶縁膜の電界強度を緩和させ、活性部の耐電圧を抑えることにより耐圧構造部の耐電圧設計を容易にすることができる。また、このような半導体装置を、簡易な製造方法で形成することができる。

明　細　書

発明の名称 ： 半導体装置および半導体装置の製造方法

技術分野

[0001] この発明は、半導体装置および半導体装置の製造方法に関する。

背景技術

[0002] 従来、パワー半導体素子においては、素子のオン抵抗の低減を図るため、トレンチ構造を有する縦型ＭＯＳＦＥＴ（Ｍｅｔａｌ　Ｏｘｉｅｄ　Ｓｅｍｉｃｏｎｄｕｃｔｏｒ　Ｆｉｅｌｄ　Ｅｆｆｅｃｔ　Ｔｒａｎｓｉｓｔｏｒ：絶縁ゲート型電解効果トランジスタ）が作製されている。縦型ＭＯＳＦＥＴでは、チャネルが基板表面に対して平行に形成されるプレーナー構造よりも基板表面に対して垂直に形成されるトレンチ構造の方が単位面積当たりのセル密度を増やすことができる。このため、単位面積当たりの電流密度を増やすことができ、コスト面から有利である。

[0003] しかしながら、縦型ＭＯＳＦＥＴにトレンチ構造を形成するとチャネルを垂直方向に形成するためにトレンチ内壁全域をゲート絶縁膜で覆う構造となり、ゲート絶縁膜のトレンチ底部の部分がドレイン電極に近づくため、ゲート絶縁膜のトレンチ底部の部分に高電界が印加されやすい。特に、ワイドバンドギャップ半導体（シリコンよりもバンドギャップが広い半導体、例えば、炭化珪素（ＳｉＣ））では超高耐圧素子を作製するため、トレンチ底部のゲート絶縁膜への悪影響は、信頼性を大きく低下させる。

[0004] このような問題を解消する方法として、トレンチ底部の電界強度を緩和させるために、ｐ型ベース領域に接し、かつトレンチ底部より深い位置に達するｐ型領域を形成し、トレンチ底部よりも深い位置にｐｎ接合を形成する構造が提案されている（例えば、下記特許文献１参照。）。また、トレンチ底部にｐ型領域を形成する構造が提案されている（例えば、下記特許文献２参照。）。また、ｐ型ベース領域に接し、かつトレンチ底部より深い位置に達するｐ型領域を形成し、トレンチ底部よりも深い位置にｐｎ接合を形成する

構造とトレンチ底部にｐ型領域を形成する構造を組み合わせた構造が提案されている（例えば、下記特許文献３参照。）。

先行技術文献

特許文献

[0005] 特許文献1：特許第５５３９９３１号公報

特許文献2：米国特許第６１８０９５８号公報

特許文献3：特開２００９－２６０２５３号公報

発明の概要

発明が解決しようとする課題

[0006] しかしながら、特許文献１の技術を用いてｐｎ接合を形成した場合、ｐｎ接合をトレンチ底部より深い位置、もしくは、トレンチに近い位置に形成しなければ耐電圧が確保できないため、製造が非常に困難である。また、特許文献２の技術を用いてｐ型領域を形成した場合、トレンチ側壁のゲート絶縁膜に高電界が印加されやすくなり、オン状態では電流経路が狭くなるため、オン抵抗が高くなる。また、特許文献３の技術を用いてトレンチから離れた位置に深いｐ型領域とトレンチ底部のｐ型領域との両方を形成した場合、オン抵抗を下げるためにトレンチ下部のｐ型領域の幅をトレンチ幅より狭くしているため、トレンチ底部のコーナー部へ高電界が緩和されない。さらに、特許文献３では、ｐｎ接合がトレンチ直下（ドレイン側）の領域に広く形成されるため、活性部の耐電圧がワイドバンドギャップ半導体の性能限界近くまで上がる。これにより、活性部の耐電圧が耐圧構造部の耐電圧以上になりやすく素子の耐量を低下させる虞がある。

[0007] この発明は、上述した従来技術による問題点を解消するため、簡易に形成することができ、トレンチ底部のゲート絶縁膜の電界強度を緩和させ、活性部の耐電圧を抑えることにより耐圧構造部の耐電圧設計を容易にする半導体装置および半導体装置の製造方法を提供することを目的とする。

課題を解決するための手段

[0008] 上述した課題を解決し、本発明の目的を達成するため、この発明にかかる半導体装置は、次の特徴を有する。シリコンよりもバンドギャップが広い半導体からなる第１導電型のワイドバンドギャップ半導体基板を備える。前記ワイドバンドギャップ半導体基板のおもて面に、シリコンよりもバンドギャップが広い半導体からなる、前記ワイドバンドギャップ半導体基板より低不純物濃度の第１導電型ワイドバンドギャップ半導体層が形成されている。前記第１導電型ワイドバンドギャップ半導体層の前記ワイドバンドギャップ半導体基板側に対して反対側の表面層に選択的に第２導電型の第１ベース領域が形成されている。前記第１導電型ワイドバンドギャップ半導体層の内部に選択的に第２導電型の第２ベース領域が形成されている。前記第１導電型ワイドバンドギャップ半導体層の前記ワイドバンドギャップ半導体基板側に対して反対側の表面層に選択的に、前記第１導電型ワイドバンドギャップ半導体層より高不純物濃度の第１導電型の領域が形成されている。前記第１導電型ワイドバンドギャップ半導体層の前記ワイドバンドギャップ半導体基板に対して反対側の表面に、シリコンよりもバンドギャップが広い半導体からなる第２導電型ワイドバンドギャップ半導体層が形成されている。前記第２導電型ワイドバンドギャップ半導体層の内部に選択的に第１導電型のソース領域が形成されている。前記第２導電型ワイドバンドギャップ半導体層および前記ソース領域を貫通して前記第１導電型の領域に達するトレンチを備える。前記トレンチ内部にゲート絶縁膜を介してゲート電極が形成されている。前記第２導電型ワイドバンドギャップ半導体層および前記ソース領域に接触するソース電極を備える。前記ワイドバンドギャップ半導体基板の裏面にドレイン電極が設けられている。そして、前記第２ベース領域は、前記トレンチと深さ方向に対向する位置に配置され、前記第１ベース領域の一部は、前記トレンチ側に延在し、前記第２ベース領域に接続されている。

[0009] また、この発明にかかる半導体装置は、上述した発明において、前記第２導電型の第２ベース領域の幅は、前記トレンチの幅よりも広いことを特徴とする。

[0010] また、この発明にかかる半導体装置は、上述した発明において、前記トレンチは、前記第１導電型の領域を貫通して前記第２ベース領域に達することを特徴とする。

[0011] また、この発明にかかる半導体装置は、上述した発明において、前記第１ベース領域の一部と前記第２ベース領域との接続部分と、前記第２導電型ワイドバンドギャップ半導体層との間に、前記第１導電型の領域が延在していることを特徴とする。

[0012] また、この発明にかかる半導体装置は、上述した発明において、前記第１導電型の領域を挟んで、前記第１ベース領域の一部と前記第２ベース領域との接続部分を、前記第１ベース領域と前記第２ベース領域とが並ぶ方向と直交する方向に周期的に配置した平面レイアウトを有することを特徴とする。

[0013] また、この発明にかかる半導体装置は、上述した発明において、前記第２導電型の第１ベース領域の前記ドレイン電極側の端部の少なくとも一部は、前記第２ベース領域の前記ドレイン電極側の端部のよりも前記ドレイン電極側に位置することを特徴とする。

[0014] また、この発明にかかる半導体装置は、上述した発明において、前記第１ベース領域の前記ドレイン電極側の端部の、前記第２ベース領域の前記ドレイン電極側の端部よりも深い部分を、前記第１ベース領域と前記第２ベース領域とが並ぶ方向と直交する方向に周期的に配置した平面レイアウトを有する。

[0015] また、この発明にかかる半導体装置は、上述した発明において、シリコンよりもバンドギャップが広い半導体は、炭化珪素であることを特徴とする。

[0016] 上述した課題を解決し、本発明の目的を達成するため、この発明にかかる半導体装置の製造方法は、次の特徴を有する。まず、シリコンよりもバンドギャップが広い半導体からなる第１導電型のワイドバンドギャップ半導体基板のおもて面に、前記ワイドバンドギャップ半導体基板より低不純物濃度の第１の第１導電型ワイドバンドギャップ半導体層を形成する第１工程を行う。次に、前記第１の第１導電型ワイドバンドギャップ半導体層の表面層に、

第２導電型の第１半導体領域および第２導電型の第２半導体領域を選択的に形成する第２工程を行う。次に、前記第１の第１導電型ワイドバンドギャップ半導体層の表面に、シリコンよりもバンドギャップが広い半導体からなる、前記ワイドバンドギャップ半導体基板より低不純物濃度の第２の第１導電型ワイドバンドギャップ半導体層を形成する第３工程を行う。次に、前記第２の第１導電型ワイドバンドギャップ半導体層の表面層に、前記第１半導体領域に接する第２導電型の第３半導体領域を選択的に形成する第４工程を行う。次に、前記第２の第１導電型ワイドバンドギャップ半導体層の表面に、シリコンよりもバンドギャップが広い半導体からなる第２導電型ワイドバンドギャップ半導体層を形成する第５工程を行う。次に、前記第２導電型ワイドバンドギャップ半導体層の内部に第１導電型のソース領域を選択的に形成する第６工程を行う。次に、前記ソース領域および前記第２導電型ワイドバンドギャップ半導体層を貫通して前記第１導電型の第１領域に達するトレンチを、前記第２半導体領域と深さ方向に対向する位置に形成する第７工程を行う。次に、前記トレンチの内部にゲート絶縁膜を介してゲート電極を形成する第８工程を行う。次に、前記第２導電型ワイドバンドギャップ半導体層および前記ソース領域に接するソース電極を形成する第９工程を行う。次に、前記ワイドバンドギャップ半導体基板の裏面にドレイン電極を形成する第１０工程を行う。そして、前記第２工程では、前記第１半導体領域と前記第２半導体領域との間に前記第１の第１導電型ワイドバンドギャップ半導体層が残るように、前記第１半導体領域の一部と前記第２半導体領域とを接続させる。

[0017] また、この発明にかかる半導体装置の製造方法は、上述した発明において、前記第４工程では、前記第１ベース領域の、前記第２ベース領域との接続部分以外の部分に接する前記第３半導体領域を形成することを特徴とする。

[0018] また、この発明にかかる半導体装置の製造方法は、上述した発明において、前記第１工程の後、前記第３工程の前に、前記第１の第１導電型ワイドバンドギャップ半導体層の表面層の、前記第１半導体領域および前記第２半導

体領域との間に第１導電型の第１領域を形成する工程をさらに含むことを特徴とする。

[0019] また、この発明にかかる半導体装置の製造方法は、上述した発明において、前記第３工程の後、前記第５工程の前に、前記第２の第１導電型ワイドバンドギャップ半導体層の表面層に、前記第１領域に接する第１導電型の第２領域を選択的に形成する工程をさらに含むことを特徴とする。

[0020] また、この発明にかかる半導体装置の製造方法は、上述した発明において、前記第１工程の後、前記第３工程の前に、前記第１半導体領域よりも深い位置に、前記第１半導体領域に接する第２導電型の第４半導体領域を形成する工程をさらに含むことを特徴とする。

[0021] 上述した発明によれば、耐電圧が高い状態で、オン抵抗を下げることができる。これにより、トレンチ底部のゲート絶縁膜の電界強度を緩和させ、活性部の耐電圧を抑えることができ、耐圧構造部の耐電圧設計を容易にできる。

発明の効果

[0022] 本発明にかかる半導体装置および半導体装置の製造方法によれば、簡易に形成することができ、トレンチ底部のゲート絶縁膜の電界強度を緩和させ、活性部の耐電圧を抑えることにより耐圧構造部の耐電圧設計を容易にすることができるという効果を奏する。

図面の簡単な説明

[0023] [図1A]図１Ａは、実施の形態１にかかる炭化珪素半導体装置の構成を示す断面図である。

[図1B]図１Ｂは、図２の切断線Ｂ－Ｂ’における断面構造である。

[図2]図２は、実施の形態１にかかる炭化珪素半導体装置の平面レイアウトの一例を示す平面図である。

[図3]図３は、実施の形態１にかかる炭化珪素半導体装置の製造途中の状態を模式的に示す断面図である（その１）。

[図4]図４は、実施の形態１にかかる炭化珪素半導体装置の製造途中の状態を

模式的に示す断面図である（その２）。

[図5]図５は、実施の形態１にかかる炭化珪素半導体装置の製造途中の状態を模式的に示す断面図である（その３）。

[図6]図６は、実施の形態１にかかる炭化珪素半導体装置の製造途中の状態を模式的に示す断面図である（その４）。

[図7]図７は、実施の形態１にかかる炭化珪素半導体装置の製造途中の状態を模式的に示す断面図である（その５）。

[図8]図８は、実施の形態１にかかる炭化珪素半導体装置の製造途中の状態を模式的に示す断面図である（その６）。

[図9]図９は、実施の形態１にかかる炭化珪素半導体装置の実施例においてトレンチと第２p^+型ベース領域との横方向位置にズレが生じた状態の一例を示す断面図である。

[図10]図１０は、実施の形態１にかかる炭化珪素半導体装置の実施例のゲート絶縁膜最大電界強度特性を示す特性図である。

[図11]図１１は、実施の形態１にかかる炭化珪素半導体装置の実施例のオン抵抗特性を示す特性図である。

[図12]図１２は、実施の形態２にかかる炭化珪素半導体装置の構成を示す断面図である。

[図13]図１３は、実施の形態２にかかる炭化珪素半導体装置の製造途中の状態を模式的に示す断面図である。

[図14]図１４は、実施の形態２にかかる炭化珪素半導体装置の実施例と比較例におけるアバランシェ降伏時の電流分布図である。

発明を実施するための形態

[0024] 以下に添付図面を参照して、この発明にかかる半導体装置および半導体装置の製造方法の好適な実施の形態を詳細に説明する。本明細書および添付図面においては、ｎまたはｐを冠記した層や領域では、それぞれ電子または正孔が多数キャリアであることを意味する。また、ｎやｐに付す＋および－は、それぞれそれが付されていない層や領域よりも高不純物濃度および低不純

物濃度であることを意味する。＋および－を含めたｎやｐの表記が同じ場合は近い濃度であることを示し濃度が同等とは限らない。なお、以下の実施の形態の説明および添付図面において、同様の構成には同一の符号を付し、重複する説明を省略する。また、本明細書では、ミラー指数の表記において、“－”はその直後の指数につくバーを意味しており、指数の前に“－”を付けることで負の指数をあらわしている。

[0025]（実施の形態１）

本発明にかかる半導体装置は、ワイドバンドギャップ半導体を用いて構成される。実施の形態においては、ワイドバンドギャップ半導体として例えば炭化珪素（ＳｉＣ）を用いて作製された炭化珪素半導体装置について、ＭＯＳＦＥＴを例に説明する。図１Ａは、実施の形態１にかかる炭化珪素半導体装置の構成を示す断面図である。

[0026] 図１Ａに示すように、実施の形態にかかる炭化珪素半導体装置は、n^+型炭化珪素基板（第１導電型ワイドバンドギャップ半導体基板）１の第１主面（おもて面）、例えば（０００１）面（Ｓｉ面）、にｎ型炭化珪素エピタキシャル層（第１導電型の第１ワイドバンドギャップ半導体層）２が堆積されている。

[0027] n^+型炭化珪素基板１は、例えば窒素（Ｎ）がドーピングされた炭化珪素単結晶基板である。ｎ型炭化珪素エピタキシャル層２は、n^+型炭化珪素基板１よりも低い不純物濃度で、例えば窒素がドーピングされている低濃度ｎ型ドリフト層である。ｎ型炭化珪素エピタキシャル層２の、n^+型炭化珪素基板１側に対して反対側の表面側は、ｎ型高濃度領域（第１導電型の領域）５が形成されている。ｎ型高濃度領域５は、n^+型炭化珪素基板１よりも低くｎ型炭化珪素エピタキシャル層２よりも高い不純物濃度で、例えば窒素がドーピングされている高濃度ｎ型ドリフト層である。以下、n^+型炭化珪素基板１とｎ型炭化珪素エピタキシャル層２と後述するｐ型ベース層（第２導電型ワイドバンドギャップ半導体層）６とを併せて炭化珪素半導体基体とする。

[0028] 図１Ａに示すように、n^+型炭化珪素基板１の第２主面（裏面、すなわち炭

化珪素半導体基体の裏面）には、裏面電極（ドレイン電極）１３が設けられている。裏面電極１３は、ドレイン電極を構成する。裏面電極１３の表面には、ドレイン電極パッド１５が設けられている。

[0029] 炭化珪素半導体基体の第１主面側（ｐ型ベース層６側）には、トレンチ構造が形成されている。具体的には、トレンチ１６は、ｐ型ベース層６のｎ$^+$型炭化珪素基板１側に対して反対側（炭化珪素半導体基体の第１主面側）の表面からｐ型ベース層６を貫通してｎ型高濃度領域５に達する。トレンチ１６の内壁に沿って、トレンチ１６の底部および側壁にゲート絶縁膜９が形成されており、トレンチ１６内のゲート絶縁膜９の内側にゲート電極１０が形成されている。ゲート絶縁膜９によりゲート電極１０が、ｎ型炭化珪素エピタキシャル層２およびｐ型ベース層６と絶縁されている。ゲート電極１０の一部は、トレンチ１６の上方（ソース電極パッド１４側）からソース電極パッド１４側に突出していてもよい。

[0030] ｎ型炭化珪素エピタキシャル層２のｎ$^+$型炭化珪素基板１側に対して反対側（炭化珪素半導体基体の第１主面側）の表面層には、第１ｐ$^+$型ベース領域（第２導電型の第１ベース領域）３と第２ｐ$^+$型ベース領域（第２導電型の第２ベース領域）４が選択的に設けられている。第１ｐ$^+$型ベース領域３は、トレンチ１６の底部よりもドレイン側に深い位置にまで達している。第１ｐ$^+$型ベース領域３の下端部（ドレイン側端部）は、トレンチ１６の底部よりもドレイン側に位置する。第２ｐ$^+$型ベース領域４の下端部は、トレンチ１６の底部よりもドレイン側に位置する。第２ｐ$^+$型ベース領域４は、トレンチ１６の底部と深さ方向ｚに対向する位置に形成される。第２ｐ$^+$型ベース領域４の幅は、トレンチ１６の幅よりも広い。トレンチ１６の底部は、第２ｐ$^+$型ベース領域４に達してもよいし、ｐ型ベース層６と第２ｐ$^+$型ベース領域４に挟まれたｎ型高濃度領域５内に位置し、第２ｐ$^+$型ベース領域４と接触していなくてもよい。第１ｐ$^+$型ベース領域３と第２ｐ$^+$型ベース領域４は、例えばアルミニウム（ＡｌＩ）がドーピングされている。

[0031] 第１ｐ$^+$型ベース領域３の一部１７をトレンチ１６側に延在させることで第

２ｐ$^+$型ベース領域４に接続した構造となっている。この場合、第１ｐ$^+$型ベース領域３の一部１７（図２参照）は、第１ｐ$^+$型ベース領域３と第２ｐ$^+$型ベース領域４とが並ぶ方向（以下、第１方向とする）ｘと直交する方向（以下、第２方向とする）ｙに、ｎ型高濃度領域５と交互に繰り返し配置された平面レイアウトを有していてもよい。第１，２ｐ型ベース領域３，４の平面レイアウトの一例を図２に示す。図２は、実施の形態１にかかる炭化珪素半導体装置の平面レイアウトの一例を示す平面図である。この場合、図１Ａは、図２の切断線Ａ－Ａ’における断面構造となる。図１Ｂは、図２の切断線Ｂ－Ｂ’における断面構造である。図２は、図１Ａ，１Ｂの切断線Ｃ－Ｃにおける平面レイアウトである。図２には、第１ｐ$^+$型ベース領域３と第２ｐ$^+$型ベース領域４との境界を縦点線で示し、これら第１，２ｐ型ベース領域３，４が第１ｐ$^+$型ベース領域３の一部１７によって接続された状態を示す（ハッチングされた部分）。

[0032] 図２のように、トレンチ１６の底部よりもドレイン側において、第１ｐ$^+$型ベース領域３の一部１７は、例えば、第１方向ｘの両側のトレンチ１６側に延在し、第２ｐ$^+$型ベース領域４の一部と接続している。第２方向ｙに隣り合う第１ｐ$^+$型ベース領域３の一部１７同士の間には、ｎ型高濃度領域５のドレイン側の部分５ｂが配置される。すなわち、第１ｐ$^+$型ベース領域３の一部１７（第１，２ｐ型ベース領域３，４が接続する部分）は、ｎ型高濃度領域５のドレイン側の部分５ｂを挟んで、第２方向ｙに周期的に配置される。ｎ型高濃度領域５は、第１ｐ$^+$型ベース領域３の一部１７とｐ型ベース層６との間に延在する。すなわち、トレンチ１６の側壁に露出される部分において、ｐ型ベース層６と第１，２ｐ型ベース領域３，４との間にｎ型高濃度領域５のソース側の部分５ａが配置され、トレンチ１６の側面の一部がｎ型領域で覆われる（図１Ｂ）。これにより、第２ｐ$^+$型ベース領域４とｎ型炭化珪素エピタキシャル層２の接合部分でアバランシェ降伏が起こったときに発生するホールを効率よくソース電極１２に退避させることができ、ゲート絶縁膜９への負担を軽減されるため、信頼性が向上する。

[0033] ｎ型炭化珪素エピタキシャル層２の基体第１主面側には、ｐ型ベース層（第２導電型のワイドバンドギャップ半導体層）６が設けられている。ｐ型ベース層６は、第１ｐ$^{+}$型ベース領域３に接する。ｐ型ベース層６の不純物濃度は、例えば第１ｐ$^{+}$型ベース領域３の不純物濃度よりも低くてもよい。これにより、閾値電圧を下げるためにｐ型ベース層６の濃度を下げても、ｐ型ベース層６の空乏層の広がりを抑えることでパンチスルーによる耐圧低下を回避することができる。ｐ型ベース層６の内部には、基体第１主面側にｎ$^{+}$ソース領域（第１導電型のソース領域）７およびｐ$^{++}$コンタクト領域（第２導電型のコンタクト領域）８が選択的に設けられている。また、ｎ$^{+}$ソース領域７およびｐ$^{++}$コンタクト領域８は互いに接する。また、ｎ型炭化珪素エピタキシャル層２の基体第１主面側の表面層の第１ｐ$^{+}$型ベース領域３と第２ｐ$^{+}$型ベース領域４に挟まれた領域と、ｐ型ベース層６と第２ｐ$^{+}$型ベース領域４に挟まれた領域にｎ型高濃度領域５が設けられている。

[0034] 図１Ａでは、２つのトレンチＭＯＳ構造のみを図示しているが、さらに多くのトレンチ構造のＭＯＳゲート（金属－酸化膜－半導体からなる絶縁ゲート）構造が並列に配置されていてもよい。

[0035] 層間絶縁膜１１は、炭化珪素半導体基体の第１主面側の全面に、トレンチに埋め込まれたゲート電極１０を覆うように設けられている。ソース電極１２は、層間絶縁膜１１に開口されたコンタクトホールを介して、ｎ$^{+}$ソース領域７およびｐ$^{++}$コンタクト領域８に接する。ソース電極１２は、層間絶縁膜１１によって、ゲート電極１０と電気的に絶縁されている。ソース電極１２上には、ソース電極パッド１４が設けられている。

[0036] （実施の形態１にかかる炭化珪素半導体装置の製造方法）

次に、実施の形態にかかる炭化珪素半導体装置の製造方法について説明する。図３～図８は、実施の形態にかかる炭化珪素半導体装置の製造途中の状態を模式的に示す断面図である。

[0037] まず、ｎ型の炭化珪素でできたｎ$^{+}$型炭化珪素基板１を用意する。そして、このｎ$^{+}$型炭化珪素基板１の第１主面上に、ｎ型の不純物、例えば窒素原子を

ドーピングしながら炭化珪素でできた第１ｎ型炭化珪素エピタキシャル層（第１の第１導電型ワイドバンドギャップ半導体層）２ａを、例えば３０μｍ程度の厚さまでエピタキシャル成長させる。この第１ｎ型炭化珪素エピタキシャル層２ａは、ｎ型炭化珪素エピタキシャル層２となる。ここまでの状態が図３に示されている。

[0038] 次に、第１ｎ型炭化珪素エピタキシャル層２ａの表面上に、フォトリソグラフィ技術によって所望の開口部を有する図示しないマスクを、例えば酸化膜で形成する。そして、この酸化膜をマスクとしてイオン注入法によってｐ型の不純物、例えばアルミニウム原子をイオン注入する。それによって、第１ｎ型炭化珪素エピタキシャル層２ａの表面領域の一部に、例えば深さ０．５μｍ程度の第１ｐ型領域（第２導電型の第１半導体領域）３ａと第２p^+型ベース領域（第２導電型の第２半導体領域）４が、例えば隣り合う第１ｐ型領域３ａと第２p^+型ベース領域４との間の距離が１．５μｍ程度となるように、形成される。第１ｐ型領域３ａと第２p^+型ベース領域４を形成するためのイオン注入時のドーズ量を、例えば不純物濃度が５×１０^{18}／ｃｍ^{3}程度となるように設定してもよい。

[0039] 次に、第１ｐ型領域３ａと第２p^+型ベース領域４を形成するためのイオン注入時に用いたマスクを除去する。そして、イオン注入法によってｎ型の不純物、例えば窒素原子をイオン注入する。それによって、第１ｎ型炭化珪素エピタキシャル層２ａの表面層の、第１ｐ型領域３ａと第２p^+型ベース領域４との間に、例えば深さ０．５μｍ以下程度の第１ｎ型領域（第１導電型の第１領域）５ａが形成される。第１ｎ型領域５ａを形成するためのイオン注入時のドーズ量を、例えば不純物濃度が１×１０^{17}／ｃｍ^{3}程度となるように設定してもよい。ここまでの状態が図４に示されている。

[0040] 次に、第１ｎ型炭化珪素エピタキシャル層２ａの表面上に、ｎ型の不純物、例えば窒素原子をドーピングしながら第２ｎ型炭化珪素エピタキシャル層（第２の第１導電型ワイドバンドギャップ半導体層）２ｂを、例えば０．５μｍ程度の厚さまでエピタキシャル成長させる。この第２ｎ型炭化珪素エピ

タキシャル層２ｂと第１ｎ型炭化珪素エピタキシャル層２ａとが合わさってｎ型炭化珪素エピタキシャル層２となる。第２ｎ型炭化珪素エピタキシャル層２ｂを形成するためのエピタキシャル成長の条件を、例えば第２ｎ型炭化珪素エピタキシャル層２ｂの不純物濃度が３×１０^{15}／ｃｍ^{3}程度となるように設定してもよい。

[0041] 次に、ｎ型炭化珪素エピタキシャル層２の表面上に、フォトリソグラフィ技術によって所望の開口部を有する図示しないマスクを、例えば酸化膜で形成する。そして、この酸化膜をマスクとしてイオン注入法によってｐ型の不純物、例えばアルミニウム原子をイオン注入する。それによって、ｎ型炭化珪素エピタキシャル層２の表面領域の一部に、例えば深さ０．５μｍ程度の第２ｐ型領域（第２導電型の第３半導体領域）３ｂが、例えば第１ｐ型領域３ａの上部に重なるように形成される。この第２ｐ型領域３ｂと第１ｐ型領域３ａを合わせて第１ｐ$^{+}$型ベース領域３となる。第２ｐ型領域３ｂを形成するためのイオン注入時のドーズ量を、例えば不純物濃度が５×１０^{18}／ｃｍ^{3}程度となるように設定してもよい。

[0042] 次に、第２ｐ型領域３ｂを形成するためのイオン注入時に用いたマスクを除去する。そして、イオン注入法によってｎ型の不純物、例えば窒素原子をイオン注入する。それによって、第２ｎ型炭化珪素エピタキシャル層２ｂの表面層の一部に、第１ｐ型領域３ａ、第２ｐ$^{+}$型ベース領域４、第１ｎ型領域５ａに接するように、例えば深さ０．５μｍ程度の第２ｎ型領域（第１導電型の第２領域）５ｂが形成される。第２ｎ型領域５ｂを設けるためのイオン注入時のドーズ量を、例えば不純物濃度が１×１０^{17}／ｃｍ^{3}程度となるように設定してもよい。この第２ｎ型領域５ｂと第１ｎ型領域５ａとが合わさってｎ型高濃度領域５となる。ここまでの状態が図５に示されている。

[0043] 次に、ｎ型炭化珪素エピタキシャル層２の表面（すなわち第１ｐ$^{+}$型ベース領域３および第２ｎ型領域５ｂの表面）上に、ｐ型の不純物、例えばアルミニウム原子をドーピングしながらｐ型ベース層（第２導電型のワイドバンドギャップ半導体層）６を、例えば１．３μｍ程度の厚さまでエピタキシャル

成長させる。ｐ型ベース層６を形成するためのエピタキシャル成長の条件を、例えば不純物濃度が第１ｐ$^{+}$型ベース領域３の不純物濃度よりも低い４×１０^{17}／ｃｍ^{3}程度となるように設定してもよい。ここまでの工程により、ｎ$^{+}$型炭化珪素基板１上にｎ型炭化珪素エピタキシャル層２およびｐ型ベース層６を積層してなる炭化珪素半導体基体が形成される。

[0044] 次に、ｐ型ベース層６の表面上に、フォトリソグラフィ技術によって所望の開口部を有する図示しないマスクを例えば酸化膜で形成する。そして、この酸化膜をマスクとしてイオン注入法によってｎ型の不純物、例えばリン（Ｐ）をイオン注入する。それによって、ｐ型ベース層６の表面層の一部にｎ$^{+}$ソース領域（第１導電型のソース領域）７が形成される。ｎ$^{+}$ソース領域７を形成するためのイオン注入時のドーズ量を、例えば第１ｐ$^{+}$型ベース領域３よりも不純物濃度が高くなるように設定してもよい。次に、ｎ$^{+}$ソース領域７を形成するためのイオン注入時に用いたマスクを除去する。

[0045] そして、ｐ型ベース層６の表面上に、フォトリソグラフィ技術によって所望の開口部を有する図示しないマスクを例えば酸化膜で形成し、この酸化膜をマスクとしてｐ型ベース層６の表面上にｐ型の不純物、例えばアルミニウムをイオン注入する。それによって、ｐ型ベース層６の表面領域の一部にｐ$^{++}$コンタクト領域（第２導電型のコンタクト領域）８が形成される。ｐ$^{++}$コンタクト領域８を形成するためのイオン注入時のドーズ量を、例えば第２ｐ$^{+}$型ベース領域４よりも不純物濃度が高くなるように設定してもよい。続いて、ｐ$^{++}$コンタクト領域８を形成するためのイオン注入時に用いたマスクを除去する。ｎ$^{+}$ソース領域７を形成するためのイオン注入と、ｐ$^{++}$コンタクト領域８を形成するためのイオン注入と、の順序を入れ替えてもよい。ここまでの状態が図６に示されている。

[0046] 次に、熱処理（アニール）を行って、例えば第１ｐ型領域３ａ、第２ｐ型領域３ｂ、ｎ$^{+}$ソース領域７、ｐ$^{++}$コンタクト領域８を活性化させる。熱処理の温度は、例えば１７００℃程度であってもよい。熱処理の時間は、例えば２分程度であってもよい。なお、上述したように１回の熱処理によって各イオ

ン注入領域をまとめて活性化させてもよいし、イオン注入を行うたびに熱処理を行って活性化させてもよい。

[0047] 次に、ｐ型ベース層６の表面（すなわちｎ$^{+}$ソース領域７およびｐ$^{++}$コンタクト領域８の表面）上に、フォトリソグラフィ技術によって所望の開口部を有する図示しないマスクを例えば酸化膜で形成する。そして、この酸化膜をマスクとしてドライエッチング等によってｎ$^{+}$ソース領域７およびｐ型ベース層６を貫通してｎ型高濃度領域５に達するトレンチ１６を形成する。トレンチ１６の底部は、第２ｐ$^{+}$型ベース領域４に達してもよいし、ｐ型ベース層６と第２ｐ$^{+}$型ベース領域４に挟まれたｎ型高濃度領域５内に位置していてもよい。続いて、トレンチ１６を形成するために用いたマスクを除去する。ここまでの状態が図７に示されている。

[0048] 次に、ｎ$^{+}$ソース領域７およびｐ$^{++}$コンタクト領域８の表面と、トレンチ１６の底部および側壁と、に沿ってゲート絶縁膜９を形成する。このゲート絶縁膜９は、酸素雰囲気中において１０００℃程度の温度の熱処理によって熱酸化によって形成してもよい。また、このゲート絶縁膜９は高温酸化（Ｈｉｇｈ　Ｔｅｍｐｅｒａｔｕｒｅ　Ｏｘｉｄｅ：ＨＴＯ）等のような化学反応によって堆積する方法で形成してもよい。

[0049] 次に、ゲート絶縁膜９上に、例えばリン原子がドーピングされた多結晶シリコン層を形成する。この多結晶シリコン層はトレンチ１６内を埋めるように形成する。この多結晶シリコン層をパターニングして、トレンチ１６内部に残すことによって、ゲート電極１０が形成される。ゲート電極１０の一部は、トレンチ１６の上方（ソース電極パッド１４側）からソース電極パッド１４側に突出していてもよい。

[0050] 次に、ゲート絶縁膜９およびゲート電極１０を覆うように、例えばリンガラスを１μｍ程度の厚さで成膜し、層間絶縁膜１１を形成する。層間絶縁膜１１およびゲート絶縁膜９をパターニングして選択的に除去することによって、コンタクトホールを形成し、ｎ$^{+}$ソース領域７およびｐ$^{++}$コンタクト領域８を露出させる。その後、熱処理（リフロー）を行って層間絶縁膜１１を平坦

化する。ここまでの状態が図８に示されている。

[0051] 次いで、コンタクトホール内および層間絶縁膜１１の上にソース電極１２となる導電性の膜を形成する。この導電性の膜を選択的に除去して、例えばコンタクトホール内にのみソース電極１２を残す。

[0052] 次いで、n^+型炭化珪素基板１の第２主面上に、例えばニッケル（Ｎｉ）膜でできたドレイン電極１３を形成する。その後、例えば９７０℃程度の温度で熱処理を行って、n^+型炭化珪素基板１とドレイン電極１３とをオーミック接合する。

[0053] 次に、例えばスパッタ法によって、ソース電極１２および層間絶縁膜１１を覆うように、例えばアルミニウム膜を、厚さが例えば５μｍ程度になるように、設ける。その後、アルミニウム膜を選択的に除去して、素子全体の活性部を覆うように残すことによって、ソース電極パッド１４を形成する。

[0054] 次に、ドレイン電極１３の表面に、例えばチタン（Ｔｉ）、ニッケルおよび金（Ａｕ）を順に積層することによって、ドレイン電極パッド１５を形成する。以上のようにして、図１に示す半導体装置が完成する。

[0055] （実施例）

図９は、実施の形態１にかかる炭化珪素半導体装置の実施例においてトレンチと第２p^+型ベース領域との横方向位置にズレが生じた状態の一例を示す断面図である。横方向とは、第１，２ｐ型ベース領域３，４が並ぶ方向である。ここで、合わせズレ量１０１は、第２p^+型ベース領域４の中心とトレンチ１６の中心との横方向の距離（単位：μｍ）であり、ｐ型ベース領域幅１０２は、第２p^+型ベース領域４の幅（単位：μｍ）であり、トレンチ幅１０３は、トレンチ１６の幅（単位：μｍ）である。

[0056] 図１０は、実施の形態１にかかる炭化珪素半導体装置の実施例のゲート絶縁膜最大電界強度特性示す特性図である。図１０は、トレンチ１６直下の第２p^+型ベース領域４の合わせズレによって、トレンチ１６の中心が第２p^+型ベース領域４の中心から横方向にシフトしたときのゲート絶縁膜９電界強度の変動をシミュレーションした結果である。図１０には、比較例の合わせズ

レに対するゲート絶縁膜９の最大電界強度の関係も示す。比較例の構造（不図示）として、ｐ型ベース領域幅１０２を１μｍとし、トレンチ幅１０３を１μｍとした。比較例のｐ型ベース領域幅１０２以外の構成は、実施例と同様である。実施例の構造として、ｐ型ベース領域幅１０２を２μｍとし、トレンチ幅１０３を１μｍとした。

[0057] 図１０において、縦軸はゲート絶縁膜９の最大電界強度（単位：ＭＶ／ｃｍ）であり、横軸はトレンチ１６と第２p^+型ベース領域４との横方向位置の合わせズレ量１０１である。図１０は、実施例と比較例とについて、ゲート絶縁膜９にかかる最大電界強度をシミュレーションした結果であり、ドレインに４０００Ｖ印加したときの合わせズレ量１０１とゲート絶縁膜９の最大電界強度との関係の一例を示す特性図である。図１０に示すように、シミュレーションの結果、ｐ型ベース領域幅１０２がトレンチ幅１０３よりも広い実施例は、ｐ型ベース領域幅１０２がトレンチ幅１０３と同じ幅の比較例よりも、ドレイン側に電圧を印加したときのゲート絶縁膜９への最大電界強度が改善されることを確認した。

[0058] 図１１は、実施の形態１にかかる炭化珪素半導体装置の実施例のオン抵抗特性を示す特性図である。図１１には、比較例のオン抵抗特性も示す。図１１は、実施例と比較例とについて、オン抵抗特性を検証した結果であり、実施の形態１にかかる半導体装置の実施例と比較例とのオン抵抗特性の一例を示す特性図である。図１１において、縦軸はオン抵抗（単位：ｍΩｃm^2）であり、横軸はｐ型ベース領域幅１０２（単位：μｍ）である。図１１に示すように、検証の結果、例えばｐ型ベース領域幅１０２を増やすとオン抵抗は増加するが、実施例のオン抵抗はｐ型ベース領域幅１０２＝３μｍの場合であっても比較例のオン抵抗から２％程度しか増加しないことを確認することができた。図１１において、ｐ型ベース領域幅１０２＝１μｍのプロットが比較例であり、ｐ型ベース領域幅１０２＝１μｍ以外のプロットが実施例である。

[0059] 以上の検証結果より、ｐ型ベース領域幅１０２をトレンチ幅１０３より広

くすることで、オン抵抗の増加を抑えつつゲート絶縁膜９への電界強度を抑えることができる。

[0060] なお、本実施の形態１においては、第２ｎ型領域５ｂの形成をイオン注入で行う形態を示したが、第２ｎ型領域５ｂとして第２ｎ型炭化珪素エピタキシャル層２ｂを形成してもよい。すなわち、第２ｎ型炭化珪素エピタキシャル層２ｂのエピタキシャル成長時に窒素の不純物濃度が第２ｎ型領域５ｂの不純物濃度となるように設定し、イオン注入を省略する製造方法としても良い。また、n^+型炭化珪素基板１およびｎ型炭化珪素エピタキシャル層２を合わせて炭化珪素半導体基体とし、ｎ型炭化珪素エピタキシャル層２の基体第１主面側の表面層にｐ型ベース層６をイオン注入により形成してもよい。また、n^+型炭化珪素基板１単体を炭化珪素半導体基体とし、n^+型炭化珪素基板１の第１主面側の表面層にＭＯＳゲート構造を構成するすべての領域（ｎ型高濃度領域５および第１，２ｐ型ベース領域３，４を含む）をイオン注入により形成してもよい。

[0061] 以上、説明したように、実施の形態１によれば、ｐ型ベース層に接する第１p^+型ベース領域を設けることで、隣り合うトレンチ間に、トレンチの底部よりもドレイン側に近い位置に、第１p^+型ベース領域とｎ型ドリフト層とのｐｎ接合を形成することができる。また、ｎ型ドリフト層の内部に、トレンチ底部を囲むように、またはトレンチ底部よりも深くかつトレンチと深さ方向に対向するように、第２p^+型ベース領域を設けることで、トレンチの底部に近い位置に、第２p^+型ベース領域とｎ型ドリフト層とのｐｎ接合を形成することができる。このように、第１，２ｐ型ベース領域とｎ型ドリフト層とのｐｎ接合を形成することで、トレンチ底部のゲート絶縁膜に高電界が印加されることを防止することができる。このため、ワイドバンドギャップ半導体を半導体材料として用いた場合においても高耐電圧化が可能となる。また、トレンチ幅よりも幅の広い第２p^+型ベース領域を設けることで、トレンチの底部のコーナー部の電界を緩和させることができるため、さらに耐電圧を高くすることができる。

[0062] また、実施の形態１によれば、第１ｐ+型ベース領域の一部がトレンチ側に延在し、第２ｐ+型ベース領域に接続されていることで、第２ｐ+型ベース領域とｎ型炭化珪素エピタキシャル層の接合部分でアバランシェ降伏が起こったときに発生するホールを効率よくソース電極に退避させることができる。このため、耐電圧が高い状態で、オン抵抗を下げることができる。また、実施の形態１によれば、第２ｐ+型ベース領域の幅がトレンチの幅よりも広いことで、トレンチと第２ｐ+型ベース領域との横方向位置に合わせズレが生じたとしても、トレンチ底部の少なくとも一方のコーナー部を囲むように第２ｐ+型ベース領域が配置される。これにより、従来よりもゲート絶縁膜への最大電界強度が高く、かつオン抵抗を従来と同程度に維持した半導体装置を提供することができる。このため、エピタキシャル成長およびイオン注入、またはイオン注入のみの従来よりも簡易な製造方法で、耐電圧が高くかつオン抵抗の低い半導体装置を製造することができる。

[0063] （実施の形態２）

図１２は、本発明の実施の形態２にかかる炭化珪素半導体装置の構成を示す断面図である。図１２に示すように、実施の形態２にかかる炭化珪素半導体装置は、ｎ型炭化珪素エピタキシャル層２の内部に、第１ｐ+型ベース領域３の下端部（ドレイン側端部）に接するように第３ｐ型領域３ｃを設けた構造である。第３ｐ型領域３ｃは、ｐ型ベース層６および第１ｐ+型ベース領域３とともにベース領域として機能する。

[0064] 第３ｐ型領域３ｃの厚さは、例えば０．１μｍ～０．５μｍ程度であってもよい、第３ｐ型領域３ｃの幅は、第１ｐ+型ベース領域３の幅より狭く、例えば第１ｐ+型ベース領域３よりも０．１μｍ以上狭くてもよい。また、第３ｐ型領域３ｃは、第１ｐ+型ベース領域３の側壁方向とｎ+炭化珪素基板１の表面に平行な方向に沿って連続して同じ厚さで設けられていてもよく、ｎ+炭化珪素基板１側から俯瞰してみると周期的な点状の形状で設けられていてもよい。

[0065] 実施の形態２にかかる炭化珪素半導体装置のその他の構成については、実

施の形態１にかかる炭化珪素半導体装置の構成と同様であるため、重複する説明を省略する。

[0066]（実施の形態２にかかる炭化珪素半導体装置の製造方法）

図１３は、実施の形態２にかかる炭化珪素半導体装置の製造途中の状態を模式的に示す断面図である。図１３に示すように、第１ｐ型領域３ａ、第２p^+型ベース領域４、第１ｎ型領域５ａを形成した後、イオン注入時に用いたマスクを除去する。その後、第１ｎ型炭化珪素エピタキシャル層２ａの表面上に、フォトリソグラフィ技術によって所望の開口部を有する図示しないマスクを、例えばレジストで形成する。そして、このレジストをマスクとしてイオン注入法によってｐ型の不純物、例えばアルミニウム原子をイオン注入する。それによって、図１３に示すように、第１ｐ型領域３ａの下部（ドレイン側端部）に、第１ｐ型領域３ａに接するように、例えば厚さ０．２５μｍ程度の第３ｐ型領域３ｃが、例えば幅１μｍ程度となるように、形成される。第３ｐ型領域３ｃを形成する際のイオンのエネルギーを、例えば７００ｋｅＶ、ドーズ量を、例えば1×10^{14}／cm^2程度となるように設定してもよい。

[0067] 実施の形態２にかかる炭化珪素半導体装置のその他の製造方法については、実施の形態１にかかる炭化珪素半導体装置の製造方法と同様であるため、重複する説明を省略する。

[0068]（実施例）

図１４は、実施の形態２にかかる炭化珪素半導体装置の実施例と比較例におけるアバランシェ降伏時の電流分布図である。図１４では、実施例として第３ｐ型領域３ｃを形成した構造（図１４（ｂ））と、比較例として第３ｐ型領域３ｃを形成しない構造（図１４（ａ））によるアバランシェ降伏が起こったときの電流値の面内分布（断面図）の変化を評価した。図１４（ａ）に示すように、比較例ではゲート電極１０直下の第２p^+型ベース領域４でアバランシェ降伏が起こり、ゲート電極１０直下で電流が多く流れることが分かる。一方、図１４（ｂ）に示すように、実施例ではアバランシェ降伏が第

３ｐ型領域３ｃで発生し、電流経路がｎ⁺ソース領域７から第３ｐ型領域３ｃを通過しドレイン側へ流れることが確認できる。同様の結果は、第３ｐ型領域３ｃの厚さが０．１μｍ以上、幅が第１ｐ⁺型ベース領域３よりも０．１μｍ以上狭ければ起こる。

[0069] 以上、説明したように、実施の形態２によれば、実施の形態１と同様に、ワイドバンドギャップ半導体を半導体材料として用いた場合においても高耐電圧化が可能となる効果を奏する。また、実施の形態２によれば、第１ｐ⁺型ベース領域の下端部の少なくとも一部（第３ｐ型領域）を第２ｐ⁺型ベース領域の下端部よりも深くすることで、アバランシェ降伏が起こったときに、ソース領域から第３ｐ型領域を通過しドレイン側へ電流が流れる。このため、トレンチの底部のゲート絶縁膜の電界強度をさらに緩和させることができる。

[0070] 以上において本発明では、炭化珪素でできた炭化珪素基板の第１主面を（０００１）面とし当該（０００１）面上にＭＯＳゲート構造を構成した場合を例に説明したが、これに限らず、ワイドバンドギャップ半導体の種類（例えば窒化ガリウム（ＧａＮ）など）、基板主面の面方位などを種々変更可能である。また、本発明では、各実施の形態では第１導電型をｎ型とし、第２導電型をｐ型としたが、本発明は第１導電型をｐ型とし、第２導電型をｎ型としても同様に成り立つ。

産業上の利用可能性

[0071] 以上のように、本発明にかかる半導体装置は、電力変換装置や種々の産業用機械などの電源装置などに使用される高耐圧半導体装置に有用である。

符号の説明

[0072] １ ｎ⁺型炭化珪素基板

２ ｎ型炭化珪素エピタキシャル層

２ａ 第１ｎ型炭化珪素エピタキシャル層

２ｂ 第２ｎ型炭化珪素エピタキシャル層

３ 第１ｐ⁺型ベース領域

３ａ　第１ｐ型領域

３ｂ　第２ｐ型領域

３ｃ　第３ｐ型領域

４　第２p^+型ベース領域

５　ｎ型高濃度領域

５ａ　第１ｎ型領域

５ｂ　第２ｎ型領域

６　ｐ型ベース層

７　n^+ソース領域

８　p^{++}コンタクト領域

９　ゲート絶縁膜

１０　ゲート電極

１１　層間絶縁膜

１２　ソース電極

１３　ソース裏面電極

１４　ソース電極パッド

１５　ドレイン電極パッド

１６　トレンチ

請求の範囲

[請求項1] シリコンよりもバンドギャップが広い半導体からなる第１導電型のワイドバンドギャップ半導体基板と、

前記ワイドバンドギャップ半導体基板のおもて面に形成された、シリコンよりもバンドギャップが広い半導体からなる、前記ワイドバンドギャップ半導体基板より低不純物濃度の第１導電型ワイドバンドギャップ半導体層と、

前記第１導電型ワイドバンドギャップ半導体層の前記ワイドバンドギャップ半導体基板側に対して反対側の表面層に選択的に形成された第２導電型の第１ベース領域と、

前記第１導電型ワイドバンドギャップ半導体層の内部に選択的に形成された第２導電型の第２ベース領域と、

前記第１導電型ワイドバンドギャップ半導体層の前記ワイドバンドギャップ半導体基板側に対して反対側の表面層に選択的に形成された、前記第１導電型ワイドバンドギャップ半導体層より高不純物濃度の第１導電型の領域と、

前記第１導電型ワイドバンドギャップ半導体層の前記ワイドバンドギャップ半導体基板に対して反対側の表面に形成された、シリコンよりもバンドギャップが広い半導体からなる第２導電型ワイドバンドギャップ半導体層と、

前記第２導電型ワイドバンドギャップ半導体層の内部に選択的に形成された第１導電型のソース領域と、

前記第２導電型ワイドバンドギャップ半導体層および前記ソース領域を貫通して前記第１導電型の領域に達するトレンチと、

前記トレンチ内部にゲート絶縁膜を介して形成されたゲート電極と、

前記第２導電型ワイドバンドギャップ半導体層および前記ソース領域に接触するソース電極と、

前記ワイドバンドギャップ半導体基板の裏面に設けられたドレイン電極と、

を備え、

前記第２ベース領域は、前記トレンチと深さ方向に対向する位置に配置され、

前記第１ベース領域の一部は、前記トレンチ側に延在し、前記第２ベース領域に接続されていることを特徴とする半導体装置。

[請求項2] 前記第２ベース領域の幅は、前記トレンチの幅よりも広いことを特徴とする請求項１に記載の半導体装置。

[請求項3] 前記トレンチは、前記第１導電型の領域を貫通して前記第２ベース領域に達することを特徴とする請求項１に記載の半導体装置。

[請求項4] 前記第１ベース領域の一部と前記第２ベース領域との接続部分と、前記第２導電型ワイドバンドギャップ半導体層との間に、前記第１導電型の領域が延在していることを特徴とする請求項１に記載の半導体装置。

[請求項5] 前記第１導電型の領域を挟んで、前記第１ベース領域の一部と前記第２ベース領域との接続部分を、前記第１ベース領域と前記第２ベース領域とが並ぶ方向と直交する方向に周期的に配置した平面レイアウトを有することを特徴とする請求項１に記載の半導体装置。

[請求項6] 前記第１ベース領域の前記ドレイン電極側の端部の少なくとも一部は、前記第２ベース領域の前記ドレイン電極側の端部のよりも前記ドレイン電極側に位置することを特徴とする請求項１に記載の半導体装置。

[請求項7] 前記第１ベース領域の前記ドレイン電極側の端部の、前記第２ベース領域の前記ドレイン電極側の端部よりも深い部分を、前記第１ベース領域と前記第２ベース領域とが並ぶ方向と直交する方向に周期的に配置した平面レイアウトを有することを特徴とする請求項１に記載の半導体装置。

[請求項8] シリコンよりもバンドギャップが広い半導体は、炭化珪素であることを特徴とする請求項１～７のいずれか一つに記載の半導体装置。

[請求項9] シリコンよりもバンドギャップが広い半導体からなる第１導電型のワイドバンドギャップ半導体基板のおもて面に、前記ワイドバンドギャップ半導体基板より低不純物濃度の第１の第１導電型ワイドバンドギャップ半導体層を形成する第１工程と、

前記第１の第１導電型ワイドバンドギャップ半導体層の表面層に、第２導電型の第１半導体領域および第２導電型の第２半導体領域を選択的に形成する第２工程と、

前記第１の第１導電型ワイドバンドギャップ半導体層の表面に、シリコンよりもバンドギャップが広い半導体からなる、前記ワイドバンドギャップ半導体基板より低不純物濃度の第２の第１導電型ワイドバンドギャップ半導体層を形成する第３工程と、

前記第２の第１導電型ワイドバンドギャップ半導体層の表面層に、前記第１半導体領域に接する第２導電型の第３半導体領域を選択的に形成する第４工程と、

前記第２の第１導電型ワイドバンドギャップ半導体層の表面に、シリコンよりもバンドギャップが広い半導体からなる第２導電型ワイドバンドギャップ半導体層を形成する第５工程と、

前記第２導電型ワイドバンドギャップ半導体層の内部に第１導電型のソース領域を選択的に形成する第６工程と、

前記ソース領域および前記第２導電型ワイドバンドギャップ半導体層を貫通して前記第１導電型の第１領域に達するトレンチを、前記第２半導体領域と深さ方向に対向する位置に形成する第７工程と、

前記トレンチの内部にゲート絶縁膜を介してゲート電極を形成する第８工程と、

前記第２導電型ワイドバンドギャップ半導体層および前記ソース領域に接するソース電極を形成する第９工程と、

前記ワイドバンドギャップ半導体基板の裏面にドレイン電極を形成する第１０工程と、

を含み、

前記第２工程では、前記第１半導体領域と前記第２半導体領域との間に前記第１の第１導電型ワイドバンドギャップ半導体層が残るように、前記第１半導体領域の一部と前記第２半導体領域とを接続させることを特徴とする半導体装置の製造方法。

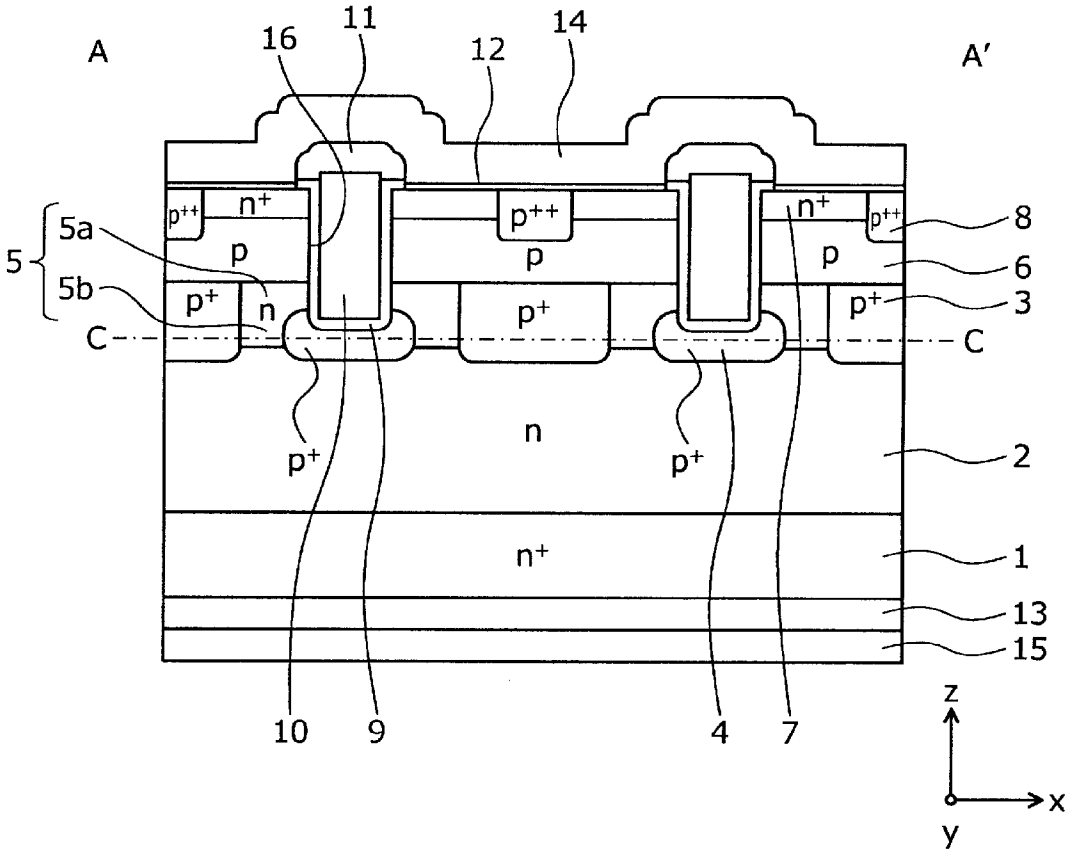
[請求項10] 前記第４工程では、前記第１ベース領域の、前記第２ベース領域との接続部分以外の部分に接する前記第３半導体領域を形成することを特徴とする請求項９に記載の半導体装置の製造方法。

[請求項11] 前記第１工程の後、前記第３工程の前に、前記第１の第１導電型ワイドバンドギャップ半導体層の表面層の、前記第１半導体領域および前記第２半導体領域との間に第１導電型の第１領域を形成する工程をさらに含むことを特徴とする請求項９に記載の半導体装置の製造方法。

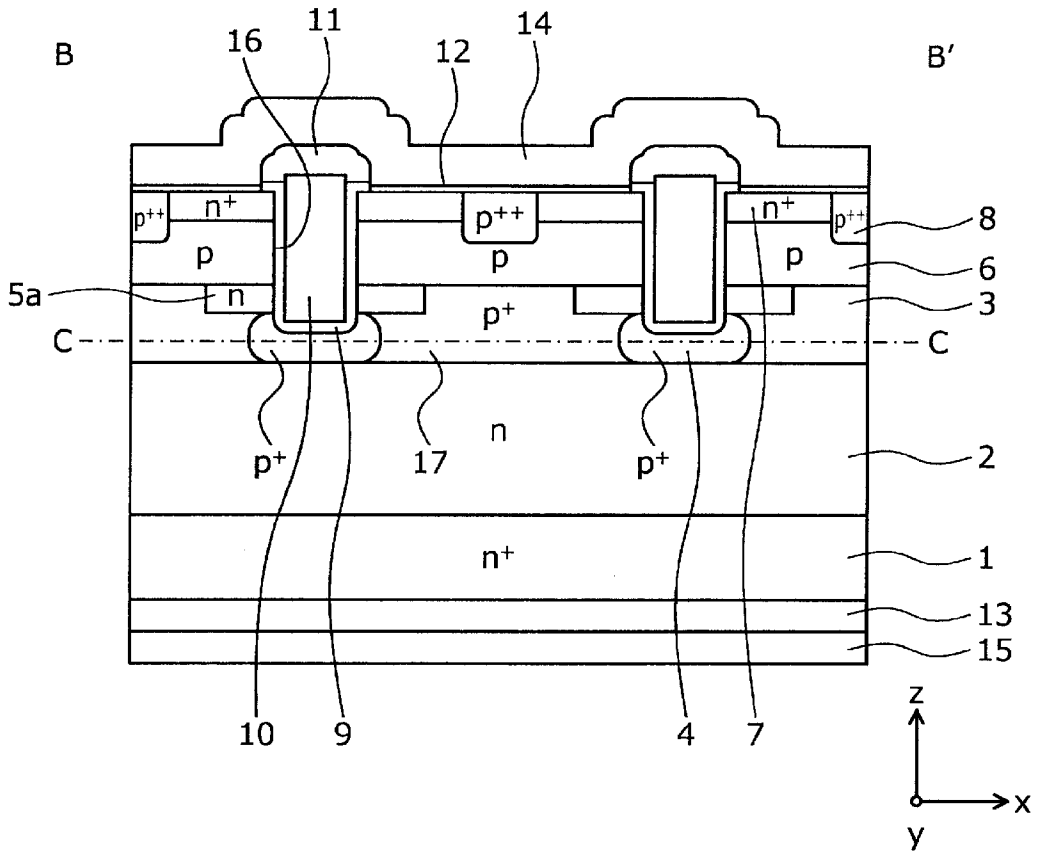
[請求項12] 前記第３工程の後、前記第５工程の前に、前記第２の第１導電型ワイドバンドギャップ半導体層の表面層に、前記第１領域に接する第１導電型の第２領域を選択的に形成する工程をさらに含むことを特徴とする請求項１１に記載の半導体装置の製造方法。

[請求項13] 前記第１工程の後、前記第３工程の前に、前記第１半導体領域よりも深い位置に、前記第１半導体領域に接する第２導電型の第４半導体領域を形成する工程をさらに含むことを特徴とする請求項９～１２のいずれか一つに記載の半導体装置の製造方法。

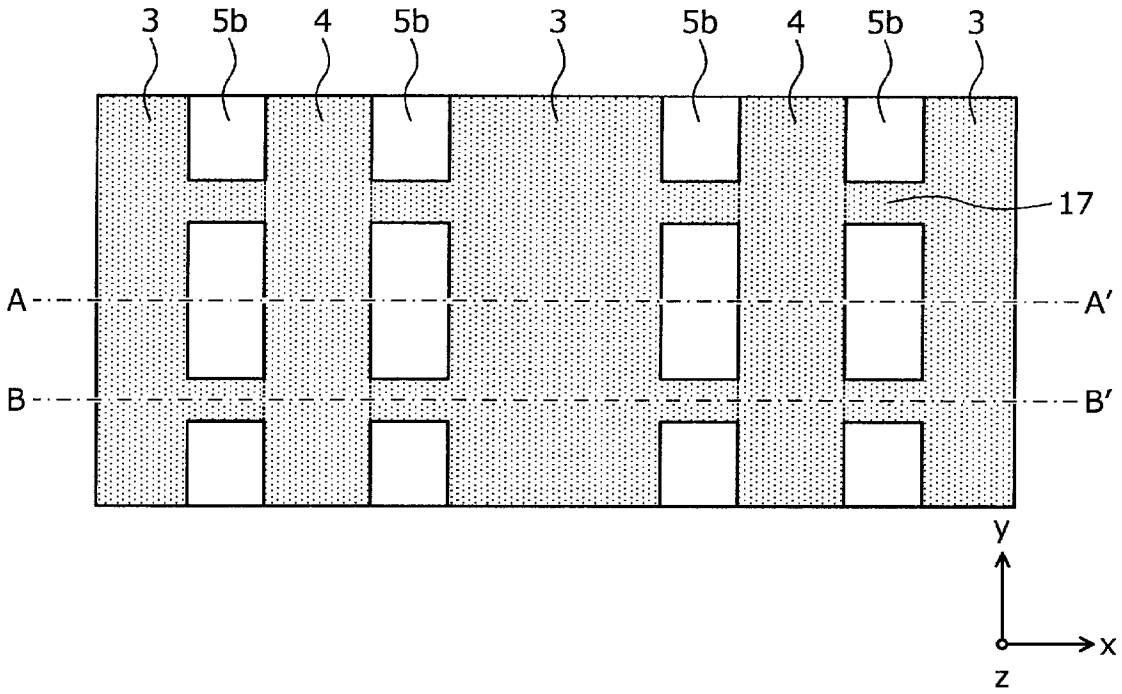
[図1A]



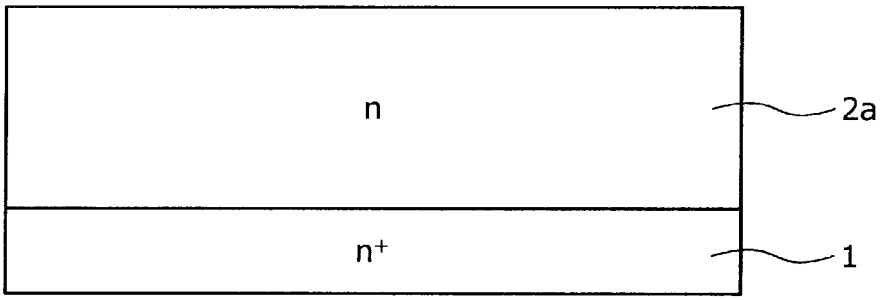
[図1B]



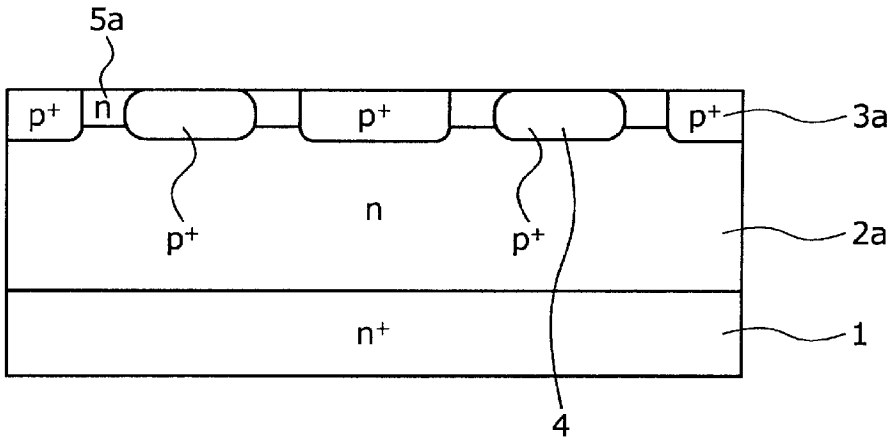
[図2]



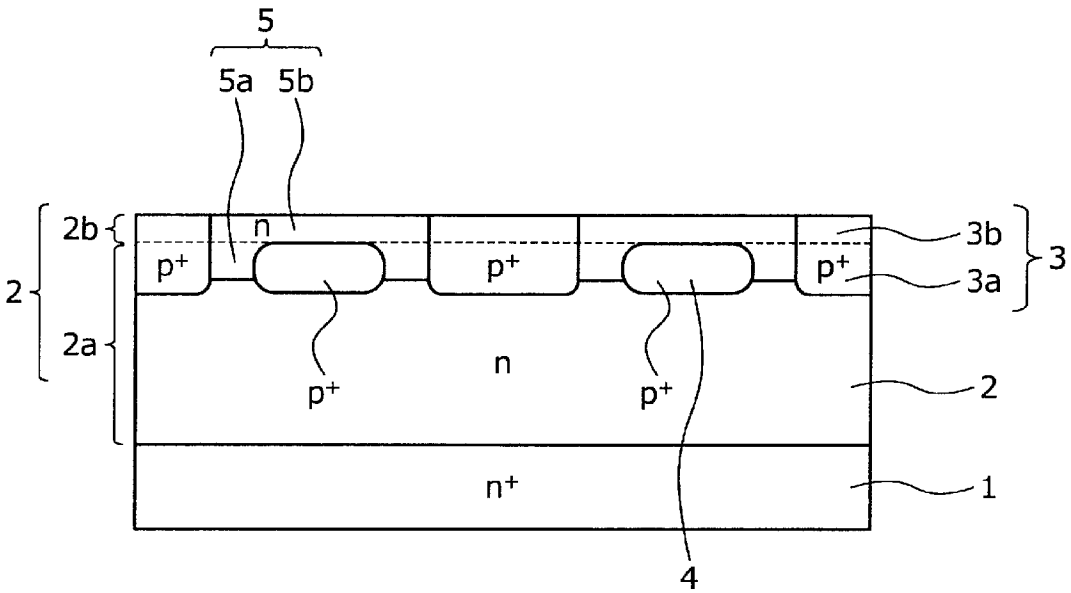
[図3]



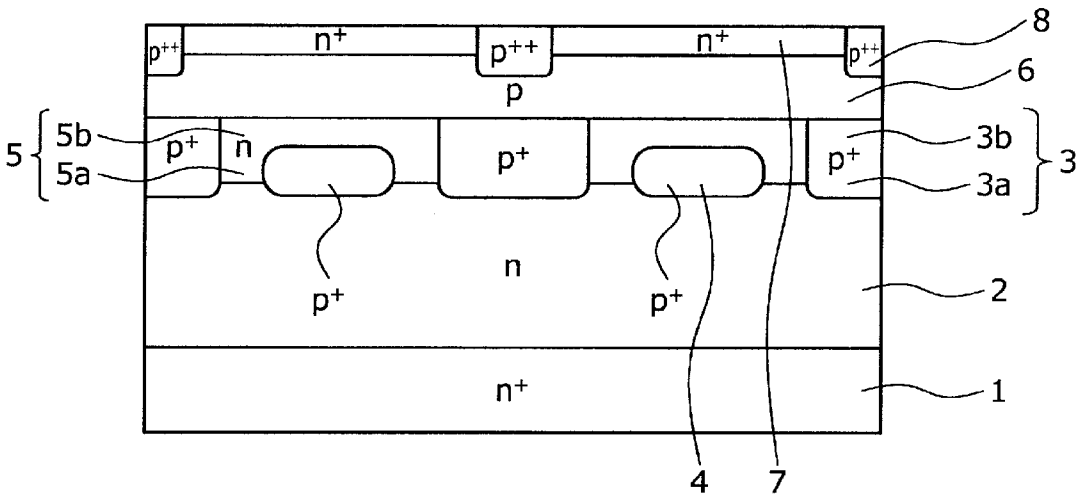
[図4]



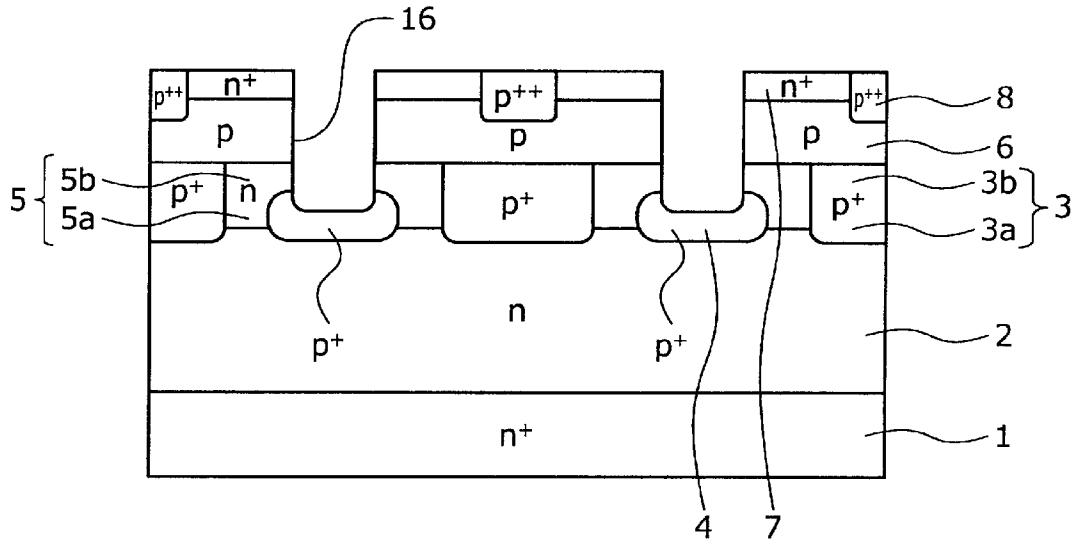
[図5]



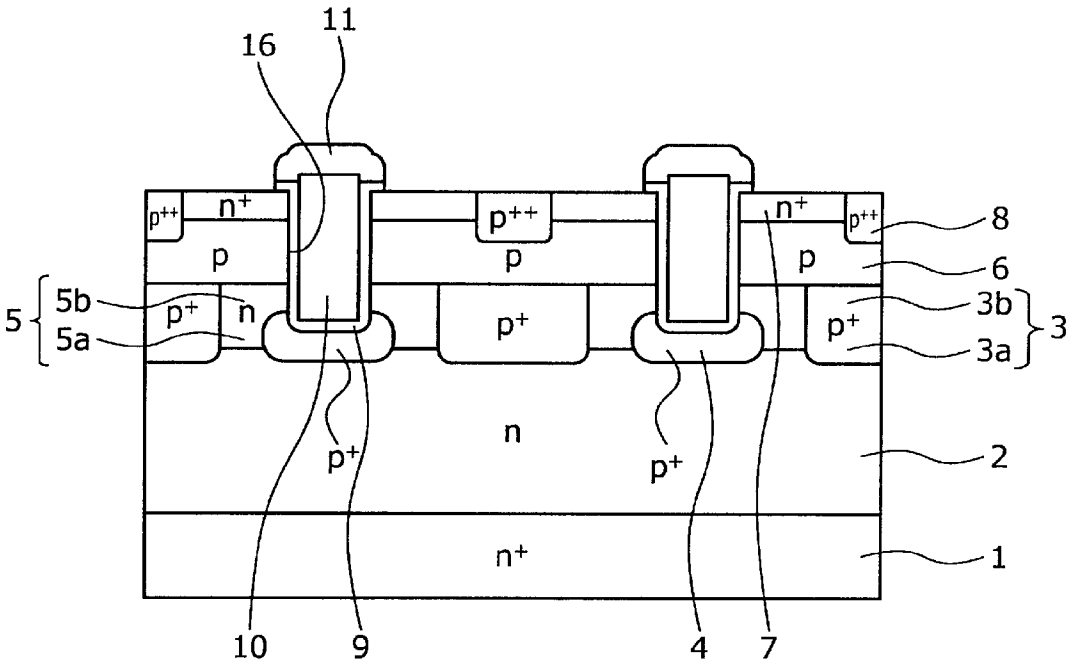
[図6]


p++
n+
p++
n+
p++
8
6
p
5
5b
5a
p+
n
p+
p+
3b
3a
3
n
2
n+
1
4
7

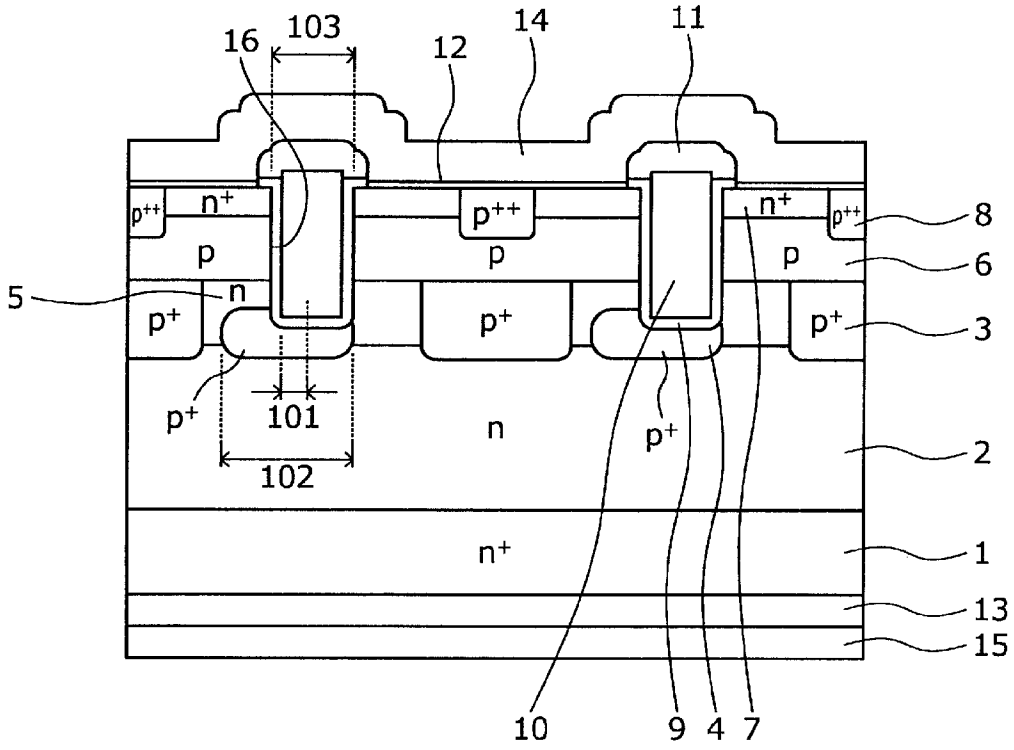
[図7]


16
p++
n+
p++
n+
p++
8
p
p
p
6
5
5b
5a
p+
n
p+
p+
3b
3a
3
n
2
n+
1
4
7

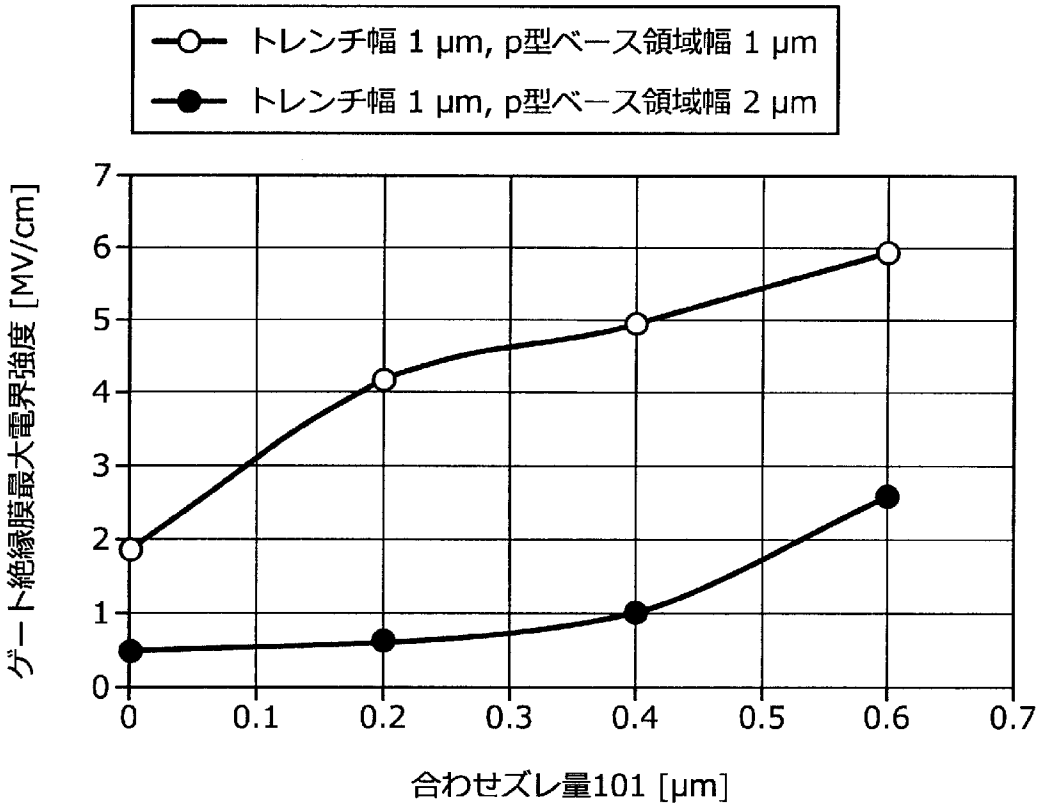
[図8]


16
11
p++
n+
p++
n+
p++
8
p
p
p
6
5
5b
5a
p+
n
p+
p+
3b
3a
3
n
p+
p+
2
n+
1
10
9
4
7

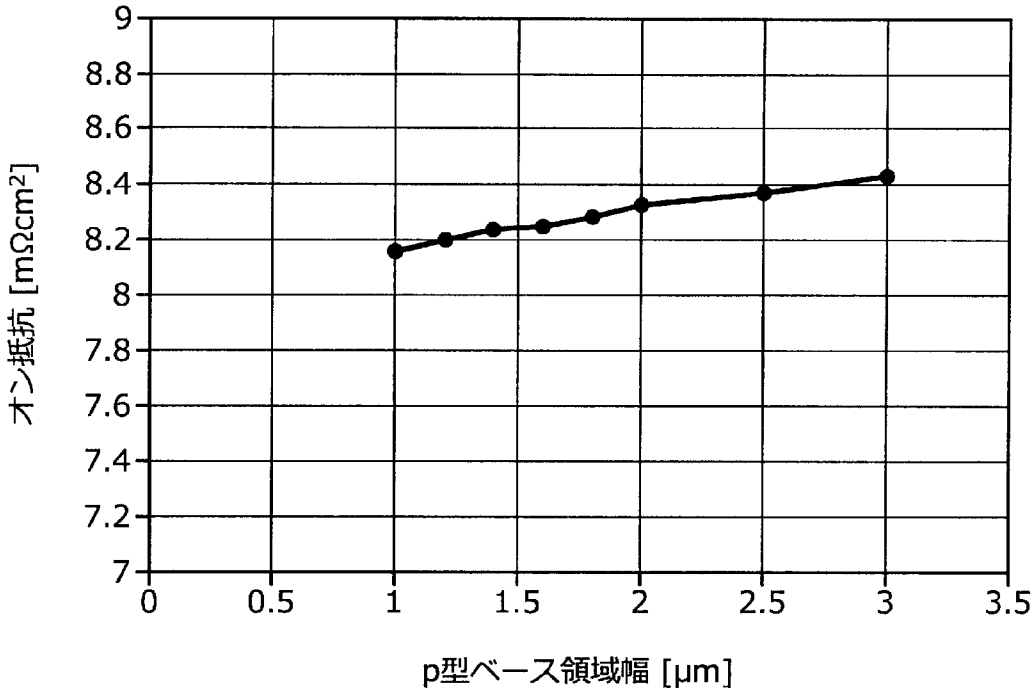
[図9]


16
103
12
14
11
p++
n+
p++
n+
p++
8
p
p
p
6
5
n
p+
p+
p+
3
p+
101
n
p+
2
102
n+
1
13
15
10
9
4
7

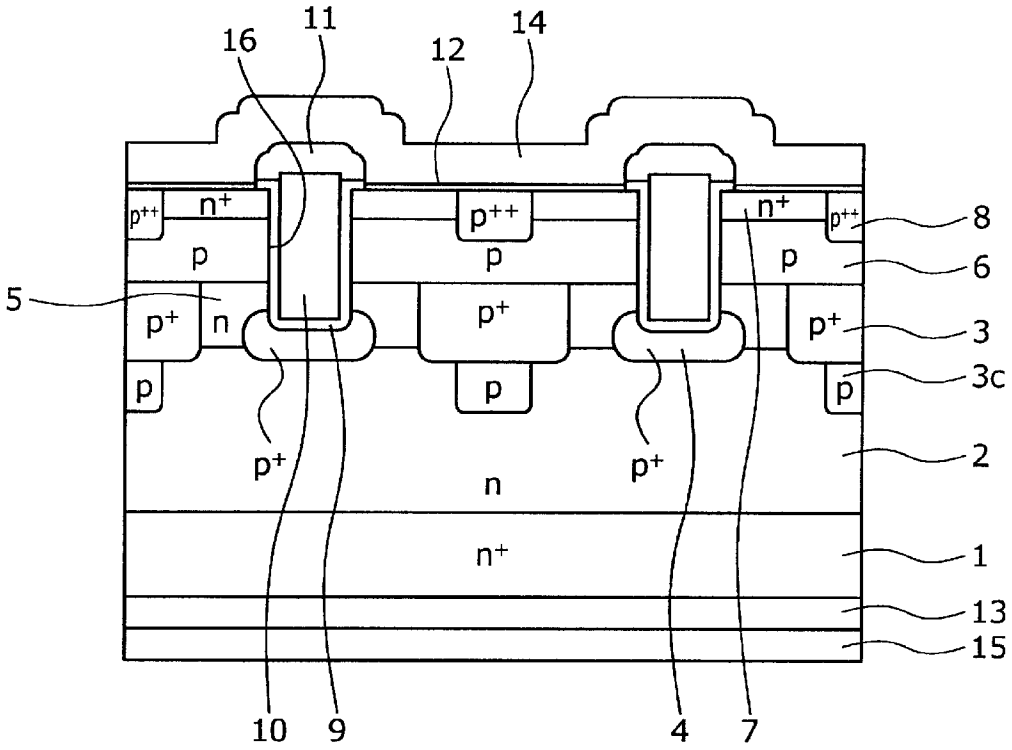
[図10]


トレンチ幅 1 μm, p型ベース領域幅 1 μm
トレンチ幅 1 μm, p型ベース領域幅 2 μm
ゲート絶縁膜最大電界強度 [MV/cm]
0
1
2
3
4
5
6
7
0
0.1
0.2
0.3
0.4
0.5
0.6
0.7
合わせズレ量101 [μm]

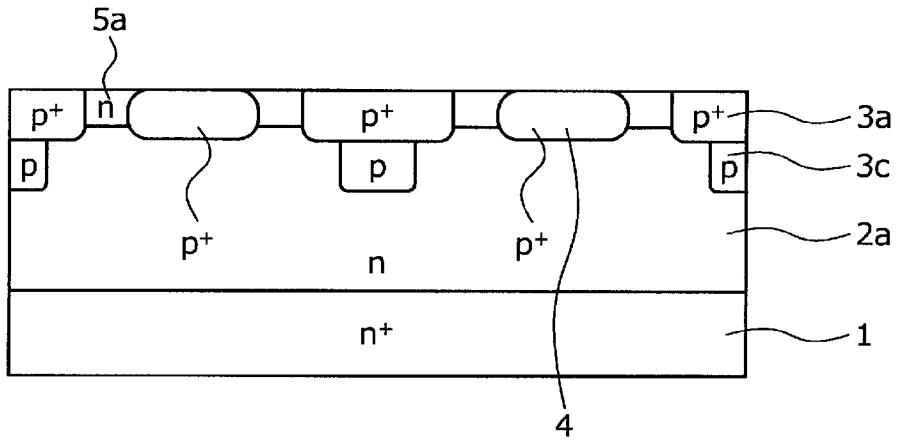
[図11]


9
8.8
8.6
8.4
8.2
8
7.8
7.6
7.4
7.2
7
0
0.5
1
1.5
2
2.5
3
3.5
オン抵抗 [mΩcm²]
p型ベース領域幅 [μm]

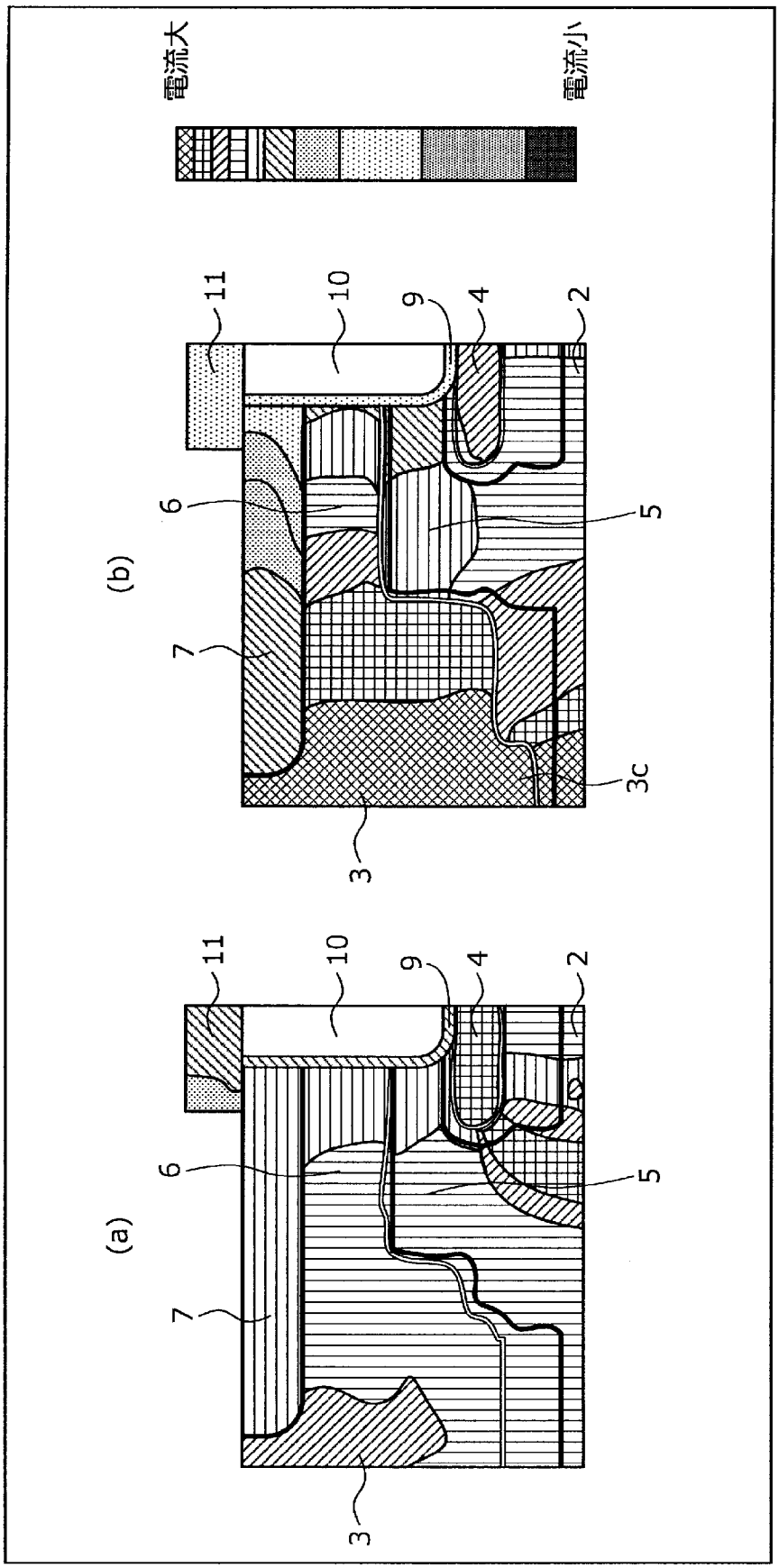
[図12]


16
11
12
14
p++
n+
p++
p++
n+
p++
8
p
p
p
6
5
p+
n
p+
p+
3
p
p
p
3c
p+
p+
2
n
n+
1
13
15
10
9
4
7

[図13]


5a
p+
n
p+
p+
3a
p
p
p
3c
p+
p+
2a
n
n+
1
4

[図14]



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2016/076419

A. CLASSIFICATION OF SUBJECT MATTER
H01L29/78(2006.01)i, *H01L29/06*(2006.01)i, *H01L29/12*(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L29/78, H01L29/06, H01L29/12

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2016
Kokai Jitsuyo Shinan Koho	1971-2016	Toroku Jitsuyo Shinan Koho	1994-2016

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP 2012-169385 A (Denso Corp.), 06 September 2012 (06.09.2012), paragraphs [0060] to [0067]; fig. 4, 10 to 11 & WO 2012/108165 A1 paragraphs [0052] to [0059]; fig. 4, 10 to 11	1-5,8-12 6-7,13
A	JP 2012-169384 A (Denso Corp.), 06 September 2012 (06.09.2012), fig. 1 & US 2014/0175459 A1 fig. 1 & WO 2012/108166 A1 & CN 103348478 A & DE 112012000748 T5	1-13

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
21 October 2016 (21.10.16)	01 November 2016 (01.11.16)

Name and mailing address of the ISA/	Authorized officer
Japan Patent Office 3-4-3,Kasumigaseki,Chiyoda-ku, Tokyo 100-8915,Japan	Telephone No.

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１６／０７６４１９

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H01L29/78(2006.01)i, H01L29/06(2006.01)i, H01L29/12(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H01L29/78, H01L29/06, H01L29/12

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０１６年
日本国実用新案登録公報	１９９６－２０１６年
日本国登録実用新案公報	１９９４－２０１６年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
X A	JP 2012-169385 A (株式会社デンソー) 2012.09.06, 段落 0060-0067, 図 4, 10-11 & WO 2012/108165 A1, 段落 0052-0059, 図 4, 10-11	1-5, 8-12 6-7, 13
A	JP 2012-169384 A (株式会社デンソー) 2012.09.06, 図 1 & US 2014/0175459 A1, 図 1 & WO 2012/108166 A1 & CN 103348478 A & DE 112012000748 T5	1-13

☐　Ｃ欄の続きにも文献が列挙されている。

☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー

「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの

「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「Ｏ」口頭による開示、使用、展示等に言及する文献

「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献

「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「＆」同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
２１．１０．２０１６	０１．１１．２０１６

国際調査機関の名称及びあて先
日本国特許庁（ＩＳＡ／ＪＰ）
郵便番号１００－８９１５
東京都千代田区霞が関三丁目４番３号

特許庁審査官（権限のある職員）　５Ｆ　２９３４
綿引　隆
電話番号　０３－３５８１－１１０１　内線　３５１６