



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I567942 B

(45)公告日：中華民國 106 (2017) 年 01 月 21 日

(21)申請案號：100116348

(22)申請日：中華民國 100 (2011) 年 05 月 10 日

(51)Int. Cl. : **H01L27/105 (2006.01)****H01L23/52 (2006.01)****H01L29/78 (2006.01)**

(30)優先權：2010/05/14 日本

2010-112260

(71)申請人：半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY
LABORATORY CO., LTD. (JP)

日本

(72)發明人：山崎舜平 YAMAZAKI, SHUNPEI (JP)；加藤清 KATO, KIYOSHI (JP)；鹽野入豐
SHIONOIRI, YUTAKA (JP)；關根祐輔 SEKINE, YUSUKE (JP)；古谷一馬
FURUTANI, KAZUMA (JP)；鄉戶宏充 GODO, HIROMICHI (JP)

(74)代理人：林志剛

(56)參考文獻：

US 2008/0169469A1

US 2010/0001259A1

US 2010/0032665A1

WO 2007/029844A1

審查人員：周楷智

申請專利範圍項數：11 項 圖式數：20 共 103 頁

(54)名稱

半導體裝置

SEMICONDUCTOR DEVICE

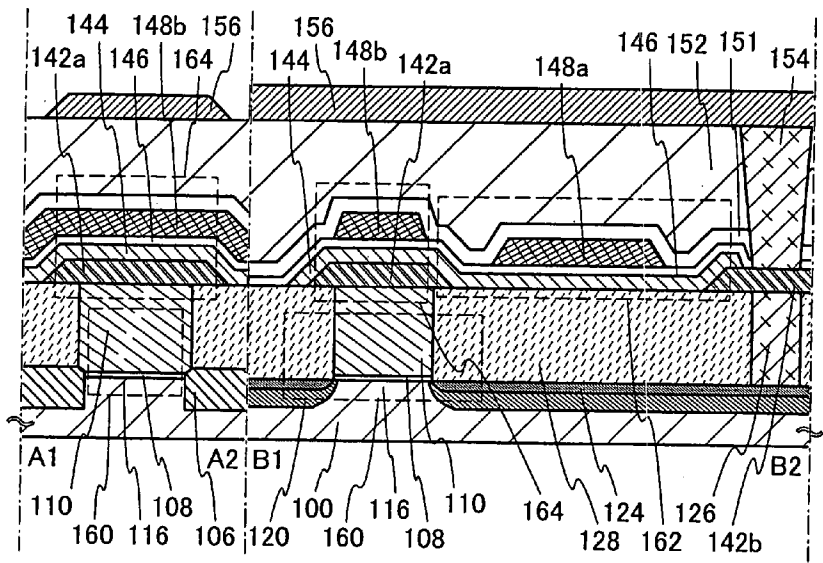
(57)摘要

本發明提供一種半導體裝置，其中包括第一電晶體、設置在第一電晶體上的第二電晶體及電容元件。第二電晶體的半導體層包括偏置區。藉由採用第二電晶體包括偏置區的結構，可以降低第二電晶體的截止電流。這樣可以提供能夠長期保持儲存資料的半導體裝置。

A semiconductor device including a first transistor and a second transistor and a capacitor which are over the first transistor is provided. A semiconductor layer of the second transistor includes an offset region. In the second transistor provided with an offset region, the off-state current of the second transistor can be reduced. Thus, a semiconductor device which can hold data for a long time can be provided.

指定代表圖：

圖1A



符號簡單說明：

- 100 . . . 基板
- 106 . . . 元件分離絕緣層
- 108 . . . 閘極絕緣層
- 110 . . . 閘極電極
- 116 . . . 通道形成區
- 120 . . . 雜質區
- 124 . . . 金屬化合物區
- 126 . . . 電極
- 128 . . . 絕緣層
- 142a . . . 電極
- 142b . . . 電極
- 144 . . . 氧化物半導體層
- 146 . . . 閘極絕緣層
- 148a . . . 閘極電極
- 148b . . . 電極
- 151 . . . 絕緣層
- 152 . . . 絕緣層
- 154 . . . 電極
- 156 . . . 佈線
- 160 . . . 電晶體
- 162 . . . 電晶體
- 164 . . . 電容元件

發明專利說明書

(本申請書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：100116348

※申請日：100 年 05 月 10 日

※IPC 分類：

一、發明名稱：(中文/英文)

半導體裝置

Semiconductor device

H01L 27/1105 E2006.01

H01L 23/02 E2006.01

H01L 29/178 E2006.01

二、中文發明摘要：

本發明提供一種半導體裝置，其中包括第一電晶體、設置在第一電晶體上的第二電晶體及電容元件。第二電晶體的半導體層包括偏置區。藉由採用第二電晶體包括偏置區的結構，可以降低第二電晶體的截止電流。這樣可以提供能夠長期保持儲存資料的半導體裝置。

三、英文發明摘要：

A semiconductor device including a first transistor and a second transistor and a capacitor which are over the first transistor is provided. A semiconductor layer of the second transistor includes an offset region. In the second transistor provided with an offset region, the off-state current of the second transistor can be reduced. Thus, a semiconductor device which can hold data for a long time can be provided.

四、指定代表圖：

(一) 本案指定代表圖為：第 (1A) 圖。

(二) 本代表圖之元件符號簡單說明：

100：基板，106：元件分離絕緣層，
 108：閘極絕緣層，110：閘極電極，
 116：通道形成區，120：雜質區，
 124：金屬化合物區，126：電極，
 128：絕緣層，142a：電極，142b：電極，
 144：氧化物半導體層，146：閘極絕緣層，
 148a：閘極電極，148b：電極，
 151：絕緣層，152：絕緣層，154：電極，
 156：佈線，160：電晶體，162：電晶體，
 164：電容元件。

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無

六、發明說明：

【發明所屬之技術領域】

所公開的發明係關於一種利用半導體元件的半導體裝置及其製造方法。

【先前技術】

利用半導體元件的儲存裝置可以大致分為當沒有電力供應時儲存內容消失的易失性儲存裝置以及即使沒有電力供應也保持儲存內容的非易失性儲存裝置。

作為易失性儲存裝置的典型例子，有 DRAM (Dynamic Random Access Memory：動態隨機存取記憶體)。DRAM 藉由選擇構成記憶元件的電晶體並將電荷累積在電容器中來儲存資料。

根據上述原理，因為當從 DRAM 讀出資料時電容器的電荷消失，所以每次讀出資料時都需要再次進行寫入工作。此外，因為在構成記憶元件的電晶體中由於截止狀態下的源極與汲極電極之間的洩漏電流（截止電流）等，而即使未選擇電晶體也流出或流入電荷，所以資料的保持期間較短。由此，需要按規定的週期再次進行寫入工作（刷新工作），而難以充分降低耗電量。此外，因為若沒有電力供應儲存資料就消失，所以需要利用磁性材料或光學材料的另一儲存裝置以長期保持儲存資料。

作為易失性儲存裝置的另一例子，有 SRAM (Static Random Access Memory：靜態隨機存取記憶體)。SRAM

使用正反器等電路保持儲存資料，而不需要進行刷新工作，在這一點上 SRAM 優越於 DRAM。但是，因為使用正反器等電路，所以存在儲存容量的單價變高的問題。此外，在若沒有電力供應儲存資料就消失這一點上，SRAM 和 DRAM 相同。

作為非易失性儲存裝置的典型例子，有快閃記憶體。快閃記憶體在電晶體的閘極電極和通道形成區之間具有浮動閘極，並且使該浮動閘極保持電荷來儲存資料，因此，快閃儲存器具有其資料保持期間極長（半永久）並且不需要進行易失性儲存裝置所需要的刷新工作的優點（例如，參照專利文獻 1）。

但是，在快閃記憶體中，由於當進行寫入時產生的隧道電流導致構成記憶元件的閘極絕緣層的退化，因此發生因規定次數進行寫入而不能發揮記憶元件的功能的問題。為了減少上述問題的影響，例如採用使對各記憶元件進行的寫入的次數均勻的方法，但是，為了採用該方法，需要複雜的週邊電路。並且，即使採用上述方法，也不能解決關於使用壽命的根本問題。也就是說，快閃記憶體不合適於資料的重寫頻率高的用途。

此外，為了將電荷注入到浮動閘極或者從浮動閘極去除電荷，需要高電壓，並且還需要用於該目的的電路。再者，還有為了注入電荷或去除電荷需要較長時間而難以實現寫入或擦除的高速化的問題。

[專利文獻 1] 日本專利申請公開 昭 57-105889 號公

報

【發明內容】

鑒於上述問題，所公開的發明的一個實施例的目的之一在於提供一種半導體裝置，該半導體裝置具有當沒有電力供應時也能夠保持儲存內容並且對寫入次數也沒有限制的新的結構。

在所公開的發明中，使用高純度化的氧化物半導體構成半導體裝置。因為使用高純度化的氧化物半導體構成的電晶體的洩漏電流極小，所以該電晶體能夠長期保持資料。

本發明的一個實施例的半導體裝置包括多個記憶單元，該記憶單元包括第一電晶體、第二電晶體以及電容元件，其中第一電晶體包括第一通道形成區、設置在第一通道形成區上的第一閘極絕緣層、與第一通道形成區重疊地設置在第一閘極絕緣層上的第一閘極電極、以及與第一通道形成區電連接的第一源極電極及第一汲極電極，第二電晶體包括氧化物半導體層，該氧化物半導體層包括第二通道形成區及與第二通道形成區接觸的偏置區；與氧化物半導體層電連接的第二源極電極及第二汲極電極；與第二通道形成區重疊地設置的第二閘極電極；以及設置在氧化物半導體層與第二閘極電極之間的第二閘極絕緣層，並且第一閘極電極、第二源極電極和電容元件中的一方電極電連接。

此外，本發明的一個實施例的半導體裝置包括多個記憶單元，該記憶單元包括第一電晶體、第二電晶體以及電容元件，其中第一電晶體包括第一通道形成區、設置在第一通道形成區上的第一閘極絕緣層、與第一通道形成區重疊地設置在第一閘極絕緣層上的第一閘極電極、以及與第一通道形成區電連接的第一源極電極及第一汲極電極，第二電晶體包括第二源極電極及第二汲極電極、設置在第二源極電極及第二汲極電極上且包括第二通道形成區及與第二通道形成區接觸的偏置區的氧化物半導體層、設置在氧化物半導體層上的第二閘極絕緣層、以及與第二通道形成區重疊地設置在第二閘極絕緣層上的第二閘極電極，第一閘極電極、第二源極電極和電容元件中的一方電極電連接，並且第一電晶體的至少一部分和第二電晶體的至少一部分重疊。

此外，本發明的一個實施例的半導體裝置包括多個記憶單元，該記憶單元包括第一電晶體、第二電晶體以及電容元件，其中第一電晶體包括第一通道形成區、設置在第一通道形成區上的第一閘極絕緣層、與第一通道形成區重疊地設置在第一閘極絕緣層上的第一閘極電極、以及與第一通道形成區電連接的第一源極電極及第一汲極電極，第二電晶體包括氧化物半導體層，該氧化物半導體層包括第二通道形成區及與第二通道形成區接觸的偏置區；設置在氧化物半導體層上的第二源極電極及第二汲極電極；覆蓋第二源極電極、第二汲極電極及氧化物半導體層的第二閘

極絕緣層；以及與第二通道形成區重疊地設置在第二閘極絕緣層上的第二閘極電極，第一閘極電極、第二源極電極和電容元件中的一方電極電連接，並且第一電晶體的至少一部分和第二電晶體的至少一部分重疊。

此外，在上述半導體裝置中，第一通道形成區最好含有矽。

此外，在上述半導體裝置中，也可以採用多閘極結構的電晶體作為第二電晶體。

另外，在本說明書等中，偏置區是指半導體層中的在重疊於閘極電極的區域（通道形成區）與重疊於源極電極或汲極電極的區域之間的區域。也就是說，偏置區也可以說是半導體層中的與源極電極、汲極電極以及閘極電極都不重疊的區域。由於該偏置區用作電阻區，所以藉由在半導體層中設置偏置區，可以降低電晶體的截止電流。

此外，在本說明書等中，“上”或“下”不侷限於構成要素的位置關係為“直接在……之上”或“直接在……之下”。例如，“閘極絕緣層上的閘極電極”包括在閘極絕緣層和閘極電極之間包括其他構成要素的情況。

此外，在本說明書等中，“電極”或“佈線”不在功能上限定其構成要素。例如，“電極”用作“佈線”的一部分，反之亦然。再者，“電極”或“佈線”還包括多個“電極”或“佈線”被形成為一體的情況等。

此外，在使用極性不同的電晶體的情況或電流方向在電路工作中改變的情況等下，“源極電極”及“汲極電極

”的功能有時被互相調換。因此，在本說明書中，“源極電極”及“汲極電極”可以被互相調換。

另外，在本說明書等中，“電連接”包括隔著“具有某種電作用的元件”連接的情況。這裏，“具有某種電作用的元件”只要可以進行連接物件之間的電信號的授受，就沒有特別的限制。例如，“具有某種電作用的元件”不僅包括電極及佈線，而且還包括電晶體等切換元件、電阻元件、電感器、電容器、其他具有各種功能的元件等。

使用氧化物半導體的電晶體的截止電流小，並且藉由在氧化物半導體層中設置偏置區，可以進一步降低截止電流。因此，藉由採用該電晶體，能夠極為長期保持儲存內容。也就是說，因為不需要刷新工作或者可以使進行刷新工作的頻度極低，所以可以充分降低耗電量。此外，該電晶體當沒有電力供應時也能夠長期保持儲存資料。

此外，根據本發明的一個實施例的半導體裝置當寫入資料時不需要高電壓，而沒有元件退化的問題。例如，該半導體裝置不需要像現有的非易失性記憶體那樣對浮動閘極注入電子及從浮動閘極抽出電子，因此，根本不發生閘極絕緣層的退化等的問題。換言之，在根據本發明的一個實施例的半導體裝置中，對現有的非易失性記憶體的問題的能夠重寫的次數沒有限制，而顯著提高可靠性。再者，由於藉由使電晶體成為導通狀態或截止狀態來進行資料的寫入，所以可以容易實現高速工作。此外，還有不需要用於擦除資料的工作的優點。

此外，藉由將使用氧化物半導體以外的材料的能夠進行足夠高速的工作的電晶體與使用氧化物半導體的電晶體組合來使用，可以充分確保半導體裝置的工作（例如，資料的讀出工作）的高速性。此外，藉由採用使用氧化物半導體以外的材料的電晶體，可以正好實現被要求高速工作的各種電路（邏輯電路、驅動電路等）。

像這樣，藉由將使用氧化物半導體以外的材料的電晶體（能夠進行充分高速的工作的電晶體）與使用氧化物半導體的電晶體（更廣義地說，截止電流足夠小的電晶體）設置為一體，可以製造出具有新穎特徵的半導體裝置。

【實施方式】

下面，將參照附圖詳細說明本發明的實施例的一個例子。但是，本發明不侷限於在下文中所說明的內容，所屬技術領域的普通技術人員可以很容易地理解一個事實就是其方式和詳細內容在不脫離本發明的宗旨及其範圍下可以被變換為各種形式。因此，本發明不應該被解釋為僅限定在下面的實施例所記載的內容中。另外，在下面所說明的實施例及實施例中，在不同的附圖中對於相同部分或具有相同功能的部分使用相同的附圖標記表示，而省略反復說明。

另外，為了便於理解，附圖等所示出的各結構的位置、大小及範圍等有時沒有表示實際上的位置、大小及範圍等。因此，所公開的發明不一定侷限於附圖等所公開的位

置、大小及範圍等。

另外，本說明書等中使用的“第一”、“第二”、“第三”等序數詞不是爲了限定個數而附上的，而是爲了避免結構要素的混同而附上的。

實施例 1

在本實施例中，參照圖 1A 和 1B、圖 2A 至 2D、圖 3A 至 3D、圖 4A 至 4C、圖 5A 至 5C、圖 6A 和 6B 說明根據本發明的一個實施例的半導體裝置的結構及其製造方法。

<半導體裝置的截面結構及平面結構>

圖 1A 和 1B 爲半導體結構的一個例子。圖 1A 示出半導體裝置的截面，圖 1B 示出半導體裝置的平面。在此，圖 1A 相當於圖 1B 的 A1-A2 及 B1-B2 的截面。圖 1A 和 1B 所示的半導體裝置在其下部包括使用第一半導體材料的電晶體 160，並且在其上部包括使用第二半導體材料的電晶體 162。在此，第一半導體材料和第二半導體材料最好是不同的材料。例如，可以使用氧化物半導體以外的半導體材料作爲第一半導體材料，並且使用氧化物半導體作爲第二半導體材料。作爲氧化物半導體以外的半導體材料，例如可以使用矽、銻、矽銻、碳化矽、銦化磷或砷化鎵等，並且最好使用單晶半導體。使用這種半導體材料的電晶體容易進行高速工作。另一方面，使用氧化物半導體的

電晶體由於其特性而能夠長期保持電荷。

另外，雖然說明上述電晶體都是 n 通道型電晶體的情況，但是當然也可以使用 p 通道型電晶體。此外，由於所公開的發明的技術特徵在於將如氧化物半導體等可以充分降低截止電流的半導體材料用於電晶體 162 以保持資料，因此不需要將半導體裝置的具體結構如用於半導體裝置的材料或半導體裝置的結構等限定於在此所示的結構。

圖 1A 和 1B 所示的電晶體 160 包括設置在含有半導體材料（例如，矽等）的基板 100 中的通道形成區 116、夾著通道形成區 116 設置的雜質區 120、與雜質區 120 接觸的金屬化合物區 124、設置在通道形成區 116 上的閘極絕緣層 108、以及設置在閘極絕緣層 108 上的閘極電極 110。另外，雖然有時在附圖中沒有源極電極或汲極電極，但是為了方便起見，有時將這種結構也稱作電晶體。此外，在此情況下，為了說明電晶體的連接關係，有時將源極區和汲極區分別稱作源極電極和汲極電極。也就是說，在本說明書中，源極電極的記載中有可能包括源極區。

電晶體 160 的金屬化合物區 124 的一部分與電極 126 連接。在此，電極 126 用作電晶體 160 的源極電極或汲極電極。此外，在基板 100 上圍繞電晶體 160 地設置有元件分離絕緣層 106，並且在金屬化合物區 124 上設置有絕緣層 128。另外，為了實現高整合化，最好採用如圖 1A 和 1B 所示那樣在電晶體 160 中沒有側壁絕緣層的結構。另一方面，在重視電晶體 160 的特性時，也可以在閘極電極

110 的側面設置側壁絕緣層並設置雜質區 120，該雜質區 120 包括形成在與該側壁絕緣層重疊的區域中的其雜質濃度與雜質區 120 不同的區域。

圖 1A 和 1B 中的電晶體 162 包括設置在絕緣層 128 上的源極電極（或汲極電極）142a 及汲極電極（或源極電極）142b；與源極電極 142a 及汲極電極 142b 電連接的氧化物半導體層 144；覆蓋源極電極 142a、汲極電極 142b 及氧化物半導體層 144 的閘極絕緣層 146；以及與氧化物半導體層 144 的一部分重疊地設置在閘極絕緣層 146 上的閘極電極 148a。

氧化物半導體層 144 包括與閘極電極 148a 重疊的通道形成區以及與該通道形成區接觸的偏置區。在氧化物半導體層 144 中，偏置區是與源極電極 142a、汲極電極 142b 及閘極電極 148a 都不重疊的區域。

在此，氧化物半導體層 144 最好藉由充分去除氫等雜質或者供應足夠的氧而高純度化。明確而言，例如，將氧化物半導體層 144 的氫濃度設定為 5×10^{19} 原子/cm³ 以下，最好設定為 5×10^{18} 原子/cm³ 以下，更佳設定為 5×10^{17} 原子/cm³ 以下。另外，上述的氧化物半導體層 144 中的氫濃度是藉由二次離子質譜測定技術（SIMS：Secondary Ion Mass Spectroscopy）測量的。在如上那樣充分降低氫濃度而高純度化並且藉由供應足夠的氧而起因於氧缺乏的能隙中的缺陷能級被降低了的氧化物半導體層 144 中，源自於施體或受體的載子濃度為低於 1×10^{12} /cm³，最好為低

於 $1 \times 10^{11}/\text{cm}^3$ ，更佳為低於 $1.45 \times 10^{10}/\text{cm}^3$ 。像這樣，藉由採用 i 型化（本徵化）或實質上 i 型化的氧化物半導體，可以形成截止電流特性極為優良的電晶體 162。

圖 1A 和 1B 中的電容元件 164 包括源極電極 142a、氧化物半導體層 144、閘極絕緣層 146 以及電極 148b。換言之，源極電極 142a 用作電容元件 164 中的一方電極，而電極 148b 用作電容元件 164 中的另一方電極。

在圖 1A 和 1B 的電容元件 164 中，藉由層疊氧化物半導體層 144 及閘極絕緣層 146，可以充分確保源極電極 142a 和電極 148b 之間的絕緣性。另外，也可以採用不具有氧化物半導體層 144 的電容元件 164。

在本實施例中，電晶體 160 的至少一部分和電晶體 162 的至少一部分重疊。此外，電容元件 164 與電晶體 160 重疊。例如，電容元件 164 的電極 148b 的至少一部分與電晶體 160 的閘極電極 110 重疊。藉由採用這種平面佈局，可以實現高整合化。

另外，在電晶體 162 及電容元件 164 中，源極電極 142a 及汲極電極 142b 的端部最好具有錐形形狀。這是因為如下緣故：藉由將源極電極 142a 及汲極電極 142b 的端部形成為錐形形狀，可以提高氧化物半導體層 144 的覆蓋性而防止斷開。在此，錐形角例如為 30° 以上且 60° 以下。另外，錐形角是指當從垂直於截面（與基板的表面正交的面）的方向觀察到具有錐形形狀的層（例如，源極電極 142a）時，該層的側面和底面所形成的傾斜角。

在電晶體 162 及電容元件 164 上設置有絕緣層 151，並且在絕緣層 151 上設置有絕緣層 152。而且，在形成在閘極絕緣層 146、絕緣層 151 及絕緣層 152 等中的開口中設置有電極 154，並且在絕緣層 152 上形成有與電極 154 連接的佈線 156。佈線 156 使記憶單元之一和其他記憶單元電連接。另外，雖然在圖 1A 和 1B 中使用電極 126 及電極 154 使金屬化合物區 124、汲極電極 142b 和佈線 156 連接，但是所公開的發明不侷限於此。例如，也可以使汲極電極 142b 與金屬化合物區 124 直接接觸。或者，也可以使佈線 156 與汲極電極 142b 直接接觸。

另外，在圖 1A 和 1B 中，使金屬化合物區 124 和汲極電極 142b 連接的電極 126 與使汲極電極 142b 和佈線 156 連接的電極 154 設置為彼此重疊。也就是說，用作電晶體 160 的源極電極或汲極電極的電極 126 和電晶體 162 的汲極電極 142b 接觸的區域與電晶體 162 的汲極電極 142b 和電極 154 接觸的區域重疊。藉由採用這種佈局，可以實現高整合化。

<半導體裝置的製造方法>

下面，對上述半導體裝置的製造方法的一個例子進行說明。在下文中，首先參照圖 2A 至 2D 及圖 3A 至 3D 說明下部的電晶體 160 的製造方法，然後，參照圖 4A 至 4C 及圖 5A 至 5C 說明上部的電晶體 162 及電容元件 164 的製造方法。

<下部的電晶體的製造方法>

首先，準備含有半導體材料的基板 100（參照圖 2A）。作為含有半導體材料的基板 100，可以採用矽或碳化矽等的單晶半導體基板、多晶半導體基板、矽鍺等的化合物半導體基板、SOI 基板等。這裏示出作為含有半導體材料的基板 100 使用單晶矽基板時的一個例子。另外，一般來說，“SOI 基板”是指在絕緣表面上設置有矽半導體層的基板，而在本說明書等中，“SOI 基板”還包括在絕緣表面上設置有含有矽以外的材料的半導體層的基板。也就是說，“SOI 基板”所包括的半導體層不侷限於矽半導體層。此外，SOI 基板還包括在玻璃基板等絕緣基板上隔著絕緣層設置有半導體層的基板。

另外，作為含有半導體材料的基板 100，特別最好使用矽等的單晶半導體基板，因為這樣可以使半導體裝置的讀出工作的速度增快。

在基板 100 上形成保護層 102（參照圖 2A），該保護層 102 成為用來形成元件分離絕緣層的掩模。作為保護層 102，例如可以採用使用氧化矽、氮化矽、氧氮化矽等的材料的絕緣層。另外，也可以在該製程前後，將賦予 n 型導電性的雜質元素或賦予 p 型導電性的雜質元素添加到基板 100，以控制電晶體的臨界值電壓。當作為包含在基板 100 的半導體材料使用矽時，作為賦予 n 型導電性的雜質元素，例如可以使用磷或砷等。此外，作為賦予 p 型導電性的雜質元素，例如可以使用硼、鋁、鎵等。

接下來，使用上述保護層 102 作為掩模進行蝕刻，去除基板 100 的不被保護層 102 覆蓋的區域（露出的區域）的一部分。據此，形成與其他半導體區分離的半導體區 104（參照圖 2B）。作為該蝕刻最好採用乾蝕刻，但是也可以採用濕蝕刻。可以根據被蝕刻材料適當地選擇蝕刻氣體或蝕刻液。

接下來，藉由覆蓋半導體區 104 地形成絕緣層，並且選擇性地去除與半導體區 104 重疊的區域的絕緣層，來形成元件分離絕緣層 106（參照圖 2C）。該絕緣層使用氧化矽、氮化矽、氧氮化矽等來形成。作為去除絕緣層的方法有 CMP（化學機械拋光）處理等的拋光處理或蝕刻處理等，並且可以使用其中的任一種方法。另外，在形成半導體區 104 之後或在形成元件分離絕緣層 106 之後去除上述保護層 102。

在此，CMP 處理是一種利用化學機械複合作用使被加工物的表面平坦化的方法。更明確而言，CMP 處理是如下方法：藉由將拋光布貼在拋光臺上，一邊在被加工物和拋光布之間加入漿料（拋光劑），一邊分別使拋光台和被加工物旋轉或搖動，並且利用漿料和被加工物表面之間的化學反應及拋光布和被加工物之間的機械拋光的作用，來對被加工物的表面進行拋光。

另外，作為元件分離絕緣層 106 的形成方法，除了選擇性地去除絕緣層的方法以外，還可以採用藉由注入氧形成絕緣區的方法等。

接下來，在半導體區 104 的表面形成絕緣層，並且在該絕緣層上形成含有導電材料的層。

絕緣層在後面成為閘極絕緣層，該絕緣層例如可以藉由對半導體區 104 的表面進行熱處理（熱氧化處理或熱氮化處理等）來形成。也可以採用高密度電漿處理代替熱處理。高密度電漿處理例如可以使用選自 He、Ar、Kr、Xe 等稀有氣體、氧、氧化氮、氨、氮、氫等中的混合氣體來進行。當然，也可以利用 CVD 法或濺射法等形成絕緣層。該絕緣層最好採用含有氧化矽、氧氮化矽、氮化矽、氧化鈺、氧化鋁、氧化鉭、氧化釷、矽酸鈺（ HfSi_xO_y （ $x>0$ 、 $y>0$ ））、添加有氮的矽酸鈺（ HfSi_xO_y （ $x>0$ 、 $y>0$ ））、添加有氮的鋁酸鈺（ HfAl_xO_y （ $x>0$ 、 $y>0$ ））等的單層結構或疊層結構。此外，例如可以將絕緣層的厚度設定為 1nm 以上且 100nm 以下，最好設定為 10nm 以上且 50nm 以下。

含有導電材料的層可以使用鋁、銅、鈦、鉭、鎢等的金屬材料來形成。此外，也可以使用多晶矽等的半導體材料形成含有導電材料的層。對其形成方法也沒有特別的限制，可以採用蒸鍍法、CVD 法、濺射法、旋塗法等各種成膜方法。另外，本實施例中示出使用金屬材料形成含有導電材料的層時的一個例子。

然後，選擇性地蝕刻絕緣層及含有導電材料的層來形成閘極絕緣層 108 及閘極電極 110（參照圖 2C）。

接下來，對半導體區 104 添加磷（P）或砷（As）等

來形成通道形成區 116 及雜質區 120 (參照圖 2D)。另外，雖然這裏添加磷或砷以形成 n 型電晶體，但在形成 p 型電晶體時添加硼 (B) 或鋁 (Al) 等的雜質元素即可。在此，可以適當地設定所添加的雜質的濃度，並且在半導體元件高度微型化時，最好提高其濃度。

另外，也可以在閘極電極 110 的周圍形成側壁絕緣層，來形成以不同的濃度添加有雜質元素的雜質區。

接下來，覆蓋閘極電極 110 及雜質區 120 等地形成金屬層 122 (參照圖 3A)。該金屬層 122 可以利用真空蒸鍍法、濺射法或旋塗法等各種成膜方法形成。金屬層 122 最好使用與構成半導體區 104 的半導體材料起反應而成爲低電阻金屬化合物的金屬材料來形成。作爲這種金屬材料，例如有鈦、鋁、鎢、鎳、鈷、鉑等。

接下來，進行熱處理，使上述金屬層 122 與構成半導體區 104 的半導體材料起反應。據此，形成與雜質區 120 接觸的金屬化合物區 124 (參照圖 3A)。另外，當使用多晶矽等作爲閘極電極 110 時，金屬化合物區還形成在閘極電極 110 的與金屬層 122 接觸的部分。

作爲上述熱處理，例如可以採用利用閃光燈的照射的熱處理。當然，也可以採用其他熱處理方法，但是，爲了提高形成金屬化合物時的化學反應的控制性，最好採用可以在極短時間內完成熱處理的方法。另外，上述金屬化合物區是因金屬材料和半導體材料起反應而形成的，該金屬化合物區的導電性充分得到提高。藉由形成該金屬化合物

區，可以充分降低電阻，並且可以提高元件特性。另外，在形成金屬化合物區 124 之後，去除金屬層 122。

接下來，在與金屬化合物區 124 的一部分接觸的區域形成電極 126（參照圖 3B）。電極 126 例如在形成含有導電材料的層之後對該層進行選擇性的蝕刻來形成。含有導電材料的層可以使用鋁、銅、鈦、鉭、鎢等金屬材料形成。此外，也可以使用多晶矽等半導體材料形成含有導電材料的層。對其形成方法也沒有特別的限制，可以採用蒸鍍法、CVD 法、濺射法、旋塗法等各種成膜方法。

接下來，覆蓋藉由上述製程形成的所有結構地形成絕緣層 128（參照圖 3C）。絕緣層 128 可以使用含有如氧化矽、氧氮化矽、氮化矽、氧化鋁等的無機絕緣材料形成。尤其是，最好將低介電常數（low-k）材料用於絕緣層 128，因為這樣可以充分降低由於各種電極或佈線重疊而產生的電容。另外，也可以將使用上述材料的多孔絕緣層用作絕緣層 128。因為多孔絕緣層的介電常數比高密度的絕緣層的介電常數低，所以當採用多孔絕緣層時，可以進一步降低起因於電極或佈線的電容。此外，絕緣層 128 也可以使用聚醯亞胺、丙烯酸樹脂等有機絕緣材料形成。另外，雖然這裏採用單層結構的絕緣層 128，但是所公開的發明的一個方式不侷限於此。也可以採用兩層以上的疊層結構。

另外，也可以在形成絕緣層 128 之後，在絕緣層 128 中形成到達金屬化合物區 124 的開口，並且填充該開口地

形成電極 126。

在此情況下，例如可以採用如下方法：在藉由 PVD 法在包括開口的區域形成薄的鈦膜，並且藉由 CVD 法形成薄的氮化鈦膜後，填充開口地形成鎢膜。在此，藉由 PVD 法形成的鈦膜具有還原被形成面的氧化膜（自然氧化膜等）並降低與下部電極等（這裏，金屬化合物區 124）之間的接觸電阻的功能。此外，後面形成的氮化鈦膜具有抑制導電材料擴散的阻擋功能。此外，也可以在形成使用鈦或氮化鈦等的障壁膜之後，藉由鍍敷法形成銅膜。

藉由上述製程，形成使用含有半導體材料的基板 100 的電晶體 160（參照圖 3C）。這種電晶體 160 具有能夠進行高速工作的特徵。因此，藉由使用該電晶體作為用於讀出的電晶體，可以高速進行資料的讀出。

然後，作為在形成電晶體 162 及電容元件 164 之前的預處理，對絕緣層 128 進行 CMP 處理，使閘極電極 110 及電極 126 的上表面露出（參照圖 3D）。作為使閘極電極 110 及電極 126 的上表面露出的處理，除了 CMP 處理以外還可以使用蝕刻處理等，但是為了提高電晶體 162 的特性，最好盡量使絕緣層 128 的表面平坦。

另外，也可以在上述各製程前後還包括形成電極、佈線、半導體層、絕緣層等的製程。例如，也可以採用由絕緣層及導電層的疊層結構構成的多層佈線結構作為佈線的結構，來製造出高度整合化的半導體裝置。

<上部的電晶體的製造方法>

下面，在閘極電極 110、電極 126 及絕緣層 128 等上形成導電層，並且選擇性地蝕刻該導電層，形成源極電極 142a 及汲極電極 142b（參照圖 4A）。

導電層可以利用如濺射法等 PVD 法或如電漿 CVD 法等 CVD 法形成。此外，作為導電層的材料，可以使用選自鋁、鉻、銅、鈮、鈦、鉬、鎢中的元素或以上述元素為成分的合金等。還可以使用選自錳、鎂、鋅、鈹、鈳、釷中的一種或多種材料。

導電層既可以採用單層結構又可以採用兩層以上的疊層結構。例如，可以舉出鈦膜的單層結構；含有矽的鋁膜的單層結構；在鋁膜上層疊鈦膜的雙層結構；在氮化鈦膜上層疊鈦膜的雙層結構；層疊鈦膜、鋁膜及鈦膜的三層結構等。另外，當作為導電層採用鈦膜或氮化鈦膜的單層結構時，存在容易將該導電層加工為具有錐形形狀的源極電極 142a 及汲極電極 142b 的優點。

此外，導電層也可以使用導電金屬氧化物形成。作為導電金屬氧化物，可以採用氧化銦、氧化錫、氧化鋅、氧化銦氧化錫化合物（有時簡稱為 ITO）、氧化銦氧化鋅化合物或者這些金屬氧化物材料中含有矽或氧化矽的金屬氧化物。

最好以要形成的源極電極 142a 及汲極電極 142b 的端部成為錐形形狀的方式蝕刻導電層。這裏，錐形角例如最好為 30° 以上且 60° 以下。藉由以源極電極 142a 及汲極電

極 142b 的端部成爲錐形形狀的方式進行蝕刻，可以提高後面形成的氧化物半導體層 144 及閘極絕緣層 146 的覆蓋性而防止斷開。

上部的電晶體的通道長度（L）取決於閘極電極 148a 的通道長度方向（載子流過的方向）上的寬度。此外，偏置區的通道長度方向上的寬度（偏置寬度）取決於源極電極 142a 的下端部和汲極電極 142b 的下端部之間的間隔以及閘極電極 148a 的通道長度方向上的寬度。另外，當形成源極電極 142a 的下端部和汲極電極 142b 的下端部之間的間隔短於 25nm 的電晶體時，最好利用波長短即幾 nm 至幾十 nm 的超紫外線（Extreme Ultraviolet）進行形成掩模時的曝光。利用超紫外線的曝光的解析度高且景深大。因此，可以將後面形成的電晶體的通道長度（L）微型化，而可以提高電路的工作速度。此外，藉由微型化，可以降低半導體裝置的功耗。

另外，還可以在絕緣層 128 上設置用作基底的絕緣層。該絕緣層可以利用 PVD 法或 CVD 法等形式。

接下來，在覆蓋源極電極 142a 及汲極電極 142b 地形成氧化物半導體層之後，選擇性地蝕刻該氧化物半導體層，來形成氧化物半導體層 144（參照圖 4B）。

氧化物半導體層至少含有選自 In、Ga、Sn 及 Zn 中的一種以上的元素。例如，可以使用四元金屬氧化物的 In-Sn-Ga-Zn-O 類；三元金屬氧化物的 In-Ga-Zn-O 類、In-Sn-Zn-O 類、In-Al-Zn-O 類、Sn-Ga-Zn-O 類、Al-Ga-Zn-O

類、Sn-Al-Zn-O 類；二元金屬氧化物的 In-Zn-O 類、In-Ga-O 類、Sn-Zn-O 類、Al-Zn-O 類、Zn-Mg-O 類、Sn-Mg-O 類、In-Mg-O 類；或者 In-O 類、Sn-O 類、Zn-O 類等來形成氧化物半導體層。此外，也可以使上述氧化物半導體含有 In、Ga、Sn、Zn 以外的元素，例如 SiO_2 。

尤其是，In-Ga-Zn-O 類的氧化物半導體材料的無電場時的電阻足夠高而可以充分降低截止電流，並且場效應遷移率也高，因此，In-Ga-Zn-O 類的氧化物半導體材料適合用作用於半導體裝置的半導體材料。

作為 In-Ga-Zn-O 類的氧化物半導體材料的典型例子，有寫為 $\text{InGaO}_3(\text{ZnO})_m$ ($m>0$) 的氧化物半導體材料。此外，還有使用 M 代替 Ga 而寫為 $\text{InMO}_3(\text{ZnO})_m$ ($m>0$) 的氧化物半導體材料。在此，M 表示選自鎵 (Ga)、鋁 (Al)、鐵 (Fe)、鎳 (Ni)、錳 (Mn)、鈷 (Co) 等中的一種金屬元素或多種金屬元素。例如，作為 M，可以採用 Ga、Ga 及 Al、Ga 及 Fe、Ga 及 Ni、Ga 及 Mn、Ga 及 Co 等。另外，上述組成是根據晶體結構導出的，只是一個例子而已。

此外，當作為氧化物半導體層使用 In-Zn-O 類材料時，用來藉由濺射法形成該氧化物半導體層的靶材的原子數比為 In : Zn = 50 : 1 至 1 : 2 (換算為摩爾數比則為 In_2O_3 : ZnO = 25 : 1 至 1 : 4)，最好為 In : Zn = 20 : 1 至 1 : 1 (換算為摩爾數比則為 In_2O_3 : ZnO = 10 : 1 至 1 : 2)，更佳為 In : Zn = 15 : 1 至 1.5 : 1 (換算為摩爾數比則為 In_2O_3

： $\text{ZnO}=15:2$ 至 $3:4$ ）。例如，當用來形成 In-Zn-O 類氧化物半導體的靶材的原子數比為 $\text{In}:\text{Zn}:\text{O}=\text{X}:\text{Y}:\text{Z}$ 時，滿足 $\text{Z}>1.5\text{X}+\text{Y}$ 的關係。

在本實施例中，使用 In-Ga-Zn-O 類的靶材藉由濺射法形成非晶結構的氧化物半導體層。

靶材中的金屬氧化物的相對密度為 80% 以上，最好為 95% 以上，更佳為 99.9% 以上。藉由使用相對密度高的靶材，可以形成結構緻密的氧化物半導體層。

作為形成氧化物半導體層時的氣圍，最好採用稀有氣體（典型為氬）氣圍、氧氣圍或稀有氣體（典型為氬）和氧的混合氣圍。明確地說，例如，最好採用氬、水、羥基或氫化物等雜質的濃度被降低到 1ppm 以下（最好降低到 10ppb 以下）的高純度氣體氣圍。

當形成氧化物半導體層時，例如在保持為減壓狀態的處理室內固定被處理物，並且加熱被處理物以使被處理物的溫度達到 100°C 以上且低於 550°C ，最好達到 200°C 以上且 400°C 以下。或者，也可以將形成氧化物半導體層時的被處理物的溫度設定為室溫（ $25^{\circ}\text{C} \pm 10^{\circ}\text{C}$ ）。然後，一邊從處理室內去除水分一邊將氬及水等被去除了的濺射氣體引入該處理室內，並且使用上述靶材，形成氧化物半導體層。藉由一邊加熱被處理物一邊形成氧化物半導體層，可以降低包含在氧化物半導體層中的雜質。此外，可以減輕因濺射而造成的損傷。為了去除處理室內的水分，最好使用吸附式真空泵。例如，可以使用低溫泵、離子泵、鈦

昇華泵等。此外，也可以使用具有冷阱的渦輪泵。由於藉由使用低溫泵等排氣，可以從處理室去除氫或水等，所以可以降低氧化物半導體層中的雜質濃度。

作為氧化物半導體層的形成條件，例如可以採用如下條件：被處理物與靶材之間的距離為 170mm、壓力為 0.4Pa、直流（DC）功率為 0.5kW、氣圍為氧（氧比率為 100%）氣圍或氫（氫比率為 100%）氣圍或氧和氫的混合氣圍。另外，當利用脈衝直流（DC）電源時，可以減少塵屑（成膜時發生的粉狀物質等）並且膜厚分佈也變得均勻，所以脈衝直流（DC）電源是最好的。將氧化物半導體層的厚度設定為 1nm 以上且 50nm 以下，最好設定為 1nm 以上且 30nm 以下，更佳設定為 1nm 以上且 10nm 以下。藉由採用這樣的厚度的氧化物半導體層，可以抑制因微型化而導致的短通道效應。但是，由於氧化物半導體層的適當的厚度根據採用的氧化物半導體材料及半導體裝置的用途等而不同，所以也可以根據所使用的材料及用途等來設定其厚度。

另外，最好在藉由濺射法形成氧化物半導體層前進行藉由引入氫氣體產生電漿的反濺射，來去除附著在其上要形成氧化物半導體層的表面（例如，絕緣層 128 的表面）上的附著物。通常的濺射是指使離子與濺射靶材碰撞的方法，而這裏的反濺射與其相反，藉由使離子與被處理物的處理表面碰撞來進行表面改性的方法。作為使離子與處理表面碰撞的方法，有藉由在氫氣圍下對處理表面一側施加

高頻電壓，而在被處理物附近產生電漿的方法等。另外，也可以採用氮、氬、氧等氣圍代替氫氣圍。

然後，最好對氧化物半導體層進行熱處理（第一熱處理）。藉由該第一熱處理，可以去除氧化物半導體層中的氫（包括水及含有羥基的化合物），改善氧化物半導體層的結構，從而可以降低能隙中的缺陷能級。將第一熱處理的溫度例如設定為 300℃ 以上且低於 550℃，或者 400℃ 以上且 500℃ 以下。

作為熱處理，例如，可以將被處理物放在使用電阻發熱體等的電爐中，並在氮氣圍下以 450℃ 進行 1 小時的加熱。在此期間，不使氧化物半導體層接觸大氣，以防止水及氫混入氧化物半導體層中。

熱處理裝置不侷限於電爐，還可以使用藉由利用來自被加熱的氣體等的介質的熱傳導或熱輻射來加熱被處理物的裝置。例如，可以使用如 GRTA（Gas Rapid Thermal Anneal，氣體快速熱退火）裝置、LRTA（Lamp Rapid Thermal Anneal，燈快速熱退火）裝置等的 RTA（Rapid Thermal Anneal，快速熱退火）裝置。LRTA 裝置是一種利用由鹵素燈、金鹵燈、氙弧燈、碳弧燈、高壓鈉燈、或者高壓汞燈等的燈發射的光（電磁波）的輻射來加熱被處理物的裝置。GRTA 裝置是一種利用高溫氣體進行熱處理的裝置。作為氣體，使用即使進行熱處理也不與被處理物起反應的惰性氣體，如氬等的稀有氣體或氮等。

例如，作為第一熱處理可以進行 GRTA 處理，其中將

被處理物放在被加熱的惰性氣體氣圍中，在加熱幾分鐘後，再將被處理物從該惰性氣體氣圍中取出。藉由採用 GRTA 處理，可以在短時間內進行高溫熱處理。此外，即使是溫度條件比被處理物的耐熱溫度高的條件，也可以採用 GRTA 處理。另外，在處理當中，也可以將惰性氣體換為含有氧的氣體。這是因為如下緣故：藉由在含有氧的氣圍中進行第一熱處理，可以降低因氧缺損而產生的能隙中的缺陷能級。

另外，作為惰性氣體氣圍，最好採用以氮或稀有氣體（氮、氦、氬等）為主要成分且不包含水、氫等的氣圍。例如，將引入熱處理裝置中的氮或如氮、氦、氬等的稀有氣體的純度設定為 6N（99.9999%）以上，更佳設定為 7N（99.99999%）以上（即，將雜質濃度設定為 1ppm 以下，最好設定為 0.1ppm 以下）。

總之，藉由進行第一熱處理降低雜質來形成 i 型（本徵半導體）或無限接近於 i 型的氧化物半導體層，可以形成具有極為優良的特性的電晶體。

另外，因為上述熱處理（第一熱處理）具有去除氫和水等的作用，所以也可以將該熱處理稱為脫水化處理或脫氫化處理等。該脫水化處理或脫氫化處理也可以在形成氧化物半導體層之後、在形成閘極絕緣層之後或在形成閘極電極之後等時機進行。此外，這種脫水化處理或脫氫化處理不限於一次，也可以多次進行。

對氧化物半導體層的蝕刻可以在上述熱處理之前或在

上述熱處理之後進行。此外，從元件的微型化的觀點來看，最好採用乾蝕刻，但是也可以採用濕蝕刻。蝕刻氣體及蝕刻液可以根據被蝕刻材料適當地選擇。另外，當元件中的洩漏等不成為問題時，也可以不將氧化物半導體層加工為島狀。

接下來，形成與氧化物半導體層 144 接觸的閘極絕緣層 146，然後在閘極絕緣層 146 上的與氧化物半導體層 144 的一部分重疊的區域形成閘極電極 148a，並且在閘極絕緣層 146 上的與源極電極 142a 重疊的區域形成電極 148b（參照圖 4C）。

閘極絕緣層 146 可以利用 CVD 法或濺射法等形成。此外，閘極絕緣層 146 最好含有氧化矽、氮化矽、氧氮化矽、氧化鋁、氧化鉬、氧化鉛、氧化鉕、矽酸鉛（ HfSi_xO_y （ $x>0$ 、 $y>0$ ））、添加有氮的矽酸鉛、添加有氮的鋁酸鉛、氧化鎵等。閘極絕緣層 146 既可以採用單層結構又可以採用疊層結構。此外，雖然對閘極絕緣層 146 的厚度沒有特別的限制，但是當將半導體裝置微型化時，最好將閘極絕緣層 146 形成為較薄，以確保電晶體的工作。例如，當使用氧化矽時，可以將閘極絕緣層 146 的厚度設定為 1nm 以上且 100nm 以下，最好形成為 10nm 以上且 50nm 以下。

當如上所述那樣將閘極絕緣層形成為較薄時，可能發生因隧道效應等而引起的閘極洩漏的問題。為了解決閘極洩漏的問題，最好將氧化鉛、氧化鉬、氧化鉕、矽酸鉛、

添加有氮的矽酸鉛、添加有氮的鋁酸鉛等高介電常數（high-k）材料用於閘極絕緣層 146。藉由將 high-k 材料用於閘極絕緣層 146，不但可以確保電特性，而且還可以將閘極絕緣層 146 形成爲較厚以抑制閘極洩漏。另外，還可以採用含有 high-k 材料的膜與含有氧化矽、氮化矽、氧氮化矽、氮氧化矽及氧化鋁等中的任一種的膜的疊層結構。

最好在形成閘極絕緣層 146 之後，在惰性氣體氣圍下或在氧氣圍下進行第二熱處理。熱處理的溫度爲 200℃ 以上且 450℃ 以下，最好爲 250℃ 以上且 350℃ 以下。例如，在氮氣圍下以 250℃ 進行 1 小時的熱處理即可。藉由進行第二熱處理，可以降低電晶體的電特性的不均勻性。此外，當閘極絕緣層 146 含有氧時，其向氧化物半導體層 144 供應氧而填補該氧化物半導體層 144 的氧缺陷，從而可以形成 i 型（本徵半導體）或無限接近於 i 型的氧化物半導體層。

另外，在本實施例中，雖然在形成閘極絕緣層 146 後進行第二熱處理，但是進行第二熱處理的時機不限定於此。例如，也可以在形成閘極電極後進行第二熱處理。此外，既可以在第一熱處理結束後接著進行第二熱處理，又可以使第一熱處理還具有第二熱處理的作用或使第二熱處理還具有第一熱處理的作用。

如上所述那樣，藉由採用第一熱處理和第二熱處理中的至少一方，可以儘量不包含其主要成分以外的雜質的方

式使氧化物半導體層 144 高純度化。

閘極電極 148a 及電極 148b 可以藉由當在閘極絕緣層 146 上形成導電層後選擇性地蝕刻該導電層來形成。成為閘極電極 148a 及電極 148b 的導電層可以利用如濺射法等 PVD 法或如電漿 CVD 法等 CVD 法形成。詳細內容與形成源極電極 142a 及汲極電極 142b 的情況相同，可以參照有關內容。

另外，以在氧化物半導體層 144 中的源極電極 142a 與通道形成區之間以及汲極電極 142b 與通道形成區之間的至少一方形成偏置區的方式適當地設定閘極電極 148a 的通道長度方向上的寬度。另外，雖然源極電極一側的偏置區 (L_{OFF_S}) 的偏置寬度和汲極電極一側的偏置區 (L_{OFF_D}) 的偏置寬度不一定是一致的，但是，電晶體 162 中的 L_{OFF_S} 的偏置寬度和 L_{OFF_D} 的偏置寬度的總和與另一電晶體 162 中的 L_{OFF_S} 的偏置寬度和 L_{OFF_D} 的偏置寬度的總和一致。 L_{OFF_S} 的偏置寬度或 L_{OFF_D} 的偏置寬度需要至少大於 0nm，並且最好為 2 μ m 以下。由於偏置區用作不受閘極電極的電場影響的電阻區域或不容易受該影響的電阻區域，所以偏置區在進一步降低電晶體 162 的截止電流的方面很有效。

另外，偏置區最好至少設置在源極電極 142a 一側。藉由在源極電極 142a 一側設置偏置區，可以降低源極電極 142a 和電晶體 160 的閘極電極 110 電連接的地方（浮動閘極部分）與電晶體 162 的閘極電極 148a 之間的寄生

電容。其結果，當進行寫入或讀出工作時，電晶體 162 的閘極電極 148a 給浮動閘極部分的電位造成的影響降低，而可以製造出能夠穩定工作的半導體裝置。

成為用於電容元件的電極的電極 148b 最好形成為與電晶體 160 的閘極電極 110 的至少一部分重疊。這是因為藉由採用這種結構可以充分縮小電路面積的緣故。

接下來，在閘極絕緣層 146、閘極電極 148a 及電極 148b 上形成絕緣層 151 及絕緣層 152（參照圖 5A）。絕緣層 151 及絕緣層 152 可以利用 PVD 法或 CVD 法等形式。此外，絕緣層 151 及絕緣層 152 還可以使用含有氧化矽、氧氮化矽、氮化矽、氧化鉛、氧化鋁、氧化鎵等無機絕緣材料的材料形成。

另外，最好將低介電常數的材料或低介電常數的結構（多孔結構等）用於絕緣層 151 及絕緣層 152。藉由降低絕緣層 151 及絕緣層 152 的介電常數，可以降低在佈線或電極等之間發生的電容而實現工作的高速化。

另外，在本實施例中，雖然採用絕緣層 151 和絕緣層 152 的疊層結構，但是本發明的一個實施例不侷限於此。電晶體 162 及電容元件 164 上的絕緣層還可以採用單層結構或三層以上的疊層結構。此外，也可以不設置絕緣層。

另外，最好將上述絕緣層 152 形成為具有平坦表面。這是因為如下緣故：藉由將絕緣層 152 形成為具有平坦表面，當將半導體裝置微型化時，也可以在絕緣層 152 上適當地形成電極或佈線等。另外，絕緣層 152 的平坦化可以

利用 CMP 處理等的方法進行。

接下來，在閘極絕緣層 146、絕緣層 151 及絕緣層 152 中形成到達汲極電極 142b 的開口 153（參照圖 5B）。該開口 153 藉由使用掩模等的選擇性蝕刻形成。

在此，最好在與電極 126 重疊的區域形成上述開口 153。藉由在這樣的區域形成開口 153，可以抑制因電極的接觸區域造成的元件面積的增大。也就是說，可以提高半導體裝置的整合度。

然後，在上述開口 153 中形成電極 154，並且在絕緣層 152 上形成與電極 154 接觸的佈線 156（參照圖 5C）。

電極 154，例如可以在利用 PVD 法或 CVD 法等包括開口 153 的區域形成導電層之後，利用蝕刻處理或 CMP 處理等的方法去除上述導電層的一部分來形成。

更明確而言，例如可以採用如下方法：在包括開口 153 的區域藉由 PVD 法形成薄的鈦膜，並且藉由 CVD 法形成薄的氮化鈦膜，然後填充開口 153 地形成鎢膜。在此，藉由 PVD 法形成的鈦膜具有還原被形成面的氧化膜（自然氧化膜等）並降低與下部電極等（這裏，汲極電極 142b）之間的接觸電阻的功能。此外，後面形成的氮化鈦膜具有抑制導電材料擴散的阻擋功能。此外，也可以在形成使用鈦或氮化鈦等的障壁膜之後，藉由鍍敷法形成銅膜。

另外，當去除上述導電層的一部分形成電極 154 時，最好進行加工而使其表面平坦。例如，當在包括開口 153

的區域形成薄的鈦膜或氮化鈦膜，然後填充開口 153 地形成鎢膜時，可以藉由後面的 CMP 處理去除不需要的鎢、鈦、氮化鈦等並且提高其表面的平坦性。如此，藉由使包括電極 154 的表面平坦，可以在後面的製程中形成良好的電極、佈線、絕緣層、半導體層等。

佈線 156 藉由在利用如濺射法等 PVD 法或如電漿 CVD 法等 CVD 法形成導電層之後對該導電層進行構圖來形成。此外，作為導電層的材料，可以使用選自鋁、鉻、銅、鈮、鈦、鉬及鎢中的元素或以上述元素為成分的合金等。作為導電層的材料，還可以使用選自錳、鎂、鋯、鈹、釷、鈾中的一種或多種材料。詳細內容與形成源極電極 142a 及汲極電極 142b 的情況相同，可以參照有關內容。

藉由上述製程，完成使用高純度化的氧化物半導體層 144 的電晶體 162 及電容元件 164（參照圖 5C）。

在本實施例所示的電晶體 162 中，由於將氧化物半導體層 144 高純度化，所以其氫濃度為 5×10^{19} 原子/cm³ 以下，最好為 5×10^{18} 原子/cm³ 以下，更佳為 5×10^{17} 原子/cm³ 以下。此外，氧化物半導體層 144 的載子密度比通常矽晶片的載子密度（ 1×10^{14} /cm³ 左右）小得多（例如，小於 1×10^{12} /cm³，更佳為小於 1.45×10^{10} /cm³）。並且，由此，截止電流變得足夠小。

如此，藉由使用高純度化且本征化的氧化物半導體層 144，可以充分降低電晶體的截止電流。並且，藉由使用

這種電晶體，可以製造出能夠極為長期保持儲存內容的半導體裝置。

再者，由於氧化物半導體的能隙大即 3.0eV 至 3.5eV 且熱激發載子極少，所以使用氧化物半導體的電晶體 162 在高溫環境下也沒有特性惡化，並且可以保持截止電流極小的狀態。尤其是，從進一步降低電晶體 162 的截止電流的觀點來看，在電晶體 162 的氧化物半導體層 144 中設置偏置區是有效的。

<變形例>

接下來，參照圖 6A 和 6B 說明本實施例的半導體裝置的其他結構。

<半導體裝置的截面結構及平面結構>

圖 6A 示出半導體裝置的截面，圖 6B 示出半導體裝置的平面。在此，圖 6A 相當於圖 6B 中的 C1-C2 及 D1-D2 的截面。圖 6A 和 6B 所示的半導體裝置與圖 1A 和 1B 所示的半導體裝置相同，在其下部包括使用第一半導體材料的電晶體 160，並且在其上部包括使用第二半導體材料的電晶體 262。在此，第一半導體材料和第二半導體材料最好為不同的材料。例如，可以將氧化物半導體以外的半導體材料用於第一半導體材料，並且將氧化物半導體用於第二半導體材料。使用氧化物半導體以外的半導體材料（例如，單晶矽）的電晶體容易進行高速工作。另一方面，

使用氧化物半導體的電晶體因其特性而能夠長期保持電荷。

圖 6A 和 6B 中的半導體裝置與圖 1A 和 1B 中的半導體裝置的不同之處在於，圖 6A 和 6B 中的半導體裝置的電晶體 262 為多閘極結構的電晶體，其中在氧化物半導體層 244 上包括第一閘極電極 148c 以及與施加到第一閘極電極 148c 的電位相等的電位被施加的第二閘極電極 148d。

在圖 6A 和 6B 中，電晶體 262 包括設置在絕緣層 128 上的源極電極（或汲極電極）142a 及汲極電極（或源極電極）142b；設置在源極電極 142a 和汲極電極 142b 之間的電極 142c；與源極電極 142a、電極 142c 和汲極電極 142b 電連接的氧化物半導體層 244；覆蓋源極電極 142a、電極 142c、汲極電極 142b 及氧化物半導體層 244 的閘極絕緣層 146；以及在閘極絕緣層 146 上與氧化物半導體層 244 的一部分重疊地設置的第一閘極電極 148c 及第二閘極電極 148d。另外，不必須一定設置電極 142c。

氧化物半導體層 244 包括與第一閘極電極 148c 重疊的第一通道形成區、與第二閘極電極 148d 重疊的第二通道形成區、以及分別與第一通道形成區或第二通道形成區接觸的偏置區。在氧化物半導體層 244 中，偏置區是與源極電極 142a、電極 142c、汲極電極 142b、第一閘極電極 148c 及第二閘極電極 148d 都不重疊的區域。

藉由如圖 6A 和 6B 所示那樣在電晶體 262 的氧化物

半導體層 244 中設置偏置區，偏置區用作電阻區，而可以進一步降低電晶體 262 的截止電流。此外，藉由將電晶體 262 形成為多閘極結構的電晶體，可以進一步降低電晶體 262 的截止電流。

另外，電晶體 262 中的電極 142c 可以藉由與源極電極 142a 及汲極電極 142b 相同的製程形成。此外，電晶體 262 中的氧化物半導體層 244 可以藉由與電晶體 162 中的氧化物半導體層 144 相同的製程形成。此外，電晶體 262 中的第一閘極電極 148c 及第二閘極電極 148d 可以藉由與形成電極 148b 相同的製程形成。電晶體 262 的詳細製造製程可以參照電晶體 162 的製造製程。

本實施例所示的結構及方法等可以與其他實施例所示的結構及方法等適當地組合來使用。

實施例 2

在本實施例中，參照圖 7A 和 7B、圖 8A 至 8C、圖 9A 至 9C 說明根據所公開的發明的另一實施例的半導體裝置的結構及其製造方法。

<半導體裝置的截面結構及平面結構>

圖 7A 和 7B 為根據本實施例的半導體裝置的結構的一個例子。圖 7A 示出半導體裝置的截面，圖 7B 示出半導體裝置的平面。在此，圖 7A 相當於圖 7B 的 E1-E2 及 F1-F2 的截面。圖 7A 和 7B 所示的半導體裝置在其下部包

括使用第一半導體材料的電晶體 160，並且在其上部包括使用第二半導體材料的電晶體 362。在此，第一半導體材料和第二半導體材料最好是不同的材料。例如，可以作為第一半導體材料採用氧化物半導體以外的半導體材料，並且作為第二半導體材料採用氧化物半導體。使用氧化物半導體以外的半導體材料（例如，單晶矽）的電晶體容易進行高速工作。另一方面，使用氧化物半導體的電晶體因其特性而能夠長期保持電荷。

另外，雖然說明上述電晶體都是 n 通道型電晶體的情況，但是當然也可以使用 p 通道型電晶體。此外，由於所公開的發明的技術特徵在於將如氧化物半導體等可以充分降低截止電流的半導體材料用於電晶體 362，以保持資料，因此不需要將半導體裝置的具體結構如用於半導體裝置的材料或半導體裝置的結構等限定於在此所示的結構。

圖 7A 和 7B 中的電晶體 160 與圖 1A 和 1B 中的電晶體 160 相同。換言之，圖 7A 和 7B 中的電晶體 160 包括設置在含有半導體材料（例如，矽等）的基板 100 中的通道形成區 116、夾著通道形成區 116 設置的雜質區 120、與雜質區 120 接觸的金屬化合物區 124、設置在通道形成區 116 上的閘極絕緣層 108、以及設置在閘極絕緣層 108 上的閘極電極 110。其詳細內容可以參照實施例 1。

此外，圖 7A 和 7B 中的電容元件 164 與圖 1A 和 1B 中的電容元件 164 相同。換言之，圖 7A 和 7B 中的電容元件 164 包括源極電極 142a、氧化物半導體層 144、閘極

絕緣層 146 及電極 148b。源極電極 142a 用作電容元件 164 的一方電極，而電極 148b 用作電容元件 164 的另一方電極。其他詳細內容可以參照實施例 1。

圖 7A 和 7B 中的電晶體 362 與圖 1A 和 1B 中的電晶體 162 的不同之處之一在於，層疊源極電極 142a 及汲極電極 142b 與氧化物半導體層 144 的順序。換言之，圖 7A 和 7B 中的電晶體 362 包括氧化物半導體層 144；設置在氧化物半導體層 144 上的源極電極 142a 及汲極電極 142b；覆蓋源極電極 142a、汲極電極 142b 及氧化物半導體層 144 的閘極絕緣層 146；以及與氧化物半導體層 144 的一部分重疊地設置在閘極絕緣層 146 上的閘極電極 148a。

氧化物半導體層 144 包括與閘極電極 148a 重疊的通道形成區以及與該通道形成區接觸的偏置區。在氧化物半導體層 144 中，偏置區是與源極電極 142a、汲極電極 142b 及閘極電極 148a 都不重疊的區域。

另外，氧化物半導體層 144 最好藉由充分去除氫等的雜質或者藉由供應足夠的氧，而高純度化。

與圖 1A 和 1B 所示的半導體裝置相同，在圖 7A 和 7B 所示的半導體裝置中，在電晶體 362 及電容元件 164 上設置有絕緣層 151，並且在絕緣層 151 上設置有絕緣層 152。並且，在形成在閘極絕緣層 146、絕緣層 151 及絕緣層 152 中的開口中設置有電極 154，並且在絕緣層 152 上形成有與電極 154 連接的佈線 156。佈線 156 使記憶單元之一和其他記憶單元電連接。另外，雖然在圖 7A 和 7B

中使用電極 126 及電極 154 使金屬化合物區 124、汲極電極 142b 和佈線 156 連接，但是所公開的發明不侷限於此。

另外，在圖 7A 和 7B 中，使金屬化合物區 124 和汲極電極 142b 連接的電極 126 與使汲極電極 142b 和佈線 156 連接的電極 154 設置為彼此重疊。也就是說，用作電晶體 160 的源極電極或汲極電極的電極 126 和電晶體 362 的汲極電極 142b 接觸的區域與電晶體 362 的汲極電極 142b 和電極 154 接觸的區域重疊。藉由採用這種佈局，可以實現高整合化。

<半導體裝置的製造方法>

接下來，說明上述半導體裝置的製造方法的一個例子。另外，本實施例所示的半導體裝置中的下部的電晶體 160 可以藉由與實施例 1 相同的製程製造，可以參照實施例 1。在下文中，參照圖 8A 至 8C、圖 9A 至 9C 說明上部的電晶體 362 及電容元件 164 的製造方法。

<上部的電晶體的製造方法>

在閘極電極 110、電極 126、絕緣層 128 等上形成氧化物半導體層，並且選擇性地蝕刻該氧化物半導體層，來形成氧化物半導體層 144（參照圖 8A）。另外，氧化物半導體層 144 的材料及成膜條件等可以採用上面的實施例 1 所示的材料及成膜條件。

最好對所形成的氧化物半導體層進行熱處理（第一熱處理）。藉由該第一熱處理，可以去除氧化物半導體層中的氫（包括水及含有羥基的化合物）而改善氧化物半導體層的結構，從而降低能隙中的缺陷能級。將第一熱處理的溫度例如設定為 300°C 以上且低於 550°C ，或者 400°C 以上且 500°C 以下。

藉由進行第一熱處理降低雜質來形成 i 型（本徵半導體）或無限接近於 i 型的氧化物半導體層，可以形成具有極為優良的特性的電晶體。

對氧化物半導體層的蝕刻可以在上述熱處理之前或在上述熱處理之後進行。此外，從元件的微型化的觀點來看，最好採用乾蝕刻，但是也可以採用濕蝕刻。蝕刻氣體及蝕刻液可以根據被蝕刻材料適當地選擇。

接著，在氧化物半導體層 144 上形成導電層，並且選擇性地蝕刻該導電層，形成源極電極 142a 及汲極電極 142b（參照圖 8B）。用來形成源極電極 142a 及汲極電極 142b 的導電層的材料及成膜條件等可以參照實施例 1。

最好以要形成的源極電極 142a 及汲極電極 142b 的端部成為錐形形狀的方式蝕刻導電層。這裏，錐形角例如最好為 30° 以上且 60° 以下。藉由以源極電極 142a 及汲極電極 142b 的端部成為錐形形狀的方式進行蝕刻，可以提高後面形成的閘極絕緣層 146 的覆蓋性而防止斷開。

接下來，形成覆蓋源極電極 142a、汲極電極 142b 及氧化物半導體層 144 的閘極絕緣層 146，然後在閘極絕緣

層 146 上的與氧化物半導體層 144 的一部分重疊的區域形成閘極電極 148a，並且在閘極絕緣層 146 上的與源極電極 142a 重疊的區域形成電極 148b（參照圖 8C）。閘極絕緣層 146 的材料及成膜條件等可以參照實施例 1。此外，用來形成閘極電極 148a 及電極 148b 的導電層的材料及成膜條件等可以參照實施例 1。

最好在形成閘極絕緣層 146 之後，在惰性氣體氣圍下或在氧氣圍下進行第二熱處理。熱處理的溫度為 200℃ 以上且 450℃ 以下，最好為 250℃ 以上且 350℃ 以下。例如，在氮氣圍下以 250℃ 進行 1 小時的熱處理即可。藉由進行第二熱處理，可以降低電晶體的電特性的不均勻性。此外，當閘極絕緣層 146 含有氧時，其向氧化物半導體層 144 供應氧而填補該氧化物半導體層 144 的氧缺陷，從而可以形成 i 型（本徵半導體）或無限接近於 i 型的氧化物半導體層。

另外，在本實施例中，雖然在形成閘極絕緣層 146 後進行第二熱處理，但是進行第二熱處理的時機不限定於此。例如，也可以在形成閘極電極後進行第二熱處理。此外，既可以在第一熱處理結束後接著進行第二熱處理，又可以使第一熱處理還具有第二熱處理的作用或使第二熱處理還具有第一熱處理的作用。

如上所述那樣，藉由採用第一熱處理和第二熱處理中的至少一方，可以使氧化物半導體層 144 儘量不包含其主要成分以外的雜質而高純度化。

另外，以在氧化物半導體層 144 中的源極電極 142a 與通道形成區之間以及汲極電極 142b 與通道形成區之間的至少一方形成偏置區的方式適當地設定閘極電極 148a 的通道長度方向上的寬度。另外，源極電極一側的偏置區 (L_{OFF_S}) 的偏置寬度和汲極電極一側的偏置區 (L_{OFF_D}) 的偏置寬度不一定是一致的，但是，電晶體 362 中的 L_{OFF_S} 的偏置寬度和 L_{OFF_D} 的偏置寬度的總和與另一電晶體 362 中的 L_{OFF_S} 的偏置寬度和 L_{OFF_D} 的偏置寬度的總和一致。 L_{OFF_S} 或 L_{OFF_D} 的偏置寬度至少需要大於 0nm，最好為 2 μ m 以下。由於偏置區用作不受閘極電極的電場影響的電阻區域或不容易受該影響的電阻區域，所以偏置區在進一步降低電晶體 362 的截止電流的方面很有效。

另外，偏置區最好至少設置在源極電極 142a 一側。藉由在源極電極 142a 一側設置偏置區，可以降低源極電極 142a 和電晶體 160 的閘極電極 110 電連接的地方（浮動閘極部分）與電晶體 362 的閘極電極 148a 之間的寄生電容。其結果，當進行寫入或讀出工作時，電晶體 362 的閘極電極 148a 給浮動閘極部分的電位造成的影響降低，而可以製造出能夠穩定工作的半導體裝置。

用作電容元件用電極的電極 148b 最好形成為與電晶體 160 的閘極電極 110 的至少一部分重疊。這是因為藉由採用這種結構可以充分縮小電路面積的緣故。

接下來，與在實施例 1 中參照圖 5A 所示的製程相同

地在閘極絕緣層 146、閘極電極 148a 及電極 148b 上形成絕緣層 151 及絕緣層 152（參照圖 9A）。

接下來，在閘極絕緣層 146、絕緣層 151 及絕緣層 152 中形成到達汲極電極 142b 的開口 153（參照圖 9B）。該開口 153 藉由使用掩模等的選擇性蝕刻來形成。

在此，最好在與電極 126 重疊的區域形成上述開口 153。藉由在這樣的區域形成開口 153，可以抑制因電極的接觸區域造成的元件面積的增大。也就是說，可以提高半導體裝置的整合度。

然後，與在實施例 1 中參照圖 5C 所示的製程相同地在上述開口 153 中形成電極 154，並且在絕緣層 152 上形成與電極 154 接觸的佈線 156（參照圖 9C）。

據此，完成使用高純度化的氧化物半導體層 144 的電晶體 362 及電容元件 164（參照圖 9C）。

在本實施例所示的電晶體 362 中，由於將氧化物半導體層 144 高純度化，所以其氫濃度為 5×10^{19} 原子/cm³ 以下，最好為 5×10^{18} 原子/cm³ 以下，更佳為 5×10^{17} 原子/cm³ 以下。此外，氧化物半導體層 144 的載子密度比通常矽晶片的載子密度（ 1×10^{14} /cm³ 左右）小得多（例如，小於 1×10^{12} /cm³，更佳為小於 1.45×10^{10} /cm³）。並且，由此，截止電流變得足夠小。

如此，藉由使用高純度化且本徵化的氧化物半導體層 144，可以充分降低電晶體的截止電流。並且，藉由使用這種電晶體，可以製造出能夠極為長期保持儲存資料的半

導體裝置。

再者，由於氧化物半導體的能隙大即 3.0eV 至 3.5eV 且熱激發載子極少，所以使用氧化物半導體的電晶體 362 在高溫環境下也沒有特性惡化，並且可以保持截止電流極小的狀態。尤其是，從進一步降低電晶體 362 的截止電流的觀點來看，在電晶體 362 的氧化物半導體層 144 中設置偏置區是有效的。

本實施例所示的結構及方法等可以與其他實施例所示的結構及方法等適當地組合來使用。

實施例 3

在本實施例中，參照圖 10A-1、10A-2 及 10B 說明根據所公開的發明的一個實施例的半導體裝置的電路結構及其工作。此外，參照圖 1A 和 1B 所示的半導體裝置的符號說明圖 10A-1、10A-2 及 10B 的電路圖。另外，在電路圖中，爲了表示使用氧化物半導體的電晶體，有時還附上“OS”的符號。

在圖 10A-1 所示的半導體裝置中，第一佈線（1st Line）與電晶體 160 的源極電極電連接，第二佈線（2nd Line）與電晶體 160 的汲極電極電連接。此外，第三佈線（3rd Line）與電晶體 162 的源極電極及汲極電極中的另一方電連接，第四佈線（4th Line）與電晶體 162 的閘極電極電連接。並且，電晶體 160 的閘極電極以及電晶體 162 的源極電極及汲極電極中的一方與電容元件 164 的電

極中的一方電連接，第五佈線（5th Line）與電容元件 164 的電極中的另一方電連接。

在此，作為電晶體 162，例如採用上述使用氧化物半導體的電晶體。使用氧化物半導體的電晶體具有截止電流極小的特徵，並且由於在電晶體 162 的氧化物半導體層中設置有偏置區，所以可以進一步降低截止電流。因此，藉由使電晶體 162 成為截止狀態，能夠極為長期保持電晶體 160 的閘極電極的電位。並且，因為具有電容元件 164，所以容易保持施加到電晶體 160 的閘極電極的電荷，並且，容易讀出所保持的資料。此外，當然可以採用上述電晶體 262 或電晶體 362 代替電晶體 162。

另外，對電晶體 160 沒有特別的限定。從提高讀出資料的速度的觀點來看，例如，最好採用如使用單晶矽的電晶體等開關速度快的電晶體。

此外，如圖 10B 所示，也可以採用不設置電容元件 164 的結構。

在圖 10A-1 所示的半導體裝置中，藉由有效地利用能夠保持電晶體 160 的閘極電極的電位的特徵，可以如下所述那樣進行資料的寫入、保持以及讀出。

最初，說明資料的寫入及保持。首先，將第四佈線的電位設定為使電晶體 162 成為導通狀態的電位，使電晶體 162 成為導通狀態。由此，對電晶體 160 的閘極電極及電容元件 164 中的一方電極施加第三佈線的電位。換言之，將規定的電荷施加到電晶體 160 的閘極電極（寫入）。在

此，施加兩個不同的電位的電荷（下面，將施加低電位的電荷稱為電荷 Q_L ，將施加高電位的電荷稱為電荷 Q_H ）中的任一種藉由第三佈線被施加到電晶體 160 的閘極電極。另外，也可以採用施加三個或三個以上不同的電位的電荷來提高儲存容量。然後，藉由將第四佈線的電位設定為使電晶體 162 成為截止狀態的電位，使電晶體 162 成為截止狀態，而保持施加到電晶體 160 的閘極電極的電荷（保持）。

因為電晶體 162 的截止電流極小，所以電晶體 160 的閘極電極的電荷被長期保持。

接下來，說明資料的讀出。當在對第一佈線施加規定的電位（恒電位）的狀態下，對第五佈線施加適當的電位（讀出電位）時，第二佈線根據保持在電晶體 160 的閘極電極的電荷量具有不同的電位。一般來說，這是因為如下緣故：在電晶體 160 為 n 通道型電晶體時，當對電晶體 160 的閘極電極施加 Q_H 時的外觀上的臨界值 V_{th_H} 低於當對電晶體 160 的閘極電極施加 Q_L 時的外觀上的臨界值 V_{th_L} 。在此，外觀上的臨界值是為了使電晶體 160 成為“導通狀態”所需要的第五佈線的電位。因此，藉由將第五佈線的電位設定為 V_{th_H} 和 V_{th_L} 之間的電位 V_0 ，可以辨別施加到電晶體 160 的閘極電極的電荷。例如，在寫入中，在對電晶體 160 的閘極電極施加 Q_H 的情況下，當第五佈線的電位成為 V_0 ($>V_{th_H}$) 時，電晶體 160 成為“導通狀態”。在對電晶體 160 的閘極電極施加 Q_L 的情況下

，即使在第五佈線的電位成為 $V_0 (< V_{th_L})$ 時，電晶體 160 還保持“截止狀態”。由此，可以根據第二佈線的電位讀出所保持的資料。

另外，當將記憶單元佈置為陣列狀而使用時，需要可以唯讀出所希望的記憶單元的資料。像這樣，當讀出規定的記憶單元的資料，而不讀出除此之外的記憶單元的資料時，只要對讀出物件以外的記憶單元的第五佈線施加無論電晶體 160 的閘極電極的狀態如何都使電晶體 160 成為“截止狀態”的電位，即小於 V_{th_H} 的電位，即可。或者，對讀出物件以外的記憶單元的第五佈線施加無論閘極電極的狀態如何都使電晶體 160 成為“導通狀態”的電位，即大於 V_{th_L} 的電位，即可。

接下來，說明資料的重寫。資料的重寫與上述的資料的寫入及保持同樣地進行。也就是說，將第四佈線的電位設定為電晶體 162 成為導通狀態的電位，使電晶體 162 成為導通狀態。由此，第三佈線的電位（有關新的資料的電位）被施加到電晶體 160 的閘極電極及電容元件 164。然後，藉由將第四佈線的電位設定為電晶體 162 成為截止狀態的電位，使電晶體 162 成為截止狀態，電晶體 160 的閘極電極成為有關新的資料的電荷被施加的狀態。

如此，根據所公開的發明的半導體裝置可以藉由再度寫入資料來對資料直接重寫。由此，不需要快閃記憶體等需要的利用高電壓從浮動閘極抽出電荷的工作，而可以抑制起因於擦除工作的工作速度的降低。就是說，可以實現

半導體裝置的高速工作。

另外，電晶體 162 的源極電極及汲極電極中的一方藉由與電晶體 160 的閘極電極電連接而起到與用作非易失性記憶元件的浮動閘極型電晶體的浮動閘極同等的作用。由此，有時將附圖中的電晶體 162 的源極電極及汲極電極中的一方與電晶體 160 的閘極電極電連接的部分稱為浮動閘極部 FG。當電晶體 162 處於截止狀態時，可以認為該浮動閘極部 FG 被埋設在絕緣體中，而在浮動閘極部 FG 中保持電荷。因為使用氧化物半導體的電晶體 162 的截止電流為使用矽半導體等形成的電晶體的截止電流的十萬分之一以下，所以可以不考慮因電晶體 162 的漏泄而導致的儲存在浮動閘極部 FG 中的電荷的消失。也就是說，藉由採用使用氧化物半導體的電晶體 162，可以製造出即使沒有電力供應也能夠保持資料的非易失性儲存裝置。

例如，在室溫（25℃）下的電晶體 162 的截止電流為 10zA（1zA（仄普托安培）為 1×10^{-21} A）以下並且電容元件 164 的電容值為 10fF 左右的情況下，能夠在至少 10^4 秒以上的期間保持資料。另外，不用說，該保持時間根據電晶體特性或電容值而變動。

此外，在此情況下不存在在現有的浮動閘極型電晶體中被指出的閘極絕緣膜（隧道絕緣膜）的劣化的問題。也就是說，可以解決以往被視為問題的將電子注入到浮動閘極時的閘極絕緣膜的劣化問題。這意味著在原理上沒有寫入次數的限制。此外，也不需要現在現有的浮動閘極型電晶

體中當進行寫入或擦除時需要的高電壓。

圖 10A-1 所示的半導體裝置可以被認為如圖 10A-2 所示的半導體裝置，其中，構成該半導體裝置的電晶體等的要素包括電阻及電容器。也就是說，可以認為在圖 10A-2 中，電晶體 160 和電容元件 164 分別包括電阻及電容器。 R_1 及 C_1 分別是電容元件 164 的電阻值及電容值，其中電阻值 R_1 相當於構成電容元件 164 的絕緣層的電阻值。此外， R_2 及 C_2 分別是電晶體 160 的電阻值及電容值，其中電阻值 R_2 相當於電晶體 160 處於導通狀態時的閘極絕緣層的電阻值，電容值 C_2 相當於所謂的閘極電容（形成在閘極電極與源極電極或汲極電極之間的電容以及形成在閘極電極與通道形成區之間的電容）的電容值。

當以電晶體 162 處於截止狀態時的源極電極和汲極電極之間的電阻值（也稱為有效電阻）為 R_{OS} 時，在電晶體 162 的閘極洩漏足夠小的條件下，若 R_1 及 R_2 滿足 $R_1 \geq R_{OS}$ 且 $R_2 \geq R_{OS}$ ，則電荷的保持期間（還可以稱為資料的保持期間）主要取決於電晶體 162 的截止電流。

反之，若不滿足該條件，則即使電晶體 162 的截止電流足夠小，也難以充分確保保持期間。這是因為電晶體 162 的截止電流以外的洩漏電流（例如，發生在電晶體 160 的源極電極和閘極電極之間的洩漏電流等）較大的緣故。由此，可以說，本實施例所公開的半導體裝置最好是滿足上述關係的半導體裝置。

另一方面， C_1 和 C_2 最好滿足 $C_1 \geq C_2$ 的關係。這是

因為如下緣故：藉由增加 C1，當利用第五佈線控制浮動閘極部 FG 的電位時，可以對浮動閘極部 FG 高效地施加第五佈線的電位，從而可以將施加到第五佈線的電位之間（例如，讀出電位和非讀出電位）的電位差抑制為小。

藉由滿足上述關係，可以製造出更良好的半導體裝置。另外，R1 及 R2 取決於電晶體 160 的閘極絕緣層或電容元件 164 的絕緣層。C1 及 C2 也是同樣的。因此，最好的是，適當地設定閘極絕緣層的材料或厚度等，以滿足上述關係。

在本實施例所示的半導體裝置中，浮動閘極部 FG 雖然起到與快閃記憶體等的浮動閘極型電晶體的浮動閘極同等的作用，但是，本實施例中的浮動閘極部 FG 具有與快閃記憶體等的浮動閘極根本不同的特徵。因為在快閃記憶體中施加到控制閘極的電壓高，所以為了防止其電位影響到相鄰的單元的浮動閘極，需要在各單元之間保持一定程度的間隔。這是阻礙半導體裝置的高整合化的主要原因之一。並且，該主要原因是起因於藉由施加高電場發生隧道電流的快閃記憶體的根本原理的。

另一方面，根據本實施例的半導體裝置根據使用氧化物半導體的電晶體的開關而工作，並且不使用如上所述的利用隧道電流的電荷注入的原理。換言之，不需要快閃記憶體所需要的用來注入電荷的高電場。由此，因為不需要考慮控制閘極帶給相鄰的單元的高電場的影響，所以容易實現高整合化。

此外，不需要高電場及大型週邊電路（升壓電路等）的一點也是優越於快閃記憶體的一點。例如，在寫入二級（一位元）資料的情況下，在一個記憶單元中，施加到根據本實施例的記憶單元的電壓（同時施加到記憶單元的各端子的電位中的最大電位與最小電位之間的差異）的最大值可以為 5V 以下，最好為 3V 以下。

在使構成電容元件 164 的絕緣層的相對介電常數 ϵ_{r1} 與構成電晶體 160 的絕緣層的相對介電常數 ϵ_{r2} 不同時，容易在構成電容元件 164 的絕緣層的面積 $S1$ 和電晶體 160 中的構成閘極電容的絕緣層的面積 $S2$ 滿足 $2 \cdot S2 \geq S1$ （最好的是， $S2 \geq S1$ ）的同時實現 $C1 \geq C2$ 。換言之，容易在減小構成電容元件 164 的絕緣層的面積的同時實現 $C1 \geq C2$ 。明確而言，例如，藉由作為構成電容元件 164 的絕緣層採用含有如氧化鉛等 high-k 材料的膜、或者含有如氧化鉛等 high-k 材料的膜和含有氧化物半導體的膜的疊層結構，可以將 ϵ_{r1} 設定為 10 以上，最好設定為 15 以上，並且藉由作為構成閘極電容的絕緣層採用氧化矽，可以將 ϵ_{r2} 設定為 3 至 4。

藉由採用這種結構的組合，可以實現根據所公開的發明的半導體裝置的進一步的高整合化。

另外，為了增大半導體裝置的儲存容量，除了採用高整合化以外，還可以採用多值化。例如，藉由採用對記憶單元中的一個寫入三級以上資料的結構，與寫入二級資料時相比可以增大儲存容量。例如，藉由不僅將上述的施加

低電位的電荷 Q_L 及施加高電位的電荷 Q_H 施加到第一電晶體的閘極電極而且還將施加其他電位的電荷 Q 施加到第一電晶體的閘極電極，可以實現多值化。在此情況下，即使採用 F^2 值（單元面積的最小加工尺寸比）不夠小的電路結構，也可以充分確保儲存容量。

另外，上面說明了使用以電子為多數載子的 n 型電晶體（n 通道型電晶體）的情況，但是當然可以使用以電洞為多數載子的 p 型電晶體代替 n 型電晶體。

如上所述，根據本實施例的半導體裝置適於高整合化，並且藉由根據所公開的發明的一個實施例在多個記憶單元中共同使用佈線並減小接觸區域等，可以提供進一步提高整合度的半導體裝置。

本實施例所示的結構及方法等可以與其他實施例所示的結構及方法等適當地組合來使用。

實施例 4

在本實施例中，將說明上述實施例中所說明的半導體裝置的應用例子之一。明確而言，將說明將上述實施例中所說明的半導體裝置排列成矩陣狀的半導體裝置的一個例子。

圖 11 示出具有（ $m \times n$ ）位元儲存容量的半導體裝置的電路圖的一個例子。另外，在圖 11 中，當形成有多個具有相同功能的佈線時，在佈線名稱後附上“_1”、“_2”、“_m”、“_n”等而區別。

根據本發明的一個實施例的半導體裝置包括 m 條（ m 為 2 以上的整數）信號線 S ； m 條字線 WL ； n 條（ n 為 2 以上的整數）位元線 BL ； k 條（ k 為小於 n 的自然數）源線 SL ；以縱 m 個（列） $\times$ 橫 n 個（行）的矩陣狀佈置有記憶單元 1100 的記憶單元陣列；以及如第一驅動電路 1111、第二驅動電路 1112、第三驅動電路 1113、第四驅動電路 1114 等的週邊電路。在此，記憶單元 1100 採用上述實施例中說明的結構（圖 10A-1 所示的結構）。

各記憶單元 1100 分別包括第一電晶體、第二電晶體及電容元件。在各記憶單元 1100 中，第一電晶體的閘極電極、第二電晶體的源極電極及汲極電極中的一方和電容元件的電極中的一方電連接，源線 SL 與第一電晶體的源極電極（源極區）電連接。再者，位元線 BL 、第二電晶體的源極電極及汲極電極中的另一方和第一電晶體的汲極電極電連接，字線 WL 與電容元件的電極中的另一方電連接，並且信號線 S 與第二電晶體的閘極電極電連接。也就是說，源線 SL 相當於圖 10A-1 所示的結構中的第一佈線（1st Line），位元線 BL 相當於第二佈線（2nd Line）及第三佈線（3rd Line），信號線 S 相當於第四佈線（4th Line），並且字線 WL 相當於第五佈線（5th Line）。

此外，在圖 11 所示的記憶單元陣列中，位元線 BL 、源線 SL 、字線 WL 及信號線 S 構成矩陣。一條位元線 BL 連接有佈置在同一行上的 m 個記憶單元 1100。此外，一條字線 WL 及一條信號線 S 分別連接有佈置在同一列上的

n 個記憶單元 1100。此外，由於源線 SL 的個數少於位元線 BL 的個數，所以一條源線 SL 需要與多個記憶單元 1100 連接，該多個記憶單元 1100 至少包括與彼此不同的行的位元線 BL 連接的記憶單元 1100。換言之，一條源線 SL 連接有 j 個（ j 為 $(m+1)$ 以上且 $(m \times n)$ 以下的整數）的記憶單元 1100。另外，最好對多條位元線 BL 佈置一條源線 SL（即， (n/k) 為整數）。在此情況下，若相同個數的記憶單元 1100 連接於各源線 SL，則一條源線 SL 連接有 $(m \times n/k)$ 個記憶單元 1100。

藉由採用圖 11 所示的記憶單元陣列的結構，其中使記憶單元 1100 之一和其他記憶單元 1100 連接的一條源線 SL 與多個記憶單元 1100 連接，該多個記憶單元 1100 至少包括與彼此不同的行的位元線 BL 連接的記憶單元 1100，由於使源線 SL 的個數少於位元線 BL 的個數，所以可以充分減少源線的個數，從而可以提高半導體裝置的整合度。

位元線 BL 與第一驅動電路 1111 電連接，源線 SL 與第二驅動電路 1112 電連接，信號線 S 與第三驅動電路 1113 電連接，字線 WL 與第四驅動電路 1114 電連接。另外，在此雖然獨立地設置第一驅動電路 1111、第二驅動電路 1112、第三驅動電路 1113 及第四驅動電路 1114，但是所公開的發明不侷限於此。也可以採用具有任一個或多個功能的驅動電路。

接下來，將說明寫入工作及讀出工作。圖 12 為圖 11

所示的半導體裝置的寫入工作及讀出工作的時序圖的一個例子。

另外，爲了簡便起見，在此雖然說明由 2 列×2 行的記憶單元陣列構成的半導體裝置的工作，但是所公開的發明不侷限於此。

將說明對第一列上的記憶單元 1100 (1, 1) 及記憶單元 1100 (1, 2) 進行寫入的情況以及從第一列上的記憶單元 1100 (1, 1) 及記憶單元 1100 (1, 2) 進行讀出的情況。另外，下面說明對記憶單元 (1, 1) 寫入的資料爲“1”且對記憶單元 (1, 2) 寫入的資料爲“0”的情況。

首先，說明寫入。首先，對第一列信號線 S₁ 施加電位 V1，使第一列上的第二電晶體成爲導通狀態。此外，對第二列信號線 S₂ 施加電位 0V，使第二列上的第二電晶體成爲截止狀態。

此外，對第一行位元線 BL₁ 施加電位 V2，並且對第二行位元線 BL₂ 施加電位 0V。

其結果，電位 V2 被施加到記憶單元 (1, 1) 的浮動閘極部 FG，並且電位 0V 被施加到記憶單元 (1, 2) 的浮動閘極部 FG。在此，電位 V2 爲高於第一電晶體的臨界值的電位。並且，將第一列信號線 S₁ 的電位設定爲 0V，使第一列上的第二電晶體成爲截止狀態。這樣寫入結束。另外，最好將電位 V2 設定爲與電位 V1 同等或電位 V1 以下的電位。

另外，在寫入工作期間，將第一列字線 WL_1 及第二列字線 WL_2 的電位設定為電位 $0V$ 。此外，當寫入結束時，在使第一行位元線 BL_1 的電位改變之前，將第一列信號線 S_1 的電位設定為電位 $0V$ 。在寫入結束後，當寫入資料“0”時的記憶單元的臨界值為 V_{w0} ，而當寫入資料“1”時的記憶單元的臨界值為 V_{w1} 。在此，記憶單元的臨界值是指當第一電晶體的源極電極和汲極電極之間的電阻狀態發生變化時的連接於字線 WL 的端子的電壓。另外，在此， $V_{w0} > 0 > V_{w1}$ 。

接下來，說明讀出。在此，位元線 BL 電連接有圖 13 所示的讀出電路。

首先，對第一列字線 WL_1 施加電位 $0V$ ，並且對第二列字線 WL_2 施加電位 V_L 。電位 V_L 為低於臨界值 V_{w1} 的電位。當將字線 WL_1 的電位設定為電位 $0V$ 時，第一列上的保持資料“0”的記憶單元的第一電晶體成為截止狀態，而第一列上的保持資料“1”的記憶單元的第一電晶體成為導通狀態。當將字線 WL_2 的電位設定為電位 V_L 時，在第二列上的保持資料“0”或“1”的記憶單元中第一電晶體都成為截止狀態。

其結果，由於記憶單元 $(1, 1)$ 的第一電晶體處於導通狀態，所以位元線 BL_1 -源線 SL 之間成為低電阻狀態，並且由於記憶單元 $(1, 2)$ 的第一電晶體處於截止狀態，所以位元線 BL_2 -源線 SL 之間成為高電阻狀態。與位元線 BL_1 及位元線 BL_2 連接的讀出電路可以根據位元

線的電阻狀態的差別讀出資料。

另外，在讀出工作期間，對信號線 S_1 施加電位 $0V$ 並且對信號線 S_2 施加電位 V_L ，而使所有的第二電晶體成為截止狀態。由於第一列上的浮動閘極部 FG 的電位為 $0V$ 或 V_2 ，所以藉由將信號線 S_1 設定為電位 $0V$ ，可以使所有的第二電晶體成為截止狀態。另一方面，當對字線 WL_2 施加電位 V_L 時，第二列上的浮動閘極部 FG 的電位成為低於寫入剛結束後的電位的電位。由此，為了防止第二電晶體成為導通狀態，將信號線 S_2 的電位設定為與字線 WL_2 的電位同等的低電位（電位 V_L ）。也就是說，在不進行讀出的列上，將信號線 S 和字線 WL 的電位設定為相同電位（電位 V_L ）。據此，可以使所有的第二電晶體成為截止狀態。

將說明作為讀出電路使用圖 13 所示的電路時的輸出電位。在圖 13 所示的讀出電路中，位元線 BL 藉由由讀使能信號（ RE 信號）控制的開關與時鐘反相器及電晶體連接，該電晶體與電位 V_1 被施加的佈線二極體連接。此外，對源線 SL 施加恒電位（例如 $0V$ ）。由於位元線 BL_1 和源線 SL 之間為低電阻，所以低電位被輸入到時鐘反相器，而輸出 D_1 為 High。由於位元線 BL_2 和源線 SL 之間為高電阻，所以高電位被輸入到時鐘反相器，而輸出 D_2 為 Low。

工作電位例如可以為 $V_1=2V$ ， $V_2=1.5V$ ， $V_H=2V$ ， $V_L=-2V$ 。

接下來，將說明與上述寫入工作不同的寫入工作。要寫入的資料與上述寫入工作中的資料相同。圖 14 為該寫入工作及讀出工作的時序圖的一個例子。

在使用圖 12 所示的時序圖的寫入（對第一列進行寫入）中，由於當進行寫入時的字線 WL_2 的電位為電位 0V，所以例如當寫入在記憶單元（2，1）或記憶單元（2，2）中的資料為資料“1”時，在位元線 BL_1 與位元線 BL_2 之間流過恒電流。這是因為，當對第一列進行寫入時，第二列上的記憶單元所具有的第一電晶體成為導通狀態，並且位元線 BL_1 與位元線 BL_2 藉由源線以低電阻連接的緣故。圖 14 所示的寫入工作是防止這種恒電流的發生的方法。

首先，對第一列信號線 S_1 施加電位 V1，使第一列上的第二電晶體成為導通狀態。此外，對第二列信號線 S_2 施加電位 0V，使第二列上的第二電晶體成為截止狀態。

此外，對第一行位元線 BL_1 施加電位 V2，並且第二行位元線 BL_2 施加電位 0V。

其結果，對記憶單元（1，1）的浮動閘極部 FG 施加電位 V2，對記憶單元（1，2）的浮動閘極部 FG 施加電位 0V。在此，電位 V2 為高於第一電晶體的臨界值的電位。並且，將第一列信號線 S_1 的電位設定為 0V，使第一列上的第二電晶體成為截止狀態，這樣寫入結束。

另外，在寫入工作期間，將第一列字線 WL_1 的電位

設定為電位 $0V$ ，並且將第二列字線 WL_2 的電位設定為電位 V_L 。藉由將第二列字線 WL_2 的電位設定為電位 V_L ，在第二列上的保持資料“0”或“1”的所有記憶單元中，第一電晶體都成為截止狀態。此外，在寫入工作期間，對源線 SL 施加電位 V_2 。當寫入資料都是“0”時，也可以對源線施加電位 $0V$ 。

此外，在寫入結束時，在使第一行位元線 BL_1 的電位變化之前，將第一列信號線 S_1 的電位設定為電位 $0V$ 。在寫入結束後，寫入的資料為“0”時的記憶單元的臨界值為 V_{w0} ，而寫入的資料為“1”時的記憶單元的臨界值為 V_{w1} 。在此， $V_{w0} > 0 > V_{w1}$ 。

在該寫入工作中，由於不進行寫入的列（在此情況下的第二列）上的記憶單元的第一電晶體處於截止狀態，所以只有進行寫入的列上的記憶單元具有在位元線和源線之間發生恒電流的問題。當對進行寫入的列上的記憶單元寫入資料“0”時，由於該記憶單元所具有的第一電晶體成為截止狀態，所以不發生恒電流。另一方面，當對進行寫入的列上的記憶單元寫入資料“1”時，由於該記憶單元所具有的第一電晶體成為導通狀態，所以當在源線 SL 和位元線 BL （在此情況下的位元線 BL_1 ）之間存在電位差時，發生恒電流。於是，將源線 SL 的電位設定為與位元線 BL_1 的電位 V_2 相同的電位，可以防止在位元線和源線之間發生的恒電流。

如上所述，藉由進行該寫入工作，可以防止當進行寫

入時發生的恒電流。也就是說，在該寫入工作中，可以充分抑制進行寫入工作時的耗電量。

另外，讀出工作與上述讀出工作相同。

藉由將截止電流極小的含有氧化物半導體的半導體裝置用作圖 11 所示的半導體裝置，能夠極為長期保持儲存資料。也就是說，由於可以不需要刷新工作或可以使刷新工作的頻度極低，所以可以充分降低耗電量。此外，即使沒有電力供應，也能夠長期保持儲存資料。

此外，圖 11 所示的半導體裝置當寫入資料時不需要高電壓，而且元件退化的問題也沒有。因此，圖 11 所示的半導體裝置對能夠重寫的次數沒有限制，這是現有的非易失性記憶體所具有的問題，因此顯著提高可靠性。再者，因為藉由使電晶體成為導通狀態或截止狀態來寫入資料，所以容易實現高速工作。此外，還有不需要用於擦除資料的工作的優點。

此外，因為使用氧化物半導體以外的材料的電晶體能夠進行充分高速的工作，所以藉由將該電晶體與使用氧化物半導體的電晶體組合來使用，可以充分確保半導體裝置的工作（例如，資料的讀出工作）的高速性。此外，藉由利用使用氧化物半導體以外的材料的電晶體，可以正好實現被要求高速工作的各種電路（邏輯電路、驅動電路等）。

如此，藉由將使用氧化物半導體以外的材料的電晶體和使用氧化物半導體的電晶體設置為一體，可以實現具有

新穎特徵的半導體裝置。

再者，在圖 11 所示的半導體裝置中，可以減少每一個記憶單元所需要的佈線個數。由此，可以減小記憶單元所占的面積，而可以增大半導體裝置的每單位面積的儲存容量。

本實施例所示的結構及方法等可以與其他實施例所示的結構及方法等適當地組合來使用。

實施例 5

在本實施例中，使用圖 15A 至 15F 說明將上述實施例所說明的半導體裝置應用於電子設備的情況。在本實施例中，對將上述半導體裝置應用於電腦、行動電話機（也稱為手機、行動電話裝置）、可攜式資訊終端（包括可攜式遊戲機、聲音再現裝置等）、數位相機、數位攝像機、電子紙、電視裝置（也稱為電視或電視接收機）等的電子設備的情況進行說明。

圖 15A 示出筆記本型個人電腦，該筆記本個人電腦包括框體 701、框體 702、顯示部分 703、鍵盤 704 等。在框體 701 及框體 702 中的至少一個設置有上述的實施例所示的半導體裝置。因此，可以製造出其寫入及讀出資料的速度很快，能夠長期保持儲存資料，而且耗電量被充分降低了的筆記本型個人電腦。

圖 15B 示出可攜式資訊終端（PDA），其主體 711 包括顯示部分 713、外部介面 715 及操作按鈕 714 等。此外

，它還包括用來操作可攜式資訊終端的觸摸筆 712 等。在主體 711 中設置有上述實施例所示的半導體裝置。因此，可以製造出其寫入和讀出資料的速度很快，能夠長期保持儲存資料，而且耗電量被充分降低了的可攜式資訊終端。

圖 15C 示出安裝有電子紙的電子書閱讀器 720，該電子書閱讀器包括兩個框體，即框體 721 和框體 723。框體 721 設置有顯示部分 725，並且框體 723 設置有顯示部分 727。框體 721 和框體 723 由軸部 737 彼此連接，並且可以以該軸部 737 為軸進行開閉動作。此外，框體 721 包括電源 731、操作鍵 733 及揚聲器 735 等。在框體 721 和框體 723 中的至少一個設置有上述實施例所示的半導體裝置。因此，可以製造出其寫入和讀出資料的速度快，能夠長期保持儲存資料，而且耗電量被充分降低了的電子書閱讀器。

圖 15D 示出行動電話機，該行動電話機包括兩個框體，即框體 740 和框體 741。再者，框體 740 和框體 741 滑動而可以從如圖 15D 所示那樣的展開狀態變成重疊狀態，因此可以實現適於攜帶的小型化。此外，框體 741 包括顯示面板 742、揚聲器 743、麥克風 744、操作鍵 745、定位裝置 746、照相用透鏡 747 以及外部連接端子 748 等。此外，框體 740 包括對行動電話機進行充電的太陽能電池單元 749 和外部記憶體插槽 750 等。此外，天線被內置在框體 741 中。在框體 740 和框體 741 中的至少一個設置有上述實施例所示的半導體裝置。因此，可以製造出其寫

入和讀出資料的速度很快，能夠長期保持儲存資料，而且耗電量被充分降低了的行動電話機。

圖 15E 示出數位相機，該數位相機包括主體 761、顯示部分 767、取景器部分 763、操作開關 764、顯示部分 765 以及電池 766 等。在主體 761 中設置有上述實施例所示的半導體裝置。因此，可以製造出其寫入和讀出資料的速度很快，能夠長期保持儲存資料，而且耗電量被充分降低了的數位相機。

圖 15F 示出電視裝置 770，該電視裝置包括框體 771、顯示部分 773 以及支架 775 等。可以使用框體 771 所具有的開關、遙控操作機 780 來進行電視裝置 770 的操作。框體 771 和遙控操作機 780 安裝有上述實施例所示的半導體裝置。因此，可以製造出其寫入和讀出資料的速度很快，能夠長期保持儲存資料，而且耗電量被充分降低了的電視裝置。

如上所述，根據本實施例的電子設備安裝有根據上述實施例的半導體裝置。因此，可以製造出耗電量被降低了的電子設備。

範例 1

在本範例中示出對具有偏置區的電晶體中的截止電流與沒有偏置區的電晶體中的截止電流進行對比的結果，沒有偏置區的電晶體是其半導體層的整個區域與源極電極、汲極電極或閘極電極重疊的電晶體。

首先，下面說明本範例中的截止電流值的算出例子。
在本範例中藉由利用使用特性評估電路的洩漏電流測量技術，測量截止電流值。

圖 16 為表示特性評估電路的結構的電路圖。圖 16 所示的特性評估電路裝有多個測量系統 801。多個測量系統 801 彼此並聯。在此，作為特性評估電路的結構的一個例子示出八個測量系統 801 並聯的結構。

測量系統 801 包括電晶體 811、電晶體 812、電容元件 813、電晶體 814 以及電晶體 815。

電壓 V1 輸入到電晶體 811 的源極及汲極電極中的一方，並且電壓 Vext_a 輸入到電晶體 811 的閘極。電晶體 811 為用於注入電荷的電晶體。

電晶體 812 的源極及汲極電極中的一方與電晶體 811 的源極及汲極電極中的另一方連接，電壓 V2 輸入到電晶體 812 的源極及汲極電極的另一方，並且電壓 Vext_b 輸入到電晶體 812 的閘極。電晶體 812 為用於評估洩漏電流的電晶體。另外，這裏所說的洩漏電流是包括電晶體的截止電流的洩漏電流。

電容元件 813 的第一電極與電晶體 811 的源極及汲極電極中的另一方連接，並且電壓 V2 輸入到電容元件 813 的第二電極。在此，作為電壓 V2 輸入 0V。

電壓 V3 輸入到電晶體 814 的源極及汲極電極中的一方，並且電晶體 814 的閘極與電晶體 811 的源極及汲極電極中的另一方連接。另外，將電晶體 814 的閘極、電晶體

811 的源極及汲極電極中的另一方、電晶體 812 的源極及汲極電極中的一方與電容元件 813 的第一電極連接的部分還稱為節點 A。

電晶體 815 的源極及汲極電極中的一方與電晶體 814 的源極及汲極電極中的另一方連接，電壓 V_4 輸入到電晶體 815 的源極及汲極電極中的另一方，並且電壓 V_{ext_c} 輸入到電晶體 815 的閘極。另外，在此，作為電壓 V_{ext_c} 輸入 $0.5V$ 。

再者，在測量系統 801 中，將電晶體 814 的源極及汲極電極中的另一方與電晶體 815 的源極及汲極電極中的一方連接的部分的電壓作為輸出電壓 V_{out} 來輸出。

在本範例中，作為電晶體 811 的一個例子採用包括氧化物半導體層，而且其通道長度 $L=10\mu m$ 且其通道寬度 $W=10\mu m$ 的電晶體。此外，作為電晶體 814 及電晶體 815 的一個例子採用包括氧化物半導體層，而且其通道長度 $L=3\mu m$ 且其通道寬度 $W=100\mu m$ 的電晶體。此外，作為電晶體 812 的一個例子採用包括氧化物半導體層，而且源極電極及汲極電極與氧化物半導體層的上部接觸的底閘極結構的電晶體。並且，作為電晶體 812 採用結構 A 及結構 B 的兩種結構的電晶體，以測量通道寬度 W 不同的四個條件（參照圖表 1）。

[圖表 1]

	電 晶 體 結 構	通 道 長 度 L [μm]	通 道 寬 度 W [μm]
條 件 1	結 構 A	10	1×10^5
條 件 2	結 構 A	10	1×10^6
條 件 3	結 構 B	10	1×10^5
條 件 4	結 構 B	10	1×10^6

另外，圖表 1 中的結構 A 的電晶體為如圖 20A 所示的包括閘極電極 600、隔著閘極絕緣層 602 設置在閘極電極 600 上的氧化物半導體層 604、以及設置在氧化物半導體層 604 上的源極電極 605a 及汲極電極 605b 的底閘極型電晶體。結構 A 的電晶體為在氧化物半導體層中具有偏置區（ L_{OFF_S} 及 L_{OFF_D} ）的根據本發明的一個實施例的電晶體，並且將其偏置寬度 L_{OFF_S} 、 L_{OFF_D} 都設定為 $1\mu\text{m}$ 。此外，圖表 1 中的結構 B 的電晶體為如圖 20B 所示的包括閘極電極 600、隔著閘極絕緣層 602 設置在閘極電極 600 上的氧化物半導體層 604、以及設置在氧化物半導體層 604 上的源極電極 605a 及汲極電極 605b 的底閘極型電晶體。為了與結構 A 的電晶體比較，在結構 B 的電晶體中，氧化物半導體層 604 的整個區域與源極電極 605a、汲極電極 605b 以及閘極電極 600 重疊。此外，結構 B 的電晶體在氧化物半導體層 604 中包括其與源極電極 605a 及閘極電極 600 重疊的區域（ L_{ov_s} ）及其與汲極電極 605b 及閘極電極 600 重疊的區域（ L_{ov_D} ）。在結構 B 的電晶體中， L_{ov_s} 及 L_{ov_D} 的寬度都是 $2\mu\text{m}$ 。

如圖 16 所示，藉由分別設置用於注入電荷的電晶體 811 和用於評估洩漏電流的電晶體 812，可以在注入電荷時一直使用於評估洩漏電流的電晶體 812 處於截止狀態。在不設置用於注入電荷的電晶體 811 的情況下，需要在注入電荷時一旦使用於評估洩漏電流的電晶體 812 成為導通狀態，但是，若是當從導通狀態變成截止狀態的恒定狀態時需要較長時間的元件，則為了測量要花費較長時間。

此外，藉由分別設置用於注入電荷的電晶體 811 和用於評估洩漏電流的電晶體 812，可以將各電晶體形成為適當的尺寸。此外，藉由使用於評估洩漏電流的電晶體 812 的通道寬度 W 大於用於注入電荷的電晶體 811 的通道寬度 W ，可以相對減少用於評估洩漏電流的電晶體 812 以外的特性評估電路的洩漏電流成分。其結果，能夠高精度地測量用於評估洩漏電流的電晶體 812 的洩漏電流。並且，由於不需要當注入電荷時一旦使用於評估洩漏電流的電晶體 812 成為導通狀態，所以沒有節點 A 的電壓因用於評估洩漏電流的電晶體 812 的通道形成區的電荷的一部分流向節點 A 而變動的影響。

另一方面，藉由使用於注入電荷的電晶體 811 的通道寬度 W 小於用於評估洩漏電流的電晶體 812 的通道寬度 W ，可以相對降低用於注入電荷的電晶體 811 的洩漏電流。此外，在當注入電荷時的開關之際，節點 A 的電壓因用於評估洩漏電流的電晶體 812 的通道形成區的電荷的一部分流向節點 A 而變動的程度也小。

此外，如圖 16 所示，藉由採用多個測量系統並聯的結構，能夠更正確地算出特性評估電路的洩漏電流。

接下來，將說明使用圖 16 所示的特性評估電路算出本範例的電晶體的截止電流值的方法。

首先，使用圖 17 說明使用圖 16 所示的特性評估電路測量洩漏電流的方法。圖 17 為用於說明使用圖 16 所示的特性評估電路測量洩漏電流的方法的時序圖。

使用圖 16 所示的特性評估電路測量洩漏電流的方法被分為寫入期間及保持期間。下面說明各個期間的工作。

首先，在寫入期間，作為電壓 V_{ext_b} 輸入使電晶體 812 成為截止狀態的電壓 V_L ($-3V$)。此外，在作為電壓 V_1 輸入寫入電壓 V_w 之後，作為電壓 V_{ext_a} 輸入使電晶體 811 在一定期間成為導通狀態的電壓 V_H ($5V$)。據此，電荷被儲存在節點 A，而節點 A 的電壓成為與寫入電壓 V_w 同等的值。然後，作為電壓 V_{ext_a} 輸入使電晶體 811 成為截止狀態的電壓 V_L 。然後，作為電壓 V_1 輸入電壓 V_{SS} ($0V$)。

然後，在保持期間，測量輸出電壓 V_{out} 。藉由測量 V_{out} ，可以算出節點 A 的電位。並且，可以根據節點 A 的電壓的變化量測量節點 A 所保持的電荷量的變化，並且可以算出電晶體 812 的洩漏電流。藉由上述步驟，可以將電荷儲存在節點 A 並且測量節點 A 的電壓的變化量。

一般來說，節點 A 的電壓 V_A 作為輸出電壓 V_{out} 的函數由算式 (1) 表示。

[算式 1]

$$V_A = F(V_{out}) \quad (1)$$

此外，節點 A 的電荷 Q_A 可以使用節點 A 的電壓 V_A 、連接到節點 A 的電容 C_A 、常數 (const) 由如下算式 (2) 表示。在此，連接於節點 A 的電容 C_A 為電容元件 813 的電容和電容元件 813 以外的電容成分的總和。

[算式 2]

$$Q_A = C_A V_A + const \quad (2)$$

由於節點 A 的電流 I_A 為流向節點 A 的電荷 (或從節點 A 流出的電荷) 的時空分異，所以節點 A 的電流 I_A 由算式 (3) 表示。

[算式 3]

$$I_A = \frac{\Delta Q_A}{\Delta t} = \frac{C_A \cdot \Delta F(V_{out})}{\Delta t} \quad (3)$$

另外，在此，作為一個例子，將 Δt 設定為大約 54000sec。像這樣，因為可以利用連接於節點 A 的電容 C_A 及輸出電壓 V_{out} 算出作為洩漏電流的節點 A 的電流 I_A ，所以能夠算出特性評估電路的洩漏電流。

接下來，將示出藉由使用上述特性評估電路的測量方法測量輸出電壓的結果及根據該測量結果算出的特性評估電路的洩漏電流值。

在測量中，反復進行對節點 A 的電荷儲存和對節點 A 的電壓的變化量的測量（也稱為儲存及測量工作）。首先，進行十五次第一儲存及測量工作。在第一儲存及測量工作中，在寫入期間作為寫入電壓 V_w 輸入 5V 的電壓，並且在保持期間保持 1 小時。接下來，反復進行兩次第二儲存及測量工作。在第二儲存及測量工作中，在寫入期間作為寫入電壓 V_w 輸入 3.5V 的電壓，並且在保持期間保持 50 小時。接下來，進行一次第三儲存及測量工作。在第三儲存及測量工作中，在寫入期間作為寫入電壓 V_w 輸入 4.5V 的電壓，並且在保持期間保持 10 小時。藉由反復進行儲存及測量工作，確認到所測定的是恒定狀態下的電流值。這樣，可以從流過節點 A 的電流 I_A 除去瞬態電流（從開始測量後隨時間的經過一起減少的電流成分）。其結果，可以更高精度地測量洩漏電流。

圖 18 示出在室溫（25℃）及 85℃ 下的根據上述測量結果估計的條件 1 至條件 4 的節點 A 的電壓和洩漏電流之間的關係。如圖 18 所示，在室溫或 85℃ 的環境下，都確認到具有偏置區的結構 A 的電晶體的洩漏電流低於沒有偏置區的結構 B 的電晶體的洩漏電流。此外，結構 A 的電晶體的洩漏電流在 85℃ 的環境下也是 $1\text{ zA}/\mu\text{m}$ 以下。

如上所述，在使用包括具有通道形成層的功能且高純度化的氧化物半導體層的電晶體的特性評估電路中，由於洩漏電流值足夠低，所以可以確認到具有偏置區的電晶體的截止電流足夠小。此外，可以確認到即使在溫度上升時

，該電晶體的截止電流也足夠小。藉由將這種電晶體應用於半導體裝置，可以製造出可靠性高的半導體裝置。

另外，在本範例中，雖然使用底閘極型電晶體分析了具有偏置區的電晶體的洩漏電流和沒有偏置區的電晶體的洩漏電流，但是，還在將偏置區應用於頂閘極結構的電晶體時也是同樣有效的。因此，還可以降低頂閘極結構的電晶體中的截止電流。

範例 2

在本範例中示出對具有偏置區的頂閘極型電晶體進行計算而得到的截止電流值。

在本範例的計算中使用的電晶體的結構與實施例 2 所示的電晶體 362 的結構相同，其中包括氧化物半導體層；設置在氧化物半導體層上的源極電極及汲極電極；覆蓋氧化物半導體層、源極電極及汲極電極的閘極絕緣層；以及隔著閘極絕緣層與氧化物半導體層重疊的閘極電極。

在本實施例的計算中，將氧化物半導體層假設為本徵半導體，並且將其厚度設定為 30nm，帶隙（ E_g ）為 3.15eV，電子親和力（ χ ）為 4.3eV，介電常數為 15，電子遷移率為 $10\text{cm}^2/\text{Vs}$ 。此外，作為閘極絕緣層使用氧化矽，並且將其介電常數設定為 4.1。此外，作為源極電極及汲極電極使用氮化鈦，並且將其功函數設定為 3.9eV。此外，作為閘極電極使用鎢，並且將其功函數設定為 4.9eV。使用新思（Synopsys）公司製造的裝置模擬器

Sentaurus Device 進行計算。作為複合模式採用 SRH 複合模式及 Auger 複合模式。

在本範例中，在改變了閘極絕緣層的厚度及通道長度 L 的四個條件下進行計算。下面的圖表 2 表示該條件。

[圖表 2]

	閘極絕緣層的 厚 [nm]	通道長度 L [μm]	通道寬度 W [μm]
條件 1	100	10	1×10^6
條件 2	100	3	1×10^6
條件 3	10	1	1×10^6
條件 4	10	0.3	1×10^6

此外，在各個條件中， L_{OFF_S} 及 L_{OFF_D} 的偏置寬度相同，並且在 $0.1\mu\text{m}$ 至 $2\mu\text{m}$ 的範圍內改變偏置寬度的條件。再者，為了進行比較，還對具有相同結構而偏置寬度為 0nm 且 L_{OV_S} 及 L_{OV_D} 都是 $2\mu\text{m}$ 的電晶體進行計算。

圖 19A 示出藉由計算得出的閘極絕緣層的厚度為 100nm 時的偏置寬度和截止電流之間的關係。此外，圖 19B 示出藉由計算得出的閘極絕緣層的厚度為 10nm 時的偏置寬度和截止電流之間的關係。在圖 19A 和 19B 中，對汲極電極電壓 (V_{ds}) 為 3V 且閘極電壓 (V_{gs}) 為 -5V 時的截止電流值進行計算。

根據圖 19A 和 19B 可以確認到具有偏置區的電晶體的洩漏電流低於偏置寬度為 0nm 的電晶體的洩漏電流。此外，還確認到即使在 85°C 的環境下，具有偏置區的電

晶體的截止電流值也足夠小。

此外，圖 19A 和 19B 示出藉由具有偏置區，可以無需依賴於電晶體的通道長度 L 而降低截止電流值。偏置寬度至少需要大於 0nm ，更佳為 $0.5\mu\text{m}$ 以上且 $2\mu\text{m}$ 以下。

如上所述，可以確認到包括高純度化的氧化物半導體層且具有偏置區的電晶體的截止電流足夠小。此外，還確認到即使在溫度上升時，該電晶體的截止電流也足夠小。藉由將這種電晶體應用於半導體裝置，可以製造出可靠性高的半導體裝置。

【圖式簡單說明】

在附圖中：

圖 1A 為半導體裝置的截面圖，圖 1B 為半導體裝置的平面圖；

圖 2A 至 2D 為有關半導體裝置的製造製程的截面圖；

圖 3A 至 3D 為有關半導體裝置的製造製程的截面圖；

圖 4A 至 4C 為有關半導體裝置的製造製程的截面圖；

圖 5A 至 5C 為有關半導體裝置的製造製程的截面圖；

圖 6A 為半導體裝置的截面圖，圖 6B 為半導體裝置的平面圖；

圖 7A 為半導體裝置的截面圖，圖 7B 為半導體裝置的平面圖；

圖 8A 至 8C 為有關半導體裝置的製造製程的截面圖；

圖 9A 至 9C 為有關半導體裝置的製造製程的截面圖；

圖 10A-1、10A-2 以及 10B 為半導體裝置的電路圖；

圖 11 為半導體裝置的電路圖；

圖 12 為時序圖；

圖 13 為半導體裝置的電路圖；

圖 14 為時序圖；

圖 15A 至 15F 為用來說明使用半導體裝置的電子設備的圖；

圖 16 為示出特性評估電路的結構的電路圖；

圖 17 為用來說明使用圖 16 所示的特性評估電路測量洩漏電流的方法的時序圖；

圖 18 為示出藉由測量估計的節點 A 的電壓與洩漏電流之間的關係的圖；

圖 19A 和 19B 為示出藉由計算估計的偏置寬度與截止電流之間的關係的圖；以及

圖 20A 和 20B 為示出用於實施例 1 的測量的電晶體的結構的圖。

【主要元件符號說明】

100 : 基 板
 102 : 保 護 層
 104 : 半 導 體 區
 106 : 元 件 分 離 絕 緣 層
 108 : 閘 極 絕 緣 層
 110 : 閘 極 電 極
 116 : 通 道 形 成 區
 120 : 雜 質 區
 122 : 金 屬 層
 124 : 金 屬 化 合 物 區
 126 : 電 極
 128 : 絕 緣 層
 142a : 電 極
 142b : 電 極
 142c : 電 極
 144 : 氧 化 物 半 導 體 層
 146 : 閘 極 絕 緣 層
 148a : 閘 極 電 極
 148b : 電 極
 148c : 閘 極 電 極
 148d : 閘 極 電 極
 151 : 絕 緣 層
 152 : 絕 緣 層
 153 : 開 口

154：電 極

156：佈 線

160：電 晶 體

162：電 晶 體

164：電 容 元 件

244：氧 化 物 半 導 體 層

262：電 晶 體

362：電 晶 體

600：閘 極 電 極

602：閘 極 絕 緣 層

604：氧 化 物 半 導 體 層

605a：源 極 電 極

605b：汲 極 電 極

701：框 體

702：框 體

703：顯 示 部 分

704：鍵 盤

711：主 體

712：觸 摸 筆

713：顯 示 部 分

714：操 作 按 鈕

715：外 部 介 面

720：電 子 書 閱 讀 器

721：框 體

723 : 框 體

725 : 顯 示 部 分

727 : 顯 示 部 分

731 : 電 源

733 : 操 作 鍵

735 : 揚 聲 器

737 : 軸 部 分

740 : 框 體

741 : 框 體

742 : 顯 示 面 板

743 : 揚 聲 器

744 : 麥 克 風

745 : 操 作 鍵

746 : 定 位 裝 置

747 : 照 相 用 透 鏡

748 : 外 部 連 接 端 子

749 : 太 陽 能 電 池 單 元

750 : 外 部 記 憶 體 插 槽

761 : 主 體

763 : 取 景 器

764 : 操 作 開 關

765 : 顯 示 部 分

766 : 電 池

767 : 顯 示 部 分

770 : 電 視 裝 置

771 : 框 體

773 : 顯 示 部 分

775 : 支 架

780 : 遙 控 操 作 機

801 : 測 量 系 統

811 : 電 晶 體

812 : 電 晶 體

813 : 電 容 元 件

814 : 電 晶 體

815 : 電 晶 體

1100 : 記 憶 單 元

1111 : 驅 動 電 路

1112 : 驅 動 電 路

1113 : 驅 動 電 路

1114 : 驅 動 電 路

七、申請專利範圍：

1. 一種半導體裝置，包含：

各自包含第一電晶體、第二電晶體及電容元件的多個記憶單元，

該第一電晶體包含：

第一通道形成區；

該第一通道形成區上的第一絕緣層；

中間夾著該第一絕緣層且設置在該第一通道形成區上的第一閘極電極；以及

與該第一通道形成區電連接的第一電極及第二電極，

該第二電晶體包含：

包含第二通道形成區及與該第二通道形成區接觸的偏置區的氧化物半導體層；

與該氧化物半導體層電連接的第三電極及第四電極；

該氧化物半導體層、該第三電極及該第四電極上的第二絕緣層；以及

中間夾著該第二絕緣層且設置在該第二通道形成區上的第二閘極電極，

其中，該第一閘極電極、該第三電極和該電容元件中的一個電極彼此電連接。

2. 一種半導體裝置，包含：

第一電晶體，包含：

第一通道形成區；

該第一通道形成區上的第一絕緣層；

中間夾著該第一絕緣層且設置在該第一通道形成區上的第一閘極電極；以及

與該第一通道形成區電連接的第一電極及第二電極，

第二電晶體，包含：

包含第二通道形成區及與該第二通道形成區相鄰的偏置區的氧化物半導體層；

與該氧化物半導體層電連接的第三電極及第四電極；

該氧化物半導體層、該第三電極及該第四電極上的第二絕緣層；以及

中間夾著該第二絕緣層且設置在該第二通道形成區上的第二閘極電極，

其中，該第一閘極電極和該第三電極彼此電連接。

3.根據申請專利範圍第 1 或 2 項之半導體裝置，其中該偏置區是與該第二閘極電極、該第三電極及該第四電極都不重疊的區域。

4.根據申請專利範圍第 1 或 2 項之半導體裝置，其中該第一通道形成區包含矽。

5.根據申請專利範圍第 1 或 2 項之半導體裝置，進一步包含在該第二絕緣層上的第三閘極電極。

6.根據申請專利範圍第 5 項之半導體裝置，進一步包

含在該第二閘極電極和該第三閘極電極之間的第五電極，其中該第五電極與該氧化物半導體層電連接。

7.根據申請專利範圍第 1 或 2 項之半導體裝置，其中該氧化物半導體層包含第一偏置區及第二偏置區，其中該第一偏置區設置在該第二閘極電極和該第三電極之間，以及

其中該第二偏置區設置在該第二閘極電極和該第四電極之間。

8.根據申請專利範圍第 1 或 2 項之半導體裝置，其中該第二閘極電極與該第三電極及該第四電極都不重疊。

9.根據申請專利範圍第 1 或 2 項之半導體裝置，其中該第三電極及該第四電極與該氧化物半導體層的上表面接觸。

10.根據申請專利範圍第 1 或 2 項之半導體裝置，其中該第三電極及該第四電極與該氧化物半導體層的下表面接觸。

11.根據申請專利範圍第 1 或 2 項之半導體裝置，其中該第一電極和該第四電極彼此電連接。

圖 1A

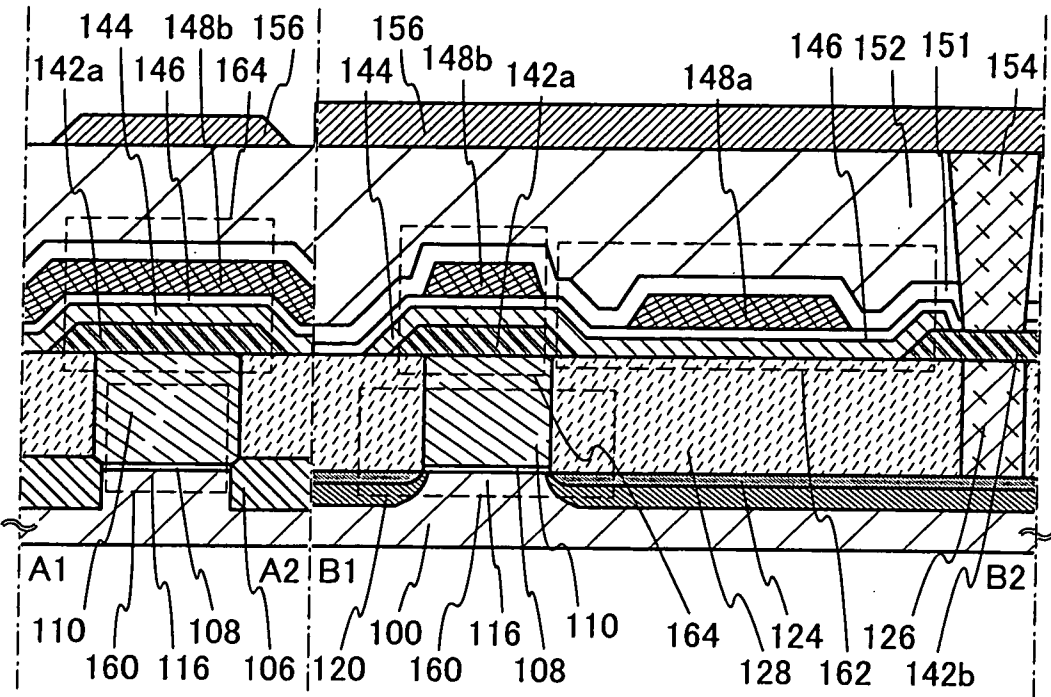


圖 1B

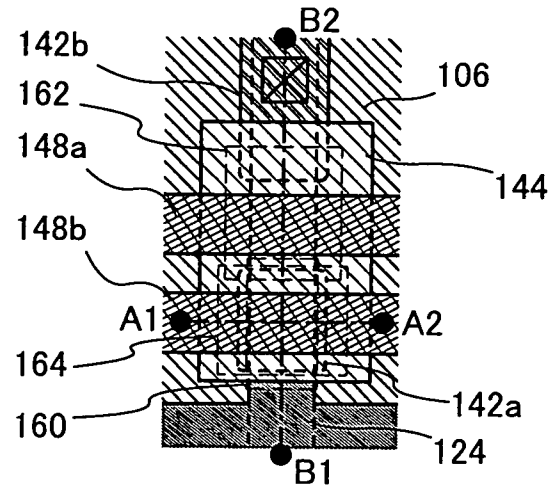


圖 2A

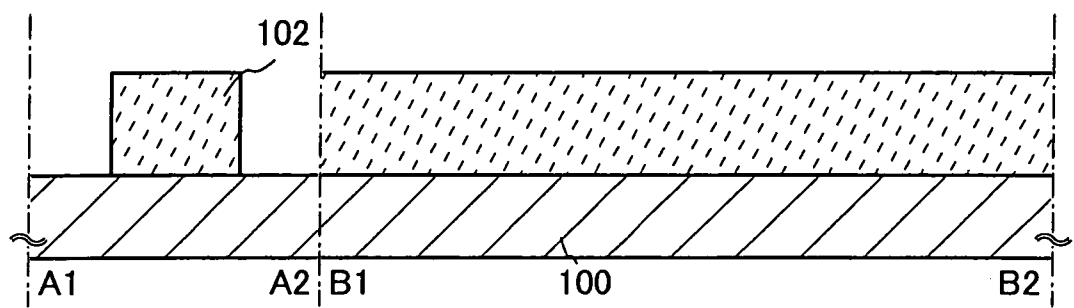


圖 2B

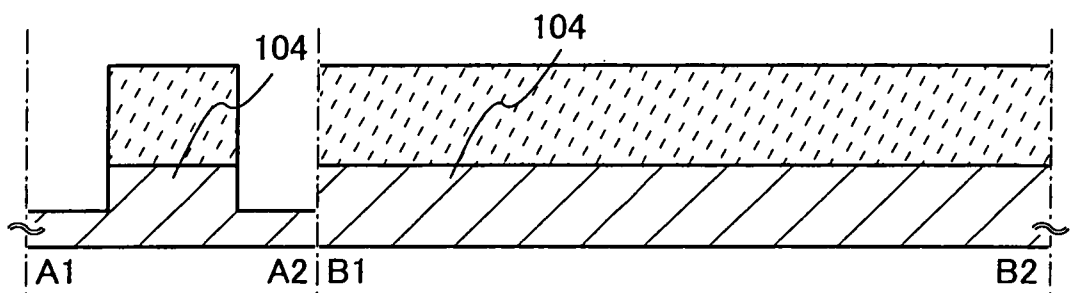


圖 2C

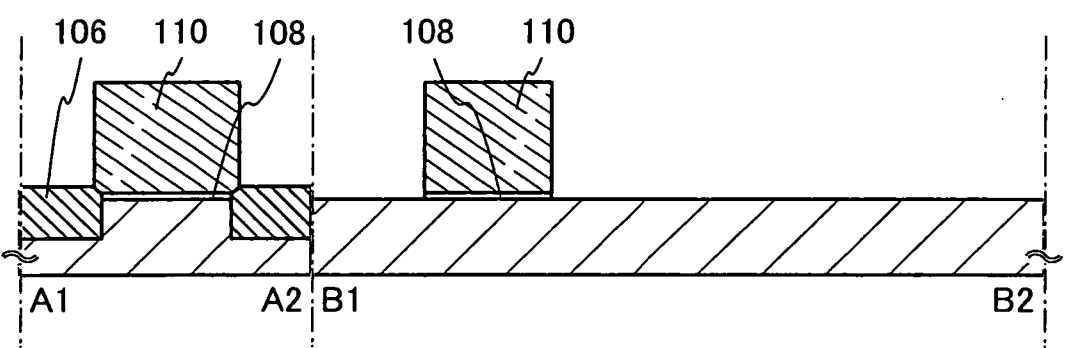


圖 2D

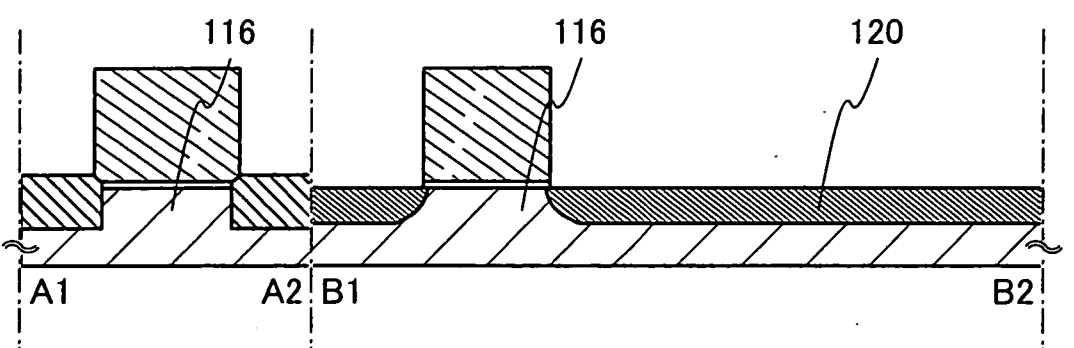


圖 3A

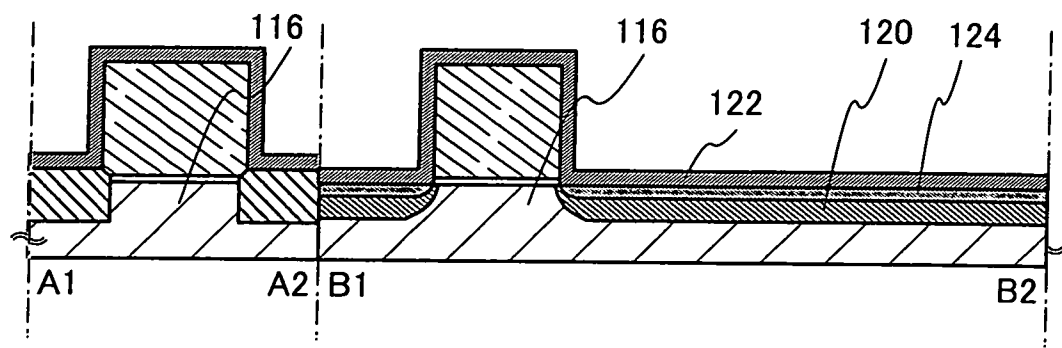


圖 3B

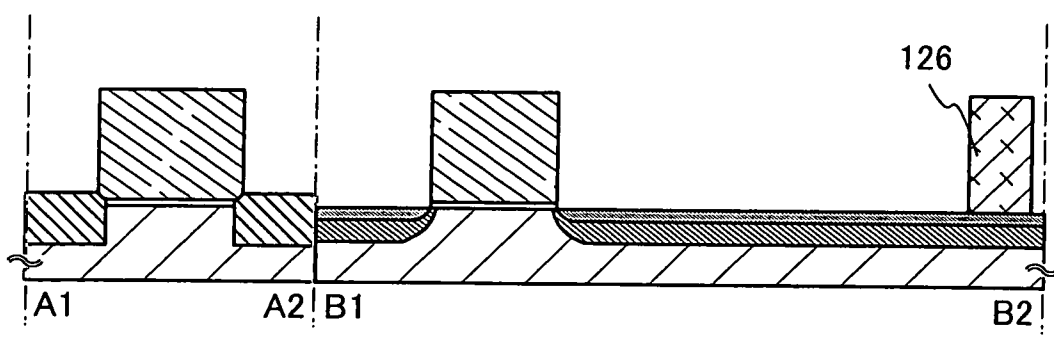


圖 3C

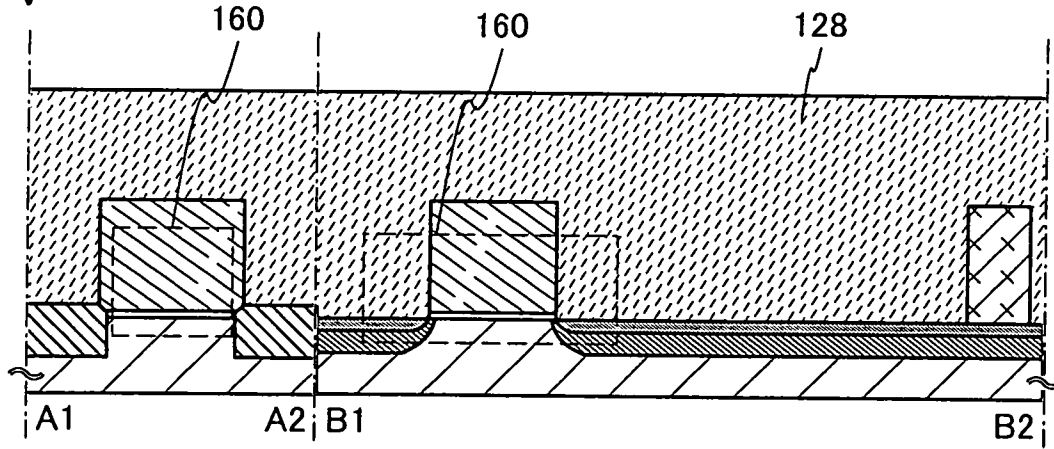


圖 3D

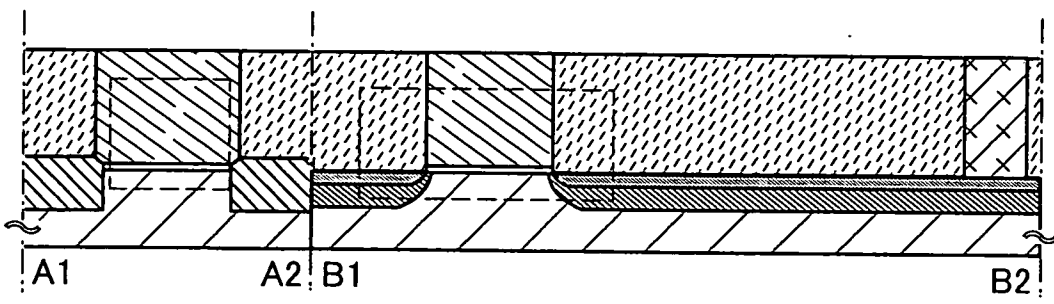


圖 4A

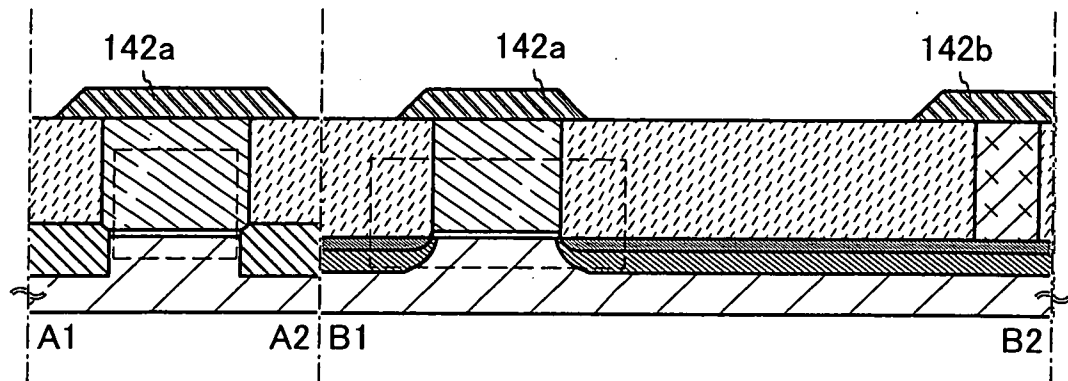


圖 4B

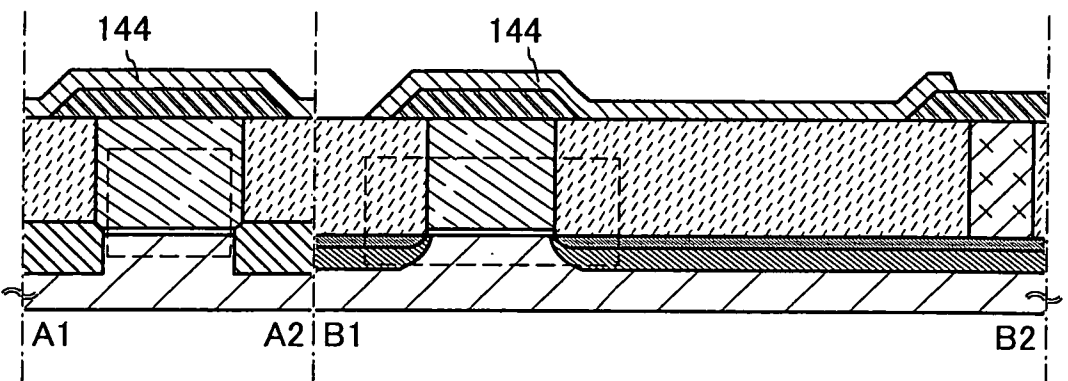


圖 4C

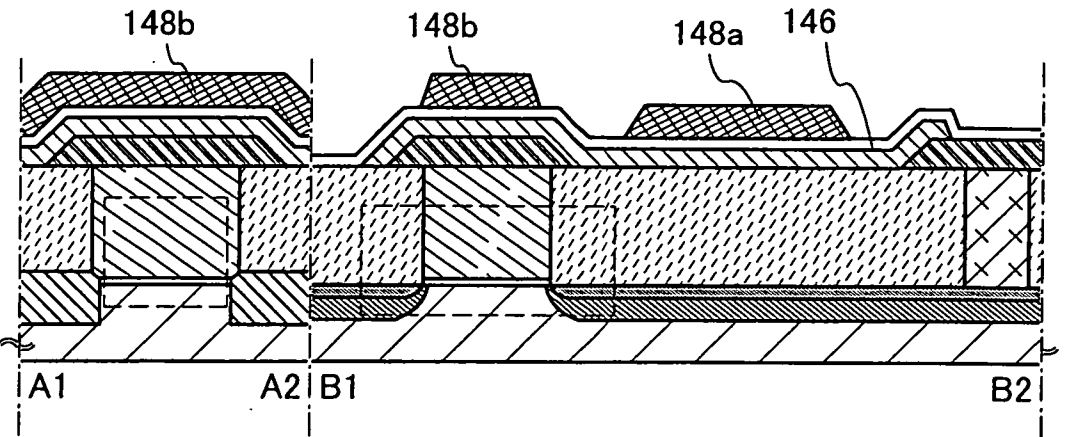


圖 5A

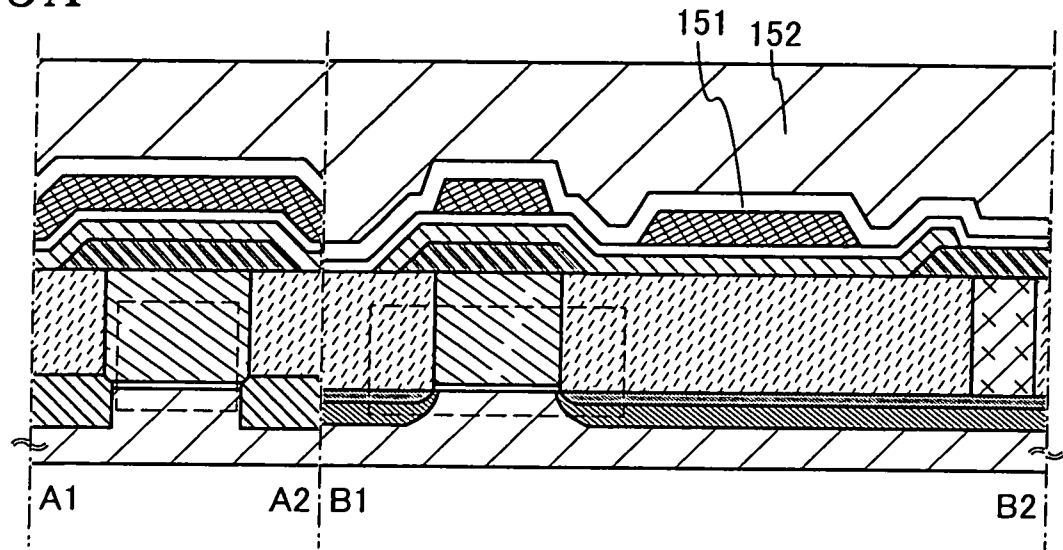


圖 5B

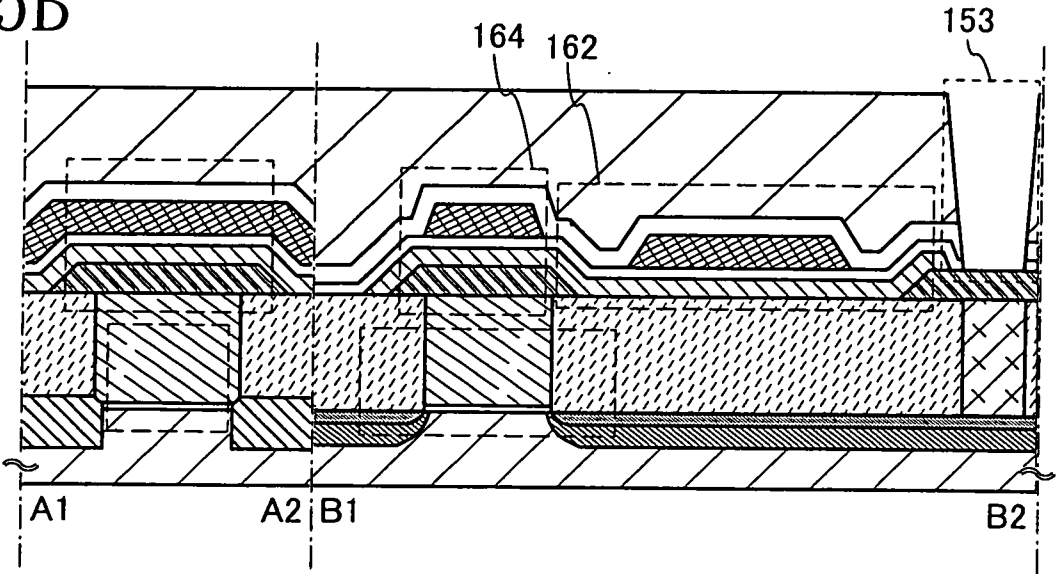


圖 5C

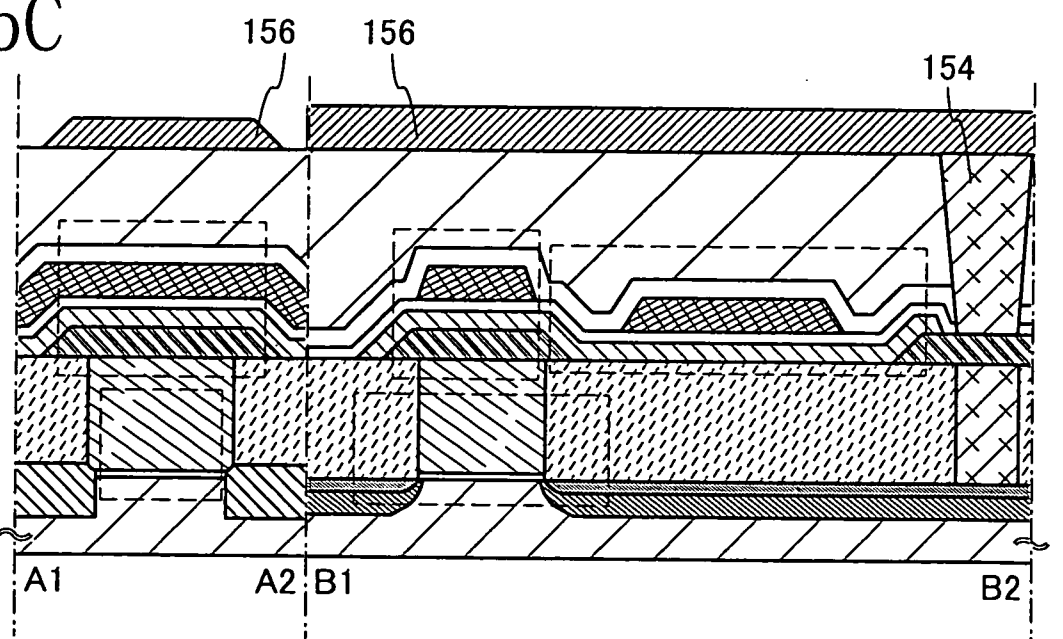


圖 6A

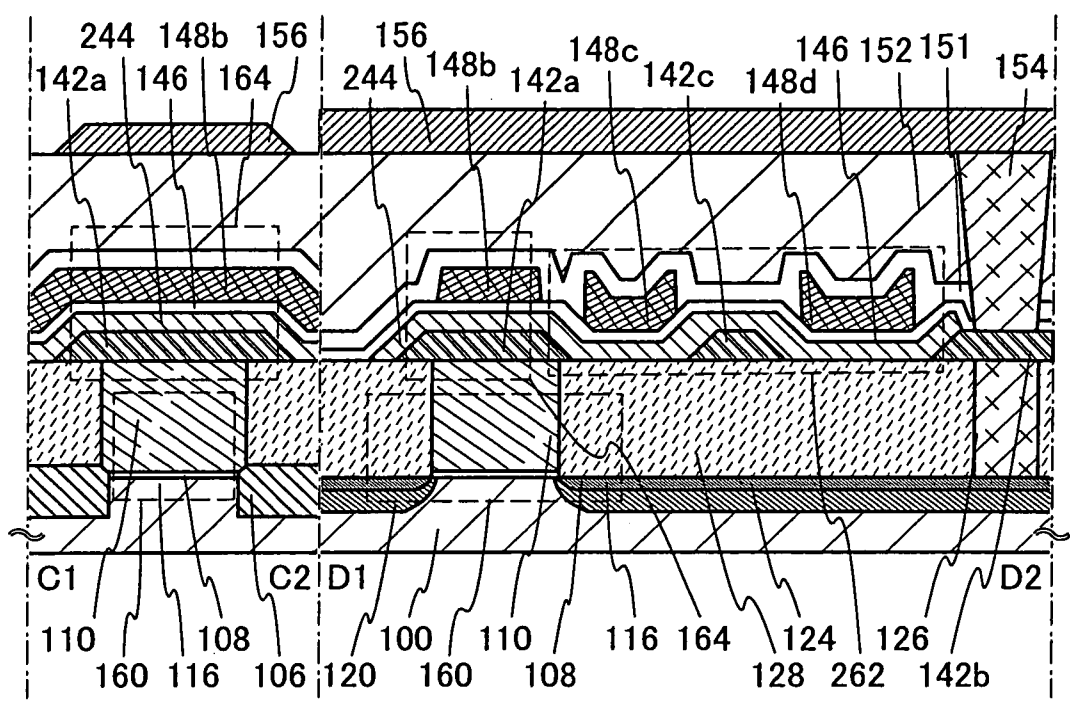


圖 6B

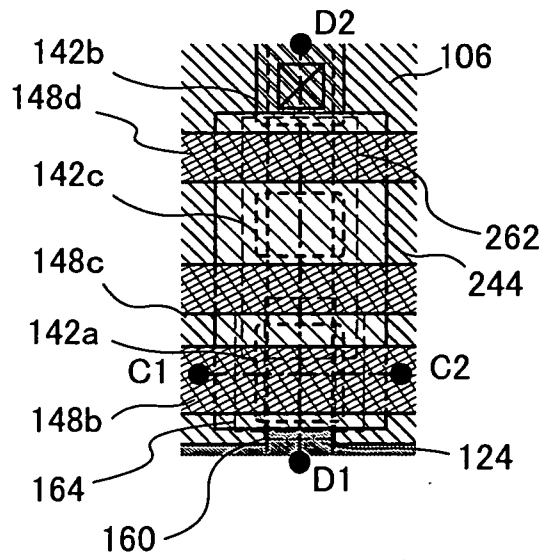


圖 7A

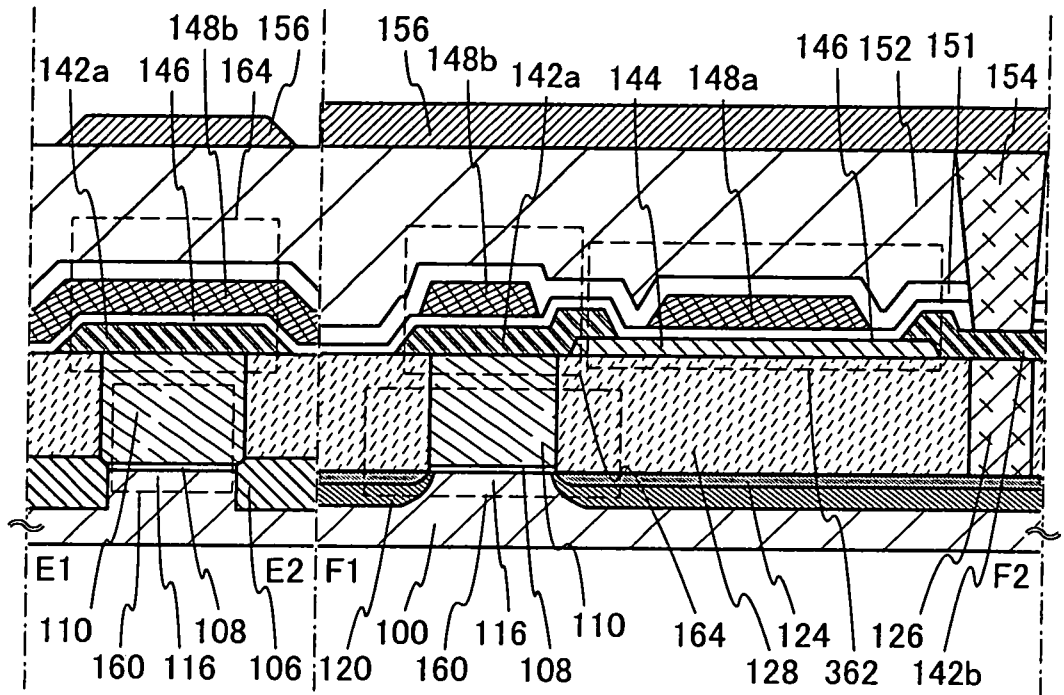


圖 7B

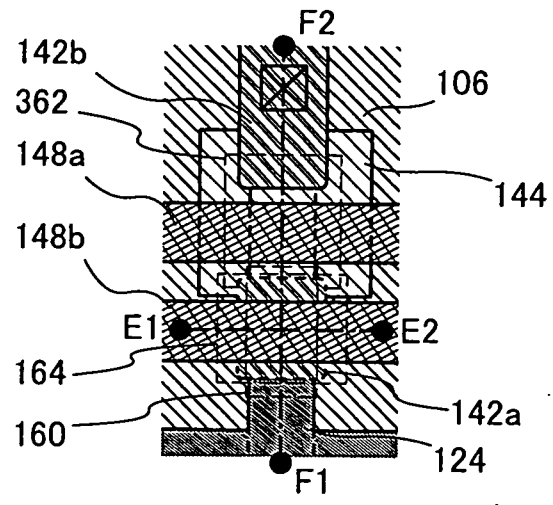


圖 8A

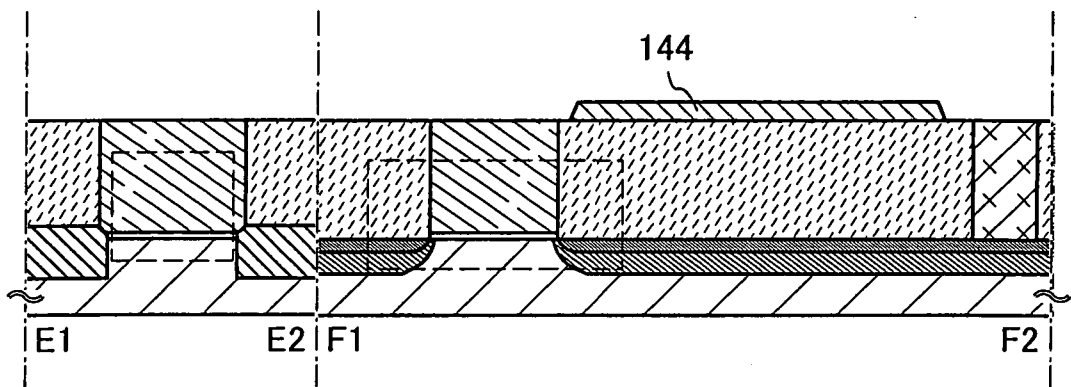


圖 8B

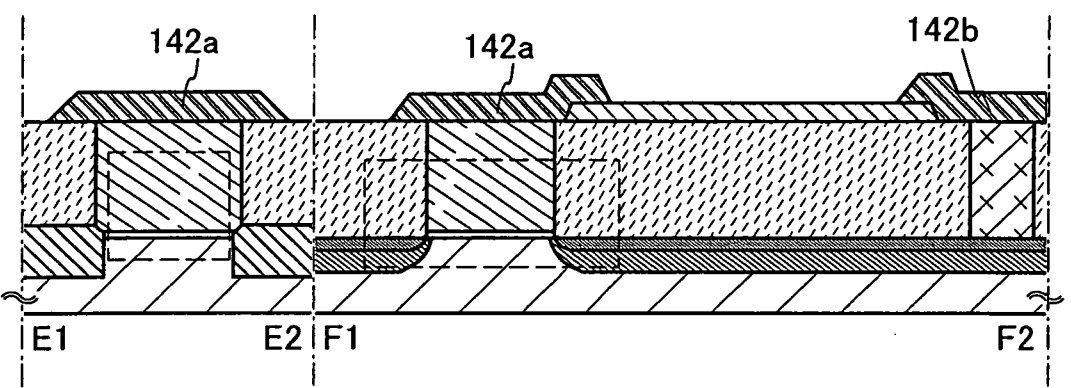


圖 8C

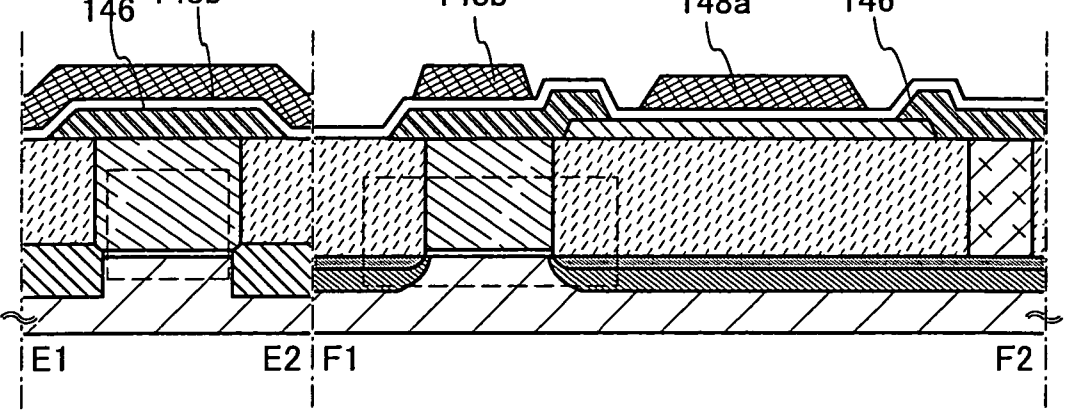


圖 9A

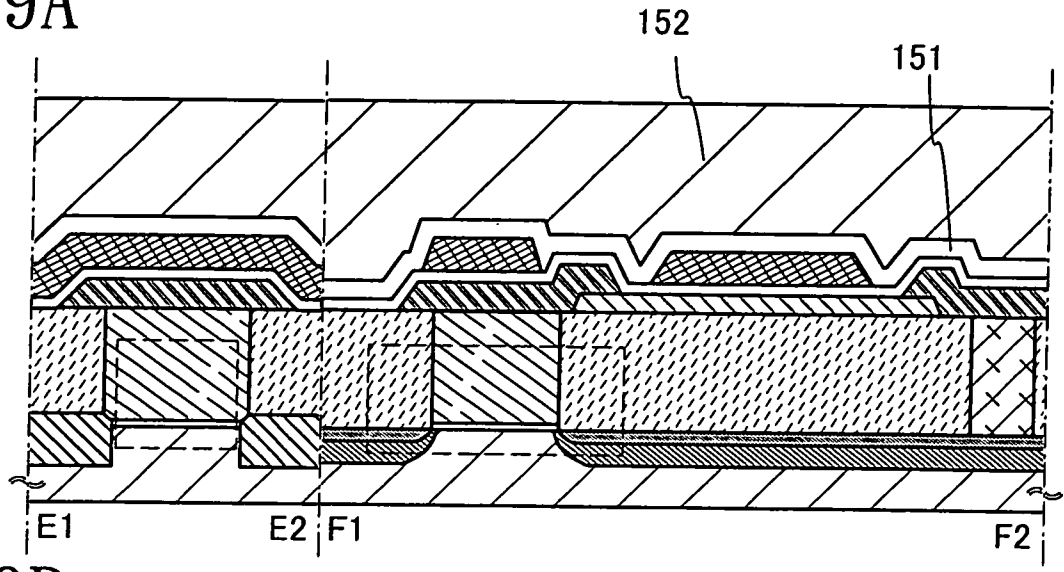


圖 9B

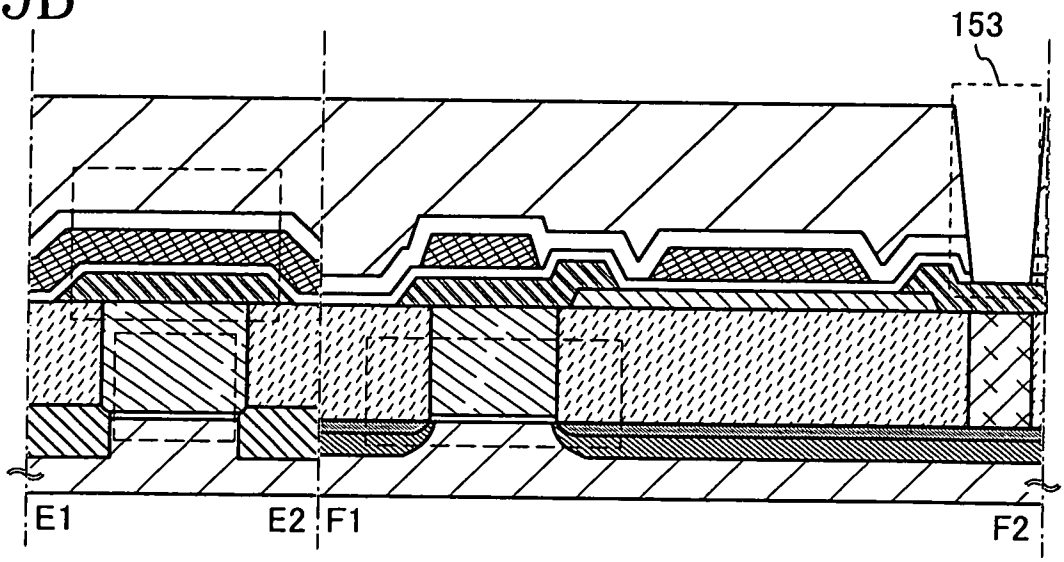


圖 9C

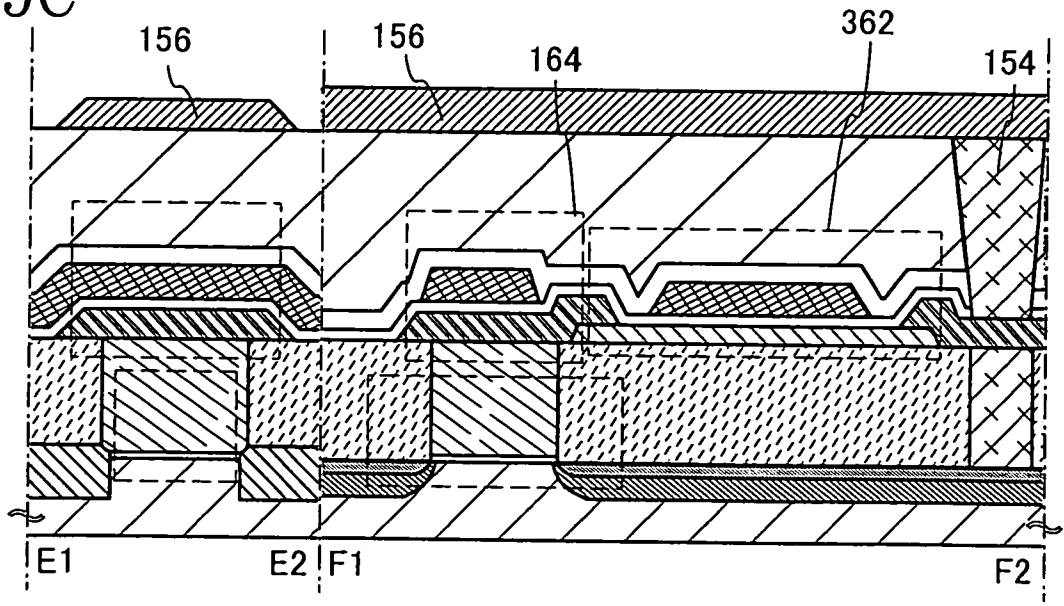


圖 10A-1

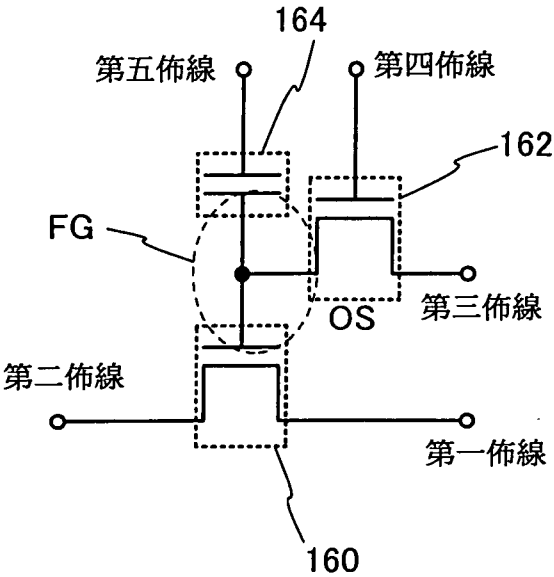


圖 10B

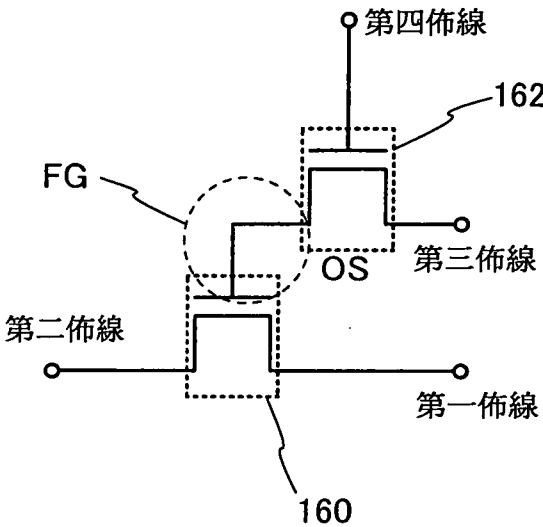


圖 10A-2

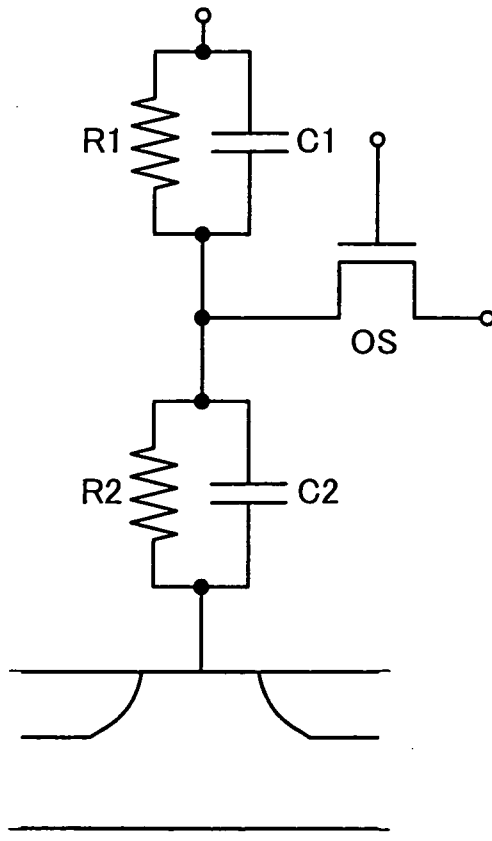


圖 11

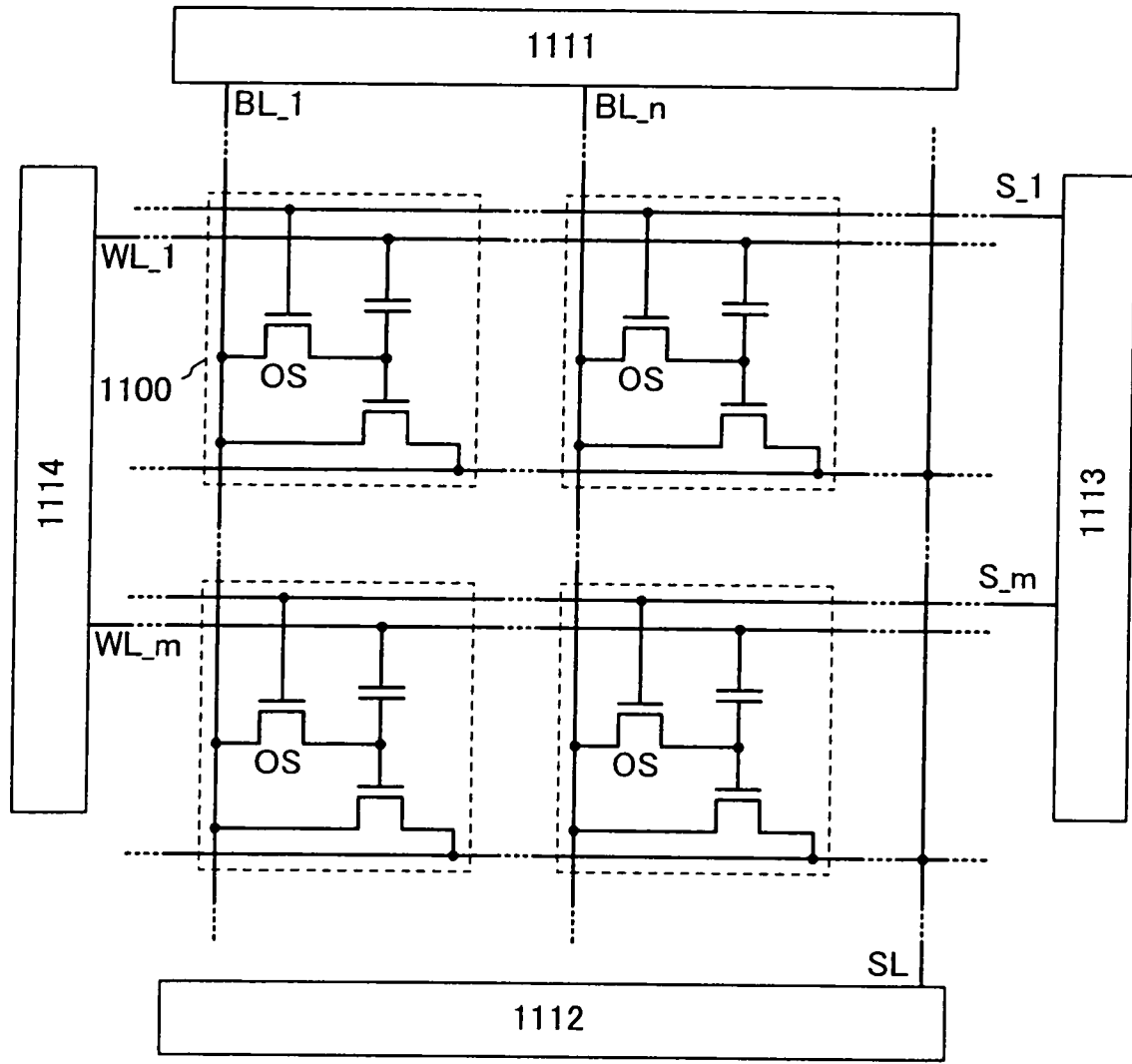


圖12

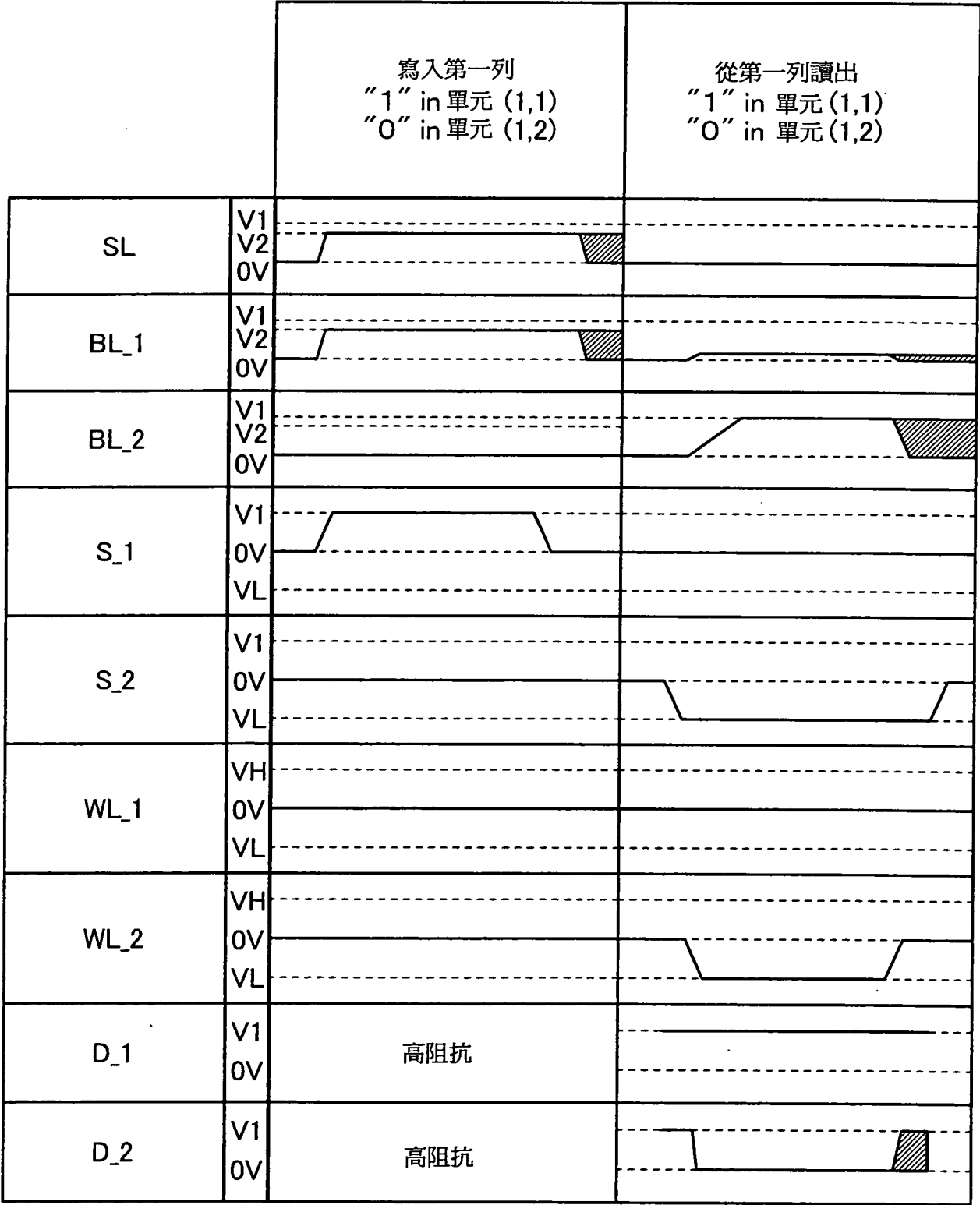


圖 13

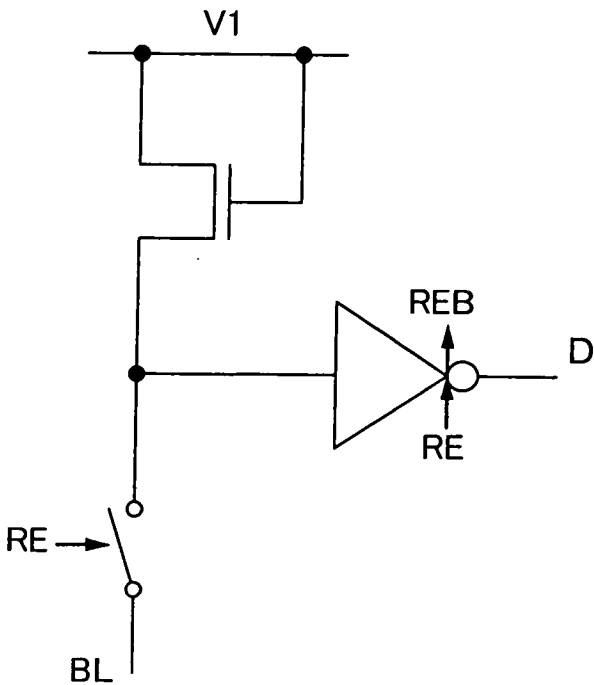


圖14

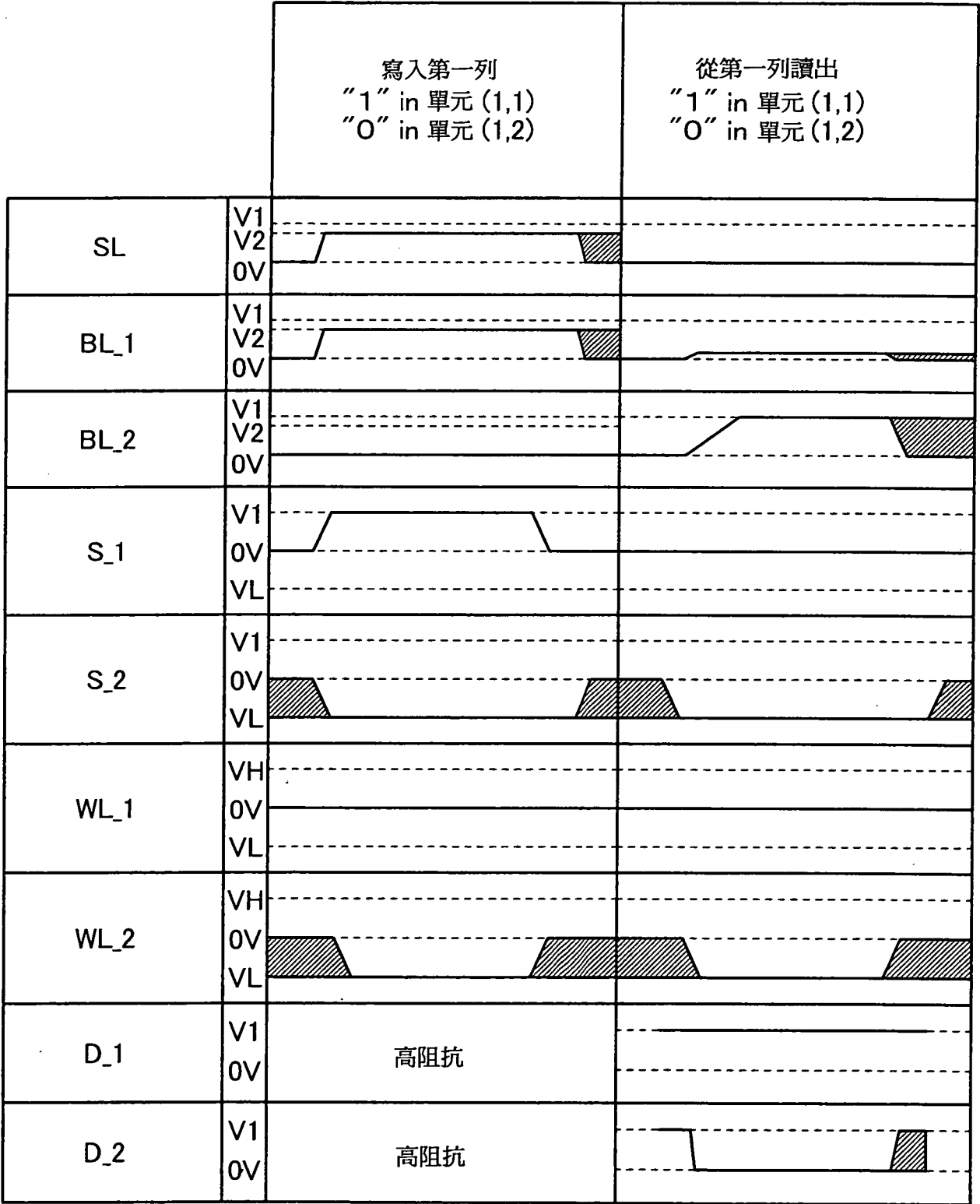


圖 15A

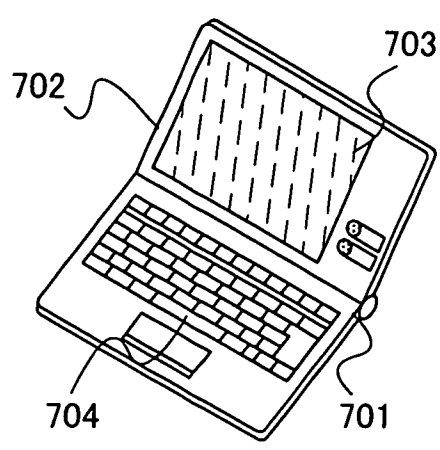


圖 15D

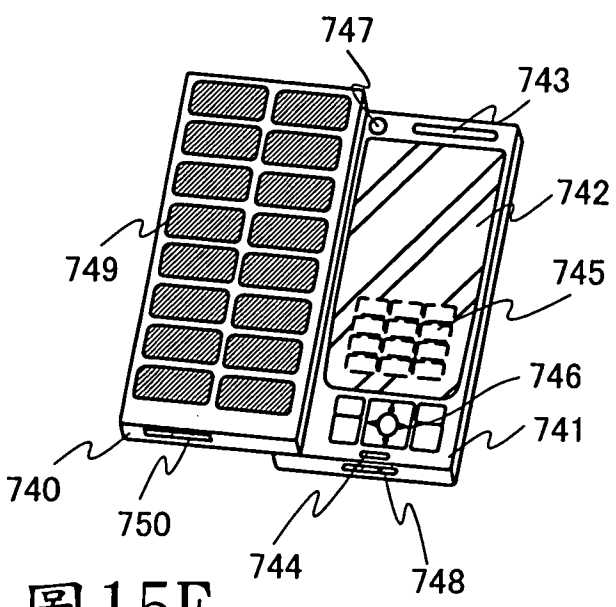


圖 15B

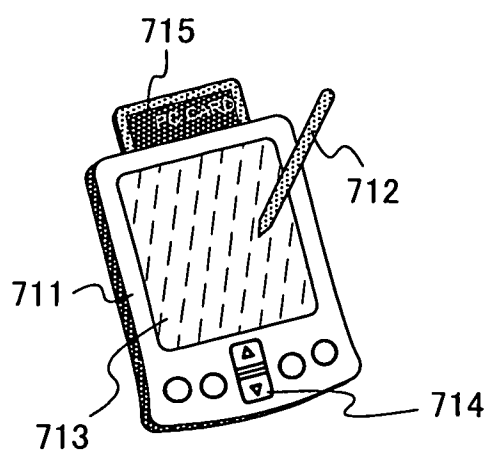


圖 15E

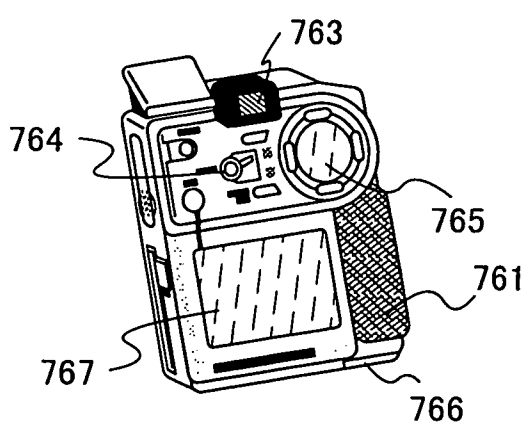


圖 15C

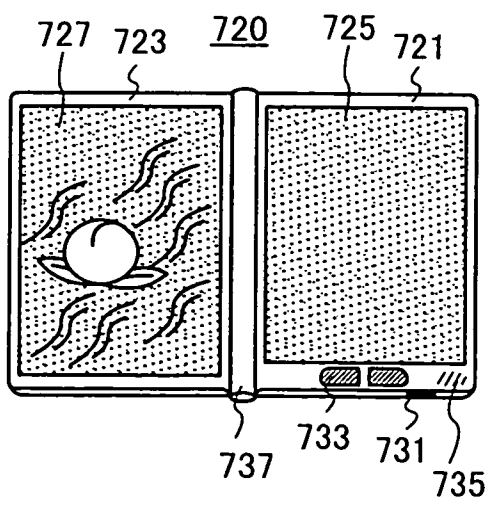


圖 15F

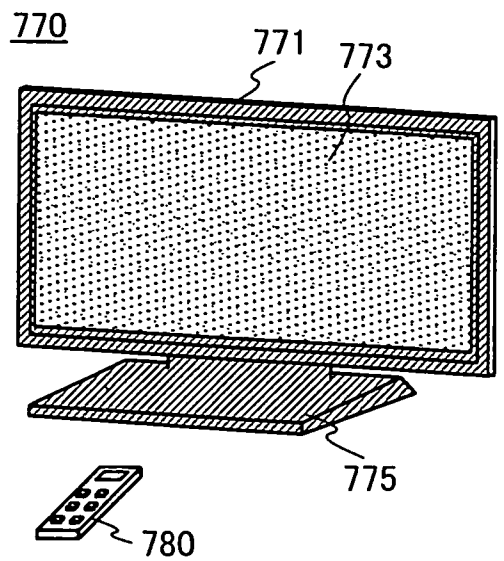


圖 16

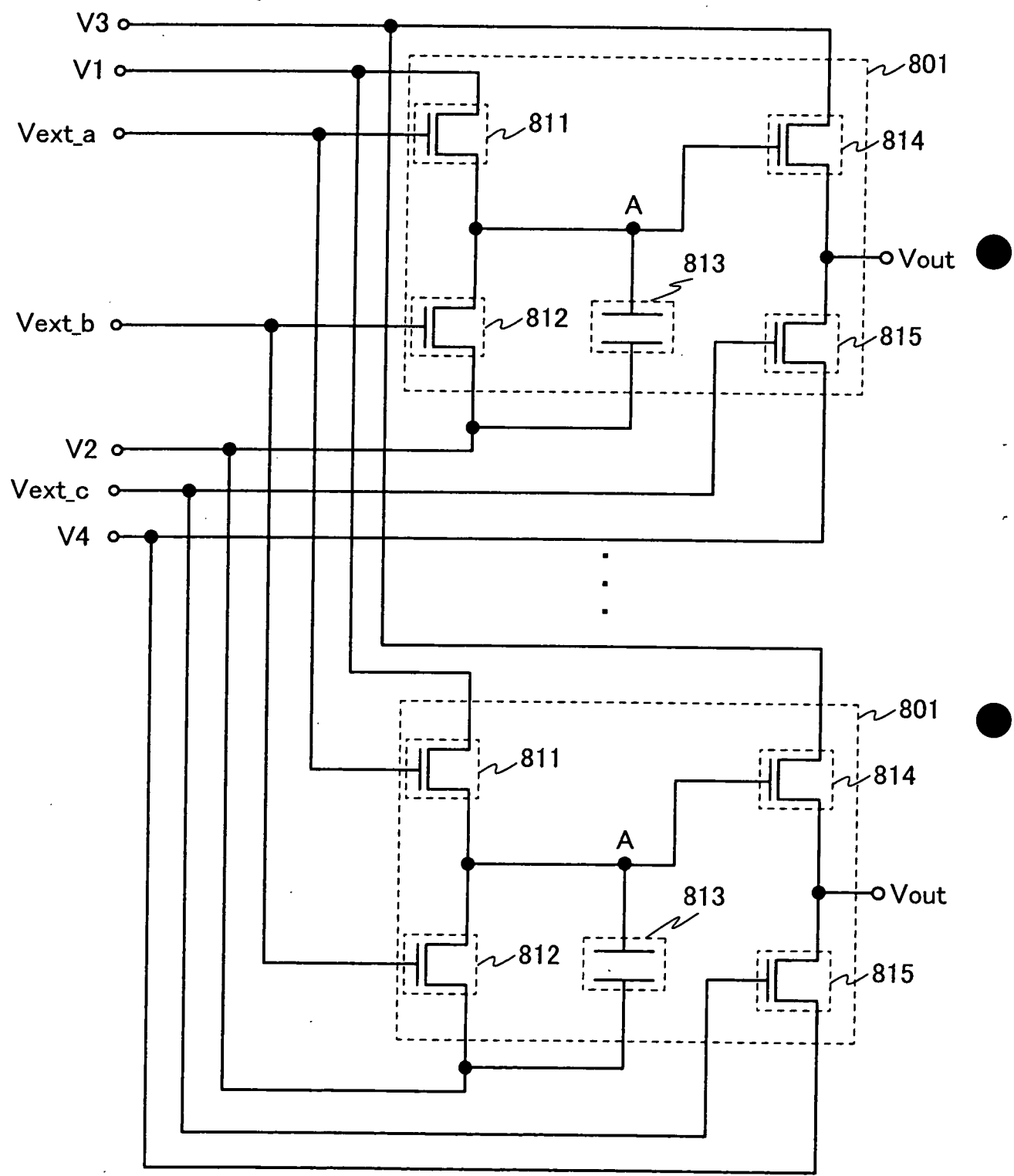


圖17

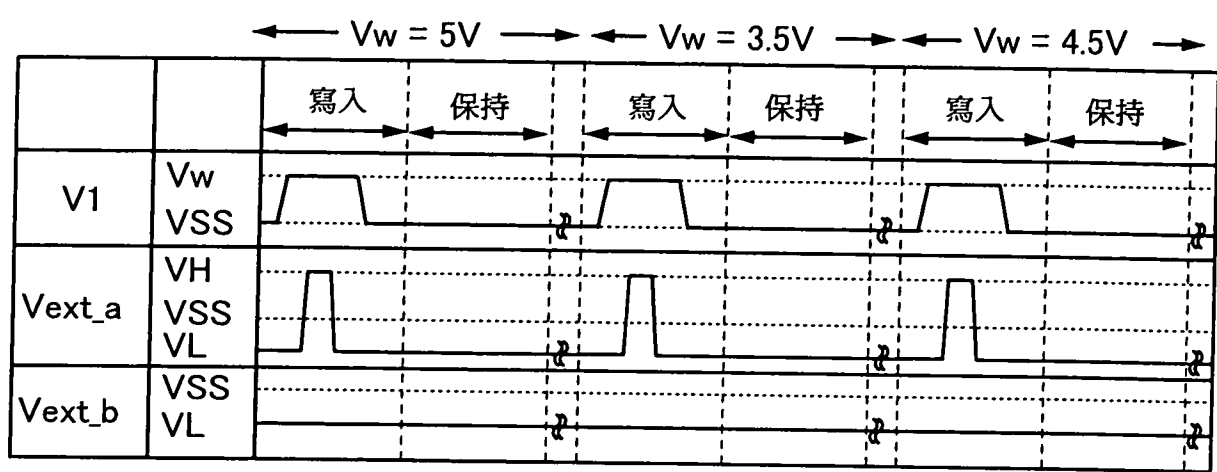


圖 18

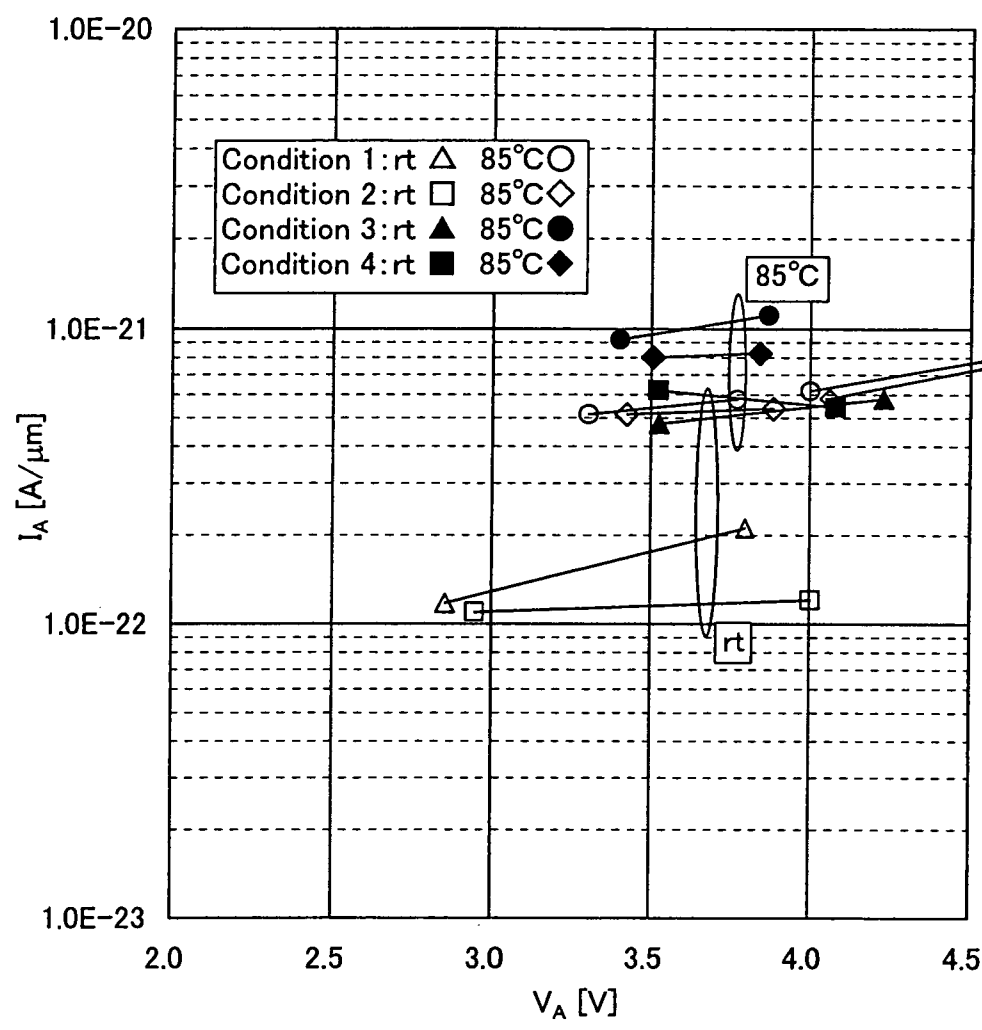


圖 19A

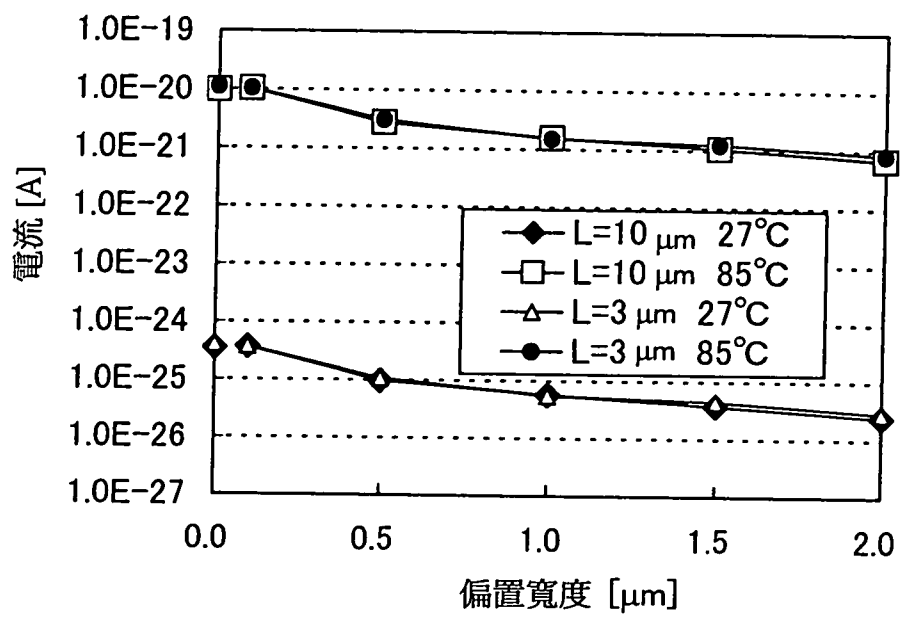


圖 19B

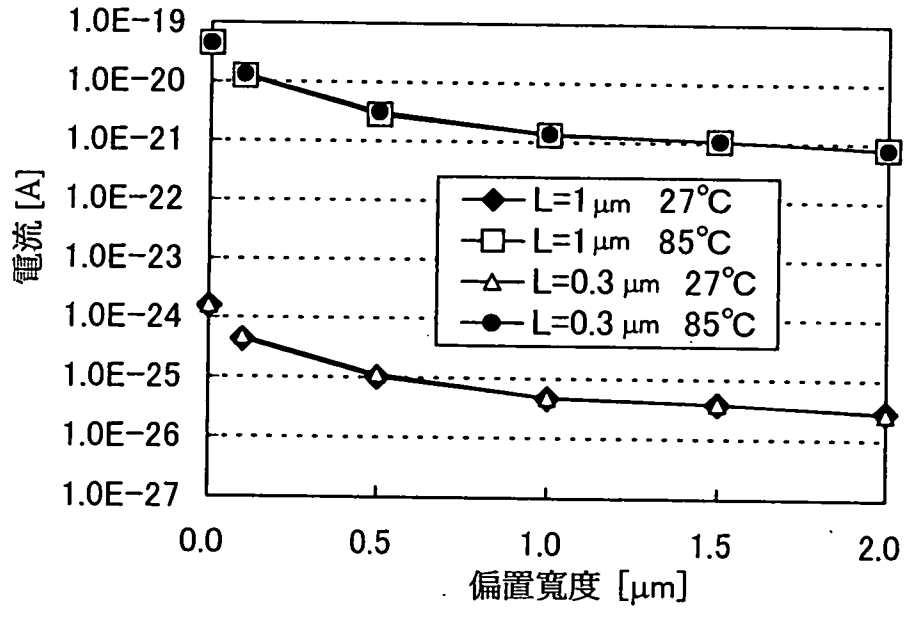


圖 20A

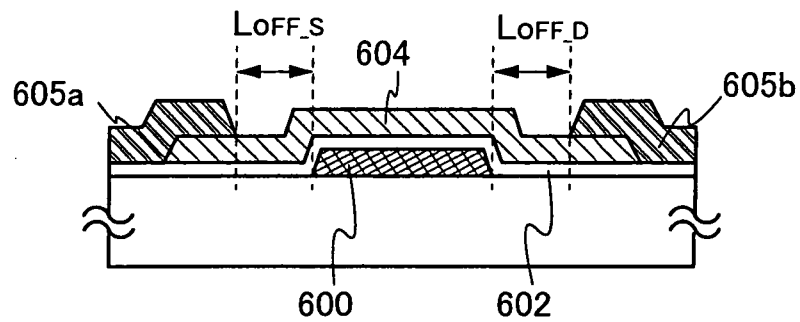


圖 20B

